

國立交通大學
電機與控制工程學系

碩士論文

高速音圈馬達位置控制之 *FPGA* 晶片研製

Design and Implementation of a *FPGA* Position Control Chip
for a High Speed Voice Coil Motor

研究生：吳柏泯

指導教授：林錫寬 博士

中華民國九十六年六月

誌謝

首先，非常感謝我的指導恩師林錫寬教授，在我研究所兩年的學習生涯中，給予了我許多教導與鼓勵，老師豐富的學識以及在學術研究上所抱持的嚴謹態度，更是我學習效法的目標，此外，老師也教導了我許多做人做事的道理以及積極面對問題的態度，使我獲益良多。

其次，非常感謝蔡明棋教授、顏家鈺教授以及趙昌博教授，在百忙之中前來參與論文口試並給予指導，感謝各位老師對於本論文給予的建議及指正，以及對於我個人的鼓勵。

感謝工研院的余興政學長與陳宏岳學長，感謝博士班的李宗原學長、王超民學長與吳東穎學長以及碩士班的高典璋、林星宇、何品齊和黃匯欽幾位學長在我研究過程中對我的耐心指導與建議，使我獲益良多。也要感謝我的同窗好友鎧鍾、凱祥、魏愷和銘峰及學弟宜釗、振國和昱錚，在兩年的研究所生活中給我的許多幫助及關懷鼓勵。

最後，我要感謝我的家人和好友在我求學期間給予我不曾間斷的關懷勸勵及幫助，使我在研究過程中即使面臨困難仍然有向上挑戰的動力，在此僅以本份論文的結果獻給我的家人與其他關心、幫助我師長及朋友，真的非常感謝你們的關心及幫助。

高速音圈馬達位置控制之 FPGA 晶片研製

Design and Implementation of a FPGA Position Control Chip
for a High Speed Voice Coil Motor

研究生 : 吳柏泯

Student : Po-Ming Wu

指導教授 : 林錫寬 博士

Advisor : Dr. Shir-Kuan Lin



A Thesis

Submitted to Department of
Electrical and Control Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

June 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年六月

高速音圈馬達位置控制之 FPGA 晶片研製

研究生：吳柏泯

指導教授：林錫寬 博士

國立交通大學電機與控制工程學系

摘要

本論文以場效型可規劃邏輯陣列 (FPGA) 晶片為基礎，整合數位邏輯晶片與 Nios II 處理器於單一顆 FPGA 晶片中，以實現高速音圈馬達之位置控制，在數位邏輯晶片中，將以硬體描述語言實現類比數位轉換器 (A/D Converter) 以及數位類比轉換器 (D/A Converter) 功能模組；而在 Nios II 處理器中，將以 C 語言實現音圈馬達之速度 PI 控制器、位置 P 控制器以及位置估測演算法則。

在實驗系統的建構方面，採用 Altera 公司 Cyclone II 系列的 Nios II Development Board 為音圈馬達的控制核心，並配合一套包含驅動處理、訊號調整、訊號取樣、訊號輸出功能的外部電路，來完成音圈馬達位置控制系統的架構，並經由實驗數據的量測分析與控制參數的調整，來獲取系統較佳的控制效能表現。

本次研究的結果，能將自動對焦系統的響應時間減少在 60 至 80 毫秒，穩態誤差在 10% 以內，而這 10% 穩態誤差來自於磁性尺的先天缺陷，例如像磁阻式感測器量測各個極距的振幅大小不同。而音圈馬達最大電流僅消耗 30 毫安培，這對於省電功能也將有莫大的助益。

Design and Implementation of a FPGA Position Control Chip for a High Speed Voice Coil Motor

Student : Po-Ming Wu

Advisor : Dr. Shir-Kuan Lin

Department of Electrical and Control Engineering

National Chiao Tung University

ABSTRACT

In this thesis, a FPGA(Field Programmable Gate Array)-based Chip design is taken to implement a position control chip conceptual core for high speed voice coil motor(VCM) drive, and the control chip integrate digital logic IC and Nios II processor in single FPGA chip. The function of the digital logic IC includes analog/digital Converter and digital/analog Converter. And the function of Nios II processor includes speed-loop proportional-integration(PI) controller, position-loop proportional controller, and a position estimation algorithm.

As for the experimental setup and related system collocation, it is construct from the Altera Cyclone II Nios II development board of the core concept for controlling a VCM, and peripheral circuit boards for motor drive, signal regulate, signal sample, and signal output function. Besides, it demonstrates the effectiveness of the proposed FPGA-based control system for the performance improvement for VCM drive can be achieved by adjustment of the control parameter and measurement and analysis of experimental data.

The results of this study, the responded time needs about 60 ~ 80 ms with the 10% steady-state error; the 10% steady-state error is caused from the defects of the magnetic scale such as the variations of the amplitudes of the MR sensor signals. The maximum current consumption of the VCM in this study is about 30 milliamper (mA), this advantage can save more battery energy of the DVC.

目錄

中文摘要	i
英文摘要	ii
目錄	ii
圖例目錄	v
表格目錄	viii
第一章 緒論	1
1.1 研究動機與目的	1
1.2 研究方法與系統概述	2
1.3 論文架構	3
第二章 文獻回顧	4
2.1 音圈馬達定位控制架構	4
2.2 模擬系統架構	4
2.3 干擾源的設計及影響比較	6



目錄	iv
2.4 系統響應	8
第三章 系統硬體架構及原理介紹	10
3.1 系統介紹	10
3.2 ALTERA Nios II Development Board	11
3.3 音圈馬達結構	13
3.4 光遮斷器	14
3.5 磁阻感測訊號處理電路	15
3.6 類比轉數位電路 (A/D Converter)	16
3.6.1 AD7896 之操作模式與時序圖	18
3.7 數位轉類比電路 (D/A Converter)	19
3.7.1 AD5445 之時序圖與動作說明	21
3.8 A/D、D/A Converter 之實測輸出波形	22
3.9 音圈馬達驅動電路	23
第四章 系統之規劃與設計	24
4.1 軟體設計環境介紹	24
4.1.1 晶片設計軟體 -Quartus II	24
4.1.2 Nios II 微處理器設計軟體 -SOPC Builder、Nios II IDE	25
4.2 Nios II 處理器功能規劃	29
4.2.1 波形參數鑑別	30
4.2.2 音圈馬達位置計算	31
第五章 系統模擬與實驗結果之分析比較	36
5.1 系統模擬架構	36

目錄	v
5.2 PI 控制器	38
5.3 實驗結果	40
第六章 結論與未來發展	43
6.1 結論	43
6.2 未來發展	44



圖例目錄

1.1	系統架構示意圖	2
2.1	受控廠方塊圖 [16]	5
2.2	利用 PI 控制模擬架構 [16]	5
2.3	系統附加干擾觀測器控制模擬架構 [16]	5
2.4	干擾觀測器等效方塊圖 [3]	6
2.5	在 MATLAB 下模擬系統靜態摩擦力干擾源 [16]	7
2.6	圖 (A) 為位置命令 5mm 的系統響應；圖 (B) 為其局部放大圖 [16]	7
2.7	水平放置 PI 控制系統對 3mm 位置控制命令響應圖 [16]	8
2.8	水平放置附加干擾觀測控制系統對 3mm 位置控制命令響應圖 [16]	8
3.1	系統硬體架構圖	10
3.2	系統實體圖	11
3.3	Nios II Development Board 電路實體圖	12
3.4	Nios II Development Board 電路架構方塊圖	13
3.5	音圈馬達結構示意圖	14
3.6	光遮斷器電路接線圖	14
3.7	光遮斷器觸發訊號之波形 (圖左為起點之觸發訊號，圖右為終 點之觸發訊號)	15
3.8	感測訊號處理電路	15

3.9	感測訊號處理電路之輸出波形	16
3.10	AD7896 電路接線圖	16
3.11	AD7896 腳位與功能方塊圖	17
3.12	Mode 1 Timing Operation Diagram for High Sampling Performance	18
3.13	Data Read Operation	19
3.14	AD5445 電路接線圖	20
3.15	AD5445 腳位與功能方塊圖	20
3.16	AD5445 Timing Diagram	22
3.17	A/D、D/A Converter 之實測輸出波形	22
3.18	音圈馬達驅動電路示意圖	23
3.19	音圈馬達驅動電路輸出波形	23
4.1	System Contents 頁面	27
4.2	System dependency page 頁面	28
4.3	System Generation 頁面	28
4.4	Nios II IDE 用戶介面	29
4.5	波形參數鑑別程式流程圖	30
4.6	區塊分割圖 [16]	31
4.7	線性近似關係圖 [16]	32
4.8	弦波與線性近似曲線誤差關係圖 [16]	32
4.9	音圈馬達位置計算程式流程圖	35
5.1	音圈馬達位置控制方塊圖	37
5.2	圖 (A) 為位置命令 1mm 的系統響應；圖 (B) 為其局部放大圖	37
5.3	PI 控制器方塊圖	39
5.4	程式操作介面	40

- 5.5 圖 (A) 為水平放置 PI 控制系統對 4mm 位置控制命令響應圖；圖
 (B) 為其局部放大圖 41
- 5.6 圖 (A) 為水平放置 PI 控制系統對 0.2mm 位置控制命令響應圖；
 圖 (B) 為其局部放大圖 42



表格目錄

2.1	PI 控制系統各位置控制命令響應規格表	9
2.2	附加干擾觀測器控制系統各位置控制命令響應規格表	9
3.1	EP2C35F672C6ES 晶片規格	11
3.2	AD7896 各腳位功能表	17
3.3	類比數位轉換表	18
3.4	AD5445 各腳位功能表	21
3.5	數位類比轉換表	21
5.1	本研究實現之 PI 控制系統各位置控制命令響應規格表	42



第一章

緒論

1.1 研究動機與目的



一般數位相機的成像品質，除了受影像感測元件的品質好壞影響外，鏡片對焦驅動馬達的定位精度也有著密不可分的關係，一般的步進對焦馬達其響應速度慢，且對焦的過程中所產生的運轉雜音大，故無法有效的應用於高品質的行動攝影裝置中，而超音波對焦馬達雖然改善了步進對焦馬達響應速度慢及運轉雜音大的問題，但其驅動方式為摩擦驅動，故容易因磨損而減低其使用壽命，且其元件成本較為昂貴，故無法普遍的使用於大眾化的自動對焦鏡頭中，而音圈馬達其元件成本低，且仍擁有良好的響應速度及定位精確度，因此，本論文採用音圈馬達當作系統的致動器來實現自動對焦系統。

隨著目前半導體業技術的不斷成長，馬達的控制不得不朝向系統整合晶片邁進，以特殊應用積體電路作為現今馬達控制晶片的發展重點，其晶片內部邏輯閘平行運算的方式大大提升其處理速度，而可規劃成專為馬達架構所設計的控制晶片更能完全並且更符合各種馬達控制的需求，而在量產下的成本計算價格會比使用微處理器或 DSP 處理器更加便宜，故對於設計馬達控制的種類來說，ASIC 晶片具有很大的發展優勢。

面對現今「輕薄短小化」的趨勢，系統的小型化、薄型化與高性能化已

是不可避免的趨勢，在強調系統整合晶片 (System on chip, SOC) 的馬達控制領域中，Altera 公司的 Nios II Development Board 是達成此一目標的其中一種方法，該發展板的特點為可以內建一顆 Nios II 微處理器於 FPGA 中，於單一顆晶片即設計出同時具有微處理器進行複雜運算能力，以及特殊應用積體電路快速運算能力的整合型晶片，而本論文的主要目的則是如何利用此一特點達到精準的馬達定位控制。

1.2 研究方法與系統概述

本篇論文使用可重複規劃且驗證快速的 Altera Nios II Development Board，其中包含了一顆 Altera Cyclone II EP2C35F672C6ES 的場效型可程式化邏輯陣列 (Field Programmable Gate Array, FPGA) 晶片，該發展板可在 FPGA 內部規劃出一顆 Nios II 微處理器，用以代替傳統 DSP 處理器的功能。

系統之架構示意圖如圖 1.1 所示；其主要是利用磁阻 (Magneto-resistive, MR) 感測器抓取音圈馬達滑動元件移動所產生的訊號，再利用位置估測演算法 (Position Estimating Algorithm) 來計算音圈馬達滑動元件目前所在的正確位置，再經由 Nios II 處理器以 C 語言建立音圈馬達之速度 PI 控制器、位置 P 控制器對音圈馬達之滑動元件進行控制，進而提升音圈馬達定位的精確度，達到精確定位控制目標。

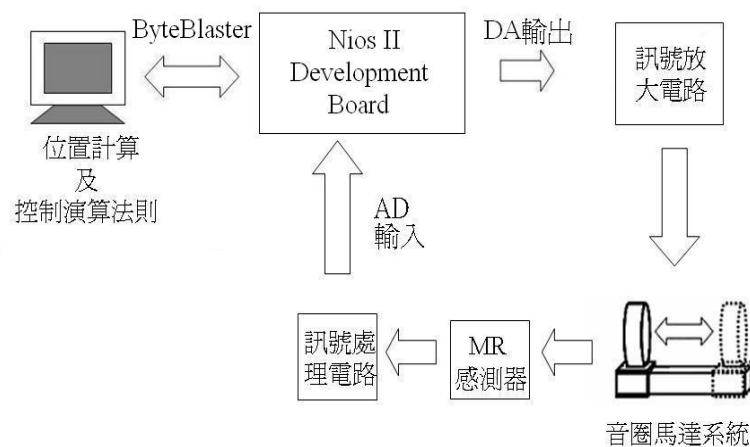


圖 1.1: 系統架構示意圖

在程式的研發軟體上，本文使用系統硬體架構及原理介紹的 Quartus II 及 Nios II IDE 軟體分別來撰寫及編譯硬體描述語言 (VHDL) 與 C 語言於 FPGA 及 Nios II 處理器中，再配合外部的週邊電路，作程式功能的驗證，以單一晶片實現出具有快速響應的高速音圈馬達位置控制晶片。

1.3 論文架構

本論文架構可分為六個章節，分述如下：

第一章：緒論，說明本文研究的動機與目的、研究方法與系統概述，並略述本文系統之架構。

第二章：文獻回顧，探討舊有之文獻並說明在 PI 控制系統中加入干擾觀測器，其系統響應的上升時間較 PI 控制系統來的快速，且由於干擾觀測器對於外在摩擦力所造成的擾動有較佳的補償效果，故其最大超越量遠小於 PI 控制系統。

第三章：系統硬體架構及原理介紹，針對本研究的系統硬體架構與其它週邊電路功能作詳細的介紹，包含設計原理、方法及電路設計。

第四章：系統之規劃與設計，本章說明如何利用 Altera Nios II 發展套件來規劃與設計高速音圈馬達之位置控制系統，包含軟體設計環境介紹並展示設計軟體介面。


第五章：系統模擬與實驗結果之分析比較，本章將呈現出模擬和實驗結果，說明本研究之控制晶片確實能有效的提升音圈馬達輸出響應上升時間的響應速度與定位的精確度，達到精確定位控制目標。

第六章：結論與未來發展，針對現有的研究成果進行討論及未來展望。

第二章

文獻回顧

2.1 音圈馬達定位控制架構



在何品齊 [16] 的論文中提到了有關音圈馬達定位控制採用速度及位置回授控制為主體架構，在內迴圈中對速度進行比例積分控制，並在外迴圈利用比例控制器對馬達位置的響應效果進行調整，此外，由於系統在行進的過程中會受到摩擦力及因傾斜角度所產生的重力分力等外在干擾因素，造成系統定位產生較大的擾動現象，因此針對系統所受到的外在擾動，在速度 PI 控制迴圈中加入干擾觀測器 [3] [12] 對系統所受的外在干擾進行抑制，將系統速度及位置控制迴圈中外在因素所造成的擾動近似消除，以減低外在干擾對系統定位控制所產生的影響。

2.2 模擬系統架構

在 MATLAB 模擬過程中，可將受控廠 (Plant) 方塊圖設計為圖 2.1 的型式，其數學式如 2.1 式所示：

$$P_n(s) = \frac{0.4145}{(0.0012s + 32.8)(0.0018s + 0.005)} \quad (2.1)$$

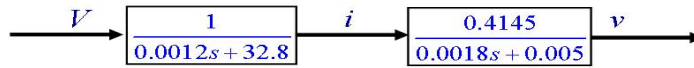


圖 2.1: 受控廠方塊圖 [16]

對此受控廠方塊圖利用 MATLAB 中 Simulink 功能建立 PI 控制模擬架構如圖 2.2 所示。

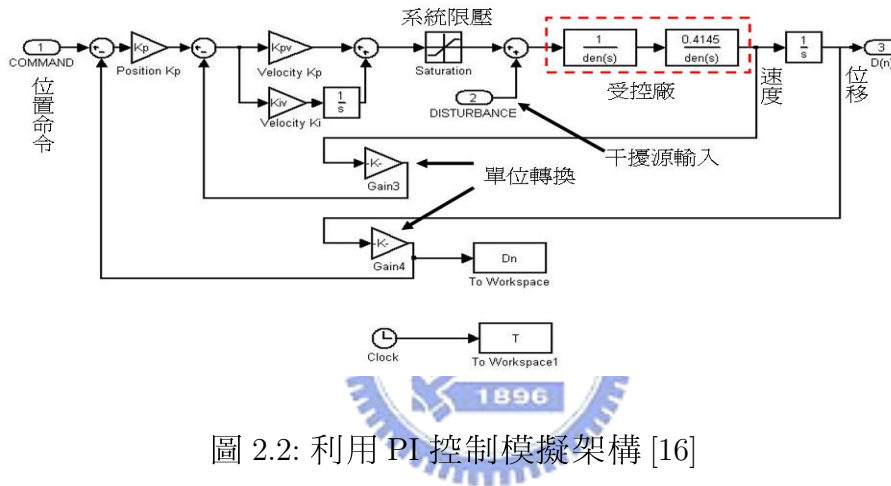


圖 2.2: 利用 PI 控制模擬架構 [16]

圖 2.3 是系統附加干擾觀測器利用 MATLAB 中 Simulink 功能所建立之模擬架構。

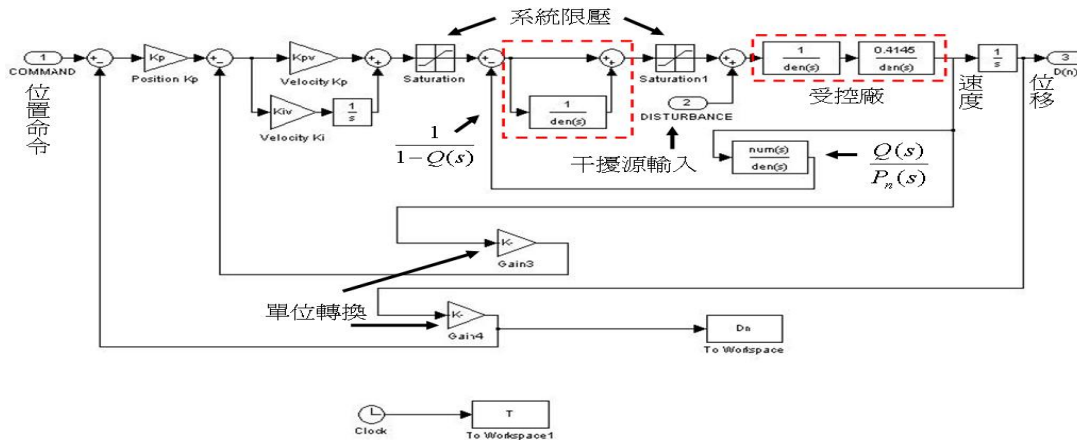


圖 2.3: 系統附加干擾觀測器控制模擬架構 [16]

在系統模擬架構中，位置命令為自動對焦系統由影像計算晶片所計算後所獲得之影像清晰之位置，所以模擬方式採用步階訊號輸入代表影像清晰之位置值。系統限壓為系統硬體及結構配合所限定的節點最大輸出訊號值，系統馬達線圈所設定的最大輸入電壓為 3.0V，故系統限壓方塊其限壓大限限定在 -3V 至 +3V 的範圍，而在圖 2.3 中因為需要配合干擾觀測系統，故進入干擾觀測系統的訊號也需要受到限制，在模擬中採用限制 -3V 至 3V 的範圍，若其可變動範圍過大，則有可能造成系統發生不穩定的現象，此外，因受控廠其單位採用 MKS 制，故由其所模擬出的速度單位為 m/s，且由速度所積分出的位移單位為公尺 (m)，與控制命令所採用的單位公厘 (mm) 不同，故需要利用單位轉換方塊來進行單位轉換。

干擾觀測器系統中 $Q(s)$ 的設計，為 2.2 式架構的二階巴特渥茲濾波，而干擾觀測系統等效方塊圖如圖 2.4 所示。

$$Q(s) = \frac{1}{(\tau s)^2 + 1.41(\tau s) + 1} \quad (2.2)$$

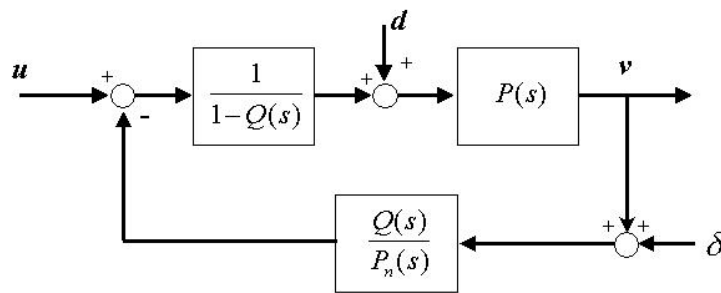


圖 2.4: 干擾觀測器等效方塊圖 [3]

2.3 干擾源的設計及影響比較

在干擾源的模擬中，主要將對系統所受到的摩擦力及因傾斜角改變而導致的重力分力變化影響進行模擬，因為系統摩擦力及重力分力改變可視為系統受控廠受一外部電壓干擾所造成的影響，故將干擾源設計為一外部干擾電壓源方式，進入系統受控廠。

首先對系統的摩擦力進行干擾源設計，其模擬方式採用較為簡單的靜態摩擦力模型，首先在移動命令起始時間建立一個大小為 0.3V 的負向步階輸入訊號，在經過 0.001 秒後建立一個大小相同方向相反的步階訊號將其消除，用來模擬滑動元件在啓動時所受到的靜摩擦力，利用速度的正負號乘以負 0.4 V 來進行元件的庫倫摩擦力模擬，再利用速度乘以一負值來當作系統所受到的黏滯摩擦，其模擬方塊圖如圖 2.5 所示。

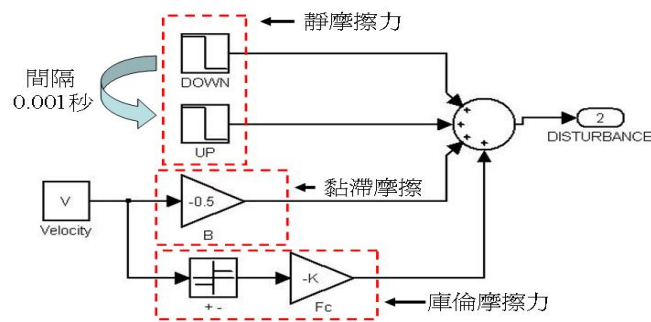


圖 2.5: 在 MATLAB 下模擬系統靜態摩擦力干擾源 [16]

在零秒時給予 5mm 位步階置命令，下圖 2.6 為 PI 控制系統與加入干擾觀測器系統在加入靜態摩擦力模型干擾源的位置響應比較：

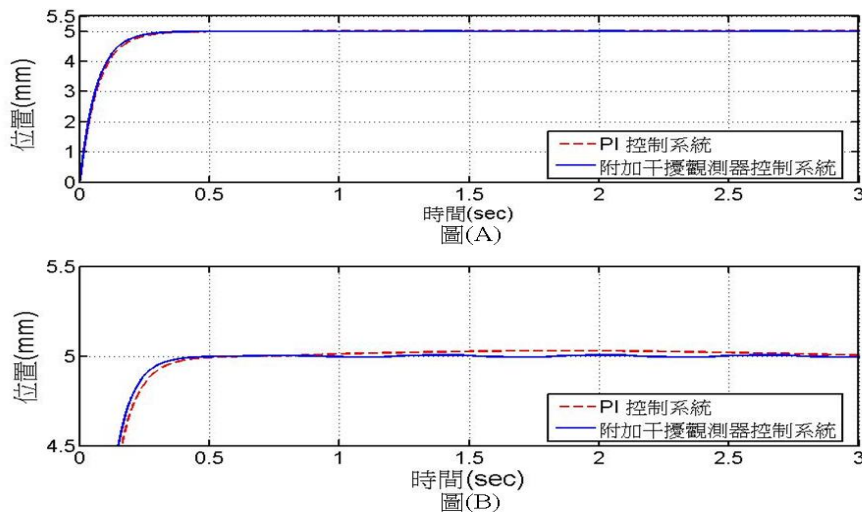


圖 2.6: 圖 (A) 為位置命令 5mm 的系統響應；圖 (B) 為其局部放大圖 [16]

從圖 2.6中可以發現加入干擾觀測器的系統上升時間 (t_r) 較單純使用 PI 控制的系統來的快，而 PI 控制系統其響應波形發生較大的最大超越量 (Overshoot) 情況，故加入干擾觀測器的音圈馬達對焦系統擁有較佳的上升時間，且降低系統的最大超越量。

2.4 系統響應

圖 2.7為利用 PI 控制系統，在系統為水平放置的情況下給予 3mm 位置控制命令，系統的位置響應圖。

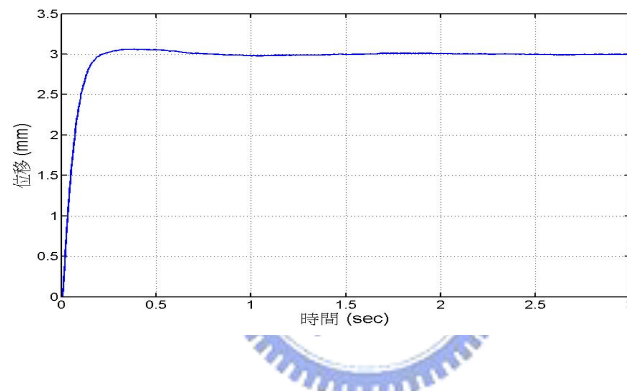


圖 2.7: 水平放置 PI 控制系統對 3mm 位置控制命令響應圖 [16]

與圖 2.8加入干擾觀測器的系統位置響應相比較，加入干擾觀測器的系統有較佳的上升時間及有效的減低了系統響應的最大超越量，使系統更快速的達成定位。

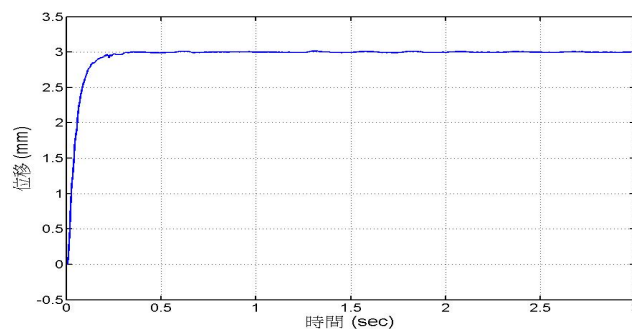


圖 2.8: 水平放置附加干擾觀測控制系統對 3mm 位置控制命令響應圖 [16]

定義系統的上升時間為行進位置控制命令大小的 10% 至 90% 所需的時間，則 PI 控制系統及加入干擾觀測器系統的位置響應規格，分別如表 2.1 及表 2.2 所示，由表中可以發現附加干擾觀測器的系統，其上升時間較 PI 控制系統來的快速，且由於干擾觀測器對於外在摩擦力所造成的擾動有較佳的補償效果，故其最大超越量遠小於 PI 控制系統。

表 2.1: PI 控制系統各位置控制命令響應規格表

位置控制命令	上升時間 (ms)	最大超越量 (mm)	最大超越量百分比 (%)
1mm	170	0.05	5
2mm	126	0.08	4
3mm	114	0.06	2
4mm	106	0.097	2.4
5mm	107	0.138	2.76

表 2.2: 附加干擾觀測器控制系統各位置控制命令響應規格表

位置控制命令	上升時間 (ms)	最大超越量 (mm)	最大超越量百分比 (%)
1mm	103	0.006	0.6
2mm	94	0.06	3
3mm	105	0.01	0.33
4mm	93	0.006	0.15
5mm	83	0.005	0.1

在音圈馬達滑動元件將鏡片移動至指定的位置後，再依據影像感測元件對成像清晰度進行判斷，根據判斷的結果再經由滑動元件進行微距移動調整，達成清晰成像之目的。

第三章

系統硬體架構及原理介紹

3.1 系統介紹

系統硬體架構圖如圖 3.1所示，由音圈馬達結構、磁阻感測訊號處理電路、類比轉數位電路 (A/D Converter)、數位轉類比電路 (D/A Converter)、音圈馬達驅動電路以及 Nios II Microprocessor 所構成，主要是利用磁阻感測器抓取音圈馬達滑動元件移動時所產生的訊號，再利用位置估測演算法 (Position Estimating Algorithm) 來計算音圈馬達滑動元件目前所在位置，再經由 Nios II Microprocessor 以 C 語言建立音圈馬達之速度 PI 控制器、位置 P 控制器對音圈馬達之滑動元件進行控制，以下將針對各部份電路作功能介紹，系統實體圖如圖 3.2所示。

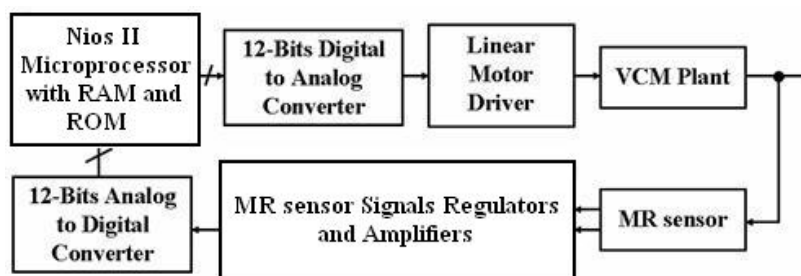


圖 3.1: 系統硬體架構圖

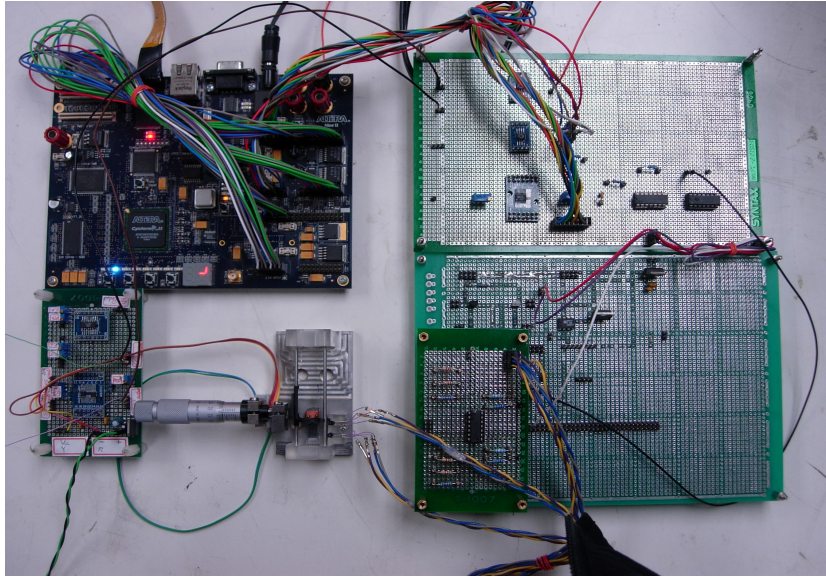


圖 3.2: 系統實體圖

3.2 ALTERA Nios II Development Board

本論文以場效型可規劃邏輯陣列 (FPGA) 晶片為基礎，整合數位邏輯晶片與 Nios II 處理器於單一顆 FPGA 晶片中，以實現高速音圈馬達之位置控制，系統實現方式是採用 ALTERA 公司 Nios II Development Board 為主要的設計研發平台。此發展板所使用的 FPGA 晶片的型號為 Cyclone II EP2C35F672C6ES，這顆 FPGA 晶片是由 672 根腳位的 Fin eline BGA 封裝而成，其詳細規格表如表 3.1 所示。

表 3.1: EP2C35F672C6ES 晶片規格

規格 Feature	EP2C35F672C6ES
邏輯單元 Logic elements(LEs)	33,216
M4K RAM blocks (128 x 36 bits)	105
總記憶體位元數 Total RAM bits	920,448
Embedded 18x18 Multiplier Blocks	35
鎖相迴路 PLLS	4
User I/O pins	475

圖 3.3 為 Nios II Development Board 電路實體圖。除了一顆 FPGA 晶片及一般輸出入接腳外，尚包含了：

1. 16MBytes 的 Flash memory。
2. 2MBytes 的 synchronous SRAM。
3. 32MBytes 的 DDR SDRAM。
4. 一組 Ethernet MAC/PHY 裝置與 RJ45 接頭用以透過網路做資料傳輸。
5. 一組 Compact Flash(CF) 接頭及一塊 32MB 的 CF Card。
6. 一組 Mictor 接頭可進行軟硬體的除錯。
7. 一組 RS232 接頭可以連接序列埠。
8. 四顆按鈕與八顆 LED 連接至 FPGA 的輸出入腳。
9. 兩組七段顯示器。
10. JTAG 接頭使程式可經由傳輸線下載至 FPGA 裝置。
11. 一個 50MHz 的石英震盪器。

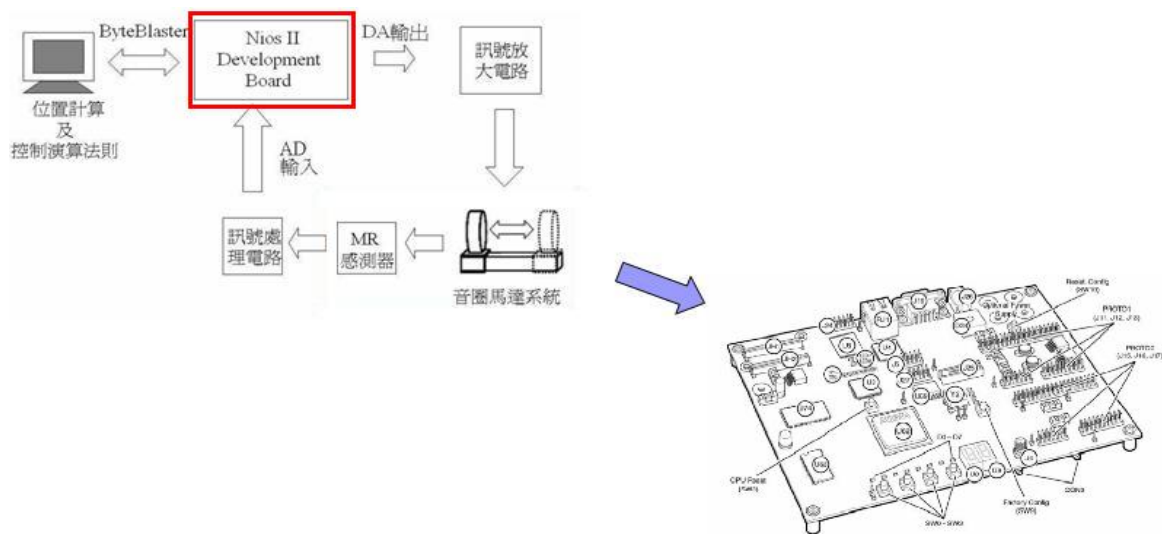


圖 3.3: Nios II Development Board 電路實體圖

這些週邊對設計者在晶片功能的驗證與除錯上，提供了多種介面及完善的解決方案，利於減少晶片研發的時間。其電路架構方塊圖如圖 3.4 所示。

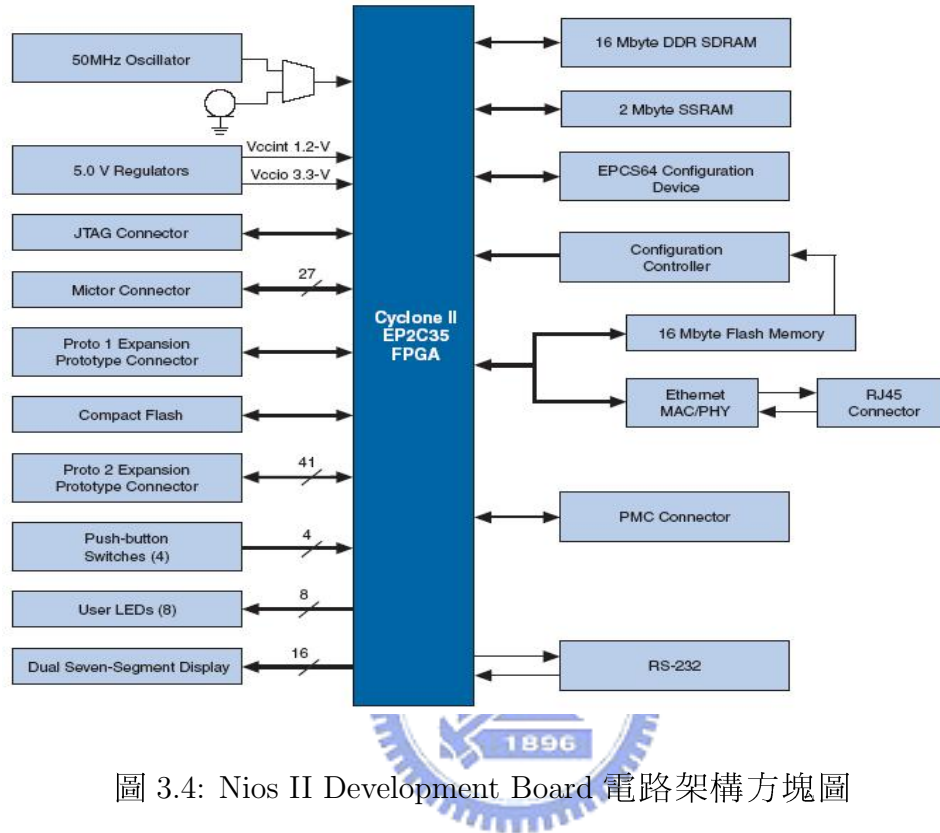


圖 3.4: Nios II Development Board 電路架構方塊圖

3.3 音圈馬達結構

音圈馬達結構示意圖如圖 3.5 所示，包含音圈馬達線圈及其滑動元件、磁阻感測器、交互充磁磁條及光遮斷器，經由驅動音圈馬達線圈結構使滑動元件產生移動，使磁阻感測器的輸出藉由磁條移動而產生的磁場變化發生改變，再將感測訊號經由處理電路進行處理。

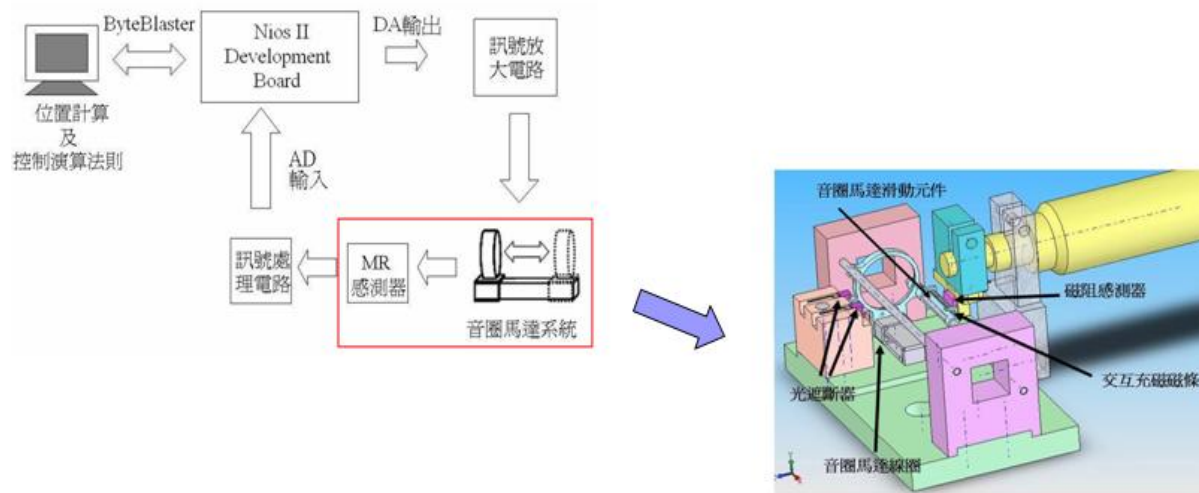


圖 3.5: 音圈馬達結構示意圖

3.4 光遮斷器

光遮斷器其主要功能為在波形參數鑑別過程中，判斷音圈馬達之滑動元件是否到達行進區間之起點或終點，其型號為 SG-290，電路接線如圖 3.6 所示，當音圈馬達之滑動元件到達行進區間之起點或終點，光遮斷器便產生一個由高準位至低準位之觸發訊號，觸發訊號之波形如圖 3.7 所示。

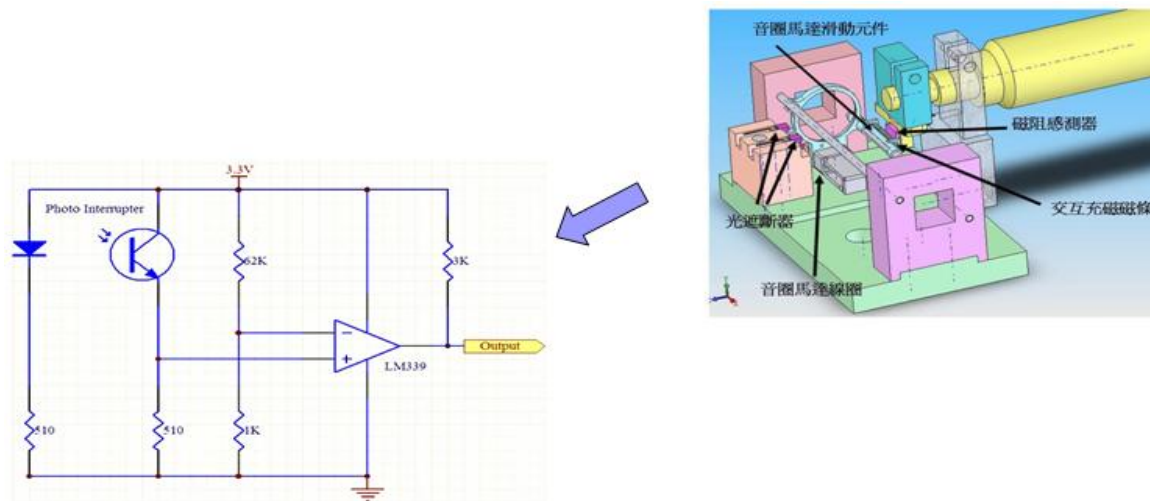


圖 3.6: 光遮斷器電路接線圖

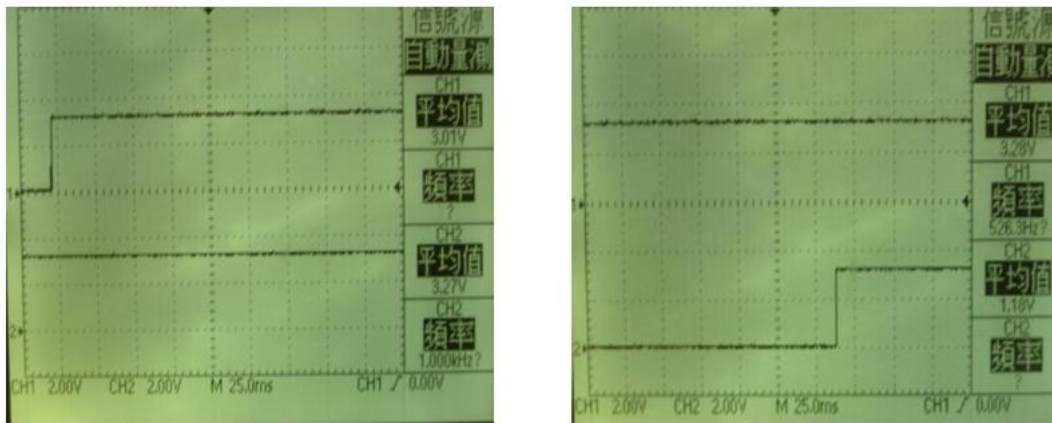


圖 3.7: 光遮斷器觸發訊號之波形 (圖左為起點之觸發訊號，圖右為終點之觸發訊號)

3.5 磁阻感測訊號處理電路

磁阻感測訊號處理電路主要是對磁阻感測器的輸出訊號進行位準調整，先將感測器的輸出訊號與其輸出偏壓進行比較，將訊號的振幅位準調整至 0V，經由放大及濾波電路，濾除其高頻雜訊並放大訊號的振幅，再經由位準的調整使其放大後訊號的範圍為類比轉數位電路 (A/D Converter) 輸入可接受的電壓範圍，其電路架構如圖 3.8 所示，利用此處理電路可以調整感測訊號的偏壓位準及振幅大小並濾除高頻雜訊，其輸出波形如圖 3.9 所示。

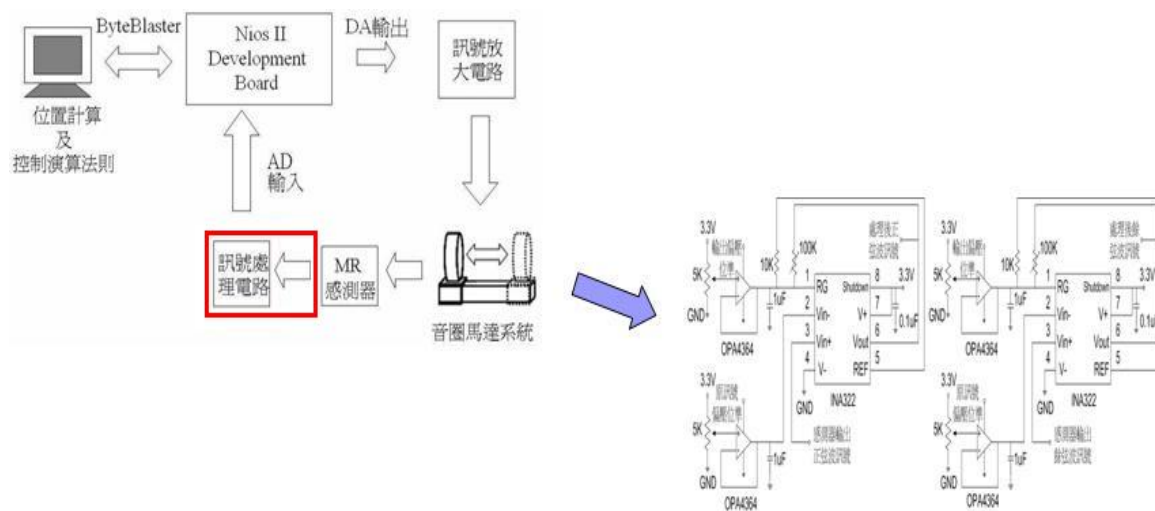


圖 3.8: 感測訊號處理電路

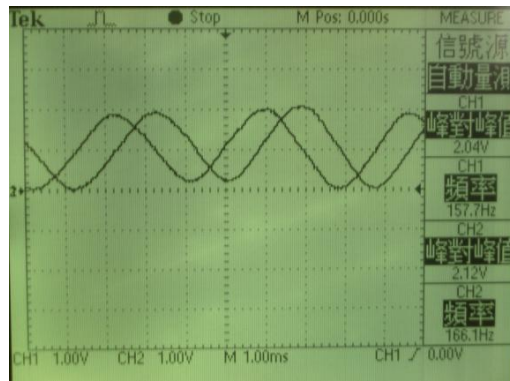


圖 3.9: 感測訊號處理電路之輸出波形

3.6 類比轉數位電路 (A/D Converter)

類比轉數位電路 (A/D Converter) 主要功能是将位準調整後之磁阻感測器輸出訊號進行類比輸入，並轉換為可被 Nios II 微處理器讀取的數位值，其 IC 型號為 AD7896，是一顆取樣快速且精度為 12 位元的串列式類比數位轉換 IC，類比轉數位之轉換速率為 100KHz(每秒 10 萬筆資料)，類比輸入範圍為 0V 至 5.5V，類比訊號轉成數位訊號的轉換時間為 8 微秒，資料的讀取與傳輸為串列形式，其電路接線如圖 3.10 所示。

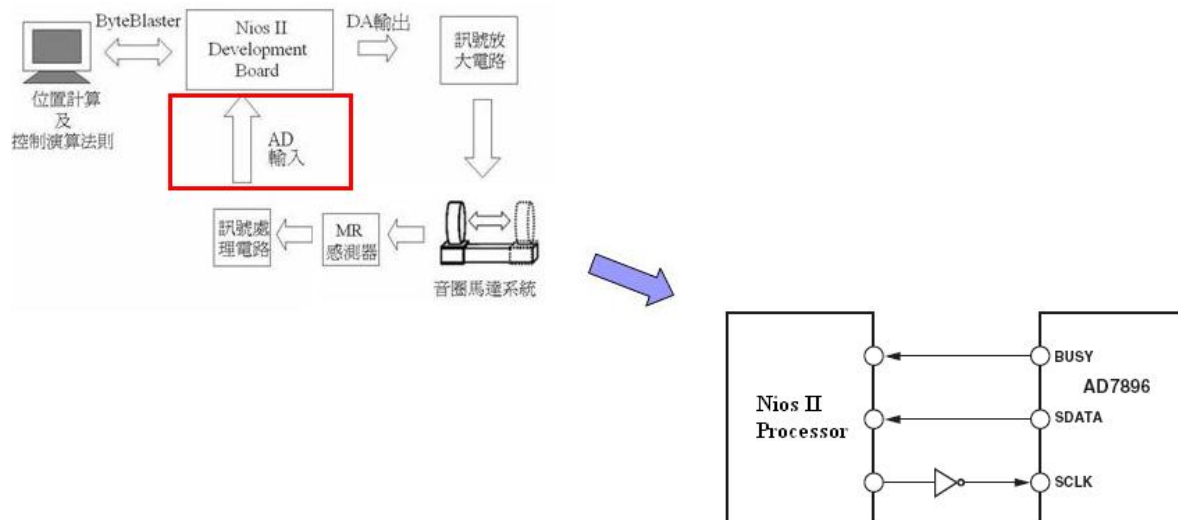


圖 3.10: AD7896 電路接線圖

AD7896 共有 8 個 Pin 腳，圖 3.11 為 AD7896 腳位與功能方塊圖，各腳位的說明如表 3.2 所示。

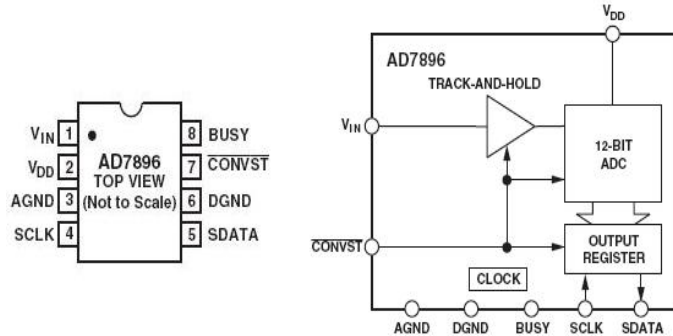


圖 3.11: AD7896 腳位與功能方塊圖

表 3.2: AD7896 各腳位功能表

Pin No.	Description
1 (V_{IN})	Analog input. The analog input range is 0V to V_{DD} .
2 (V_{DD})	Positive supply voltage. 2.7V to 5.5V.
3 (AGND)	Analog ground.
4 (SCLK)	Serial clock input.
5 (SDATA)	Serial data output. Serial data from AD7896 is provided at this output.
6 (DGND)	Digital ground.
7 (CONVST)	Convert start. Edge-triggered logic input.
8 (BUSY)	The BUSY pin is used to indicate when the part is doing a conversion.

由於 AD7896 是 12 位元的類比數位轉換 IC，因此若類比輸入範圍為 0V 至 3.3V，轉換後的數位值其每一位元約為 0.81mV(3.3V/4096)，表 3.3 為 AD7896 之類比數位轉換表。

表 3.3: 類比數位轉換表

Analog Input	Code Transition
3.299194V	111...110 to 111...111
3.298389V	111...101 to 111...110
3.297583V	111...100 to 111...101
0.002417V	000...010 to 000...011
0.001611V	000...001 to 000...010
0.000806V	000...000 to 000...001

3.6.1 AD7896 之操作模式與時序圖

AD7896 共有兩種操作模式：(1) High Sampling Performance；(2) Auto Sleep after Conversion；在本研究中選用的操作模式為 High Sampling Performance，其時序圖如圖 3.12 所示，動作說明如下：

1. 當類比訊號輸入以後，先使 CONVST 腳位由 high 變 low，AD7896 開始轉換。
2. 此時 BUSY 腳位由 low 變 high，開始進行內部轉換，需時 8 微秒，當資料轉換完畢，BUSY 腳位由 high 變 low。
3. SCLK 送出 16 個方波，開始進行串列讀取資料動作。

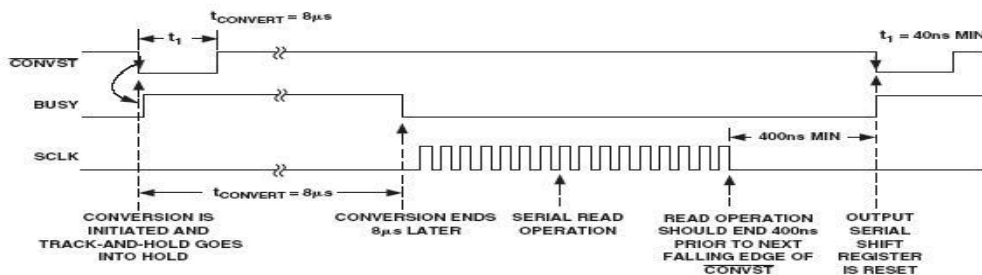


圖 3.12: Mode 1 Timing Operation Diagram for High Sampling Performance

AD7896 資料的讀取為串列形式，其時序圖如圖 3.13所示，動作說明如下：

1. SCLK 送出 16 個方波，共分為前 4 個方波以及後 12 個方波兩個部份，前四個方波為接收資料的準備時間。
2. 後 12 個方波為 SDATA 於每個方波週期送出一個位元資料，由最高位元先傳。
3. 其餘時刻輸出腳位為 Tri-State。

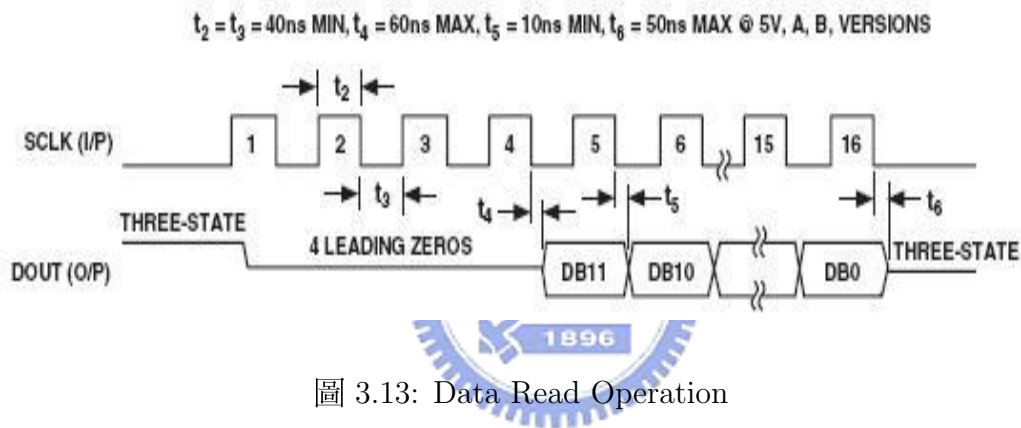


圖 3.13: Data Read Operation

3.7 數位轉類比電路 (D/A Converter)

數位轉類比電路 (D/A Converter) 的主要功能是接收來自於 Nios II 微處理器運算過後的數位值，並轉換為類比輸出至音圈馬達驅動電路，其 IC 型號為 AD5445，是一顆具有高頻寬且精度為 12 位元的並列式數位類比轉換 IC，其電源供應範圍為 2.5V 至 5.5V，參考電壓範圍可達 -10V 至 +10V，資料的讀取與傳輸為並列形式，是一顆易於使用的並列介面 (Parallel interface) 數位類比轉換 IC，其電路接線如圖 3.14所示。

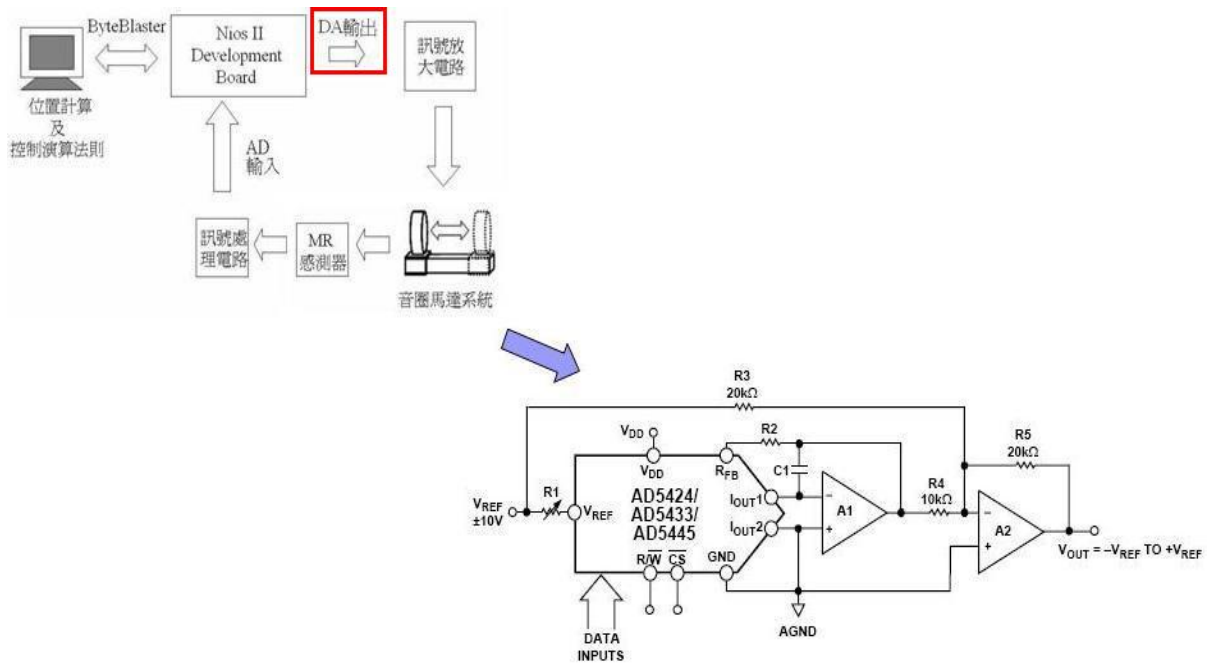


圖 3.14: AD5445 電路接線圖

AD5445 共有 20 個 Pin 腳，圖 3.15 為 AD5445 腳位與功能方塊圖，各腳位的說明如表 3.4 所示。

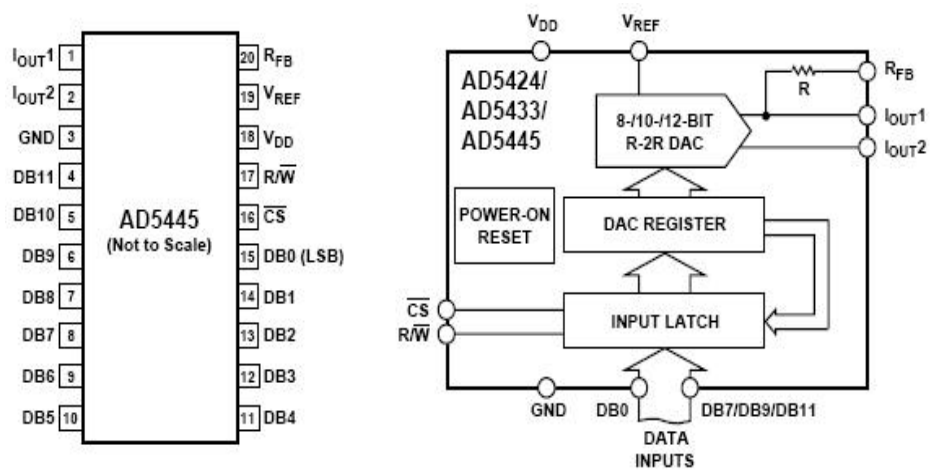


圖 3.15: AD5445 腳位與功能方塊圖

表 3.4: AD5445 各腳位功能表

Pin No.	Description
1 (I_{OUT1})	DAC current output.
2 (I_{OUT2})	DAC analog ground.
3 (GND)	Ground pin.
4-15 (DB11-DB0)	Parallel data bits 11 to 0.
16 (CS)	Chip select input.Active low.
17 (R/W)	Read/Write pin.
18 (V_{DD})	Positive power supply input. 2.5V to 5.5V.
19 (V_{REF})	DAC reference voltage input terminal.
20 (R_{FB})	DAC feedback resistor pin.

AD5445 是 12 位元的數位類比轉換 IC，其輸出電壓與參考電壓關係式為：

$$V_{OUT} = (V_{REF} \cdot D / 2^{n-1}) - V_{REF} \quad (3.1)$$

其中 D 為 Input Data，D=0 to 4095(12-bit AD5445)，n=12，表 3.5 為 AD5445 之數位類比轉換表。

表 3.5: 數位類比轉換表

Digital Input	Analog Output
1111 1111 1111	$+V_{REF}(2047/2048)$
1000 0000 0000	0
0000 0000 0001	$-V_{REF}(2047/2048)$
0000 0000 0000	$-V_{REF}(2048/2048)$

3.7.1 AD5445 之時序圖與動作說明

AD5445 資料的讀取為並列形式，其時序圖如圖 3.16所示，動作說明如下：

1. 當 CS 腳位與 R/W 腳位同時為 low 準位時，AD5445 開始讀取並列資料 (Parallel data) 並將資料寫入 Input Latch。
2. 當 CS 腳位為 low 準位，R/W 腳位為 high 準位時，AD5445 讀取 DAC 暫存器內容值並轉換成類比輸出。

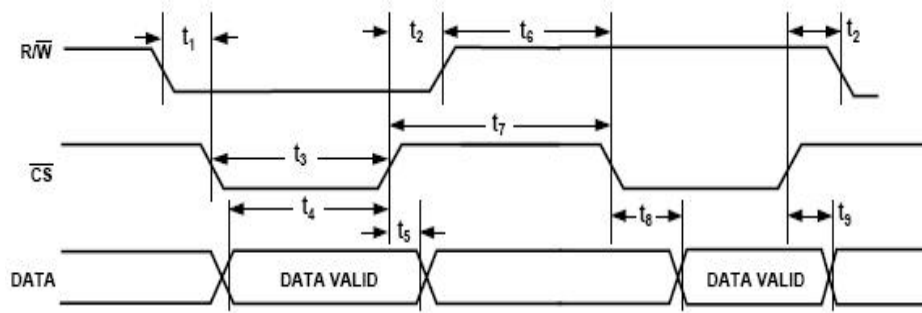


圖 3.16: AD5445 Timing Diagram

3.8 A/D、D/A Converter 之實測輸出波形

圖 3.17 是依據 AD7896 以及 AD5445 操作之時序圖，利用 Quartus II 設計軟體撰寫程式之實際測試輸出波形，其中示波器 Channel 1 為訊號產生器產生之類比訊號輸入源，Channel 2 為經過 A/D、D/A 轉換後輸出之類比訊號。

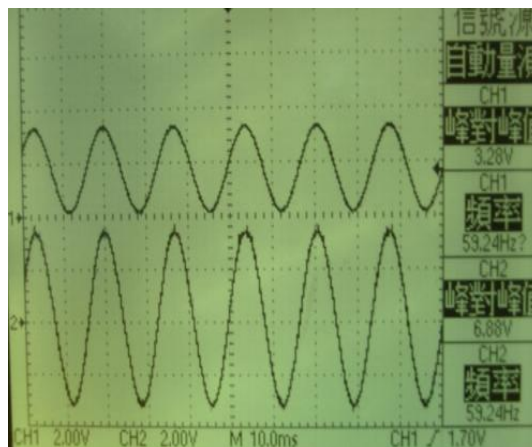


圖 3.17: A/D、D/A Converter 之實測輸出波形

3.9 音圈馬達驅動電路

音圈馬達驅動電路的主要功能為將 D/A Converter 所輸出的類比控制訊號進行訊號放大，由於 D/A Converter 所輸出的控制訊號為提供控制電壓的大小，但卻無法產生足夠的電流對音圈馬達線圈進行推動，因此利用將放大器設計為電壓追隨器的形式，再透過能產生大電流輸出的緩衝器 (BUF634) 產生足夠的驅動電流，對音圈馬達線圈架構進行驅動，其電路示意圖如圖 3.18 所示，輸出波形如圖 3.19 所示。

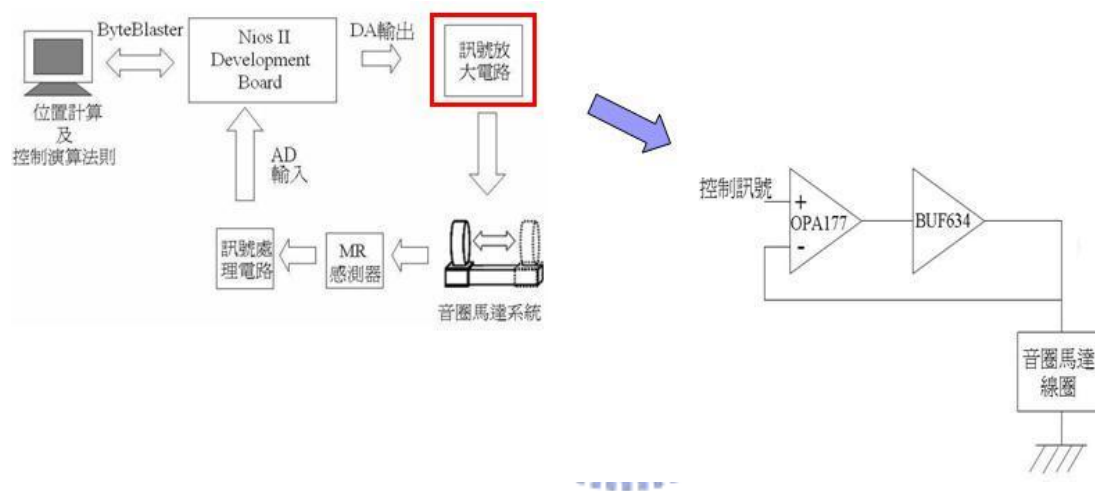


圖 3.18: 音圈馬達驅動電路示意圖

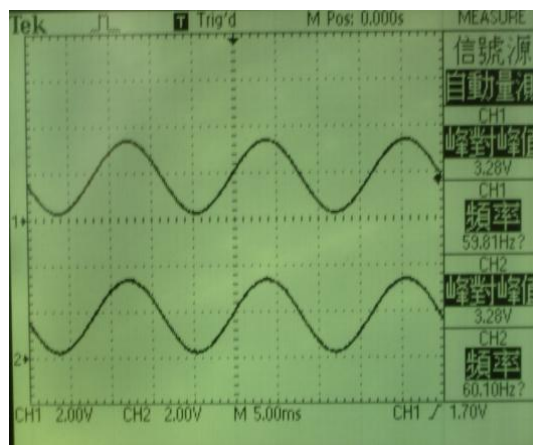



圖 3.19: 音圈馬達驅動電路輸出波形

第四章

系統之規劃與設計

4.1 軟體設計環境介紹



在開發整個系統的過程中，使用到的軟體為 Quartus II 整合性開發軟體、Nios II 微處理器設計軟體 SOPC (System on a programmable chip)Builder 以及 Nios II IDE(Integrated Development Environment)。其中，Quartus II 軟體主要是用在發展 FPGA 晶片時，進行程式的撰寫、編輯、晶片功能驗證模擬及下載歸劃，由於其具有強大功能整合的特性，在晶片原型設計時所需作的合成與時序分析等驗證晶片效能的動作，皆可在 Quartus II 軟體中達成；此外，在 Quartus II 底下的 SOPC Builder 軟體則可以規劃出一顆 Nios II 微處理器，並與其餘功能方塊作連結，使得整個設計更多元化並且有更好的擴充性。而 Nios II IDE 則是一套允許設計者撰寫 C/C++ 程式語言並且編輯燒錄至 Nios II 微處理器的軟體。

4.1.1 晶片設計軟體 -Quartus II

Quartus II 是一套 ALTERA 的系統層級開發工具軟體，可支援到數百萬閏的 PLD 快速編輯。並且保有 MAX+Plus II 的特點，利用這套軟體，設計者

完成可以從設計圖、硬體描述語言、規劃連結的燒錄檔、到模擬作業時態分析等工作。

Quartus II 軟體開發晶片的流程分爲；設計輸入、邏輯合成、佈局與繞線、模擬、時序分析、程式化與下載規劃等步驟，其軟體操作簡述如下：

1. 建立新專案並設定使用之 FPGA 發展板型號。
2. 進行程式的撰寫，可先撰寫硬體描述語言，如 Verilog HDL、VHDL，完成各個規劃的功能，並輸出爲功能方塊圖，再建立最上層的方塊圖檔 (*.bdf)，並將所有模組化功能方塊作訊號與輸入輸出的連接，完成整個晶片的設計。
3. 將功能方塊輸入輸出腳位與 FPGA 發展板可規劃腳位或週邊元件作腳位設定動作，以便對晶片功能進行實體驗證。
4. 開始進行編輯，依序完成邏輯合成、佈局與繞線、模擬及時序分析動作，編輯無誤後，便產生一個可下載至 FPGA 晶片內部的載入檔 (*.sof)，而合成出來的邏輯閘連接方式可由 RTL Viewer 來觀察，以驗證其規劃方式是否符合需求。
5. 在 FPGA 實體驗證以前，可先對專案做輸入輸出訊號的波形模擬圖，完成預先驗證的目的，同時觀察邏輯延遲的影響。
6. 波形模擬驗證無誤後，便可將程式下載至 FPGA 進行內邏輯閘的規劃，並根據 FPGA 發展板上的週邊或示波器來驗證晶片功能。

4.1.2 Nios II 微處理器設計軟體 -SOPC Builder、Nios II IDE

SOPC 爲系統在可程式的晶片上 (System on a programmable chip) 的簡稱。此設計方式是將邏輯電路、記憶體、IP 與嵌入微處理器放在一個可程式的邏輯元件上。可以讓有想法的設計者，快速開發產生雛型設計。ALTERA 的 Excalibur 系列乃是將微處理器核心以軟體或硬體的方式置入可編程晶片元件中，最先推出的是 Nios 系列，提供微控制器 Software IP，可透過參數的設定，除了可加入設計者的邏輯單元外，亦可以同時置入多個微控制器，一同

編輯後取得燒錄檔即可下載到 Nios 的發展板上開發應用進行驗證。ALTERA 提供的設計流程開發產品有 SOPC Builder 和 Quartus II 軟硬體同步開發工具。簡言之，SOPC Builder 就是一套圖形化的工具軟體，讓設計者可以很容易設計出目標系統晶片，大大縮短了過去設計上所要花費的時間。

SOPC Builder 系統發展工具簡化了創造高性能的 SOPC(System on a programmable chip) 設計任務。利用 SOPC Builder，系統設計者能夠定義和實現完整的系統。所花的時間比傳統 SOC(System on a chip) 設計少的多。SOPC Builder 與 Altera Quartus II 軟體整合在一起，能夠給 FPGA 設計者立即能取得的革命性新的發展工具。SOPC Builder 資料庫組成包括：

1. 處理器 (Processors)。
2. 智慧財產權 (IP) 和週邊。
3. 記憶體介面。
4. 通信週邊。
5. 排線和介面，包括 Avalon 排線和 AMBA 效能排線 (AHB)。
6. 數位訊號處理 (DSP) 核心。
7. 軟體組件。
8. 標題檔案。
9. 語言驅動器。



透過 SOPC Builder，我們可以針對需求選擇微處理器核心，例如 ARM based CPU 或 ALTERA Nios CPU，其次選擇匯流排橋接器 (Bridge) 例如 AHB to Avalon Bridge，這套軟體也提供了一些通訊用常見的 IP，如 SPI、UART、AHB EthernetMA...等，其他如記憶體控制器，記憶體等，當然在選擇後必須加以設定相關參數，達到自己理想中的系統組態。完成後，SOPC Builder 會根據這些組態和參數，自動產生對應的 VHDL 或 Verilog 硬體描述語言程式碼。

設計者可以開啓 Quartus II project，選取視窗選單 Tools 中的 SOPC Builder 來開啓 SOPC Builder 視窗，其使用介面包括了下列三種頁面：System Contents 頁面、System dependency page 頁面與 System Generation 頁面。三種頁面說明如下：

1. System Contents 頁面：此頁面用來定義系統內容，如圖 4.1 所示，畫面左邊 module pool 區列出所有資料庫組件，在畫面右邊表格列出的是設計者所選擇的系統組件。

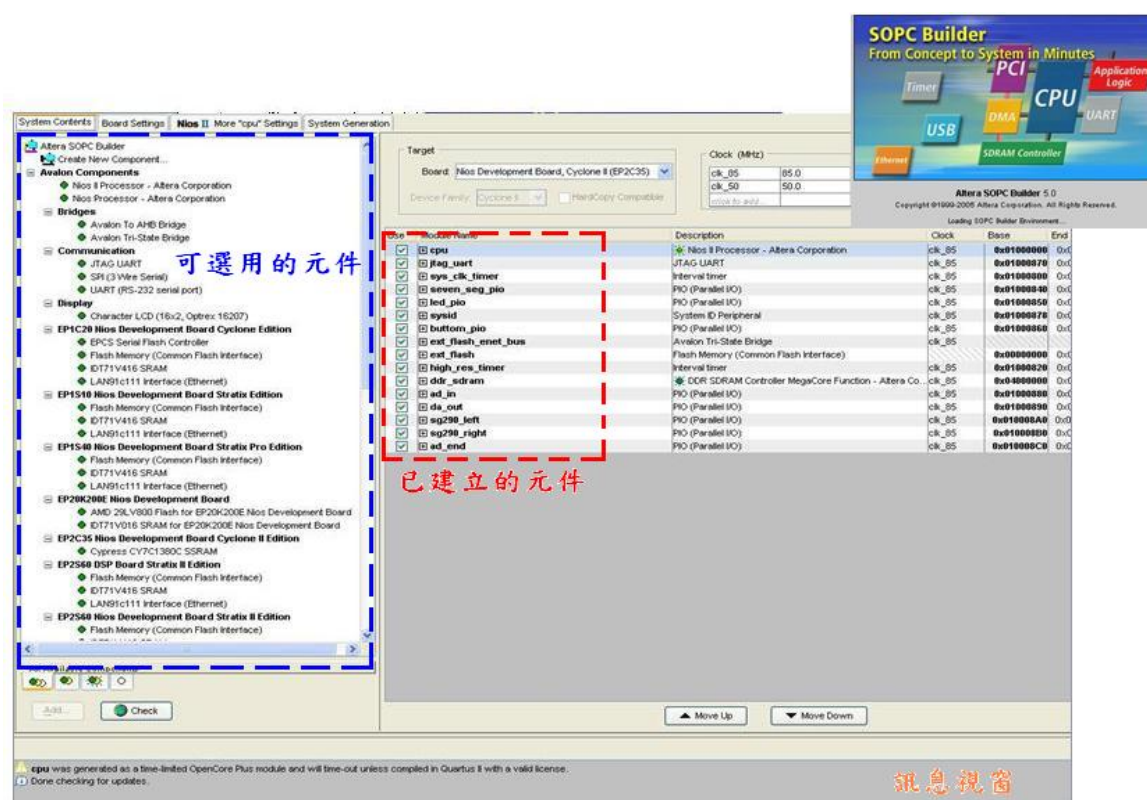


圖 4.1: System Contents 頁面

2. System dependency page 頁面：當增加某組件至所設計的系統時，例如一個 Flash memory，一個新增的頁面會出現在 SOPC Builder。這些頁面能夠讓你根據系統的組件設定參數。例如，你可以規範 CPU 與記憶體之間的關係，有哪些記憶體是作為程式記憶體，有哪些記憶體是作為資料記憶體，如圖 4.2 所示。

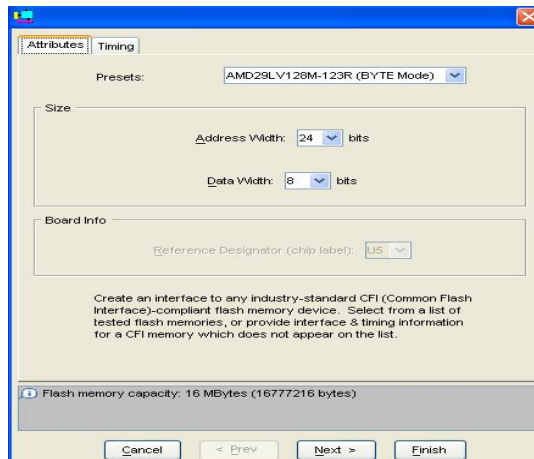


圖 4.2: System dependency page 頁面

- 3. System Generation 頁面：此頁面主要是用來產生系統，在系統產生的過程中，此頁面會紀錄系統產生的訊息，如圖 4.3所示。

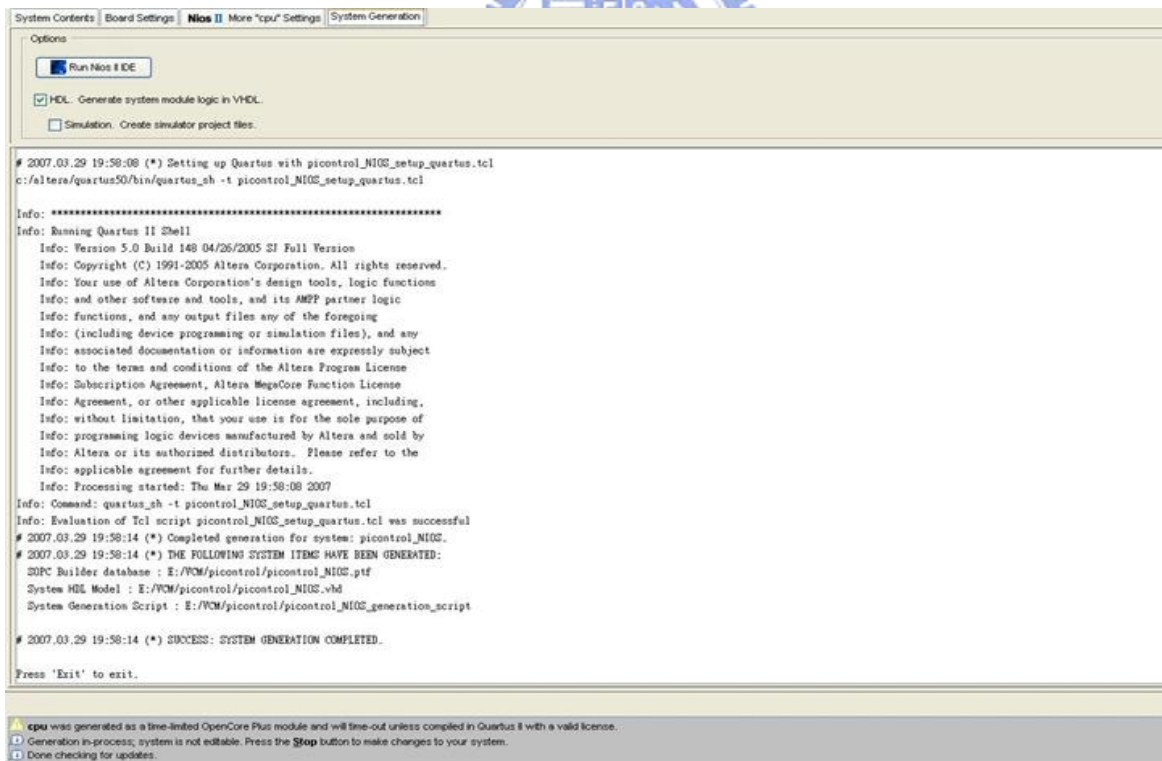


圖 4.3: System Generation 頁面

當設計者利用 SOPC Builder 規劃完一顆 Nios II 微處理器並且與其餘功能方塊作連結以後，便可開啓 Nios II IDE 視窗撰寫 C/C++ 程式語言並且編輯燒錄至 Nios II 微處理器進行功能驗證，其用戶介面如圖 4.4 所示。

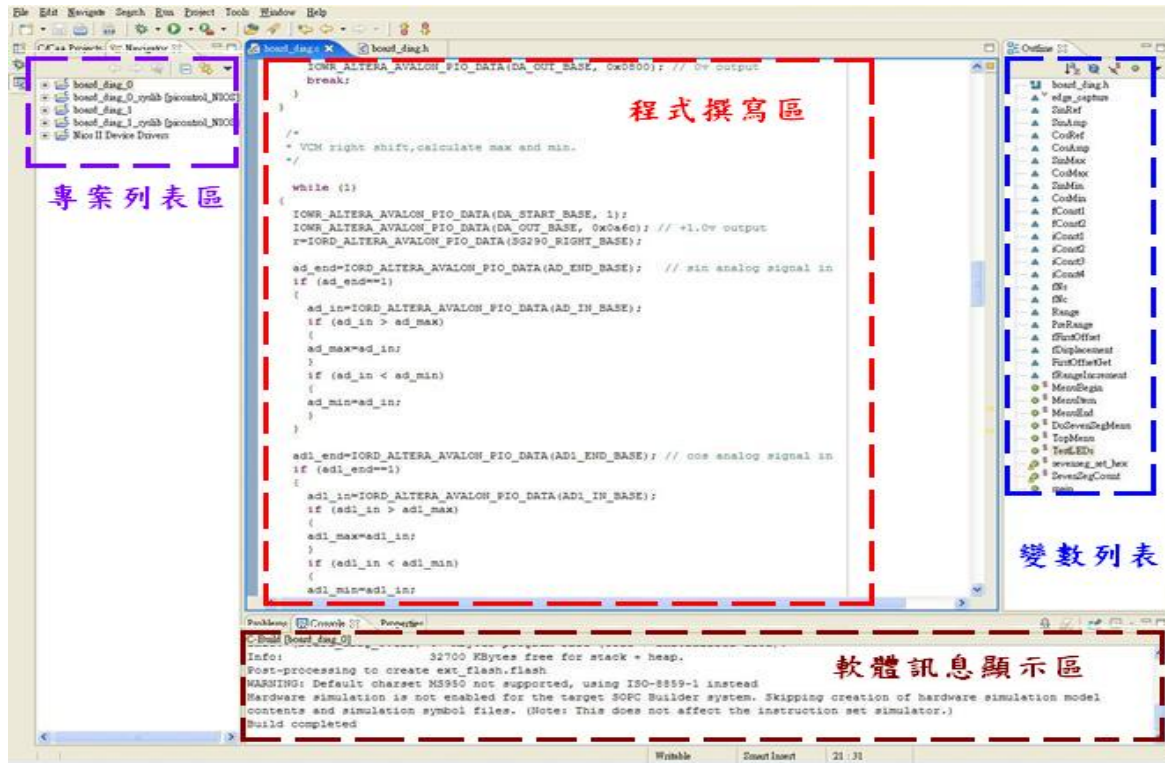


圖 4.4: Nios II IDE 用戶介面

4.2 Nios II 處理器功能規劃

本研究規劃之 Nios II 處理器主要是利用磁阻感測器抓取音圈馬達滑動元件移動時所產生的訊號，根據軟體式位置估測演算法來計算音圈馬達滑動元件目前所在的正確位置，最後以程式建立音圈馬達之速度 PI 控制器、位置 P 控制器來對音圈馬達滑動元件進行控制，而音圈馬達的定位控制流程共分為三個步驟，分述如下：

1. 初始化步驟 (波形參數鑑別)：在系統啓動時，需執行的步驟，透過此步驟，讓系統獲取當時狀態下磁性尺的特性參數，以提供位置計算演算法所需的波形參數進行位置計算。

2. 音圈馬達位置計算流程：建立一套位置計算演算法針對獲得的感測訊號進行分析判斷，來獲知目前音圈馬達滑動元件所在的位置資訊。
3. 音圈馬達定位演算法則：利用計算得到的位置資訊對滑動元件速度進行估算，透過位置及速度回授對音圈馬達進行定位控制演算，而控制器部份則是以比例積分控制器來對系統進行控制。

4.2.1 波形參數鑑別

波形參數鑑別的程式流程圖如圖 4.5 所示，當啓動初始化波形參數鑑別流程後，首先產生一個負向的推力使馬達移動到起始點，在偵測到起始點的光遮斷器遭觸發後，程式改變驅動電壓使馬達產生正向的持續移動，到聚焦行程的終止端點，再產生一個負向的推力使馬達回歸到起始點，結束初始化波形參數鑑別流程。在移動的過程中對磁阻感測器所回傳的訊號進行紀錄分析，藉由所獲得的訊號判別出系統的波形參數振幅之最大最小值，再利用獲得的最大最小值關係推算出正弦波與餘弦波的偏壓及振幅。

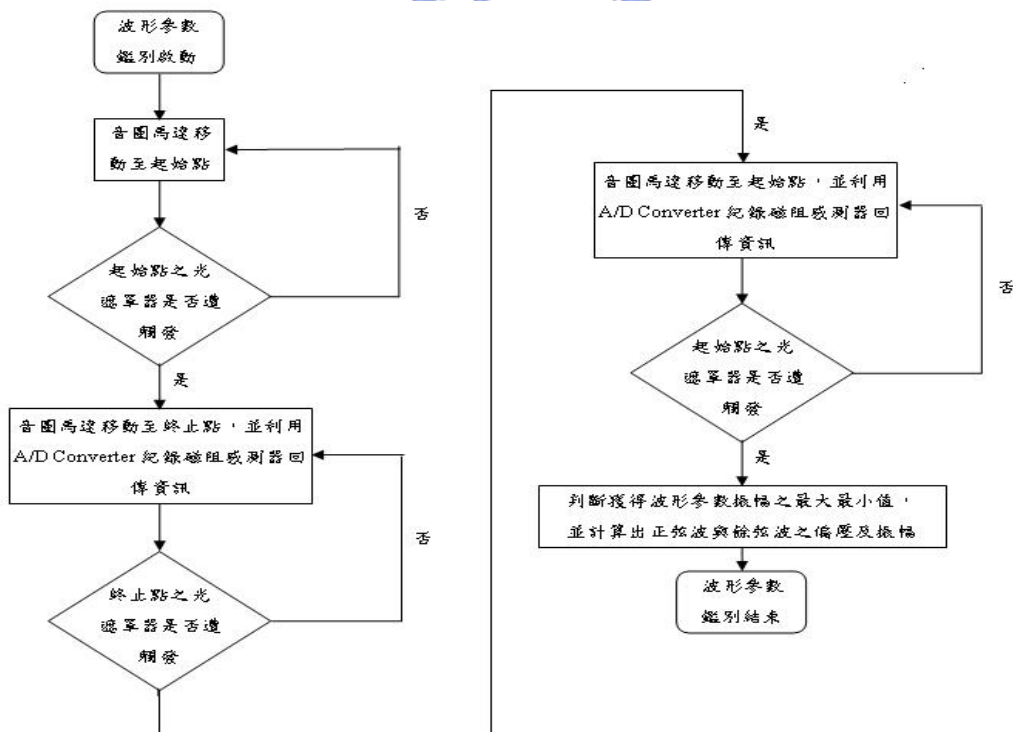


圖 4.5: 波形參數鑑別程式流程圖

4.2.2 音圈馬達位置計算

在執行完波形參數鑑別獲得正弦波與餘弦波的偏壓及振幅後，接著在進行定位控制的過程中利用 A/D Converter 不斷擷取目前磁阻感測器的正弦波與餘弦波訊號並經由式 4.1 和式 4.2 將其進行標準化，使所擷取到的正弦波及餘弦波其範圍落在 -1 及 +1 之間。

$$x_{NA}(n) = \frac{x_A(n) - b_A}{X_A} \quad (4.1)$$

$$x_{NB}(n) = \frac{x_B(n) - b_B}{X_B} \quad (4.2)$$

其中 x_A 為擷取的正弦訊號； b_A 為正弦訊號偏壓； X_A 為正弦訊號振幅；

x_B 為擷取的餘弦訊號； b_B 為餘弦訊號偏壓； X_B 為餘弦訊號振幅。

利用正弦波與餘弦波間波形相位相差 90 度的特性，我們可以將標準化磁阻感測訊號分割為四個區間，如圖 4.6 所示，以正弦波與餘弦波發生交越情況的訊號大小值，作為決定區塊分割的判別標準。

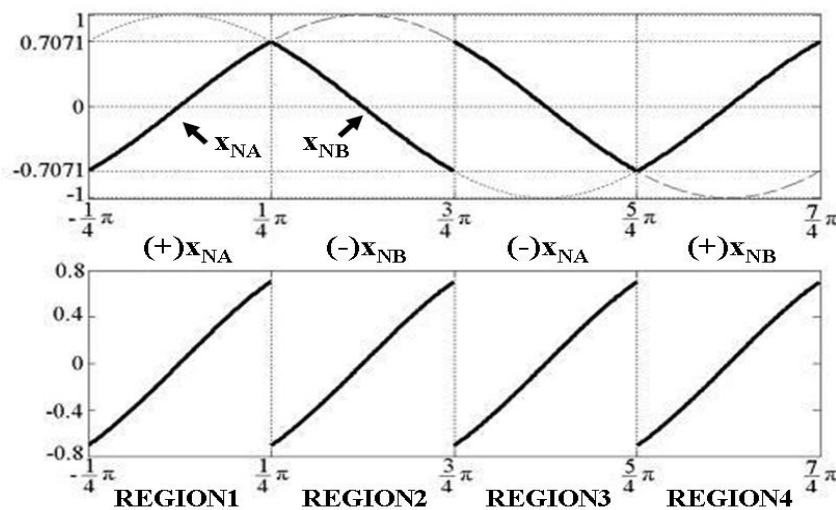


圖 4.6: 區塊分割圖 [16]

$$x_{NB}(n) \geq 1/\sqrt{2} \Rightarrow \text{REGION 1}$$

$$x_{NA}(n) \geq 1/\sqrt{2} \Rightarrow \text{REGION 2}$$

$$x_{NB}(n) \leq -1/\sqrt{2} \Rightarrow \text{REGION 3}$$

$$x_{NA}(n) \leq -1/\sqrt{2} \Rightarrow \text{REGION 4}$$

利用弦波訊號間的相對關係，可對滑動元件的位置進行估算，假設交互極性磁條的充磁寬度 (*pole_pitch*) 為 0.88 mm，則自動對焦的可移動部份每移動一個區塊則代表實際走了 0.22 mm，而在目前區塊中的移動量則採對弦波進行線性近似方式來計算，其線性近似關係圖如圖 4.7 所示，弦波與線性近似曲線誤差關係圖如圖 4.8 所示。

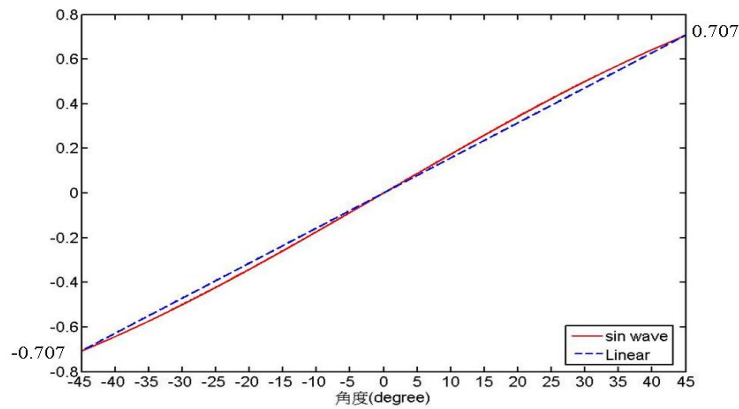


圖 4.7: 線性近似關係圖 [16]

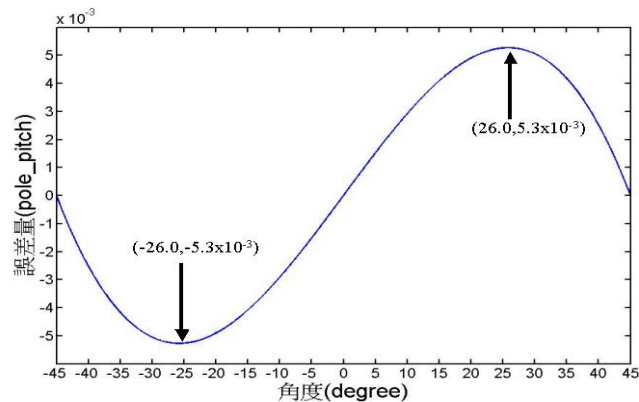


圖 4.8: 弦波與線性近似曲線誤差關係圖 [16]

由圖 4.8 可知，經由將弦波以線性近似方式進行位置計算，其最大誤差量約發生在正負 26 度附近，其大小約為 5.3×10^{-3} 倍的磁條充磁間距 (pole_pitch)，當磁條充磁間距越密集，則經由線性近似方式所計算出的實際位置將會更加準確。

此外，當滑動元件位於起始點時，磁阻感測器所產生的兩個波型訊號的相對關係，並不會恰好是位於所定義區間的起始點，因此在計算馬達實際位置的時候，會使計算出的位置資訊產生偏移量，我們將此偏移量設定為 P_{os} ，針對起始點位於不同的 REGION 狀態，其滑動元件的 P_{os} 可經由下列方程式求得：

REGION 1 :

$$P_{os} = \frac{pole_pitch}{8} + \frac{\sqrt{2}}{8} \cdot pole_pitch \cdot x_{NA}(0)$$

REGION 2 :

$$P_{os} = \frac{pole_pitch}{8} - \frac{\sqrt{2}}{8} \cdot pole_pitch \cdot x_{NB}(0)$$

REGION 3 :

$$P_{os} = \frac{pole_pitch}{8} - \frac{\sqrt{2}}{8} \cdot pole_pitch \cdot x_{NA}(0)$$

REGION 4 :

$$P_{os} = \frac{pole_pitch}{8} + \frac{\sqrt{2}}{8} \cdot pole_pitch \cdot x_{NB}(0)$$

(4.3)

在計算出起始位置的偏移量後，就可以經由計算已經過的區塊數 (pass_region) 及目前所在區塊中的近似位移，再與起始位置作比較，便可計

算出目前滑動元件所在的位置 $D(n)$ ，如式 4.4 所示：

在 *REGION 1* 中滑動元件所在的位置

$$D(n) = \frac{pole_pitch}{8} - P_{os} + \frac{\sqrt{2}}{8} pole_pitch \cdot x_{NA}(n) + P_R$$

在 *REGION 2* 中滑動元件所在的位置

$$D(n) = \frac{pole_pitch}{8} - P_{os} - \frac{\sqrt{2}}{8} pole_pitch \cdot x_{NB}(n) + P_R \quad (4.4)$$

在 *REGION 3* 中滑動元件所在的位置

$$D(n) = \frac{pole_pitch}{8} - P_{os} - \frac{\sqrt{2}}{8} pole_pitch \cdot x_{NA}(n) + P_R$$

在 *REGION 4* 中滑動元件所在的位置

$$D(n) = \frac{pole_pitch}{8} - P_{os} + \frac{\sqrt{2}}{8} pole_pitch \cdot x_{NB}(n) + P_R$$

其中

$$P_R = \frac{pole_pitch}{4} \cdot pass_region \quad (4.5)$$

透過上述步驟即可計算出滑動元件的目前位置 $D(n)$ ，其程式流程圖如圖 4.9 所示。

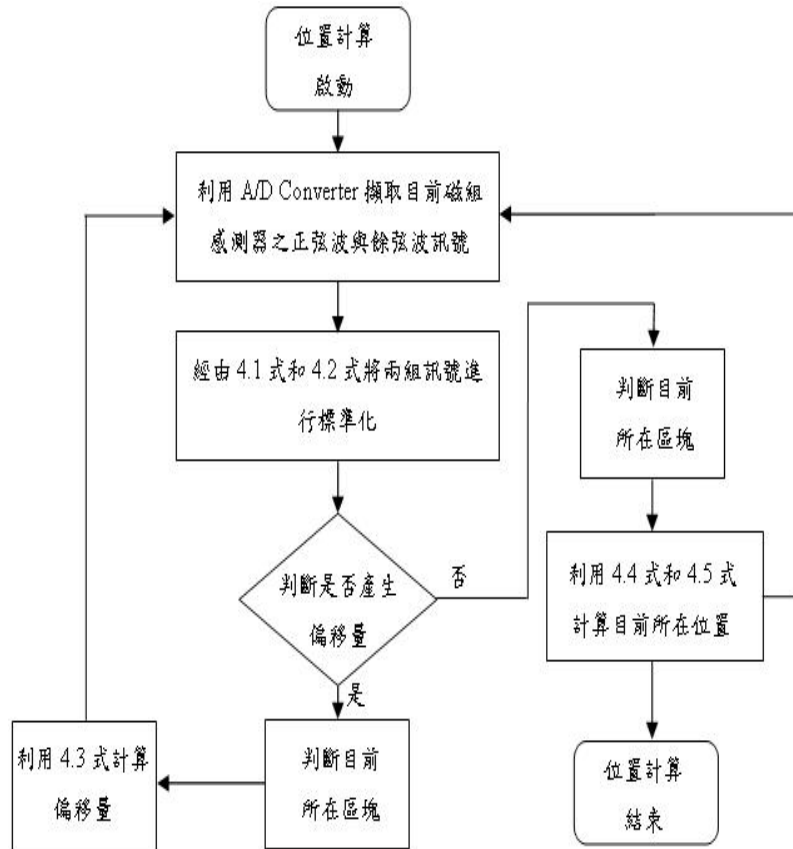


圖 4.9: 音圈馬達位置計算程式流程圖

第五章

系統模擬與實驗結果之分析比較

5.1 系統模擬架構



在 MATLAB 模擬過程中，利用 MATLAB 中的 Simulink 功能建立音圈馬達之速度 PI 控制器、位置 P 控制器，並採用步階輸入當作位置命令，代表影像清晰之位置值，其中受控廠 $P_n(s)$ 之數學模型如 5.1 式所示，系統之控制方塊圖如圖 5.1 所示。

$$P_n(s) = \frac{0.4145}{(0.0012s + 32.8)(0.0018s + 0.005)} \quad (5.1)$$

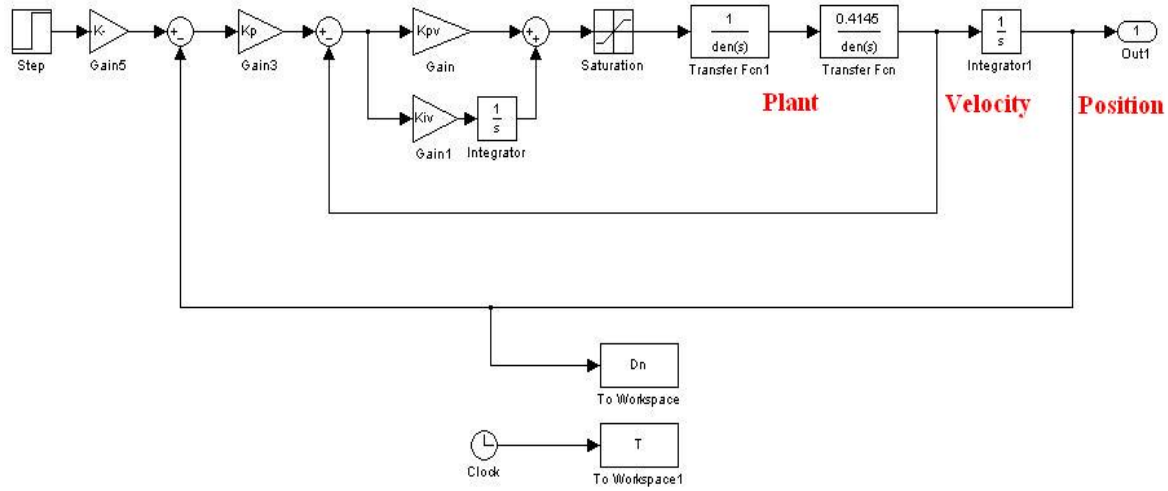
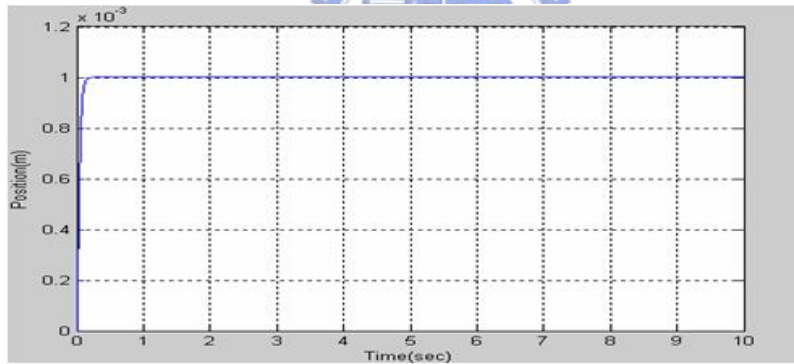
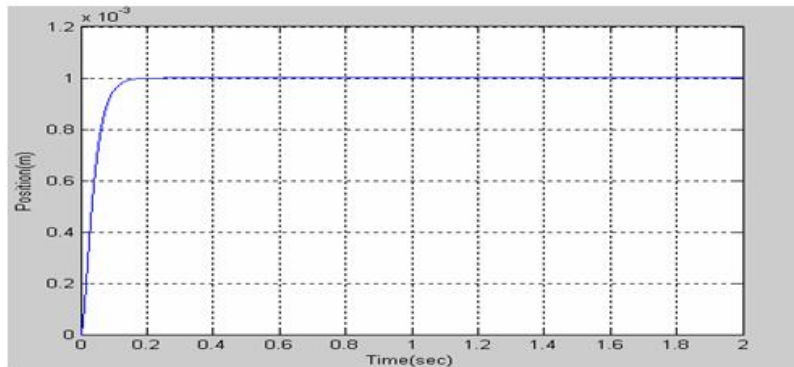


圖 5.1: 音圈馬達位置控制方塊圖

在零秒時給予 1mm 位步階置命令，下圖 5.2 為 PI 控制系統之位置響應。



圖(A)



圖(B)

圖 5.2: 圖 (A) 為位置命令 1mm 的系統響應；圖 (B) 為其局部放大圖

5.2 PI 控制器

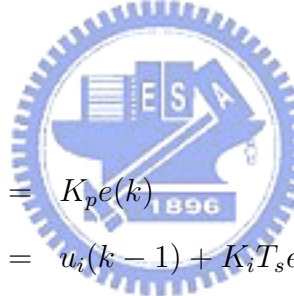
本控制晶片中所採用的控制器為 PI(比例積分)控制器，由輸出函數 $U(z)$ 和誤差函數 $E(z)$ 的比值可求出在數位控制系統上的離散轉移函數 $G(z)$ ：

$$G(z) = \frac{U(z)}{E(z)} = K_p + \frac{K_i}{1 - z^{-1}} \quad (5.2)$$

其中 K_p ：比例常數

K_i ：積分常數

將式 (5.2) 的比例控制部分和積分控制部分拆開為獨立項，並改寫成差分方程式可得下兩式：



$$\begin{aligned} u_p(k) &= K_p e(k) \\ u_i(k) &= u_i(k-1) + K_i T_s e(k) \end{aligned}$$

再將比例控制的輸出項與積分控制的輸出項加起來，就可寫出 PI 控制器的差分方程式，如式 (5.3) 所示，如此便可在數位晶片上實現。

$$u(k) = u_p(k) + u_i(k) = K_p e(k) + u_i(k-1) + K_i T_s e(k) \quad (5.3)$$

其中 $u(k)$ ：第 k 個取樣時間的輸出訊號

$u_p(k)$ ：第 k 個取樣時間的比例控制輸出訊號

$u_i(k)$ ：第 k 個取樣時間的積分控制輸出訊號

$u_i(k-1)$ ：第 $k-1$ 個取樣時間的積分控制輸出訊號

$e(k)$ ：第 k 個取樣時間的誤差訊號

PI 控制器在晶片內部的實現方法，圖 5.3 為 PI 控制器的方塊圖，將比例控制器與積分控制器分離處理後，再做整合輸出的動作。

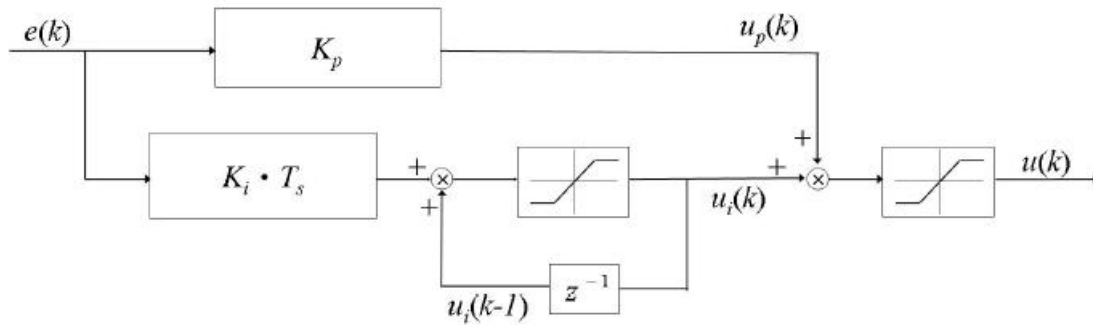


圖 5.3: PI 控制器方塊圖

圖 5.3 中的 z^{-1} 方塊，也就是延遲一次積分控制輸出值的功能，可用一個 D 型正反器來實現；此外，在積分控制輸出值 $u_i(k)$ 要與比例控制輸出值 $u_p(k)$ 相加之前，為了防止積分控制器中積分動作產生的累加值過大，而導致控制器後面的運算溢位，影響控制結果，所以在 $u_i(k)$ 輸出前加上一個飽和輸出限制的功能，當判斷輸出值超過上、下邊界值時，就限制輸出值為上邊界值或下邊界值；同樣的情形，在整個 PI 控制器輸出訊號時，也會有飽和輸出限制，以防止後面的處理會有溢位的發生。

5.3 實驗結果

利用 C 語言撰寫系統架構的控制程式，對系統實體電路進行控制，其操作介面如圖 5.4 所示。

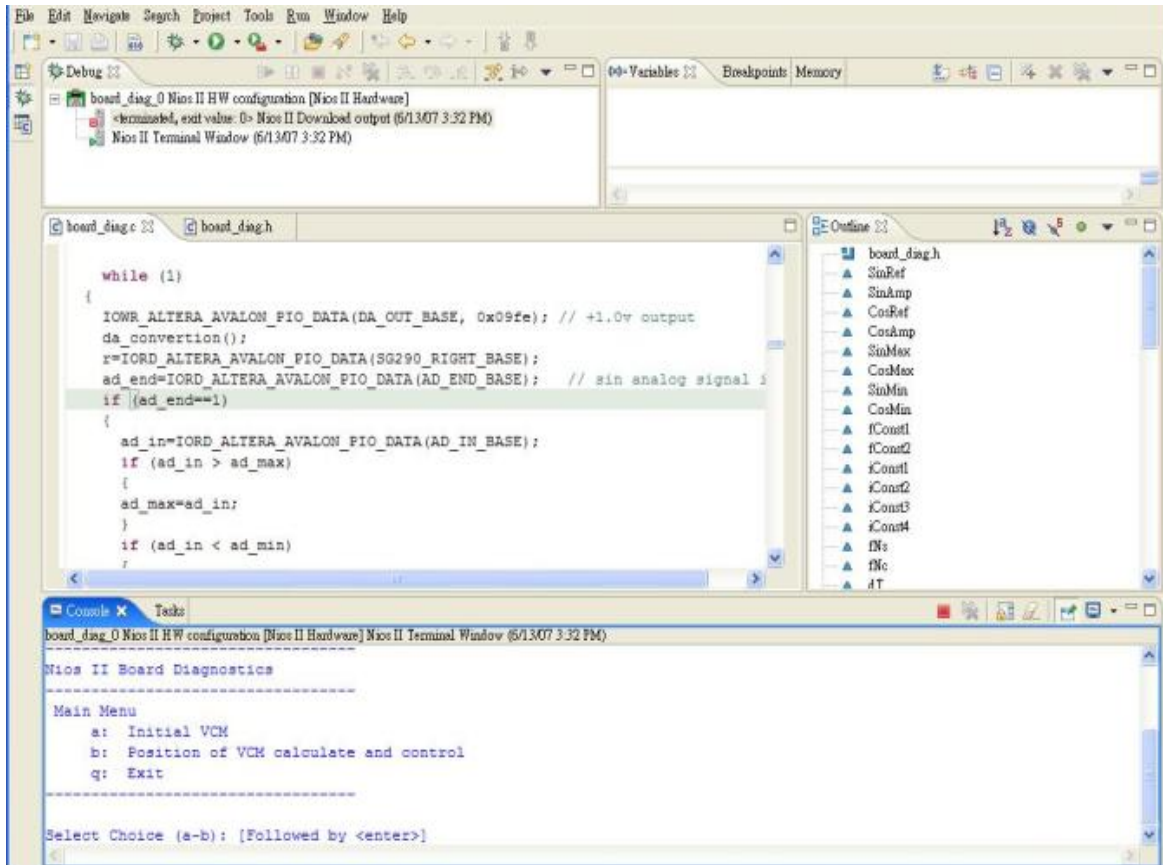
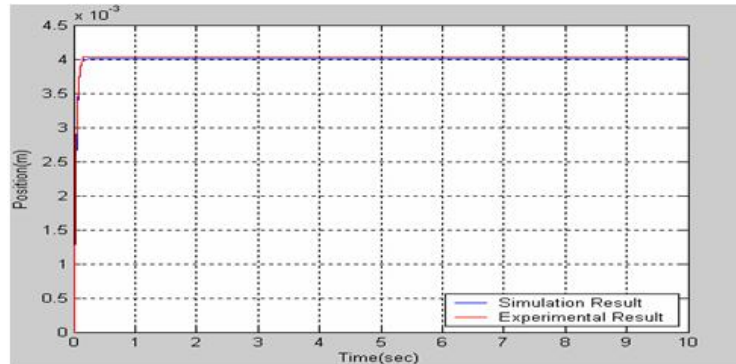


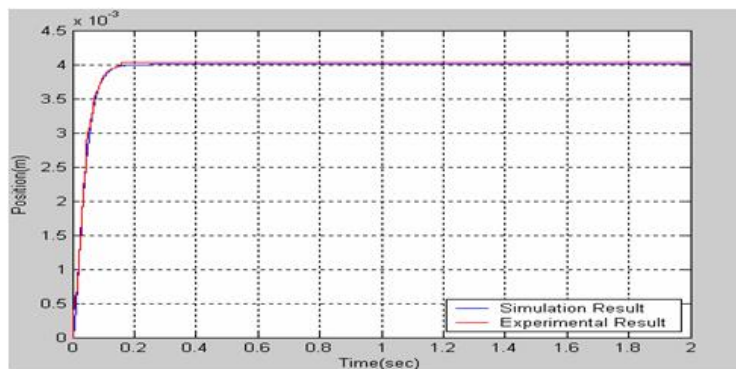
圖 5.4: 程式操作介面

由目標位置輸入位置控制命令，啟動程式後經由圖 4.5 及圖 4.9 所示之流程，配合系統的控制法則進行實體電路控制。

圖 5.5 為利用 PI 控制系統，在系統為水平放置的情況下給予 4mm 位置控制命令系統的位置響應圖。



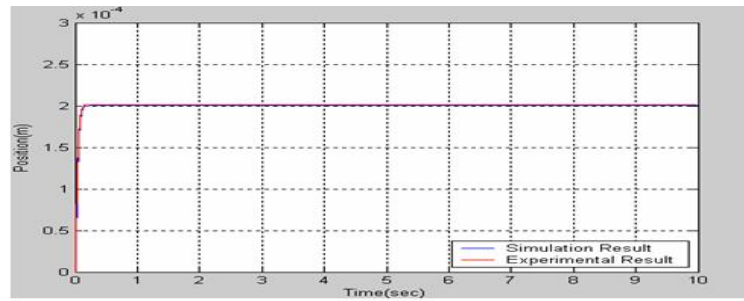
圖(A)



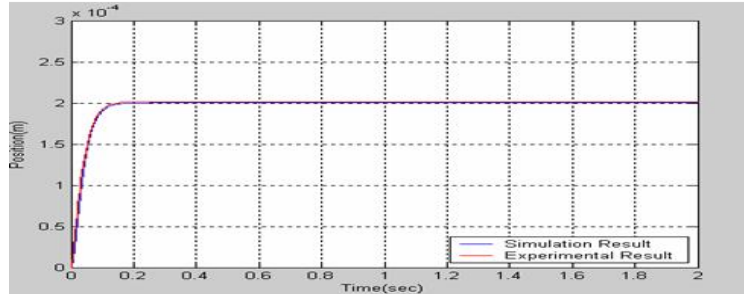
圖(B)

圖 5.5: 圖 (A) 為水平放置 PI 控制系統對 4mm 位置控制命令響應圖；圖 (B) 為其局部放大圖

當給予系統一短距離的位置控制命令，來比較系統對於短距離控制命令的位置響應，在系統水平放置下對系統輸入 0.2mm 的控制命令，PI 控制系統的位置響應如圖 5.6 所示，由圖 5.6 可知即使系統在短距離的移動命令下也能有較佳的定位控制能力。

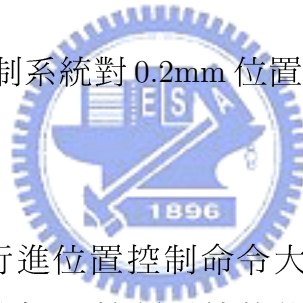


圖(A)



圖(B)

圖 5.6: 圖 (A) 為水平放置 PI 控制系統對 0.2mm 位置控制命令響應圖；圖 (B) 為其局部放大圖



定義系統的上升時間為行進位置控制命令大小的 10% 至 90% 所需的時間，則本研究利用 Nios II 實現之 PI 控制系統的位置響應規格如表 5.1 所示，何品齊 [16] 實現之附加干擾觀測控制系統的位置響應規格如表 2.2 所示，由兩表比較可以發現本系統之上升時間較何品齊 [16] 實現之附加干擾觀測控制系統來的快速。

表 5.1: 本研究實現之 PI 控制系統各位置控制命令響應規格表

位置控制命令	上升時間 (ms)	最大超越量 (mm)	最大超越量百分比 (%)
0.2mm	77	0.001554	0.78
1mm	67	0.001792	0.18
2mm	74	0.008415	0.42
3mm	75	0.009142	0.31
4mm	79.5	0.028234	0.71
5mm	79	0.034182	0.68

第六章

結論與未來發展

6.1 結論



本論文針對高速音圈馬達進行位置控制晶片的研製，晶片研製的發展系統是使用可重複規劃且驗證快速的 Altera Nios II Development Board 作為控制核心，該發展板包含了一顆 Altera Cyclone II EP2C35F672C6ES 的場效型可程式化邏輯陣列 (Field Programmable Gate Array, FPGA) 晶片以及其他週邊元件，配合 Quartus II 整合性發展軟體進行晶片功能程式的撰寫、編譯以及驗證，並在 FPGA 內部規劃出一顆 Nios II 微處理器，用以代替傳統 DSP 處理器的功能。

相機自動對焦系統所採用的定位馬達，必須擁有響應快、運轉雜音小、耗能低及精準度高等特性，傳統使用的步進式對焦馬達，因響應速度慢、運轉雜音大及利用機械齒距傳動的方式，故其精確度及耗能受到限制，無法有效的使用於高階系統中。而因應而生的超音波對焦馬達雖然有效的改善了響應、運轉噪音及精確度的問題，但由於成本高昂且運轉所產生的磨耗將降低產品的使用壽命，因此無法普及的使用於各種相機系統中，故本次研究中採用響應速度快且運轉雜音小的音圈馬達來設計自動對焦系統，藉由調整音圈馬達的線圈直徑及磁鐵線圈寬度比例，在符合所需的響應速度下進行高效益

的音圈馬達設計，並透過位置計算法則對磁阻感測器的回授訊號進行分析計算來獲得音圈馬達滑動元件目前所在的位置，再經由 Nios II 處理器以 C 語言建立音圈馬達之速度 PI 控制器、位置 P 控制器對音圈馬達之滑動元件進行控制，達到精確定位控制目標。

在驅動馬達的驗證上，建立完成一組馬達控制實驗系統，其硬體架構除了 Altera Cyclone II Nios II Development Board 外，還包含一顆高速音圈馬達、一台個人電腦及一套包含驅動處理、訊號調整、訊號取樣、訊號輸出功能的外部電路，來完成音圈馬達位置控制系統的架構，並經由實驗數據的量測分析與控制參數的調整，來獲取系統較佳的控制效能表現。

本次研究的結果，能將自動對焦系統的響應時間減少在 60 至 80 毫秒，穩態誤差在 10% 以內，而這 10% 穩態誤差來自於磁性尺的先天缺陷，例如像磁阻式感測器量測各個極距的振幅大小不同。而音圈馬達最大電流僅消耗 30 毫安培，這對於省電功能也將有莫大的助益。

6.2 未來發展



在未來的發展方面，可以選用訊號擷取頻率更為快速的類比數位轉換 IC，在系統啓動時，將對滑動元件行進區間進行初始化掃描，獲得磁阻感測器感測訊號振幅的最大最小值，故訊號擷取頻率越快速則抓取到的訊號最大最小值也就越準確，也相對的減低將訊號依最大最小值的關係進行標準化時所造成的誤差，此外，在位置計算法則中依波形的相對關係，將其分割為週期性的四個區間循環來對位置進行計算，若音圈馬達滑動元件速度移動過快，而訊號擷取頻率不足或程式運算時間過長，造成無法依序擷取到所經過區間的順序會使位置計算上產生的錯誤，故音圈馬達的響應速度受到位置訊號擷取頻率及運算時間的限制。

由於音圈馬達位置計算法則計算位置的方式，是採用判別及計算磁阻感測訊號振幅的大小關係及交互充磁磁性尺的間距，來進行音圈馬達滑動元件的位置計算，因此會受到各區間磁場強度、磁條充磁間距及感測訊號擷取頻率的影響對系統定位產生影響，各區間磁場強度的大小有所差距，將會造成區間內位置計算產生差距，且由於振幅大小的不匹配性造成在區間交界處易

發生位置接續上的落差，對此點進行定位將會發生較大的震盪現象，磁條充磁間距主要決定各個區間所對應的行進距離。當充磁間距與設定的大小有所出入時，則容易造成位置演算法則在計算行進過的區塊距離產生累積性的位置誤差，降低系統定位的準確性。

在使用加工精密的磁性尺的情況下，將可以使各區間磁場強度差異及充磁間距變動所產生的位置計算影響大幅減低，使其與滑動元件實際位置誤差能更為縮小，使系統能進行更精確的定位，此外，提升訊號擷取頻率及縮短位置計算程式的計算時間，除了可以更精確的獲得磁阻感測器感測訊號振幅的最大最小值之外，也能大幅避免於定位過程中滑動元件的速度過快而造成位置計算錯誤情況發生，經由上述方式將能大幅的提昇音圈馬達對焦系統的定位精確度及可以加快其響應速度，使音圈馬達對焦系統更能發揮其定位精確及響應快速的優點。



參考文獻

- [1] A. Helouvry, B. P. Dupont, and C. C. de Wit, “A survey of models, analysis tools and compensation methods for the control of machines with friction.” , *Automatica*, Vol. 30, NO. 7, pp. 1083-1138, 1994.
- [2] C. C. de Wit, H. Olsson, K. J. Astrom, and P. Lischinsky, “A new model for control of systems with friction.” , *IEEE Trans. Automatic Control*, Vol. 40, NO. 3, pp. 419-425, Mar. 1995.
- [3] C. J. Kempf and S. Kobayashi, “Disturbance observer and feedforward design for a high-speed direct-drive positioning table.” , *IEEE Trans. Control Systems Technology*, Vol. 7, NO. 5, pp. 513-526, Sep. 1999.
- [4] D. A. Lowther and P. P. Silvester, *Computer-Aided Design in Magnetics.*, New York: Springer-Verlag, 1986.
- [5] D. W. Novotny and T. A. Lipo, *Vector Control and Dynamics of AC Drivers.*, New York: Oxford, 1996.
- [6] H. C. Yu, T. Y. Lee, S. J. Wang, M. L. Lai, J. J. Ju, D. R. Huang, and S. K. Lin, “Design of a voice coil motor used in the focusing system of a digital video camera.” , *IEEE Trans. Magnetics*, Vol. 41, NO. 10, pp. 3979-3981, Oct. 2005.
- [7] H. Olsson, K. J. Astrom, C. C. de Wit, M. Gafvert, and P. Lischinsky, “Friction models and friction compensation” , *European Journal on Control*, 1997.
- [8] J. Swevers, F. Al-Bender, C. G. Ganseman, and T. Prajogo, “An integrated friction model structure with improved presliding behavior for accurate friction com-

- pensation.” , *IEEE Trans. Automatic Control*, Vol. 45, NO. 4, pp. 675-686, Apr. 2000.
- [9] K. Kikuchi and Daito, “Autofocus video camera that can compensate for variation in the amount of load on a mobile unit of a linear motor in a focus operation.” , *United States Patent* 5,838,374.
- [10] M. Hirasawa and Kanagawa, “Camera system” , *United States Patent* 5,325,145.
- [11] N. A. Demerdash, F. A. Fouad, and T. W. Nehl, “Determination of winding inductances in ferrite type permanent magnet electric machinery by finite elements.” , *IEEE Trans. Magnetics*, Vol. MAG-18, NO. 6, pp. 1052-1054, Nov. 1982.
- [12] T. Umeno and Y.Hori, “Robust speed control of DC servomotors using modern two degrees-of-freedom controller design.” , *IEEE Trans. Industrial Electronics*, Vol. 38, NO. 5, pp. 363-368, Oct. 1991.
- [13] T. Ishimaru and Hachioji, “Camera having high-precision stop function for movable unit” , *United States Patent* 5,057,859.
- [14] 吳明哲, 黃世陽, 林義証, 蔡文龍, C/C++ 學習範本, 文魁資訊股份有限公司, 2003.
- [15] 廖裕評, 陸瑞強, 系統晶片設計 -使用 Quartus II, 全華科技圖書股份有限公司, 2005.
- [16] 何品齊, 干擾觀測器應用於數位相機的自動對焦系統設計, 國立交通大學電機與控制工程研究所碩士論文, 2005.
- [17] TI 德州儀器網站 <http://www.ti.com.tw/> 。
- [18] Analog Devices 網站 <http://www.analog.com/en/> 。