

國立交通大學

電機與控制工程學系

碩士論文

每秒五十億次取樣六位元類比數位與  
數位類比轉換器之設計

Design of 5GS/s 6-bit ADC and DAC



研究生：何振綱

指導教授：洪浩喬 教授

中華民國九十六年七月

每秒五十億次取樣六位元類比數位與數位類比  
轉換器之設計

Design of 5GS/s 6-bit ADC and DAC

研究生：何振綱

Student : Chen-Kang Ho

指導教授：洪浩喬

Advisor : Hao-Chiao Hong

國立交通大學  
電機與控制工程學系  
碩士論文



A Thesis

Submitted to Department of Electrical and Control Engineering

College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and Control Engineering

July 2007

Hsinchu, Taiwan, R.O.C

中華民國九十六年七月

# 每秒五十億次取樣六位元類比數位與數位類比 轉換器之設計


學生：何振綱

指導教授：洪浩喬 博士

國立交通大學

電機與控制工程學系碩士班

## 摘 要



本論文提出一組每秒五十億次取樣六位元之快閃式類比數位轉換器與電流式數位類比轉換器對設計，並使用台積電 0.13 $\mu\text{m}$  CMOS Mixed-Signal RF 製程實現。此組資料轉換器對可應用於高速串列傳輸收發機。在類比電路的前置放大器中，我們利用主動式負回授技巧使其能達到較高之頻寬，同時運用平均與內插的方式來降低放大器的偏移誤差量與減少所需之放大器數目。而數位電路部分則是採用電流式邏輯電路設計，電流式邏輯可大幅抑制電源抖動量，且由於其是操作在較低擺幅，故所需之功率消耗較少、運作速度較快。量測結果顯示，在 5GS/s 的取樣頻率下，對串接在一起之類比數位轉換器與數位類比轉換器輸入一 0.5GHz、-1dBFS 的弦波訊號時，可得 36.98 dB 的訊號對雜訊比。若更進一步操作在 6GS/s，輸入相同之測試訊號，則此資料轉換器對的訊號雜訊比仍有 36.977 dB。在 1.2V 電源供應下，此類比數位轉換器與數位類比轉換器分別消耗 655mW 和 115mW 之功率。

# Design of 5GS/s 6-bit ADC and DAC

Student : Chen-Kang Ho

Advisor : Dr. Hao-Chiao Hong

Department of Electrical and Control Engineering  
National Chiao Tung University

## ARSTRACT

This thesis presents a 5GS/s 6-bit flash analog-to-digital converter (ADC) and current-steering digital-to-analog converter (DAC) pair in TSMC 0.13 $\mu$ m CMOS Mixed-Signal RF technology for serial-link transceiver designs. Active-feedback technique makes the analog pre-amplifiers achieve higher bandwidths. Averaging and interpolating skills were applied to reduce the offsets and the number of the amplifiers. For digital circuitry, current mode logic (CML) gates were used to alleviate the severe power-ground bouncing. The CML gates operate at lower input/output swing resulting in lower power consumption and a higher speed. The measurement results show that the cascaded ADC and DAC pair achieves a 36.98 dB signal- to-noise ratio with the 0.5GHz, -1dBFS sinusoidal input at 5GS/s. Furthermore, this data converter pair presents a signal-to-noise ratio of 36.977 dB with the same stimulus but running at 6GS/s. The ADC and DAC dissipate 655mW and 115mW respectively from a 1.2V supply.

# 誌 謝

本論文能順利完成，首先最需要感謝的莫過於指導教授洪浩喬老師。在這兩年多的碩士生涯中，我從老師身上所學到的不只是專業知識與論文撰寫、同時更重要的是人生在世應有的做事應對態度及其精神，這都讓我受益匪淺、成長許多。

其次要謝謝實驗室博士班的聖泉學長，也給予我許多指導與建議。還有宏慶學長，謝謝你甘願多留一年陪伴我們，讓我的研究所生活增添不少樂趣。而與我一同奮戰的學弟永順，更是要謝謝你的協助幫忙，雖然有時你會凸槌，但沒有你我的晶片也無法順利完成；接下來你將面對更加艱鉅困難的研究，加油！要相信自己一定可以！同時我還要感謝實驗室的同學榮州和芳毅，謝謝你們這兩年來對我的包容、並願意與我互相切磋砥礪。至於其他學弟宗殷以及勇成，感謝你們舉辦的各聯誼活動，使得我們頗為陽剛的實驗室能有些多采多姿。

另外，要感謝我部隊的弟兄，幫我在辛苦勞累的碩士班生活中加入了一些糜爛卻又難忘的回憶！真的很高興認識你們，有你們的生活既特別又開心。還有我大學及研究所一路的好朋友們，由衷感謝你們的陪伴。同時也有遠在家鄉的女性同胞們，謝謝你們的默默支持與鼓勵。

最後當然要謝謝我最愛的家人：爸爸、媽媽以及哥哥，謝謝你們對我的關懷與照顧，也謝謝你們包容我的都不回家。

謹以此論文獻給大家，與大家分享這份榮耀，感謝！

# Table of Contents

中文摘要 .....	i
Abstract .....	ii
誌 謝 .....	iii
Table of Contents .....	iv
List of Figures .....	vi
List of Tables .....	x
<b>Chapter 1 Introduction .....</b>	<b>1</b>
1.1 Background .....	1
1.2 Motivation .....	1
1.3 Thesis Organization .....	4
<b>Chapter 2 Fundamental of ADC and DAC .....</b>	<b>5</b>
2.1 Parameters of Data Converter .....	5
2.1.1 Static Parameters .....	5
2.1.2 Dynamic Parameters .....	9
2.2 ADC Architecture Review .....	13
2.3 DAC Architecture Review .....	16
<b>Chapter 3 Design of the 5GS/s 6-bit Analog-to-Digital Converter .....</b>	<b>19</b>
3.1 Resistor Ladder .....	21
3.2 Track-and-Hold .....	22
3.3 Averaging and Interpolating .....	28
3.3.1 Averaging Edge Issue .....	29
3.3.2 Determining the Number of Input Amplifiers .....	32
3.3.3 Gilbert-Cell .....	34
3.3.4 Pre-amplifier .....	35
3.3.5 Specifying the Gain and Bandwidth .....	38
3.4 Current Mode Logic.....	41
3.5 Bubble Errors .....	44
3.6 Thermometer-to-Gray Encoder .....	46

3.6.1	Metastability Errors .....	46
3.6.2	Gray-code Encoding .....	47
3.7	Simulation Results of the ADC .....	50
<b>Chapter 4</b>	<b>Design of the 5GS/s 6-bit Digital-to-Analog Converter .....</b>	<b>53</b>
4.1	Hybrid Gray-to-Thermometer Decoder .....	55
4.1.1	Direct Decoder .....	55
4.1.2	Binary-based Decoder .....	56
4.2	Switching Current Source .....	58
4.3	Simulation Results of the DAC .....	60
<b>Chapter 5</b>	<b>Design-for-Testability and Layout .....</b>	<b>64</b>
5.1	Design-for-Testability Consideration .....	64
5.2	Simulation Results in the Test Mode .....	67
5.3	Zero-Order Hold Effect .....	69
5.4	Measure Setup .....	73
5.5	Chip Layout .....	74
<b>Chapter 6</b>	<b>Measurement Results .....</b>	<b>77</b>
6.1	Chip Micrograph and Probe on Wafer .....	77
6.2	Static Test .....	82
6.3	Dynamic Test .....	83
6.4	Noise Measurement .....	94
6.5	Power Dissipation .....	96
6.6	Performance Summary .....	96
6.7	Benchmark of the ADC .....	97
<b>Chapter 7</b>	<b>Conclusion and Future Works .....</b>	<b>98</b>
<b>References</b>	<b>.....</b>	<b>100</b>

# List of Figures

Figure 1.1	Block diagram of the on-chip serial-links transmission system .....	2
Figure 2.1	(a) Illustrating offset error (b) Illustrating gain error .....	7
Figure 2.2	An example of differential nonlinearity error .....	8
Figure 2.3	An example of integral nonlinearity error .....	9
Figure 2.4	Illustrating spurious-free dynamic range .....	12
Figure 2.5	Different architectures vs. speed and resolution .....	14
Figure 2.6	A basic flash analog-to-digital converter .....	14
Figure 2.7	A thermometer-code current-steering digital-to-analog converter .....	18
Figure 3.1	Block diagram of the ADC .....	19
Figure 3.2	Reference ladder feedthrough of the input signal via the series capacitive combination in the differential pairs of the input gain stages .....	22
Figure 3.3	Single-ended T/H artifacts .....	23
Figure 3.4	Track-and-Hold circuit .....	25
Figure 3.5	Simulated differential output waveform of the T/H with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal .....	26
Figure 3.6	Simulated output spectrum of the T/H with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal .....	27
Figure 3.7	Interpolating structure and transfer response for the interpolated signal .....	28
Figure 3.8	Effect of averaging .....	29
Figure 3.9	Subcircuit model in (a) an infinite averaging array (b) a finite averaging array .....	30
Figure 3.10	Zero crossings shift at averaging edge .....	30
Figure 3.11	Averaging termination method [25] .....	31
Figure 3.12	Averaging & interpolating architecture .....	33
Figure 3.13	Gilbert-Cell .....	34
Figure 3.14	Pre-amplifier using active-feedback configuration .....	35
Figure 3.15	Active-feedback architecture .....	36
Figure 3.16	Miller equivalent circuit for a floating conductance .....	38



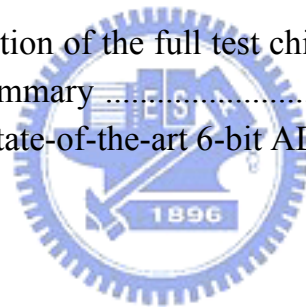
Figure 3.17	Frequency response of the ADC's averaging & interpolating section by ac analysis .....	40
Figure 3.18	Output waveforms of the ADC's averaging & interpolating section with a full-scale 50V/ $\mu$ s ramp input .....	40
Figure 3.19	The corresponding output waveform of the ADC's averaging & interpolating section with a step input .....	40
Figure 3.20	Basic structure of the current mode logic .....	41
Figure 3.21	Current mode logic gates .....	42
Figure 3.22	Bonding wires on power supply .....	42
Figure 3.23	Using 3-input AND gates to cancel bubble errors .....	44
Figure 3.24	Using 2-input OR gates to cancel bubble errors .....	45
Figure 3.25	Metastability errors in the binary encoder .....	46
Figure 3.26	Metastability errors in the Gray encoder .....	48
Figure 3.27	4-bit thermometer-to-Gray encoder .....	49
Figure 3.28	Simulated 6-bit digital output Gray-code with a full-scale 40V/ $\mu$ s ramp input .....	51
Figure 3.29	Simulated DNL and INL of the ADC .....	51
Figure 3.30	Simulated digital output spectrum of the ADC with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal .....	52
Figure 3.31	SNR, SNDR, and SFDR vs. input frequency of the ADC at 5GS/s .....	52
Figure 4.1	Block diagram of the DAC .....	53
Figure 4.2	4-bit Gray to 3-bit LSB thermometer decoder .....	56
Figure 4.3	Conventional 6-bit Gray-to-binary decoder .....	57
Figure 4.4	Hierarchical design of 6-bit Gray-to-binary decoder .....	57
Figure 4.5	LSB part of the hybrid Gray-to-thermometer decoder .....	58
Figure 4.6	Switching current sources .....	59
Figure 4.7	Simulated output waveform of the DAC with a digital ramp input .....	61
Figure 4.8	Simulated DNL and INL of the DAC .....	61
Figure 4.9	Simulated output spectrum of the DAC with 0.503GHz digital sinusoidal stimulus and 5GS/s sinusoidal clock signal .....	62
Figure 4.10	SNR, SNDR, and SFDR vs. input frequency of the DAC at 5GS/s .....	62
Figure 4.11	Signal-tone power in dBFS vs. input frequency of the DAC .....	63
Figure 5.1	Design-for-testability circuitry .....	65
Figure 5.2	Test mode 1 .....	66

Figure 5.3	Test mode 2 .....	66
Figure 5.4	Test mode 3 .....	66
Figure 5.5	Simulated output waveform in the test mode 3 with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal .....	67
Figure 5.6	Simulated output spectrum in the test mode 3 with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal .....	68
Figure 5.7	SNR, SNDR, and SFDR vs. input frequency at 5GS/s in the test mode 3 .....	68
Figure 5.8	Zero-order hold signal waveform .....	69
Figure 5.9	ZOH frequency response at 5GS/s .....	70
Figure 5.10	ZOH frequency response zoomed in 5GHz .....	70
Figure 5.11	ZOH compensation (a) in magnitude (b) in dB .....	71
Figure 5.12	SNR vs. input frequency of the ADC, DAC, and in the test mode 3 .....	72
Figure 5.13	Measurement environment .....	73
Figure 5.14	Measurement setup .....	74
Figure 5.15	Layout of the full test chip .....	75
Figure 5.16	Layout of the core ADC and DAC .....	76
Figure 5.17	DC bias and signal setup .....	76
Figure 6.1	Chip micrograph (test on board) .....	77
Figure 6.2	$S_{11}$ parameter and Smith chart of the input port of the COB test .....	78
Figure 6.3	$S_{22}$ parameter and Smith chart of the output port of the COB test .....	78
Figure 6.4	$S_{11}$ parameter and Smith chart of the clock port of the COB test .....	79
Figure 6.5	Chip micrograph (probe on wafer) .....	79
Figure 6.6	$S_{11}$ parameter and Smith chart of the input port on wafer .....	80
Figure 6.7	$S_{22}$ parameter and Smith chart of the output port on wafer .....	81
Figure 6.8	$S_{11}$ parameter and Smith chart of the clock port on wafer .....	81
Figure 6.9	Measured input-output transfer curve in the test mode 3 .....	82
Figure 6.10	Measured DNL and INL of the ADC and DAC .....	83
Figure 6.11	SNR vs. input amplitude with the 0.5GHz sinusoidal stimulus at 5GS/s in the test mode 3 .....	84
Figure 6.12	Measured output spectrum with the 0.5GHz, -1dBFS sinusoidal stimulus at 5GS/s in the test mode 3 .....	84
Figure 6.13	SNR, SNDR and SFDR vs. clock frequency with the 0.5GHz sinusoidal input in the test mode 3 .....	86

Figure 6.14	Harmonic distortion vs. clock frequency with the 0.5GHz sinusoidal input in the test mode 3 .....	86
Figure 6.15	Measured output spectrum with the 213.3MHz sinusoidal stimulus at 1GS/s in the test mode 3 .....	87
Figure 6.16	Measured SNR, SNDR, and SFDR vs. input frequency at 5GS/s in the test mode 3 .....	88
Figure 6.17	Signal-tone power and SNR vs. input frequency at 5GS/s in the test mode 3 .....	89
Figure 6.18	Compensated output spectrum with the 0.5GHz, -1dBFS sinusoidal stimulus at 5GS/s in the test mode 3 .....	89
Figure 6.19	Compensated SNR vs. input frequency at 5GS/s in the test mode 3 .....	90
Figure 6.20	Measured output spectrum with the 0.5GHz, -1dBFS sinusoidal stimulus at 6GS/s in the test mode 3 .....	91
Figure 6.21	Measured SNR, SNDR, and SFDR vs. input frequency at 6GS/s in the test mode 3 .....	92
Figure 6.22	Signal-tone power and SNR vs. input frequency at 6GS/s in the test mode 3 .....	92
Figure 6.23	Compensated SNR vs. input frequency at 6GS/s in the test mode 3 .....	93
Figure 6.24	Measured output spectrum when input OFF and clock OFF .....	94
Figure 6.25	Measured output spectrum when input OFF at 5GS/s .....	95
Figure 6.26	Measured output spectrum with the 0.5GHz sinusoidal stimulus but clock OFF .....	95
Figure 6.27	Measured output spectrum with the 2.5GHz sinusoidal stimulus but clock OFF .....	95

# List of Tables

Table 1.1	ADC specification .....	3
Table 1.2	DAC specification .....	3
Table 2.1	Different ADC architectures .....	13
Table 2.2	Thermometer-code representations for 3-bit binary values .....	17
Table 3.1	3-bit Gray-code example .....	47
Table 4.1	Hybrid thermometer-code representations .....	54
Table 4.2	The truth-table of 4-bit Gray to 3-bit LSB thermometer decoding .....	55
Table 5.1	Relationship between control signals and DfT test modes .....	65
Table 6.1	Power consumption of the full test chip .....	96
Table 6.2	Performance summary .....	96
Table 6.3	Benchmark of state-of-the-art 6-bit ADCs .....	97



# Chapter 1

## Introduction

### 1.1 Background

隨著現今科技的進步，電腦的處理速度愈來愈快，資料流量的需求也隨之不斷成長。但傳統的平行介面技術卻成為了提升數據傳輸速率的主要限制，所以過去主要用於光通訊領域的串列傳輸（Serial-link）技術現正快速取代傳統的平行匯流排方式，成為高速通訊介面傳輸技術的主流[1]。我們可回頭看看 PC 主機板的演變，由早期的低速傳送介面逐漸被高速的低壓差動介面（Low Voltage Differential Swing, LVDS）所取代，自 2004 的下半年開始，PCI-Express 與 Serial ATA 這類序列傳輸的方式逐漸取代了原有的平行匯流排架構，成為主機板匯流排的主要標準。因此 SoC (System on Chip) 內的連線架構系統與電路設計方法都需要有更前瞻的設計技術，其中高速 I/O 單元也就成為關鍵。

### 1.2 Motivation

在現今高速資料傳輸介面裡，串列傳輸的方式已經相當普遍，其技術也一直不斷在演進，但是現階段串列傳輸的訊號大多還是以 bit stream 的方式來傳送，亦即只傳輸兩種準位的數位訊號，傳輸訊號不是 1 就是 0。這種傳輸方式當製程技術繼續往上發展、資料量愈來愈大、傳輸率愈來愈快速的時候，必定會面臨到電路或傳輸線頻寬限制的問題。此時，multi-bit-per-symbol 的多準位資料傳輸方式，例如 non-binary 的 Pulse Amplitude

Modulation (PAM) 或 Quadrature Amplitude Modulation (QAM) 等便成為提升資料傳輸速率的另一種吸引人的技術。

PAM 的方式是要先把數個平行並列的 bit stream 數位訊號資料轉換成一個類比式的訊號後再做傳送，由於類比訊號可表示的電壓準位要比數位訊號的兩個準位來得多，因此在相同的傳輸時間下，一條 PAM 傳輸線上所傳輸的資料量相當於是數條 bit stream 的平行傳輸結果，所以可加倍的提升資料傳輸率 (Data Rate)。而要實現此種 PAM 的資料傳輸方式，必須要在發送端使用一個數位類比轉換器 (Digital-to-Analog Converter, DAC) 來將數個平行並列的數位訊號轉成一個類比訊號做串列傳輸，然後再從接收端利用一個類比數位轉換器 (Analog-to-Digital Converter, ADC) 將接收到的類比訊號轉換回數位資料，如下圖 Figure 1.1 所示。

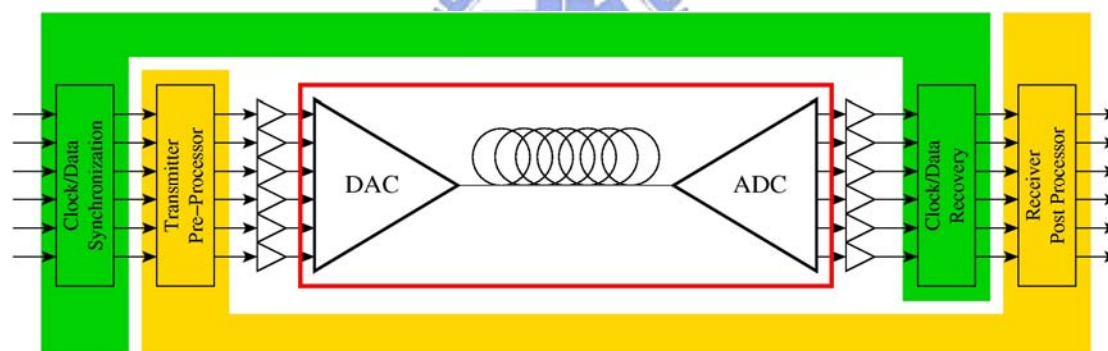


Figure 1.1 Block diagram of the on-chip serial-links transmission system

而且根據 Hartley-Shannon Law 可知，藉由錯誤修正之編碼技巧 (error-correction coding scheme) 可使得一個通訊介面通道的傳輸能力  $C$  (channel capacity) 表示為：

$$C = BW \log_2(1 + SNR) \quad (1.1)$$

其中  $BW$  是此通道之頻寬， $SNR$  是訊號對頻寬內之雜訊的比。所以透過此組 ADC 與 DAC 後即可在有限的頻寬內增加其  $SNR$  值，整個通道的傳輸能力也因此隨之提升。

本論文為經濟部學界科專計畫—「晶片系統傳輸鏈之電路系統設計與驗證平台開發計畫」的執行成果之一。此計畫目標即是要在晶片中實現出一個 PAM 形式的晶片內網路 (Network on Chip, NoC) 傳輸系統，而我們所負責的子分項計畫部分就是要製作出此傳輸系統所需之超高速 ADC 與 DAC。這組 ADC 與 DAC 對於整個總計畫而言是最為關鍵的電路，因為此種傳輸系統的資料傳送速率主要就是由該對資料轉換器電路所決定，所以雖然這種應用的 ADC 與 DAC 所需要的解析度不用太高，但是取樣頻率卻要非常的快速。因此依照總計畫整個傳輸鏈系統的需求，訂定出 ADC 與 DAC 之規格分別如下表 Table 1.1 和 1.2 所示。

Table 1.1 ADC specification

Process	TSMC 0.13 $\mu$ m CMOS Mixed-Signal RF
Supply voltage	1.2 V
Resolution	6 bits
Sampling rate	5 GS/s
Differential input swing	$\pm$ 400 mV
Input termination	50 $\Omega$

Table 1.2 DAC specification

Process	TSMC 0.13 $\mu$ m CMOS Mixed-Signal RF
Supply voltage	1.2 V
Resolution	6 bits
Sampling rate	5 GS/s
Differential output swing	$\pm$ 400 mV
Output termination	50 $\Omega$ (double termination)

然而，在已知文獻中，達成數 Giga 級以上如此高速的 ADC 或 DAC，大多是使用 SiGe 這種特殊的製程來實現[2]—[6]，但是因應高度整合晶片設計的發展趨勢，目前晶片製作仍以 CMOS 製程為主流，所以若用 SiGe

製程則會限制住整個 SoC 的整合性，而且使用 SiGe 製程通常會消耗較大的功率。而如果要採用 CMOS 製程來設計這種高速 ADC 與 DAC 的話，目前所見多數使用 time-interleaved 的架構[7]–[10]來增加等效輸出速率，可是 time-interleaved 架構由於它硬體電路非常龐大，同樣也會有功率消耗過多的問題。因此，本論文的主旨即在研究分析在不使用 time-interleaved 架構下，利用台積電（TSMC）所提供之 0.13 $\mu\text{m}$  CMOS Mixed-Signal RF 製程來設計實現出此規格之 A/D、D/A 資料轉換器對(Data Converter pair)。

### 1.3 Thesis Organization

本論文共分七章。第二章首先介紹 ADC 與 DAC 常見的各種參數，並對各類 ADC 與 DAC 架構作些簡單說明與比較。接下來第三章及第四章會分別闡述分析我們所實現之 ADC 與 DAC 的設計原理及其模擬結果。再來第五章是測試考量，說明如何進行實驗晶片的佈局與量測。而第六章詳述實驗晶片量測結果。最後在第七章對本論文做一總結。



# Chapter 2

## Fundamental of ADC and DAC

本章節將介紹一些用來評估 ADC 和 DAC 效能好壞的參數，由於這些參數在後面的論文內容中都會一直不斷被提及，所以首先要對這些常見的參數有所了解。接著分別對 ADC 和 DAC 的各種架構做簡單說明和比較，並提出我們此設計所採用之基本架構。

### 2.1 Parameters of Data Converter

一般用來描述 ADC 和 DAC 的特性參數分為兩種，一種是靜態參數 (Static Parameters)，另一種則是動態參數 (Dynamic Parameters)。常見的靜態參數有偏移誤差 (Offset Error)、增益誤差 (Gain Error)、差異非線性 (Differential Nonlinearity, DNL)，以及整體非線性 (Integral Nonlinearity, INL) 等。而常見的動態參數包括訊號對雜訊比 (Signal-to-Noise Ratio, SNR)、訊號對雜訊失真比 (Signal-to-Noise and Distortion Ratio, SNDR)、有效位元數 (Effective Number of Bits, ENOB)、總諧波失真 (Total Harmonic Distortion, THD)，以及無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR) 等。

#### 2.1.1 Static Parameters

當我們對一個 ADC 或 DAC 輸入非常低速的 ramp 訊號時，可描繪出此資料轉換器的輸入輸出關係特性曲線圖。在下頁圖 Figure 2.1 中可看到一個理想的資料轉換器其特性曲線為一斜率等於 1 且會通過原點的斜直

線。不過實際上所得到的特性曲線圖並不會這麼理想，因此便有了 Offset Error、Gain Error、DNL、INL 這四個參數來描述實際上的特性曲線和理想特性曲線之間的誤差。

在說明這四個靜態參數之前，先介紹兩個會用到的名詞： $V_{LSB}$  和 LSB。對一個解析度為 N-bit 的理想資料轉換器而言，其可將處理範圍內的類比訊號區分為  $2^N$  個準位，因此定義每個準位之間的電壓差值為一個  $V_{LSB}$ ：

$$V_{LSB} \equiv \frac{V_{full-scale}}{2^N} \quad (2.1)$$

其中  $V_{full-scale}$  為此資料轉換器可處理之最大類比電壓訊號範圍。而進一步定義把一個  $V_{LSB}$  的電壓值稱之為一個 LSB，這是一個無單位 (unit-less) 名詞，也可說是電壓值做 normalization 後的一個比值結果。舉例來說，當我們提到 1.2 LSB 時亦即表示此電壓值為 1.2 倍的  $V_{LSB}$ 。

## (1) Offset Error

Offset Error,  $E_{offset}$ ，是指實際特性曲線和理想特性曲線之間存在的一個固定平移差異，如圖 Figure 2.1(a)所示。其定義為實際特性曲線之第一個最低轉態點和理想特性曲線的第一個最低轉態點之間的誤差值，以數學式表示如下：

$$E_{offset} = \frac{V_{min,actual} - V_{min,ideal}}{V_{LSB}} \quad (LSB) \quad (2.2)$$

其中  $V_{min,actual}$  和  $V_{min,ideal}$  即分別為實際特性曲線和理想特性曲線的第一個最低轉態電壓值。

## (2) Gain Error

Gain Error,  $E_{gain}$ ，是指在沒有 Offset Error 的情況下，實際特性曲線和理想特性曲線之間斜率的差異，亦即實際特性曲線之斜率大於或小於 1 的

誤差量。其定義為實際特性曲線之最後一個最高轉態點和理想特性曲線的最後一個最高轉態點之間的差值，如圖 Figure 2.1(b)所示，以數學式表示如下：

$$E_{gain} = \frac{V_{max,actual} - V_{max,ideal}}{V_{max,ideal}} = \frac{V_{max,actual}}{V_{max,ideal}} - 1 \quad (\text{LSB}) \quad (2.3)$$

其中  $V_{max,actual}$  和  $V_{max,ideal}$  分別為實際特性曲線和理想特性曲線的最後一個最大轉態電壓值。

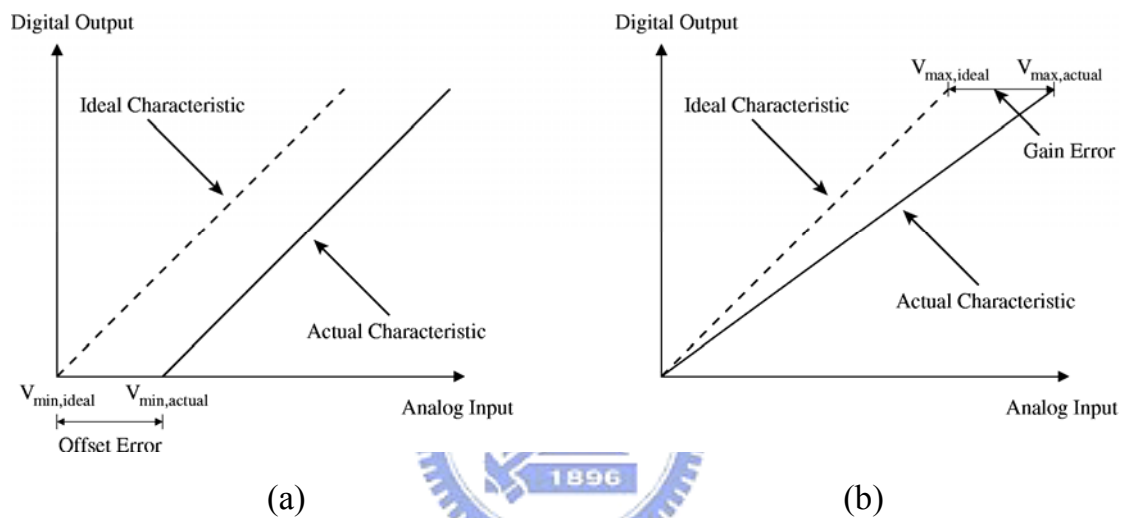


Figure 2.1 (a) Illustrating offset error (b) Illustrating gain error

### (3) Differential Nonlinearity (DNL)

當實際特性曲線去除掉 Offset Error 和 Gain Error 之後，其每兩個鄰近類比準位間的電壓差值和理想的電壓差值（即  $V_{LSB}$ ）之間的誤差量稱為 DNL。換句話說，理想上的資料轉換器每個 step 寬度都是 1 LSB，而實際上一個碼得到的 step 寬度並不會剛好是 1 LSB，所以其和 1 LSB 的偏移量就是這個碼的 DNL 值。若用數學式表示則可寫成：

$$DNL(n) = \frac{V_{n+1} - V_n}{V_{LSB}} - 1 \quad (\text{LSB}) \quad (2.4)$$

其中  $V_n$  為第  $n$  個碼對應到的類比準位電壓值。

因此，愈理想的資料轉換器其每個 step 寬度就愈接近 1 LSB，而 DNL 就愈趨近於 0 LSB。下圖 Figure 2.2 舉例說明 DNL 的誤差值。

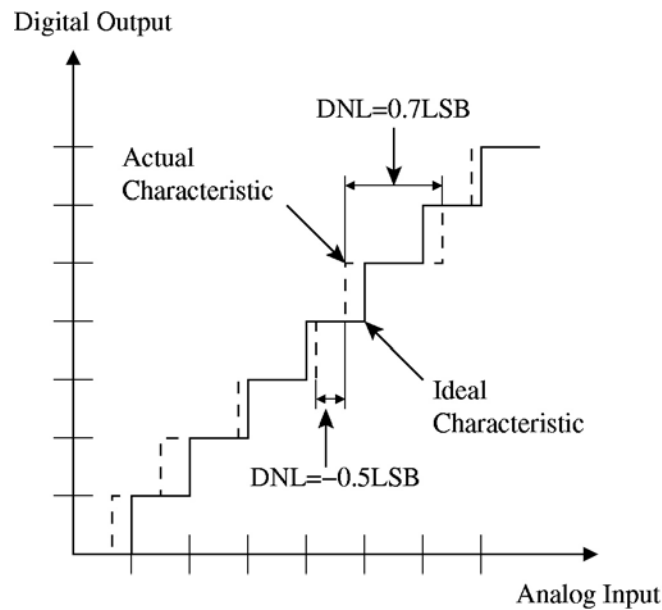


Figure 2.2 An example of differential nonlinearity error

#### (4) Integral Nonlinearity (INL)

同樣在去除掉 Offset Error 和 Gain Error 的情況下，對於同一個數位碼實際特性曲線所對應到的類比電壓值和理想上的電壓值之間的誤差就稱之為這個碼的 INL 值。簡而言之，INL 即是表示實際特性曲線和理想特性曲線之間的差異。如果把之前每個碼的 DNL 值累加起來同樣也可以得到這個碼的 INL 結果。其數學式可寫成：

$$INL(n) = \frac{V_n - V_{\min}}{V_{LSB}} - n \quad (\text{LSB}) \quad (2.5)$$

其中  $V_{\min}$  為這個資料轉換器的第一個最低轉態電壓值。

下圖 Figure 2.3 顯示一個 INL 誤差的例子。

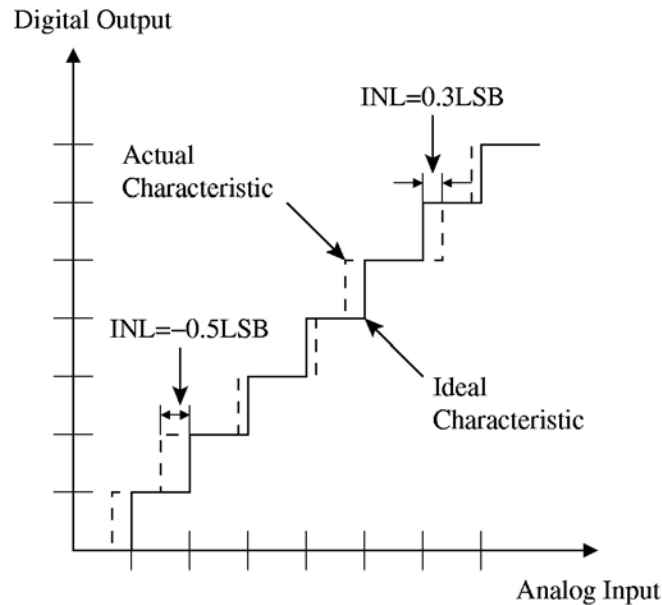


Figure 2.3 An example of integral nonlinearity error

另外有一點要注意的是，雖然每個碼都有其相對應的 DNL 和 INL 值，不過一般而言，當我們提到一個資料轉換器的 DNL 或 INL 時，通常都是指它的最大或最小值。



## 2.1.2 Dynamic Parameters

上面四個參數特性都是假設和輸入訊號無關，所以稱之為靜態參數。而相反的，和輸入訊號有關的特性參數就是所謂的動態參數。實際上的 ADC 與 DAC 本身都必定含有量化雜訊 (quantization noise)，這和其轉換器的解析度有關；再加上儀器環境或電路內部所產生的雜訊、或因非線性所造成之諧波失真 (harmonic distortion) 的影響，都會導致 A/D、D/A 在資料轉換過程中發生誤差或失真，而這些特性都和輸入訊號有關。因此，我們便可透過下列動態參數來評斷一個資料轉換器在操作過程中的效能好壞，而這些參數通常都要先將訊號經由傅立葉轉換 (Fourier Transform) 後再從頻譜中求得。

## (1) Signal-to-Noise Ratio (SNR)

SNR 是訊號對雜訊的比值，一般是以 dB 的單位形式表示。可用訊號振幅有效值 (RMS) 來計算、也可用功率計算。若是使用功率，則其數學運算式可表示成：

$$SNR = 10 \cdot \log_{10} \left( \frac{P_{signal}}{P_{noise}} \right) \quad (\text{dB}) \quad (2.6)$$

$P_{signal}$  與  $P_{noise}$  分別代表訊號與雜訊的功率，其中雜訊是指 Nyquist 頻寬以內的量化雜訊，以及電路本身或儀器環境所造成的全部雜訊，但不包含諧波雜訊的功率。

## (2) Signal-to-Noise and Distortion Ratio (SNDR)

SNDR 是訊號對雜訊及失真的比值，同樣是以 dB 為單位。一般是輸入一弦波訊號給資料轉換器後，計算輸出訊號的訊號功率對雜訊加諧波功率之比值。以數學式表示為：

$$SNDR = 10 \cdot \log_{10} \left( \frac{P_{signal}}{P_{noise} + P_{harmonics}} \right) \quad (\text{dB}) \quad (2.7)$$

其中  $P_{harmonics}$  是 Nyquist 頻寬以內所有諧波訊號功率的總合。

由於 SNDR 比 SNR 多計算了諧波的功率，因此 SNDR 參數除了可以看到雜訊的影響外，還可看到非線性造成的諧波失真影響。它是資料轉換器電路中相當常見的參數，也是最為嚴苛、最為重要的指標參數之一。

## (3) Effective Number of Bits (ENOB)

對一個理想的、只考慮量化雜訊的 N-bit 資料轉換器而言，當輸入為一弦波訊號時，其輸出訊號可達到的最大 SNR 理論值為[11]：

$$SNR_{\max} = 6.02N + 1.76 \quad (\text{dB}) \quad (2.8)$$

若將一個資料轉換器輸入弦波訊號後量得的 SNDR 值代入上式(2.8)中的  $SNR_{\max}$ ，再反推其所代表的位元數即是所謂的有效位元數 ENOB。因此可定義一個資料轉換器的 ENOB 為：

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (\text{bits}) \quad (2.9)$$

SNDR 和 ENOB 是最直接表示 ADC 與 DAC 實際效能的參數，其不僅代表著這個資料轉換器是否能達到解析度之規格，同時也顯示此轉換器電路的線性度設計好壞。另外，透過這兩個參數也能觀察到整體電路的頻寬表現，通常當輸入訊號頻率或時脈取樣頻率增加時，SNDR 和 ENOB 值會隨之下降，這是因為當頻率愈高時，訊號主 tone 的功率和線性度有可能會下降、而雜訊和諧波功率會上升所致。

#### (4) Total Harmonic Distortion (THD)

總諧波失真 THD 是指頻寬內所有諧波訊號的功率總合對主訊號功率之比值，單位同樣是 dB。其數學式為：

$$THD = 10 \cdot \log_{10} \left( \frac{P_{\text{harmonics}}}{P_{\text{signal}}} \right) \quad (\text{dB}) \quad (2.10)$$

諧波訊號的產生是因為電路的線性度不夠理想所造成的失真，所以透過 THD 參數，我們可了解一個電路的非線性影響有多嚴重。

#### (5) Spurious-Free Dynamic Range (SFDR)

在頻譜上除了基頻主 tone 訊號以外的所有突刺訊號都可稱之為 Spur，Spur 可以是諧波訊號、也可能是 clock feedthrough 造成的訊號、又或者是

其他訊號間 intermodulation 所產生之訊號。而 SFDR 就是指訊號主 tone 的功率對最大 Spur 功率的比值，亦即訊號的功率 dB 值和最大 Spur 的功率 dB 值之間的差異，單位是 dBc。以數學式表示如下：

$$SFDR = 10 \cdot \log_{10} \left( \frac{P_{signal}}{P_{max,spur}} \right) \quad (\text{dBc}) \quad (2.11)$$

其中  $P_{max,spur}$  即為最大的 Spur 功率值。

下圖 Figure 2.4 為一頻譜圖，說明 SFDR 之定義。

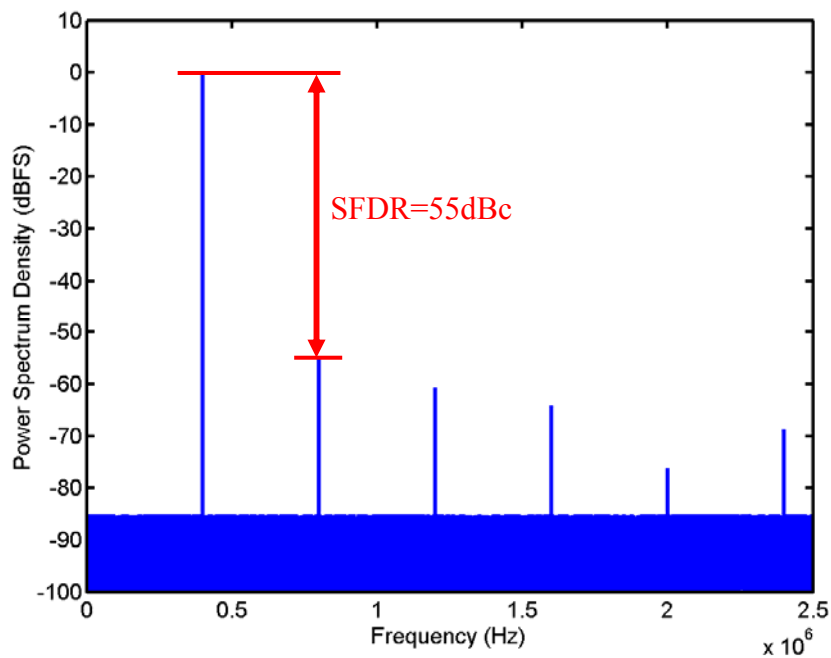


Figure 2.4 Illustrating spurious-free dynamic range



## 2.2 ADC Architecture Review

時至今日 ADC 已發展出約有十種架構，每個架構都有其不同的特性與應用，而其中很多架構也都還正持續地被研究與改進當中。通常速度愈快的類比數位轉換器所能達到的解析度會愈低；相對的高解析度之 ADC，其操作頻率也就比較慢。所以 ADC 的架構大致上可依速度和解析度分為三類，如下表 Table 2.1 所示[11]。

Table 2.1 Different ADC architectures

<b>Low Speed, High Accuracy</b>	<b>Medium Speed, Medium Accuracy</b>	<b>High Speed, Low Accuracy</b>
Integrating	Successive approximation	Flash
Oversampling ( $\Sigma$ - $\Delta$ )	Algorithmic (Cyclic)	Interpolating
		Folding
		Two-step (Subranging)
		Pipelined
		Time-interleaved

不過類比數位轉換器的架構雖然有這十種，但較為常見的還是只有  $\Sigma$ - $\Delta$  ADC、successive approximation ADC、pipelined ADC 以及 flash ADC 這四種。 $\Sigma$ - $\Delta$  ADC 大多是用於像音訊處理這種較低速的應用，其解析度可做得非常高；而 successive approximation ADC 的速度比較快一些，屬於中低速度，但相對的解析度便沒有那麼高，只能提供中高等的位元數，另外 successive approximation ADC 也常被使用於低功率低耗能之應用；至於 pipelined ADC 的操作速度又可以更快，可做到中高速的等級，但其可達到之解析度就又比較低。最後即是 flash ADC，它是目前速度最快的架構，所以解析度當然也是最低的。這四種架構的速度與解析度之關係圖示於下頁 Figure 2.5。

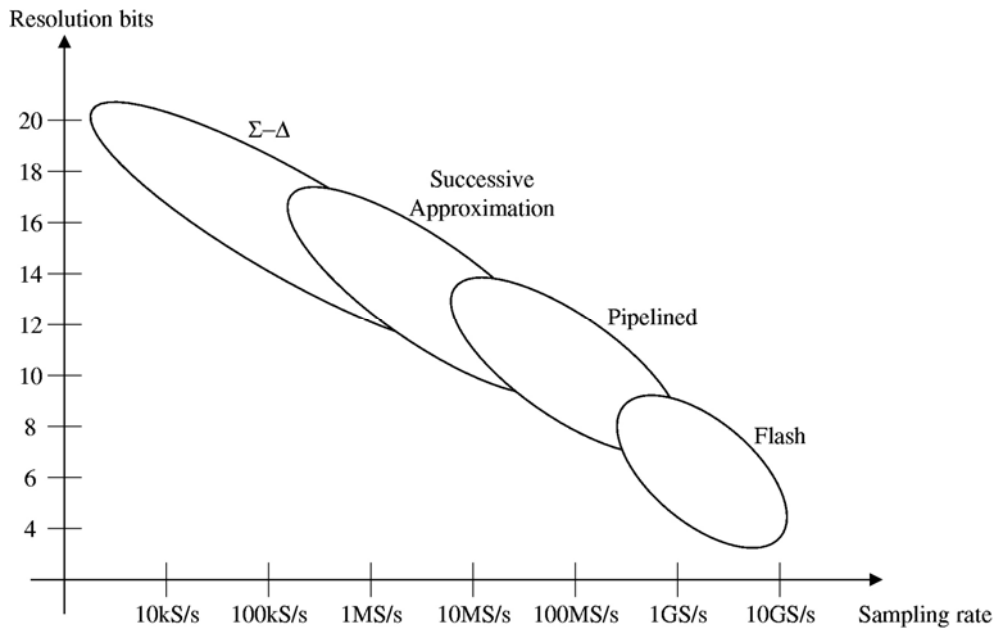


Figure 2.5 Different architectures vs. speed and resolution

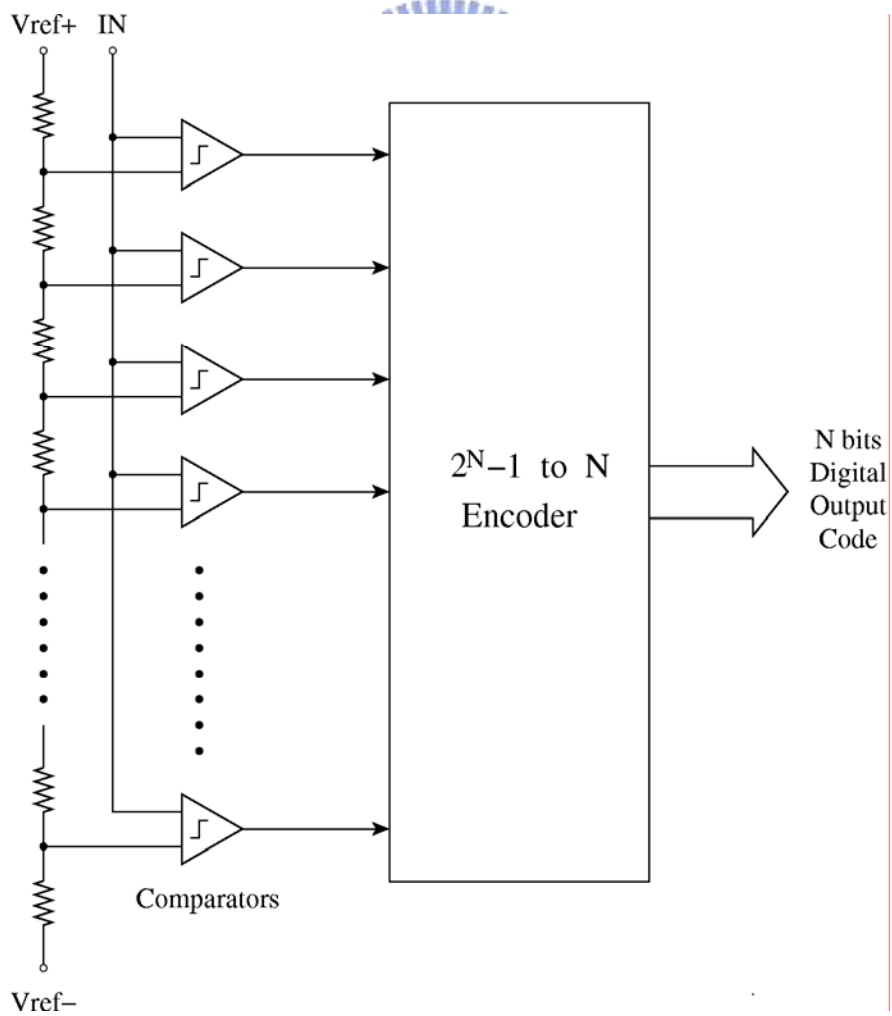


Figure 2.6 A basic flash analog-to-digital converter

而誠如前一章所述，在我們整個總計畫的傳輸鏈系統中，我們要設計之 ADC 的解析度不高，但取樣頻率卻要非常快速。因此在這樣的條件下，能達到最高速的 flash 架構便是此種應用之首選。

一個最基本的 flash ADC 架構如圖 Figure 2.6 所示，輸入的類比訊號會同時接到一整排並列的比較器上，對於 N-bit 的 flash ADC 而言，至少需要  $2^N-1$  個比較器；同時一參考電壓（reference voltage,  $V_{ref}$ ）經由一電阻梯（resistor ladder）分壓產生  $2^N-1$  個參考準位後分別接到該等比較器的另一輸入端。當輸入訊號大於參考電壓時，比較器輸出為 1，如果輸入訊號比參考電壓小時則比較器輸出 0。因此對於一個輸入訊號的電壓值，這一排  $2^N-1$  個並列的比較器將輸出一組相對應的溫度計碼（thermometer code），而此溫度計碼再透過後續的編碼器編碼就可得到 N-bit 的數位輸出。

由於 flash ADC 是用並列式的比較來將類比訊號劃分成  $2^N$  個區塊，每次只要一個 clock cycle 即可產出一組數位碼，速度非常的快，所以我們的 ADC 便採用 flash 架構。不過 6-bit 的 flash ADC 至少需要 63 個比較器，輸入端同時直接接到 63 個比較器其寄生電容會很大，因此為了降低輸入端看到的寄生電容，我們的 flash ADC 又再加上了 interpolating 的技巧。interpolating ADC 可說是 flash ADC 的變形，基本原理還是相同的，它除了可減少輸入端的寄生電容以外，同時也可降低比較器本身的 offset 影響，改善整體的 INL 和 DNL，這些在第三章內容將會有詳細說明。

## 2.3 DAC Architecture Review

現今的 DAC 架構大致上可分為三類，分別是電壓調變、電荷調變、以及電流調變的方式[12]。所謂電壓調變式 DAC 即是將參考電壓  $V_{ref}$  經由一串電阻分壓成數個類比電壓準位後，再用數位訊號去控制開關來決定要把哪個電壓準位值傳送到輸出端；這是最簡單也是最直接的數位類比轉換器電路。不過這種 DAC 的準確性便完全取決於這一串 resistor ladder 中電阻和電阻之間阻值的差異，畢竟在晶片製作過程中電阻值會有所誤差，實際上製造出來的每個電阻值一定都不相同，不可能讓所有電阻都一樣，因此這種電壓調變式的 DAC 其精準度會比較低。

而電荷調變式 DAC 就是用數位訊號去控制開關來將所有的電荷重新分布到電容陣列中，由於數位訊號所控制的開關可決定電容陣列中的每個電容是否會分布到電荷，因此也就能產生出不同的類比輸出電壓值。電荷調變式 DAC 的好處是它的被動元件是使用電容，而電容在現今製程中是可以做得比較準確的，所以這種數位類比轉換器的精準度較高。不過也因為是使用了電容，其操作速度相對的會比較慢。

至於電流調變式 DAC 則是用數位訊號控制的開關來決定有多少電流量會流至輸出阻抗，也就能決定輸出端的電壓值。產生電流的方式可分為兩種，一是用被動式的電阻跨壓來產生，另一種是直接用主動式的電流源產生。而使用被動式電阻產生電流的方式，如同上述，受限於電阻在製程中的誤差較大、匹配及準確性都較差，所以後來又發展出一種 R-2R 階梯式電流調變 DAC 設計可以略為提升其精準度。不過使用主動式電流源的方式還是比較好的選擇，因為主動元件的精準度高，且電流的切換速度又可以很快。在所有的數位類比轉換器架構當中，電流調變方式是操作速度能達到最快的一種，因此我們所要設計的 DAC 便採用這種主動式電流源

電流調變架構，一般稱之為 current-steering DAC。

另外，依照數位編碼的方式，電荷調變和電流調變式的 DAC 又都可再分為二進位權重式 (Binary-weighted) 或溫度計碼式 (Thermometer-code) 兩種。下表 Table 2.2 舉一個 3-bit binary-code 和 thermometer-code 關係的例子。由表中可看出，溫度計碼和二進位碼最大的不同點在於，對同一個數值而言溫度計碼需要  $2^N-1$  個數位輸入來表示，也就需要  $2^N-1$  個開關，而二進位碼卻只需要  $N$  個開關和數位輸入即可表示，這對於高解析度的轉換器來說是可以節省很多面積和寄生電容的。不過使用溫度計碼也是有其好處的，因為使用溫度計碼的編碼方式，每個元件的大小就要都設計成一樣，所以匹配度會較好、元件與元件之間的差異量較低，這將使得整個轉換器的 DNL 和 INL 相對會比較小。而且使用溫度計碼制可以確保一個 DAC 的單調性 (Monotonicity)，所謂單調性是指當數位類比轉換器的數位輸入碼增加時，它的類比輸出電壓值都不會有減少的現象發生，也就是說其轉換特性曲線的斜率永遠不為負值。很明顯的，一個非單調性的 DAC 將會有非常差的 DNL 表現；當一個數位類比轉換器的 DNL 大於 1 或小於 -1 LSB 的時候，其必定是呈現非單調性的。而溫度計碼制的 DAC 可保證

Table 2.2 Thermometer-code representations for 3-bit binary values

Decimal	Binary			Thermometer-code						
	B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	T <sub>7</sub>	T <sub>6</sub>	T <sub>5</sub>	T <sub>4</sub>	T <sub>3</sub>	T <sub>2</sub>	T <sub>1</sub>
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	1	1
3	0	1	1	0	0	0	0	1	1	1
4	1	0	0	0	0	0	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1

其必為單調性，所以對一個解析度不高的數位類比轉換器而言，溫度計碼編碼方式是個不錯的選擇。下圖 Figure 2.7 顯示一個溫度計碼制的電流源調變式數位類比轉換器。

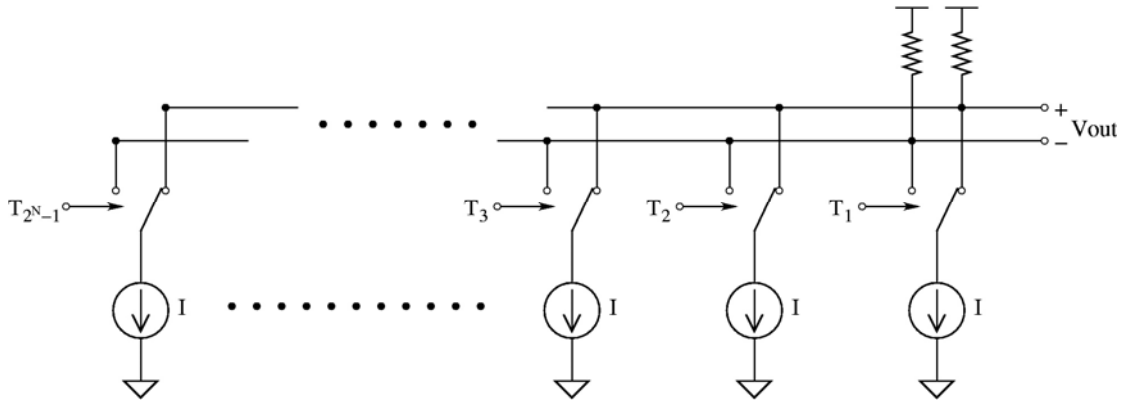


Figure 2.7 A thermometer-code current-steering digital-to-analog converter

由於我們所要設計之 DAC 取樣速度很快、但解析度不高，因此便是選用這種溫度計碼制電流源調變式的架構。不過同時我們也考慮到 6-bit DAC 需要  $2^6-1=63$  組開關和電流源，所佔的面積及寄生電容比較大，所以更進一步改採混合式的溫度計碼制電流源調變數位類比轉換器 (Hybrid thermometer-code current-steering DAC)，把 6-bit 的編碼器拆成 4-bit 和 2-bit 兩個部分，如此一來所需的開關和電流源就減少成只有  $15+3=18$  組。雖然這樣因製程的誤差偏移量可能會稍微較大一些，但是卻大大的縮減了面積及寄生電容。其詳細設計將在第四章加以說明。

# Chapter 3

## Design of the 5GS/s 6-bit

## Analog-to-Digital Converter

本章節將分析並說明我們如何設計此一 5GS/s 6-bit ADC，並顯示其模擬結果。

此 ADC 的整個架構如下圖 Figure 3.1 所示。在高速電路裡，雜訊影響非常嚴重，不論是與溫度有關的熱雜訊 (thermal noise)、高頻訊號的耦合 (coupling) 雜訊、高速轉態時的干擾雜訊 (glitch)、或是電源的抖動雜訊 (power-ground bounce)，都對高速電路的影響很大；因此在我們整個電路設計裡，全部都是採用全差動式 (fully-differential) 的架構來抑制其共模雜訊 (common-mode noise) 及偶次諧波 (even-harmonics) 失真。

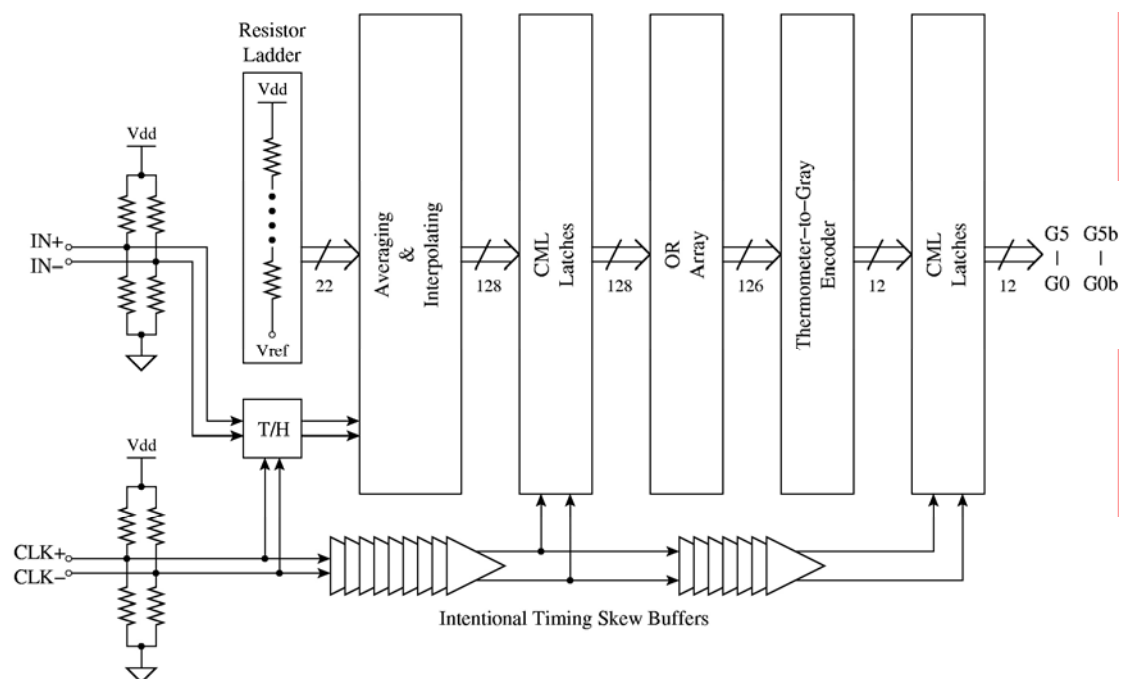


Figure 3.1 Block diagram of the ADC

差動式的 Input 訊號 (IN+,IN-) 和 Clock 訊號 (CLK+,CLK-) 輸入後首先接至一對分壓電阻，此兩電阻並聯後可得 50Ω 的匹配阻抗值，如此才會讓高頻訊號能順利輸入晶片內而不被反射，且這兩個電阻同時也提供了輸入訊號所需的共模偏壓準位。

接著輸入訊號經過取樣保持電路 (Sample-and-Hold 或 Track-and-Hold) 後接到 Averaging & Interpolating 網路中，同時分壓電阻梯也產生差動式的參考電壓值去提供前置放大器 (pre-amplifier) 的第一級 Gilbert-Cell 與輸入訊號做全差動式的比較。透過 Interpolating，輸入訊號所要接到的前置放大器個數將被大幅縮減，因此進而能減少輸入端的寄生電容值；而使用 Averaging 技巧能降低電路中因製程 mismatch 所造成的 offset 影響。前置放大器的功用是要將輸入訊號和參考電壓之間的差值放大，再由後級的 Latch 把這個類比差值訊號拉開成高低準位分明的數位訊號，如此即完成整個比較器之動作。最後所產生出的溫度計碼再透過後面的邏輯電路及 Gray-code 編碼器、且再經過一次 Latch 做時序上的同步之後，便可得到差動式的 6-bit 數位訊號輸出。

另外，由於此資料轉換器的取樣速度很快，時脈的半週期時間僅 100ps 很短，要使整個電路在半週期時間內就完整轉換出一組數位資料是很困難的事情。每個子電路都會有 gate delay，而所有電路連接起來之後的主要路徑 (critical path) 延遲時間將會超過半週期的時間。因此我們在 Clock 訊號線的傳輸路徑上加入 intentional timing skew buffers 來延遲時脈訊號，使得時脈時間和主要路徑的延遲時間平衡，以克服上述之問題。此技巧稱之為 wave-pipelining [13]。

接下來就對 ADC 中的各個 Block 分別加以說明。



### 3.1 Resistor Ladder

Resistor Ladder 是指一連串串聯的電阻，主要是用來分壓產生出數個等間距準位的參考電壓值。Figure 3.2 顯示一個輸入訊號  $V_{in}$  和參考電壓都是單端輸入形式之模型，假設比較器的輸入級是組簡單的差動對 (differential pair, M1 & M2)。則從圖中可看出，雖然 Resistor Ladder 產生出的參考電壓是 DC 值，但輸入訊號  $V_{in}$  卻會透過差動對 M1 和 M2 的  $C_{GS}$  去 coupling 影響參考電壓的值，此現象稱之為是一種訊號的 feedthrough，且對位於 Resistor Ladder 中間的節點影響程度最大。假設 Resistor Ladder 的中間點電壓值為  $V_{mid}$ ，則輸入訊號  $V_{in}$  對  $V_{mid}$  所造成的 feedthrough 可以推導得[14]：

$$\frac{V_{mid}}{V_{in}} = \frac{\pi}{4} f_{in} RC \quad (3.1)$$

其中  $f_{in}$  為輸入訊號之頻率、 $R$  為 Resistor Ladder 的總電阻值、 $C$  為輸入端看到的總 coupling 電容值，亦即  $C=nC_{GS}/2$ ， $n$  為輸入端進去看到的差動對個數，以我們的設計為例即  $n=11$ 。

從上式可看出  $R$  值愈小，訊號 feedthrough 的影響愈小；但 Resistor Ladder 的電阻值愈小，其所消耗的靜態功率相對的比較大。因此由(3.1)式可推得在有限的 feedthrough 影響下所能容許的最大電阻值為：

$$R_{max} = \frac{4 \frac{V_{mid}}{V_{in}}}{\pi f_{in} C} = \frac{4\phi}{\pi 2^N f_{in} C} \quad (3.2)$$

其中  $\phi$  為所能容許限制的 feedthrough 影響量，單位是 LSB； $N$  是此 ADC 的解析度位元數。通常會設  $\phi=1$  LSB，去求得 Resistor Ladder 所能使用的最大電阻值。

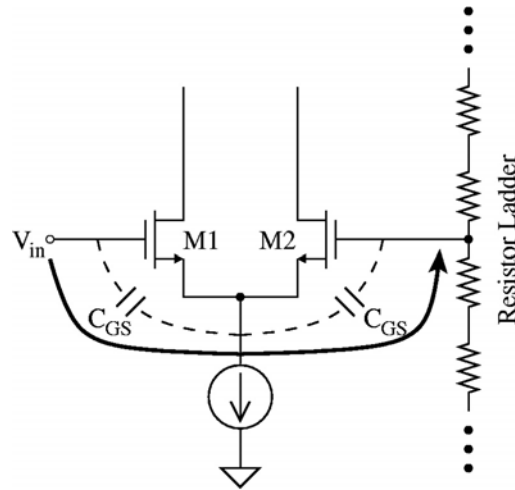


Figure 3.2 Reference ladder feedthrough of the input signal via the series capacitive combination in the differential pairs of the input gain stages

不過在我們的設計當中，輸入訊號並不會直接接到比較器，而是會先經過一個 Track-and-Hold 電路；所以對我們的設計而言，這裡的  $V_{in}$  變成是指 Track-and-Hold 的輸出訊號。加入了 Track-and-Hold 電路，使得  $V_{in}$  訊號會有保持在某穩定固定值的狀態，這將大幅的降低 feedthrough，也讓  $R_{max}$  的要求比較寬鬆。

## 3.2 Track-and-Hold

Track-and-Hold (T/H) 電路在 Giga 級以上的高速類比數位轉換器中是非常重要的，它可以讓輸入訊號有半週期的時間穩定維持在某一個固定的電壓準位上。尤其是在高速的 flash ADC 中，輸入訊號到每個比較器路徑所需的時間可能會有些微的差異，因為這個時序上的小小差異將使得整個 ADC 的效能大幅降低。而 T/H 電路正好可以減輕這個問題所帶來的影響，在整個高速 ADC 當中扮演著極為重要的角色。另外，使用 T/H 電路同時也可降低後級比較器所需之頻寬要求，換句話說，對於相同頻寬的比較器而言，前級具有 T/H 電路之 ADC 會比未裝設 T/H 的設計更具有較大較廣

的輸入頻寬。一個高速的類比數位轉換器是否能擁有足夠大的輸入頻寬，其 T/H 電路的設計好壞將是個關鍵因素。

一個基本簡單的單端 T/H 電路模型如圖 Figure 3.3 所示，是由一個開關及一個電容  $C_H$  所組成，其通常主要會遭遇到三個非理想性的問題[15]。第一個是 hold-mode feedthrough，如圖中 1 所標示，造成的原因是開關的輸入和輸出端之間有寄生電容，使得在 hold-mode 時的輸入訊號會透過此電容 coupling 到輸出端，影響 T/H 所保持住的電壓值，此現象操作在高速訊號運作時特別明顯嚴重。第二個是所謂的 charge injection，如圖中的 2 所標示，發生在 track-mode 切換到 hold-mode 的時候，在這個瞬間原本儲存在 MOS 開關上的電荷會往輸出入兩端流竄，因而有若干大小的電荷移到保持電容  $C_H$  上，影響原本 T/H 電路所追隨保持到的輸出電壓值；同時 Clock 訊號也正在做快速轉態，所以此高頻訊號也會透過開關的寄生電容去 coupling 改變影響輸出，這也被稱之為是種 clock feedthrough。第三個問題是 droop rate，如圖中 3 標示，hold-mode 時的保持電壓會隨著時間的增加而線性下降，這是因為電容  $C_H$  的漏電效應或可能下一級電路的輸入電流不為零所造成，此等現象都可以等效成 T/H 的輸出端具有一個到地的定電流源。

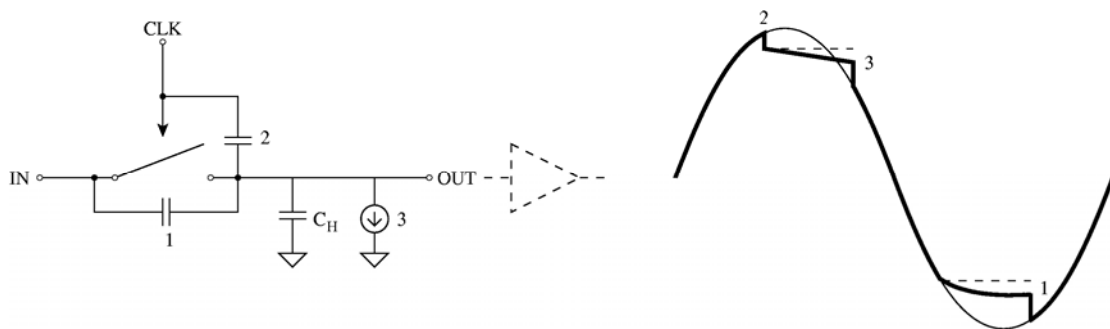


Figure 3.3 Single-ended T/H artifacts

[15]–[19]用的是同一種常見的高速 T/H 電路架構，不過該等設計都是使用 SiGe 製程所提供之 bipolar 電晶體。此架構主要是用 emitter follower 做開關，且全部為 fully-differential 的形式，輸入及 Clock 訊號都是接到 differential pairs，也因此不需要 rail-to-rail 的 Clock 訊號即可做切換，這是此電路架構的主要優點之一。然而，此種電路需要有足夠大的 supply 電壓才能去設計 emitter follower 開關，這對於 1.2V 的 CMOS 製程而言，要實現一個類似的 source follower 是有其困難性的。再者，此種 T/H 電路的充放電速度完全取決於偏壓 emitter follower 的電流源大小，若要達到夠大的輸入訊號頻寬，則通常需要消耗非常驚人的功率。

[20]和[21]也是另外一種常見的 T/H 電路，其主要是利用一個 source follower 的  $V_{GS}$  來讓 MOS 開關具有 constant  $V_{GS}$  的特性，若 MOS 開關的  $V_{GS}$  為 constant，則 charge injection 的效應理論上將與輸入訊號無關，同樣也變成是 constant 的，其影響相當於只是一個 offset 的偏移量，如此即可提升 T/H 的線性度及其有效位元數。對於此種架構的 T/H 電路，我們也曾嘗試將 Clock 訊號改成 fully-differential 的形式操作，但由於 MOS 電晶體個數太多、寄生電容太大，此種電路架構所能達到的取樣頻率不能太高，無法符合此應用之規格要求。

我們最後採用一個簡單的 MOS 開關電路來做 T/H；因為最簡單的 MOS 開關其寄生電容較少，對於高速低解析度的類比數位轉換器而言其實反而是較為合適的選擇。Figure 3.4 顯示我們所設計之 T/H 電路，Ms1 和 Ms2 是 MOS 開關。Md1~Md4 是 dummy 開關，其 drain 端和 source 端相接，且該等 MOS 的 size 是 Ms1 和 Ms2 的一半，各 gate 端的 Clock 訊號也和 Ms1、Ms2 的反向，用來降低輸入和輸出端的 charge injection 影響。而 Mc1 和 Mc2 的 gate 端接到 Vdd，是 turn-off 開關，其 size 和 Ms1、Ms2 的相同，用來等效 turn-off 時 drain 端到 source 端的寄生電容，讓輸入訊號

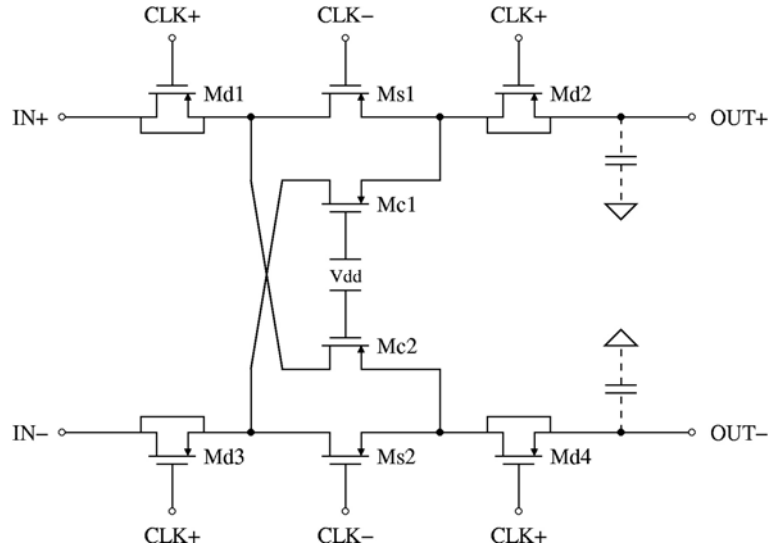


Figure 3.4 Track-and-Hold circuit

IN+在 hold-mode 時 coupling 到 OUT+ 的量也同時 coupling 到 OUT-，而 IN- 訊號 coupling 到 OUT- 的量也與 coupling 到 OUT+ 的量相同，則此 hold-mode feedthrough 即相當於是個 common-mode noise，如此一來 differential 的輸出訊號相減之後便能消除掉此 hold-mode feedthrough 的問題[15]。

在上述 Figure 3.3 中提到之 T/H 電路的主要三個非理想性問題中，第二個 charge injection 和第三個 droop rate 的問題理論上使用差動式的架構即可解決，因為假設從 track-mode 切換到 hold-mode 的瞬間，在正負兩端訊號之開關上的電荷對輸出端影響是一樣的；而 droop rate 的效應在正負兩端也等同於是個 common-mode 的訊號，所以全差動式的架構將輸出端的正負兩訊號相減之後理論上便會抑制掉這兩個效應[15]。但是實際上卻不然，charge injection 和 droop rate 的影響實際上還是跟輸入輸出的訊號有關，並非使用差動式的架構就可消除。因此在 Figure 3.4 的 T/H 電路中才需要 Md1~Md4 這四個 dummy 開關來分別降低正負兩邊輸入和輸出端的 charge injection，當 charge injection 的量夠小時，差動式的架構便可顯現出其效果。至於 droop rate 問題對於我們的設計影響不大，甚至於可以

忽略，因為我們所使用的是 CMOS 製程，T/H 看到的下一級電路是 MOS 的 gate 端，其輸入電流幾乎為零；且這個 T/H 的取樣頻率很快，半週期的時間很短，電壓只需保持 100ps，在 100ps 之內因 droop rate 影響所造成的誤差非常小，所以相較之下 droop rate 的問題便顯得不是那麼重要。

誠如前面所述，hold-mode feedthrough 的影響是利用 Mc1 和 Mc2 這兩個 turn-off 開關來做補償，但實際上 Mc1、Mc2 的 drain-source 寄生電容其實和 Ms1、Ms2 的電容還是會有所差異，因為一個 MOS 的 drain-source 電容值會受到 drain 端和 source 端的電壓影響，所以實際上 Mc1 和 Ms2、Mc2 和 Ms1 的寄生電容值並不會完全一樣，hold-mode feedthrough 的效應不會完全被消除，仍然和輸出入訊號有關。不過使用了 Mc1 和 Mc2 這種補償電容的技巧，雖然無法完全消除，但卻也已經明顯減輕了 hold-mode feedthrough 的影響。下圖 Figure 3.5 即為此 T/H 電路在輸入 0.503GHz 的弦波訊號、取樣頻率為 5GS/s 時的差動輸出波形圖，從圖中可看到 hold-mode feedthrough、charge injection 和 droop rate 的影響效應都已經非常小。

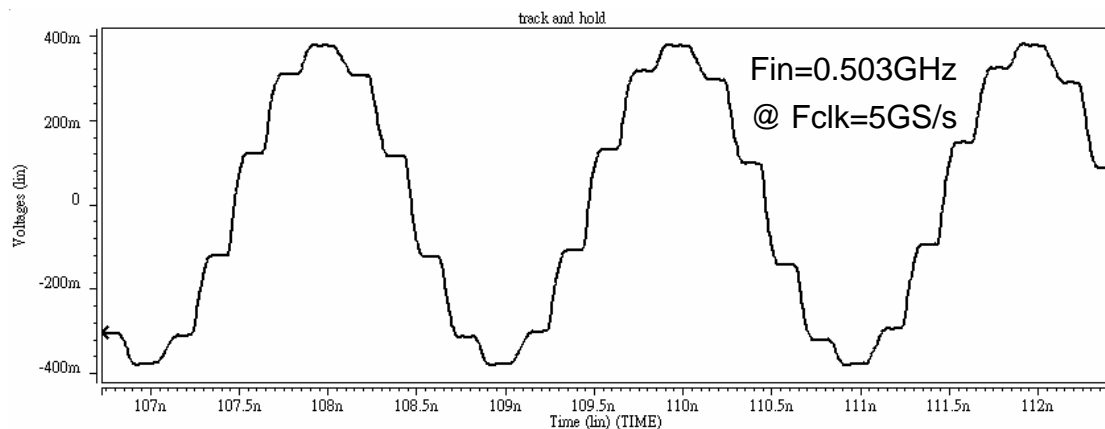


Figure 3.5 Simulated differential output waveform of the T/H with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal

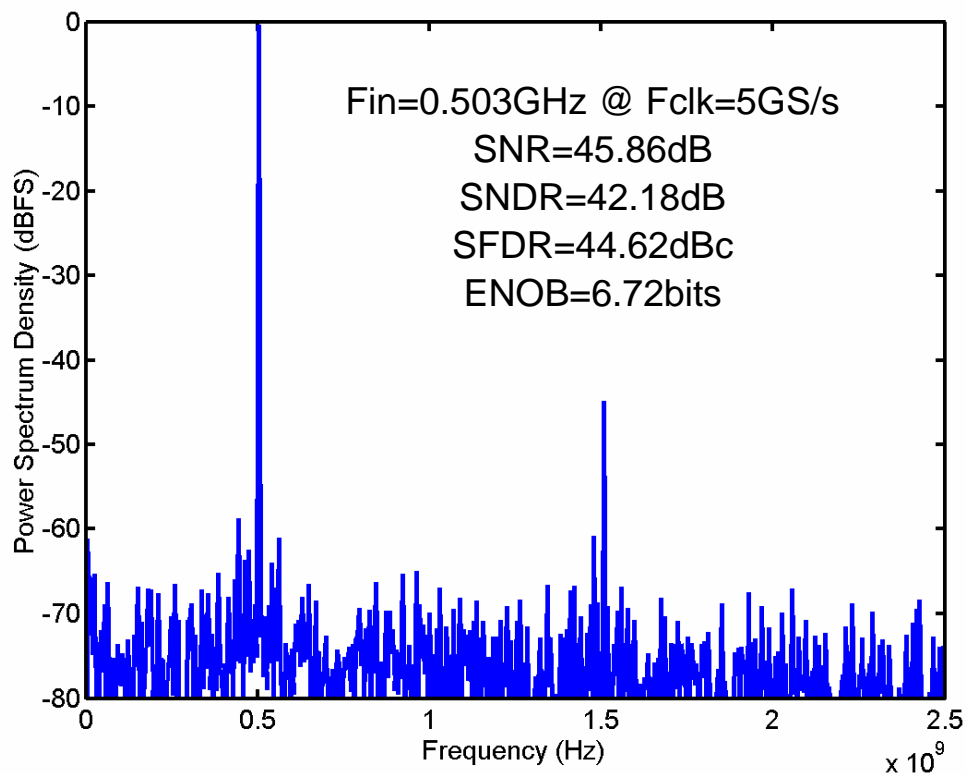


Figure 3.6 Simulated output spectrum of the T/H with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal

另外考慮到如此高速的 Clock 訊號輸入 chip 之中可能會有衰減失真，因此為了確保 T/H 在 worst case 時還能正常工作，我們模擬時所用的 Clock 是 5GHz 的弦波訊號。將 T/H 的輸出波形經 FFT (Fast Fourier Transform) 轉換後所得的頻譜如上圖 Figure 3.6 所示。從頻譜中可看出，單純只使用一個 MOS 開關做 T/H 電路的結果線性度比較差，會出現三階的諧波失真訊號；不過其有效位元數可達 6.72 bits，已足夠應用於我們的設計。

### 3.3 Averaging and Interpolating

之前在第二章提及，一個 6-bit 的 flash ADC 至少需要 63 個比較器，但若 T/H 的輸出直接同時接到這 63 個比較器的話，則等效輸入寄生電容將會很大，因此為了降低此輸入端所要連接的比較器或放大器數目，我們使用了 interpolating 的技巧。所謂 interpolating 是在相鄰的比較器或放大器之間利用串聯電阻分壓內插出中間的比較訊號，如下圖 Figure 3.7 所示，每兩相鄰的放大器之間即能內插出另一個訊號，且內插所得訊號的輸出入轉換關係圖如 Figure 3.7 右圖所示。由於當訊號接近中間的 Latch threshold 時放大器是操作在線性區域，因此內插出的訊號在 threshold 點時和相鄰的放大器輸出間隔相同。由此可知，每使用一級的 interpolating，輸入端直接連接的放大器數目便會減少將近一半，輸入寄生電容也就大幅降低。

另外，這一連串的電阻同時具有 averaging 效果，能改善 DNL 和 INL 的表現。由於製程的偏差會使得比較器的 differential pair 無法完全匹配，導致比較器會有若干 offset 電壓產生，且每個比較器的 offset 都不相同。而比較器的 offset 會改變其原本的參考電壓或門檻電壓 (threshold voltage) 值，所以對 flash ADC 而言，比較器的 offset 大小會直接影響其 DNL、INL

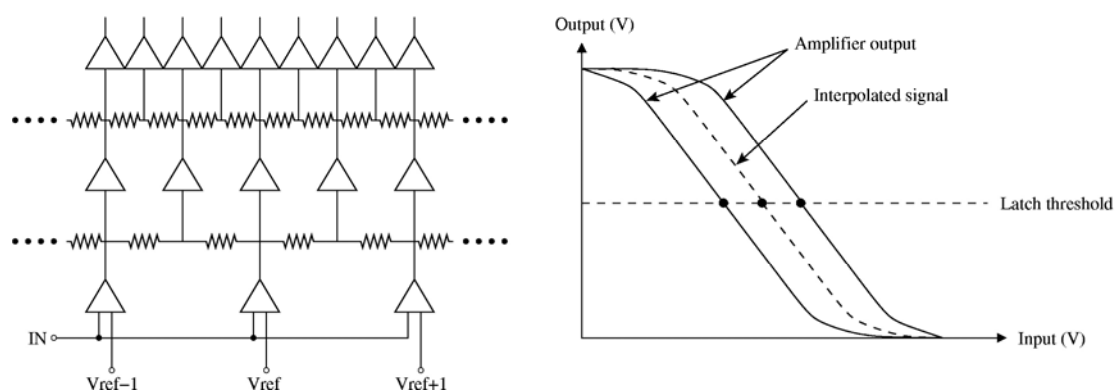


Figure 3.7 Interpolating structure and transfer response for the interpolated signal



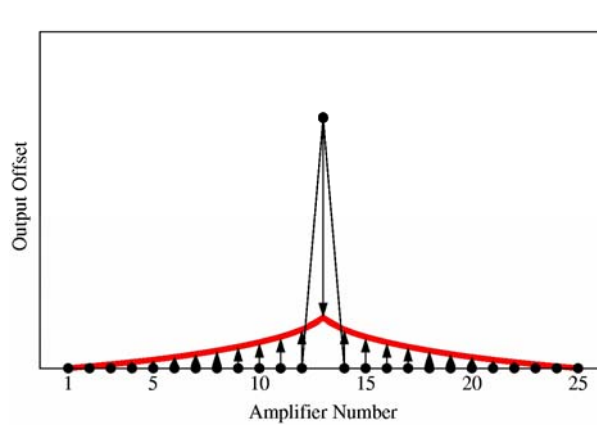


Figure 3.8 Effect of averaging

的好壞。不過在我們的設計當中，因為相鄰放大器的輸出端之間都有電阻相連，因此會將放大器的 offset 電壓平均分散開來，進而讓所有放大器的 offset 趨為一致，這便是 averaging 的效果。如圖 Figure 3.8 顯示一個較為明顯的例子，假設有 25 個並列放大器，其中只有一個放大器有很大的 offset，其他放大器的 offset 都為零，如此的設計結果將產生出非常大的 DNL。不過透過 averaging 電阻之後，該原本很大的 offset 將被平均分散到其他的放大器中，所以比較器之最大 offset 值會得以降低；這樣雖然使得其他放大器的 offset 增加，但彼此之間的 offset 差異卻減小，因此整體的 DNL 和 INL 便將獲得改善。

### 3.3.1 Averaging Edge Issue

Figure 3.9(a)顯示一個使用 averaging 技巧之模型，假設沒有 offset 的情況下、不考慮輸入訊號和增益，則  $\Delta V_{ref}$  即為參考電壓準位之間的時間差異，而  $R_1$  是放大器的輸出阻抗， $R_2$  為 averaging 電阻。此時根據 KVL 可寫出迴路方程式如下：

$$\Delta V_{ref} = R_1(I_X - I_{X-1}) + R_2 I_X + R_1(I_X - I_{X+1}) \quad (3.3)$$

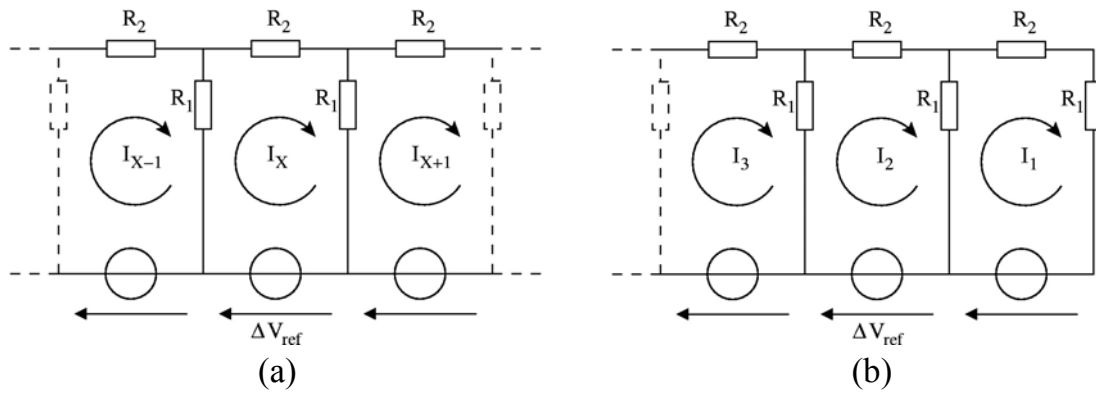


Figure 3.9 Subcircuit model in (a) an infinite averaging array  
(b) a finite averaging array

若此 averaging array 是無限延伸的話，則這個電路模型即是完全對稱的，每個迴路中的電流  $I_X$  都會相等，亦即  $I_{X-1} = I_X = I_{X+1}$ 。因此從(3.3)式可推得

$$I_X = \frac{\Delta V_{ref}}{R_2} \quad (3.4)$$

但實際上在非無限延伸的 averaging array 中，只有最靠近中間迴路的電流會趨近於(3.4)式的結果，愈往外面邊緣的迴路電流和  $I_X$  差異愈大。如圖 Figure 3.9(b)所示， $I_1$  的右邊已經沒有迴路電流，所以  $I_1$  的值一定不會等於  $I_X$ ，且會小於  $I_X$ 。而這個電流值的差異會導致輸出的 zero crossing 點電壓準位偏移，如下圖 Figure 3.10 所示，原本應該在  $X_1$  和  $X_2$  的點分別偏移到  $X_1'$  和  $X_2'$ ，愈往外愈邊緣的偏移量愈大，且該等 zero crossing 點是會

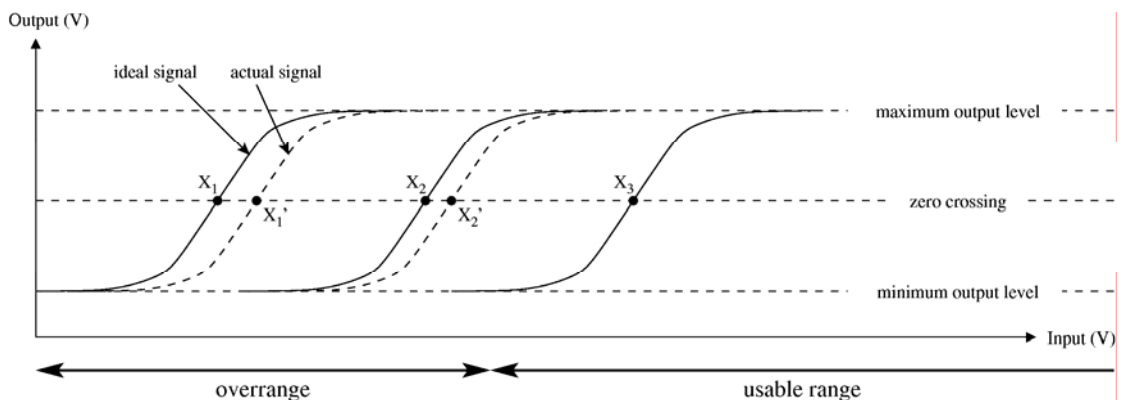


Figure 3.10 Zero crossings shift at averaging edge

往內縮移，因此靠近兩側端點的地方其 DNL 就會比較差。傳統上要解決這個問題的方式一般是在兩端邊緣處加上數個 overrange 的 dummy 放大器 [22]–[24]，讓 averaging edge 所造成的誤差都是出現在這些 overrange 的 dummy 放大器中，而中間真正負責操作類比數位轉換的放大器便不會受到 averaging edge effect 的影響。

不過，另外加入 dummy 的放大器即會額外增加所消耗的功率及面積，所以在此我們是採用 averaging termination 的方式 [25]。如下圖 Figure 3.11 所示，若將最後一個迴路的 averaging 電阻值改為  $R_2 - R_1$ ，則邊緣的  $I_1$  迴路其電流值就會和  $I_X$  相等，符合 (3.4) 式的結果。因此只要選擇一個比放大器輸出阻抗  $R_1$  稍大的電阻值來做 averaging 電阻  $R_2$ ，再把最後一個邊緣迴路的 averaging 電阻改為  $R_2 - R_1$ ，如此僅使用一組的 dummy 放大器即可解決 averaging edge 的誤差影響。

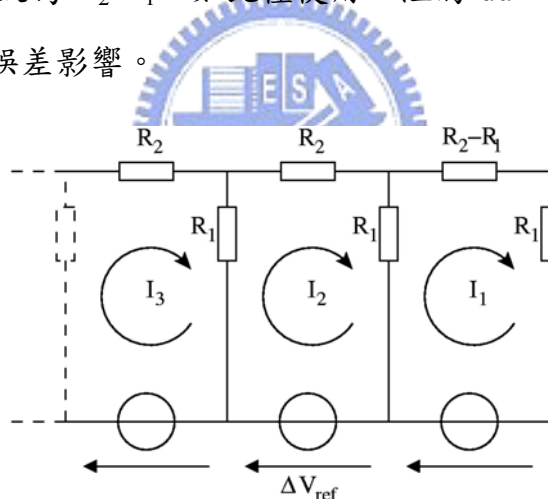


Figure 3.11 Averaging termination method [25]

然而使用此種 averaging termination 方式需要非常精準的  $R_2 - R_1$  電阻值才能將 edge effect 的影響完全消除，否則由於製程飄移所造成的電阻偏差仍會使得 averaging termination 無效，兩端點還是會有 edge effect 之誤差。從 Figure 3.11 的模型中，可推導出相鄰兩輸出節點的電壓差值表示式為：

$$\Delta V_{out} = \left[ \frac{\left( \frac{R_2}{R_1} + \frac{R_2}{R_2 - \Delta R} \right) \left( \frac{-R_2}{R_1(R_2 - \Delta R)} + \frac{-R_2}{R_1^2} + \frac{-3}{R_1} + \frac{-3}{R_2 - \Delta R} \right)}{\frac{-R_2}{(R_2 - \Delta R)^2} + \frac{-2R_2}{R_1(R_2 - \Delta R)} + \frac{-R_2}{R_1^2} + \frac{-2}{R_1} + \frac{-2}{R_2 - \Delta R}} - \frac{R_2}{R_1} \right] \Delta V_{ref} \quad (3.5)$$

其中  $\Delta R$  為電阻  $R_2 - R_1$  的誤差偏移量。在理想狀況下當  $\Delta R = 0$  時，上式即變為  $\Delta V_{out} = \Delta V_{ref}$ ，完全不受 averaging edge effect 的影響。但實際上因為製程偏差使得  $\Delta R$  不為 0 時， $\Delta V_{out}$  即不等於  $\Delta V_{ref}$ ，亦即會有 DNL 出現。

若再假定  $R_1$  和  $R_2$  都遠大於  $1 \Omega$ ，則上面(3.5)式可近似如下：

$$\Delta V_{out} \approx \frac{R_2}{R_2 - \Delta R} \Delta V_{ref} \quad (3.6)$$

由此可知當符合  $-R_2 < \Delta R < R_2/3$  時，DNL 會小於  $\pm 0.5$  LSB。所以對於兩端的電阻  $R_2 - R_1$  而言，若假設有 100% 的最大製程偏移量，則  $R_2 - R_1$  之值必須小於  $R_2/3$  才可確保 DNL 會小於  $\pm 0.5$  LSB。

### 3.3.2 Determining the Number of Input Amplifiers

從前面的討論可知，使用愈多級的 interpolating，輸入端看到的放大器數目就愈少、寄生電容也愈小；而且因為有 averaging 的效果，所以使用愈多級的 interpolating 也會讓 offset 的影響愈小、DNL 和 INL 愈好。然而，太多級的 interpolating 雖然使得輸入端的負載變小，但是反而將導致線性度變差。所有 MOS 差動對都有其不理想的非線性特性，而其三階的諧波失真 ( $HD_3$ ) 可以經由數學式推導近似為[26]：

$$HD_3 \equiv \frac{A_{HD3}}{A_F} \approx \frac{V_m^2}{32(V_{GS} - V_T)^2} \quad (3.7)$$

$A_{HD3}$  和  $A_F$  分別是三階諧波訊號和基頻訊號的振幅量，而  $V_m$  是指輸入訊號之擺幅。因此當輸入端直接接到的放大器數目愈少時，表示每個放大器所

要處理的輸入訊號範圍愈大，因此其非線性三階諧波失真就愈嚴重。

由此可知，所使用的 interpolating 級數有其限制。假設在只考慮三階諧波失真影響的情況下，以我們的設計，當輸入端選擇有 9 個放大器時，其三階諧波失真約有 -56dB，在可容許的範圍內。因此整個 averaging 和 interpolating 的架構如下圖 Figure 3.12 所示，總共有四級，第一級是 11 個 Gilbert-Cells，其中最上下兩個是 dummy；接著二、三、四級都是 Pre-amplifiers，在各級之中皆使用內插法得到最後 67 個比較結果，該等比較結果再連接到後面的 Latch 轉成數位訊號。且在此使用四級，相當於每條訊號是串接了四個放大器，亦即數位訊號造成的 kick-back 雜訊所需經過的耦合電容等效上縮減了約 1/4 倍，因此 kick-back 雜訊很小。另外，這裡為了簡化複雜方便說明，所有電路接線都以單端線路繪製，但實際上皆是以雙端的差動形式設計。

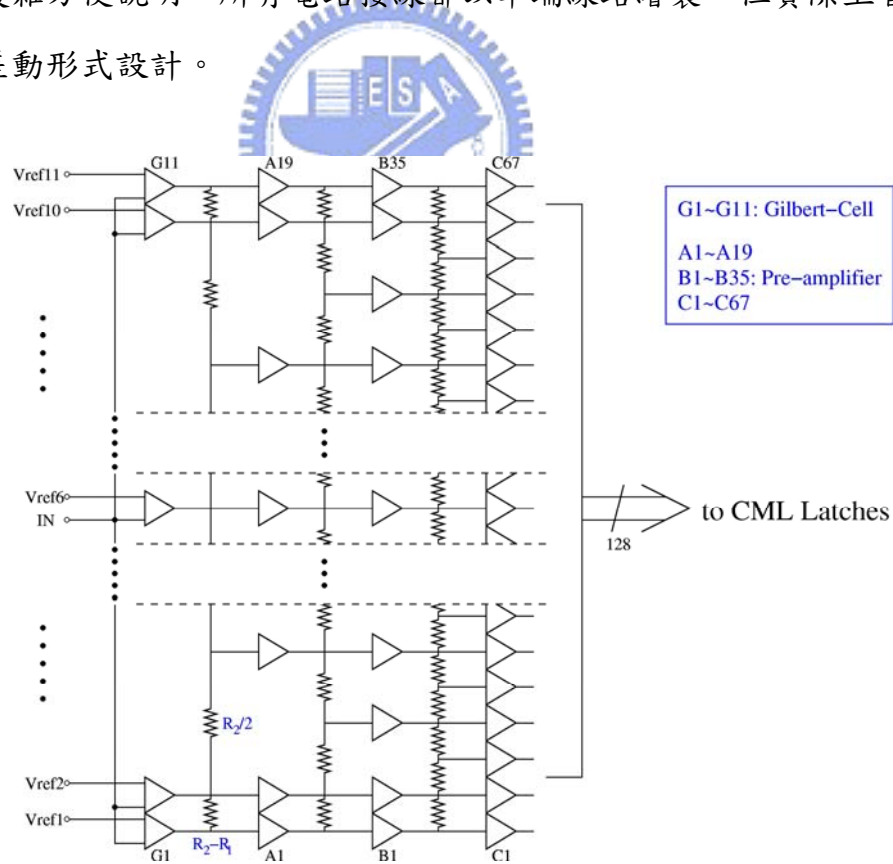


Figure 3.12 Averaging & interpolating architecture

### 3.3.3 Gilbert-Cell

Figure 3.13 為所使用的 Gilbert-Cell 電路圖，由兩組相同 loading 的 differential pair 所組成。當 M2、M3 和 M7、M8 的 size 設計相同，且 M1 和 M6 的 size 也相同時，M2、M3 和 M7、M8 的  $g_m$  值理論上會一樣，所以其 output function 可寫成：

$$OUT = g_{m2,3} R_{on4,5} ((V_{IN+} - V_{IN-}) - (V_{ref+} - V_{ref-})) \quad (3.8)$$

因此可知此一 Gilbert-Cell 的輸出正比於其差動的輸入訊號和參考電壓之差值，也就能做此兩者之比較。同時此 Gilbert-Cell 需要有很好的線性度，整個 ADC 的轉換數值才會正確；所以我們必須將其增益設計的非常低，使其在輸入範圍內的所有電壓訊號都能做出正確的判斷比較動作。

在此 Figure 3.13 的 Gilbert-Cell 中，若把 IN- 訊號和 Vref+ 訊號對調，亦即將 IN- 訊號接到 M3、Vref+ 接到 M8 的話，其 output function 是一樣並不會改變。但是這樣的接法，當 IN+ 與 IN- 的差值很大時，M2、M3 這組差動對的其中一個 MOS 可能會 cut-off，此時電路則無法正確表示出 IN+ 與 IN- 之間的差值，可能出現比較錯誤。因此對於這種接法，輸入訊號的擺幅不能太大，換言之在我們固定規格的要求下，此種接法的電路會較難

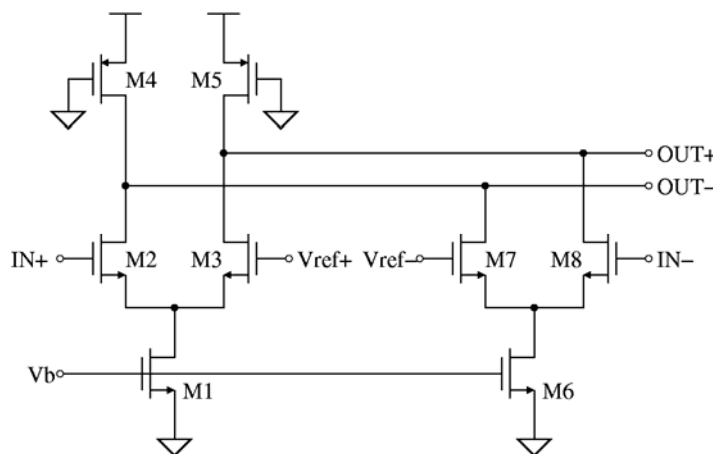


Figure 3.13 Gilbert-Cell

設計，需要較大的可正常工作輸入範圍。所以採用 Figure 3.13 之接法是較為常見的，由於  $V_{ref+}$  與  $V_{ref-}$  是 DC 的參考電壓值，故將 AC 的  $IN+$ 、 $IN-$  分別與  $V_{ref+}$ 、 $V_{ref-}$  接到同一組差動對去做比較，如此則可允許較大的輸入擺幅，在我們的規格要求下較容易設計。

### 3.3.4 Pre-amplifier

在光通訊 IC 設計領域中有個常見的元件稱之為 Limiting Amplifier，其功用是要將很小的訊號放大，且因為所處理的訊號速度很快，所以電路頻寬也要夠寬，因此一個 Limiting Amplifier 就是要具備 high gain 且 wide bandwidth 的能力。由於在高速的 ADC 設計當中所使用的 Pre-amplifier 其功能即相當於是一個 Limiting Amplifier，必須達到非常廣的頻寬，同時又要有足夠大的增益。因此我們便參考 Razavi 所提出之 Limiting Amplifier 的方式來設計此 Pre-amplifier，其電路如下圖 Figure 3.14 所示[27]。

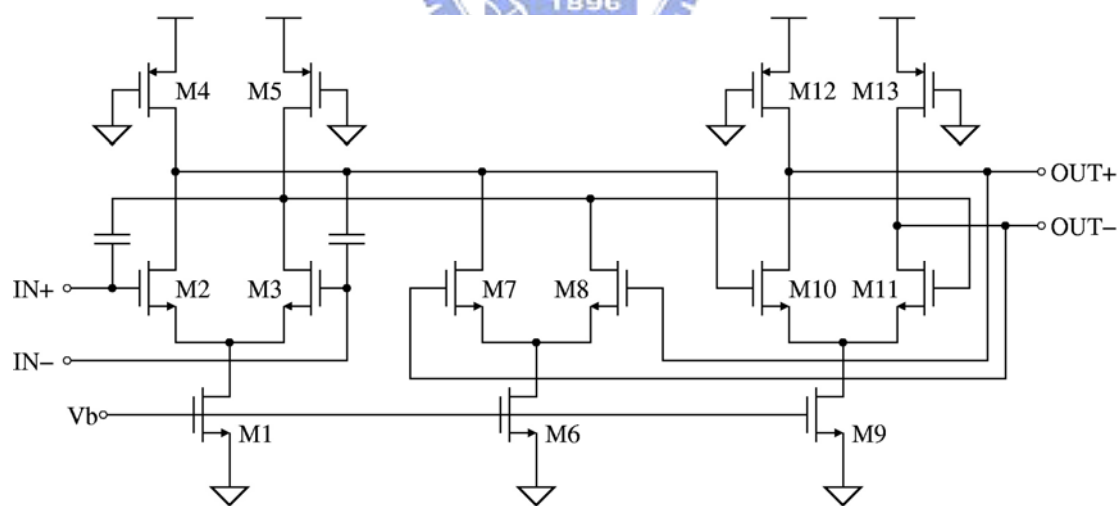


Figure 3.14 Pre-amplifier using active-feedback configuration

## (1) Active-Feedback

一般常見的 Limiting Amplifier 是 Cherry-Hooper amplifier [28]，是兩組差動放大器（differential amplifier）串接，並在第二組的差動放大器加上 shunt-shunt feedback 的負回授電阻來增加其頻寬。而在 Figure 3.14 中同樣是串接兩組差動放大器（M2、M3 和 M10、M11）來提升增益，但有別於 Cherry-Hooper amplifier 的是，其並非使用被動式的電阻來做負回授，而是改用 MOS 的  $g_m$  來做主動式負回授（active negative feedback, M7、M8）。下圖 Figure 3.15 顯示此 active-feedback 之等效架構， $G_{m1}$ 、 $R_{L1}$  和  $G_{m2}$ 、 $R_{L2}$  分別是兩級串接的放大器及其負載， $G_{mf}$  即是主動式的負回授，將第二級  $G_{m2}$  輸出的一小部分回授到輸入端，而  $C_1$  和  $C_2$  則分別是第一級和第二級輸出節點之寄生電容。

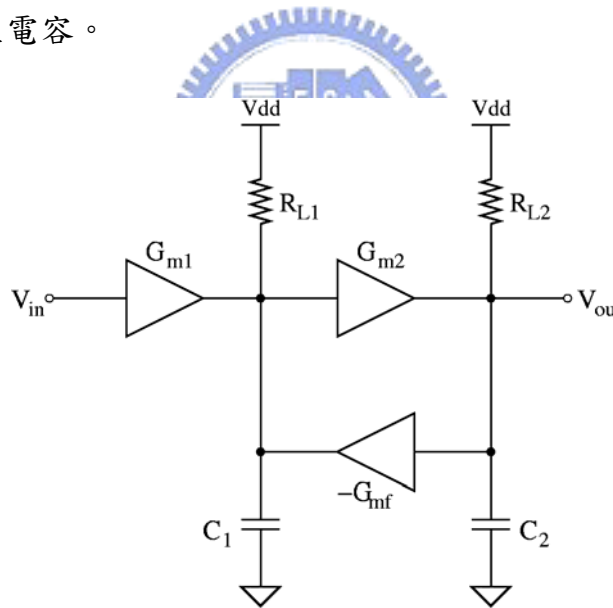


Figure 3.15 Active-feedback architecture

其 transfer function 可推導得：

$$\frac{V_{out}}{V_{in}} = \frac{\frac{G_{m1}G_{m2}}{C_1C_2}}{s^2 + \frac{R_{L1}C_1 + R_{L2}C_2}{R_{L1}C_1R_{L2}C_2}s + \frac{1 + G_{mf}G_{m2}R_{L1}R_{L2}}{R_{L1}C_1R_{L2}C_2}} \quad (3.9)$$



由於一個二階系統的 transfer function 可寫成：

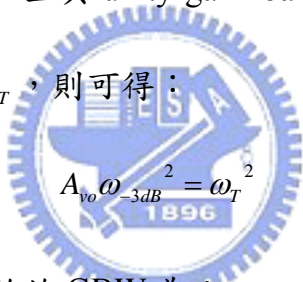
$$\frac{V_{out}}{V_{in}} = \frac{A_{vo}\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.10)$$

因此對照(3.9)及(3.10)式可知此系統：

$$A_{vo}\omega_n^2 = \frac{G_{m1}G_{m2}}{C_1C_2} \quad (3.11)$$

假設是在最大平坦響應 (maximally-flat Butterworth response) 的情況下， $\zeta = 1/\sqrt{2}$ ，則  $\omega_n$  所代表的頻率即為整個系統增益下降 3dB 時之頻寬，亦即  $\omega_n = \omega_{-3dB}$ 。另已知一個 differential amplifier 的增益頻寬積 (gain-bandwidth product, GBW) 為  $G_m/C_L$ ，且其 unity-gain bandwidth  $\omega_T$  又約等於 GBW，

因此若  $G_{m1}/C_1 \approx G_{m2}/C_2 \approx \omega_T$ ，則可得：



$$A_{vo}\omega_{-3dB}^2 = \omega_T^2 \quad (3.12)$$

所以整個主動式負回授系統的 GBW 為：

$$A_{vo}\omega_{-3dB} = \omega_T \frac{\omega_T}{\omega_{-3dB}} \quad (3.13)$$

$$A_{vo}f_{-3dB} = f_T \frac{f_T}{f_{-3dB}} \quad (3.14)$$

其中  $A_{VO}$  是主動式負回授系統的增益、 $f_{-3dB}$  是增益掉 3dB 的頻率；而  $f_T$  是一個 differential amplifier 的 unity-gain frequency，同時也近似代表其增益頻寬積。一般而言，differential amplifier 的 unity-gain frequency  $f_T$  會比整個系統的 3dB 點頻率  $f_{-3dB}$  還要大，因此由(3.14)式的結果可知，使用主動式負回授的 GBW 會比單純只有一個差動放大器的 GBW 還大了  $f_T/f_{-3dB}$  倍，如此證明 active-feedback 確實可以有效的提升增益頻寬積。

## (2) Negative Miller Capacitance

在 Figure 3.14 的 Pre-amplifier 中，M2 的 gate 端和 M3 的 drain 端以及 M3 gate 和 M2 drain 之間分別有加上電容，這是為了要在輸入端產生負電容值的效果[27][29]。根據 Miller's Theorem 可知，Figure 3.16(a)中橫跨節點 A、B 的電導 Y 可以等效成 Figure 3.16(b)的形式，變成  $Y_1=Y(1-A_V)$ 、 $Y_2=Y(1-A_V^{-1})$ ，其中  $A_V$  代表節點 A 到 B 的電壓增益，亦即  $A_V=V_B/V_A$ 。

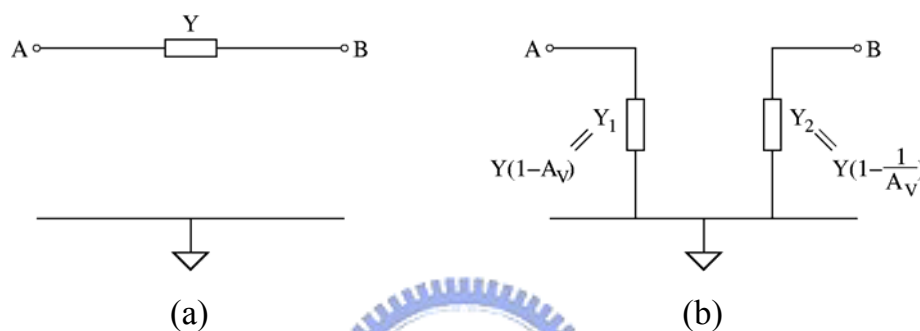


Figure 3.16 Miller equivalent circuit for a floating conductance

因此在 Figure 3.14 的 Pre-amplifier 中，M2 gate 到 M3 drain 端的  $A_V$  值是正的，且設計在大於 1 的情況下，此電容即會在 M2 的 gate 端等效產生出一個負電容值；同樣的，M3 gate 和 M2 drain 端之間的電容亦是如此。這樣利用 Miller effect 的效應，即可減少 Pre-amplifier 輸入端所看到的等效寄生電容值，也相當於是降低了上一級電路的負載電容，因此便可進一步提升整體之頻寬。

### 3.3.5 Specifying the Gain and Bandwidth

ADC 的輸入訊號透過 T/H 電路之後和參考電壓經由 Gilbert-Cell 做全差動式的比較，再由 Pre-amplifier 將差值逐級放大，才能接到後面的 Latch 來把訊號數位化。因為 Gilbert-Cell 和 Pre-amplifier 的操作必須要在時脈的

半週期以內將訊號放大到 Latch 可以判斷出 1 或 0 才行，由此即可計算出整個 Averaging & Interpolating 電路所需的增益和頻寬。

在此 ADC 的規格裡，differential 的  $1V_{LSB}=800\text{mV}/2^6=12.5\text{mV}$ 。而數個相同的放大器串接可假設近似成一個單純充放電之一階系統，且後端 Latch 的 I/O swing threshold voltage 同樣為差動的 800mV。若在最差狀況下該等數位 Latch 的增益為 1，則為了使整體電路正常工作，前級放大器電路需在半週期 100ps 的時間內將  $1V_{LSB}$  的訊號放大到 800mV 以正確解析出數位碼。依此推論分析即可寫出數學不等式如下：

$$V_{LSB} \times Gain \times (1 - e^{-T/2\tau}) > V_{threshold} \quad (3.15)$$

$$12.5 \times Gain \times (1 - e^{-100p/\tau}) > 800 \quad (3.16)$$

其中  $\tau$  是 time-constant、 $T$  為一週期時間， $T/2$  為半週期 100ps。由於整個 Gain 至少要大於  $800/12.5=64\text{V/V}=36\text{dB}$ ，若假定在  $\text{Gain}=38\text{dB}=80\text{V/V}$  的情況下，則從(3.16)式可計算出：

$$\text{Bandwidth} = \frac{1}{2\pi\tau} > 2.6 \text{ GHz} \quad (3.17)$$

因此可知整個 Averaging & Interpolating 電路必須設計達到  $\text{Gain} > 38\text{dB}$  且  $\text{Bandwidth} > 2.6\text{GHz}$ 。

Figure 3.17 即顯示整個 Averaging & Interpolating 電路模擬的頻率響應結果，其增益有 38.4 dB、頻寬達 2.87 GHz，皆符合上述分析之要求。而 Figure 3.18 是輸入一個低速  $50\text{V}/\mu\text{s}$  的 ramp 訊號時得到的 63 個單端輸出波形，從圖中可看出 Averaging & Interpolating 確實有成功的內插分出所有需要的準位。Figure 3.19 則是當輸入  $1V_{LSB}$  的 step 訊號時，相對應要改變之 code 的輸出波形圖，且另外的虛線是理想之一階 exponential 曲線圖，該兩條曲線幾乎相同，由此可證明這組電路確實近似為一階系統。

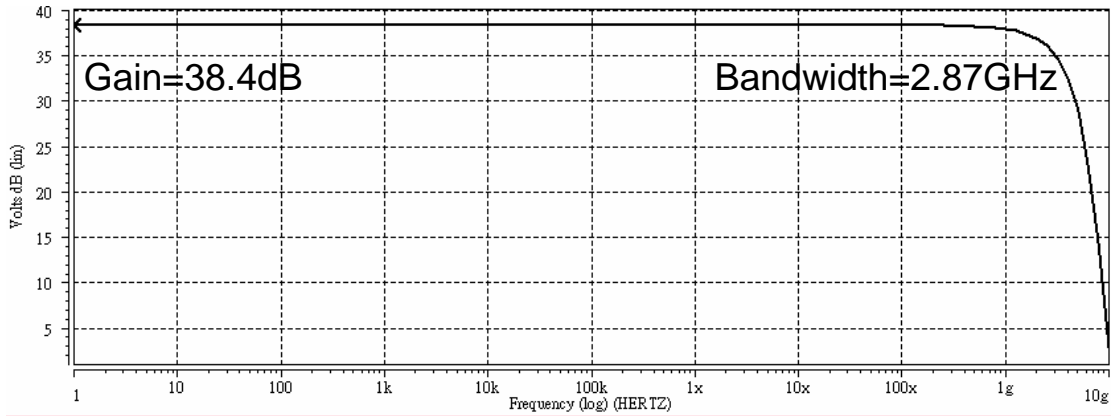


Figure 3.17 Frequency response of the ADC's averaging & interpolating section by ac analysis

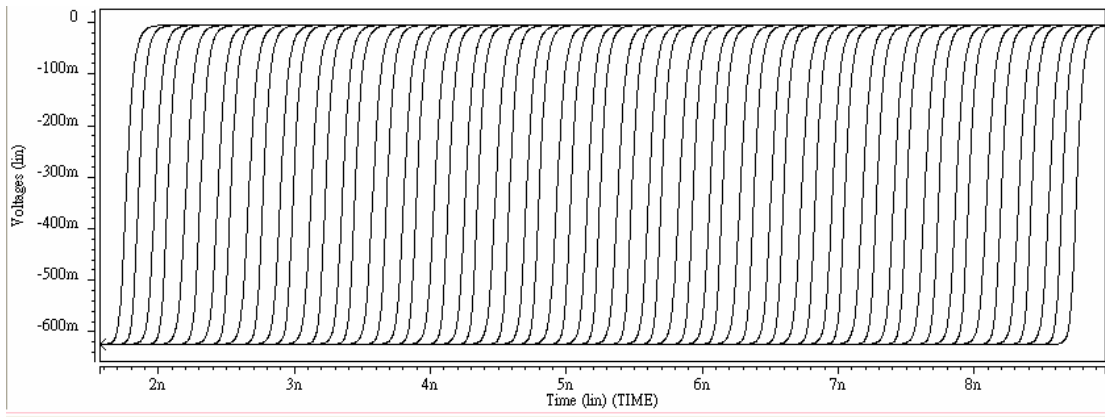


Figure 3.18 Output waveforms of the ADC's averaging & interpolating section with a full-scale 50V/ $\mu$ s ramp input

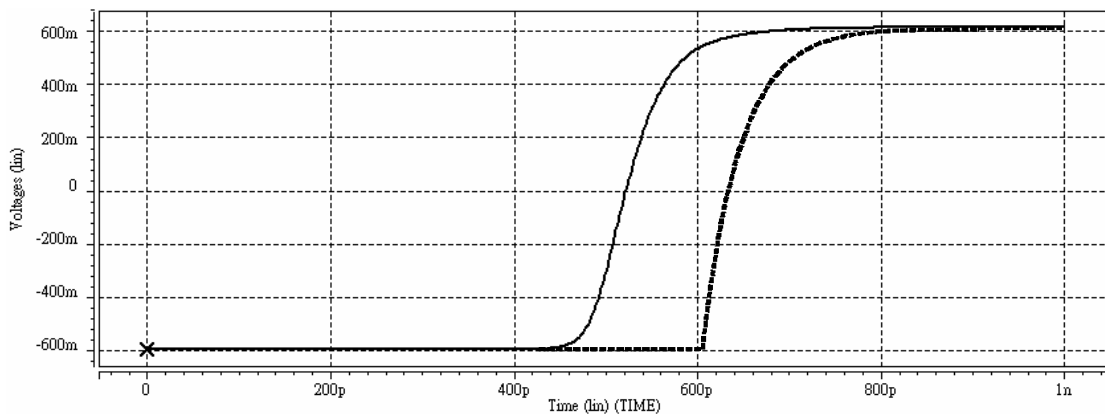


Figure 3.19 The corresponding output waveform of the ADC's averaging & interpolating section with a step input

### 3.4 Current Mode Logic

在我們所實現的這組 Data Converter 中，有別於一般傳統設計的其中一個特色在於我們並非使用傳統的 CMOS standard-cell 來設計其數位邏輯電路，而是採用所謂的電流式邏輯電路 (Current Mode Logic, CML) [30]。

CML 電路常被使用於高速應用當中，由於電流的切換速度可以很快，所以這種電路可說是所有邏輯電路裡面操作速度最快的。一個基本的 n-type CML 架構如下圖 Figure 3.20 所示，主要包含三個部分：下方的定電流源 (Current Source)、開關 (Switch)、以及負載 (Loading)。數位訊號輸入將控制開關，選擇電流要流向正端還是負端之負載，亦即決定差動的輸出是 low 還是 high。一個 CML inverter/buffer 的電路便相當於是傳統的 differential amplifier 架構。而 Figure 3.21 顯示出所有我們使用到的各種 CML gate 電路，包括 AND/OR/NAND/NOR、XOR、以及 Latch。其中在 AND/OR/NAND/NOR gate 當中多加了一個永遠保持導通狀態的 dummy switch M6，是為了讓整個電路較為匹配，使得所有電流路徑經過的 MOS 個數都相同[31][32]。

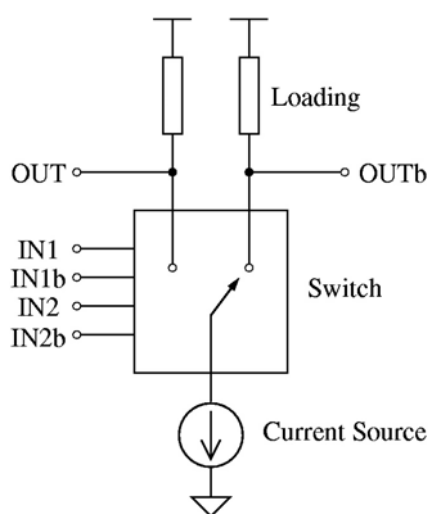


Figure 3.20 Basic structure of the current mode logic

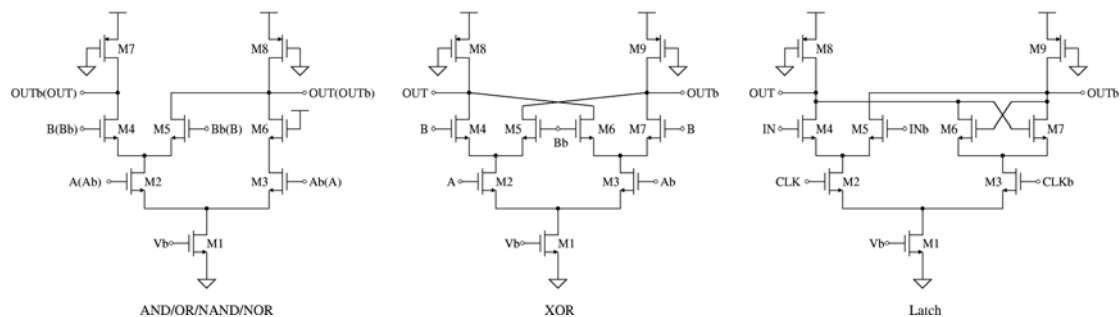


Figure 3.21 Current mode logic gates

使用 CML 電路最大的好處在於每個邏輯閘內部皆有一個定電流源，因為有該定電流源的存在，將使得 power-ground bouncing 被大幅抑制。在實際的 IC 包裝裡面由於有晶片打線 (bonding wire)，所以每個輸出入埠與包裝之間都相當於串聯一個等效電感，而此效應對於電源  $V_{DD}$  及  $V_{SS}$  的影響如下圖 Figure 3.22 所示。外部電源供應器所提供的 supply 電壓為  $V_{DD}$  及  $V_{SS}$ ，但實際上晶片內部的電路所看到的是  $V_{DD}'$  及  $V_{SS}'$ 。當電路中流經電源  $V_{DD}$  或  $V_{SS}$  的電流有瞬間變化時，由於寄生電感存在的影響， $V_{DD}'$  或  $V_{SS}'$  的電壓值會隨之飄移，因此 supply 電壓會有抖動的現象，此即所謂的 power-ground bouncing。這對於高速電路的影響尤其嚴重，因為寄生電感引發的電壓差與瞬間電流變化速率成正比，所以高速電路造成的電源彈跳量就很明顯；且在操作頻率很快的情況下，電路轉態次數相當頻繁，所以不僅抖動量大，抖動速度相對也會很快。使用傳統的 CMOS standard-cell

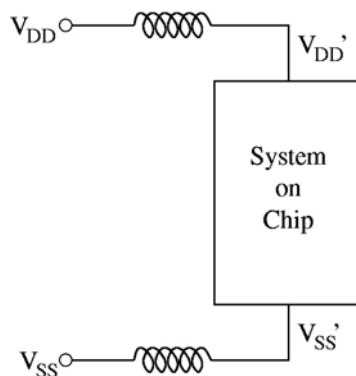


Figure 3.22 Bonding wires on power supply

邏輯電路就是這種情形。CMOS 邏輯電路在轉態時會有瞬間電流從  $V_{DD}$  或  $V_{SS}$  對其負載充放電，而在高速運作下，此電流即會非常大且快速，因此造成相當顯著驚人的 power-ground bounce。相對的由於 CML 電路其內有個定電流源，理論上流經  $V_{DD}$  與  $V_{SS}$  的電流量會固定，當邏輯轉態時所產生的瞬間電流變化量會小很多，造成的 power-ground bounce 就非常小，這是在高速應用下採用 CML 電路的最大優點。

另外，CML 電路全部都是 fully-differential 的形式，誠如前述，fully-differential 架構可有效降低共模雜訊以及偶次諧波失真。也正因為 CML 開關是全差動式的，所以輸入的數位訊號正負兩端只需要差  $\sqrt{2}$  倍的 gate drive 即可將某一邊的開關關閉，把電流完全切換到另一邊。而且 CML 的輸出擺幅是電流大小乘上負載阻抗的值，也並非 rail-to-rail 的。因此整個 CML 電路都是以比較小的輸出入擺幅在操作，相對所需消耗的功率便會比較低，這些都是 CML 電路的好處。所以在我們整個 Data Converter 中，所有的數位邏輯電路全是採用 CML 架構來實現。

CML 的唯一缺點，也是因為有定電流源的存在，導致即使操作在較低的速度下，其所耗費之功率仍是固定不變的。不像 CMOS 邏輯電路的平均功率消耗會隨著操作頻率不同而改變，頻率愈低其功率就愈低。但此缺點在我們的設計中並不存在。

### 3.5 Bubble Errors

訊號經過一整排的 CML Latch 之後，理論上會得到一整排 1 的溫度計碼，但實際上可能會出現如下圖 Figure 3.23 所示在一整排 1 當中卻出現有 0 的錯誤，這種現象稱為 Bubble Error，或稱 Sparkle。而且 Bubble 通常是出現在靠近一整排 1 頂端的地方。由於製程誤差使得每個比較器的 offset 會不同，比較的參考準位電壓就可能會有所偏移，所以在溫度計碼一整排 1 的頂端靠近轉態點處，其比較的差值很小很接近，即可能會產生 Bubble Error。再者，在高速的運作下，時脈抖動量 (Clock Jitter) 也會影響 Clock 訊號到每個比較器的時間，此 timing 誤差也將會導致 Bubble 發生。另外像 noise 或 coupling 等等的效應也可能是造成 Bubble Error 的原因。

Figure 3.23 顯示一個常用來解決 Bubble Error 的方式。傳統上 flash ADC 的數位電路常使用 ROM 形式來做編碼器，所以需先將溫度計碼轉成一整排 0 中只有一個 1 的 1-of-N code。一般使用 2-input 的 AND gates 即可做到此數位邏輯碼的轉換，但在此種設計中為了要消除掉一個 Bubble，

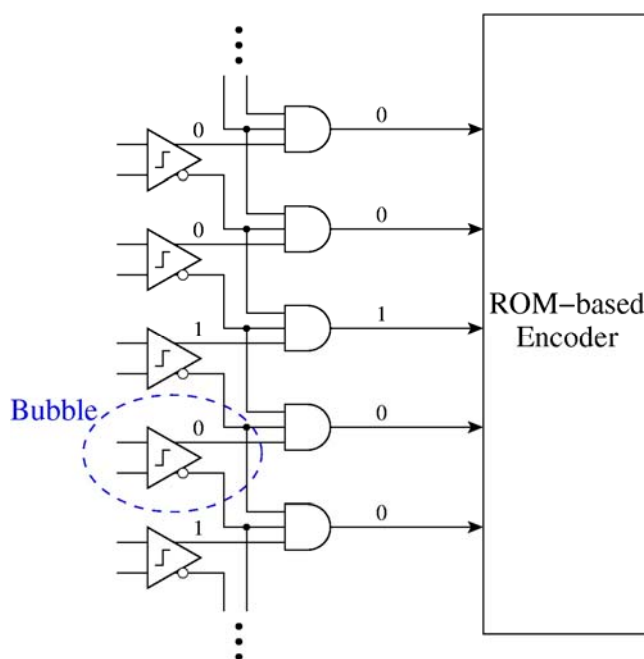


Figure 3.23 Using 3-input AND gates to cancel bubble errors



則需改用 3-input AND gates。所以依此類推，若要同時消除  $n$  個 Bubble，即需有  $(n+2)$  個輸入的 AND gates。

但在我們的設計裡因為是使用 CML 做數位電路，並非傳統的 CMOS 邏輯閘，且 ROM 的操作速度也沒辦法那麼快，所以我們不採用 ROM 的方式，也就不需產生 1-of- $N$  code。下圖 Figure 3.24 顯示我們的設計，若只是單純欲將溫度計碼中的一個 Bubble 消除，只需 2-input OR gates 即可。若要同時消除  $n$  個 Bubble，則需有  $(n+1)$  個輸入的 OR gates。

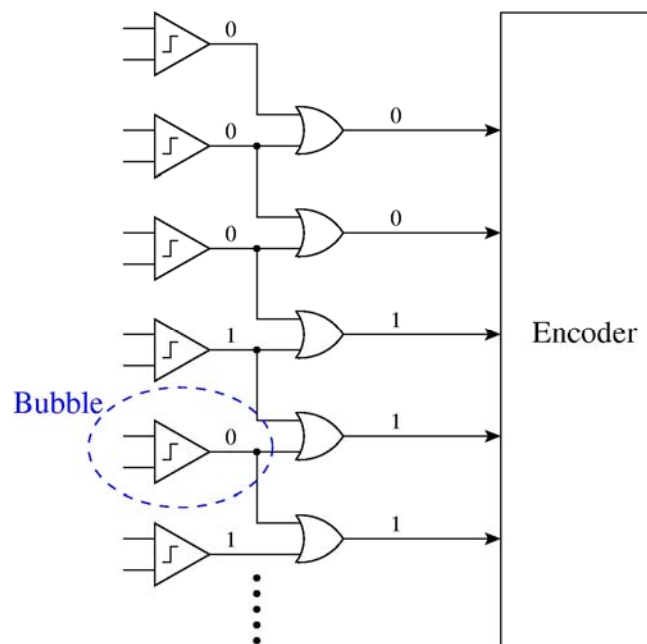


Figure 3.24 Using 2-input OR gates to cancel bubble errors

對於 6-bit flash ADC 而言，Bubble Error 出現時通常幾乎只會有一個 Bubble 產生（稱之為一階，1st-order Bubble Error），在電路晶片佈局有擺畫對稱匹配的情況下，要同時發生二階以上 Bubble 的機率非常之低[33]。因此在 ADC 的 OR-array 中就是使用 Figure 3.24 所示的 2-input OR gates 來消除一階 Bubble Error。

## 3.6 Thermometer-to-Gray Encoder

### 3.6.1 Metastability Errors

當 flash ADC 在高速操作的情形下，由於 timing 的誤差，或輸入訊號和某一參考電壓的差值非常小時，可能會導致比較器無法在半週期時間內判斷出 high 還是 low，甚至輸出的電壓停留在中間準位，這就是所謂的 metastable 現象，以致於其後的編碼器電路無法輸出正確的數位碼。下圖 Figure 3.25 以一個 7-bit thermometer-code 轉成 3-bit binary-code 編碼器為例顯示發生 Metastability Error 時的情況。圖中標示 X 表示該比較器正處於 metastable，其輸出呈現 unknow 的狀態。而 3-bit Thermometer-to-Binary Encoder 的布林函數 (boolean function) 可表示如下：

$$\begin{aligned}
 B_2 &= T_4 \\
 B_1 &= T_2 \overline{T_4} + T_6 \\
 B_0 &= T_1 \overline{T_2} + T_3 \overline{T_4} + T_5 \overline{T_6} + T_7
 \end{aligned}
 \tag{3.18}$$

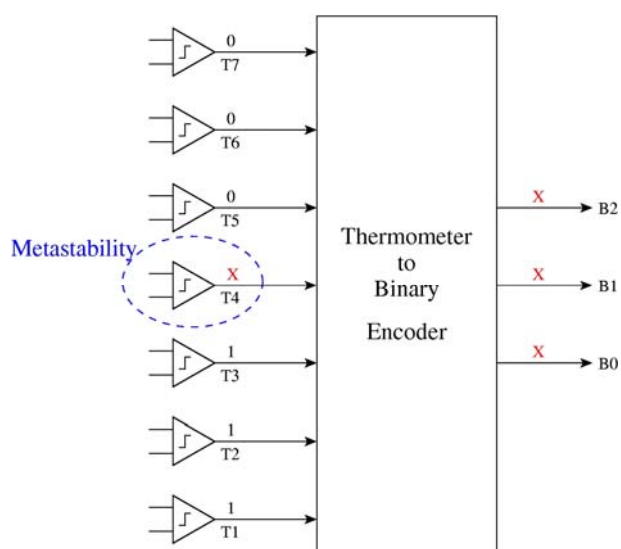


Figure 3.25 Metastability errors in the binary encoder

假設當  $T_4$  的比較器出現 Metastability Error 時，則  $B_0$ 、 $B_1$ 、 $B_2$  三個位元都將輸出不可知的錯誤結果。因此當 Metastability 發生時，使用 binary-code 的編碼器可能會造成兩位元以上的輸出碼錯誤。

要減少 Metastability 發生的機率，可增加比較器的增益和頻寬，或是利用數位電路的編碼技巧來降低 Metastability Error 的影響。Gray-code 的編碼方式就是一個相當常被應用在高速 ADC 的技巧。

### 3.6.2 Gray-code Encoding

下表 Table 3.1 為一個 3-bit Gray-code 的例子。其中 N-bit Gray-code 和 binary-code 之間的關係可以下列通式表示之：

$$G_i = \begin{cases} B_i & \text{if } i = N-1 \\ B_i \oplus B_{i+1} & \text{if } i = 0, 1, 2, \dots, N-2 \end{cases} \quad (3.19)$$

Table 3.1 3-bit Gray-code example

Decimal	Binary-code			Gray-code		
	$B_2$	$B_1$	$B_0$	$G_2$	$G_1$	$G_0$
0	0	0	0	0	0	0
1	0	0	1	0	0	1
2	0	1	0	0	1	1
3	0	1	1	0	1	0
4	1	0	0	1	1	0
5	1	0	1	1	1	1
6	1	1	0	1	0	1
7	1	1	1	1	0	0

從上表可看出，Gray-code 的主要特性是相鄰的兩數位碼之間只有一個位元會改變，因此在高速操作時，輸出的數位碼位元轉態次數會比較少，

相對產生的 coupling noise 或 error 的機率比較小。而且即使有 Metastability Error 發生，也會因為 Gray-code 的此一特性而將錯誤的影響變小，不至於太過嚴重。下圖 Figure 3.26 同樣以一個 7-bit thermometer-code 轉成 3-bit Gray-code 編碼器為例，此時 3-bit Thermometer-to-Gray Encoder 的 boolean function 為：

$$\begin{aligned} G_2 &= T_4 \\ G_1 &= T_2 \overline{T_6} \\ G_0 &= T_1 \overline{T_3} + T_5 \overline{T_7} \end{aligned} \quad (3.20)$$

所以同樣假設當  $T_4$  的比較器出現 Metastability Error 時，結果只有  $G_2$  一個位元輸出是錯誤的。使用 Gray-code 的編碼器，無論 Metastability 是發生在哪個比較器上，其輸出的數位碼最多都只會有一個位元出錯，且此錯誤造成的影響絕不超過一個 LSB。

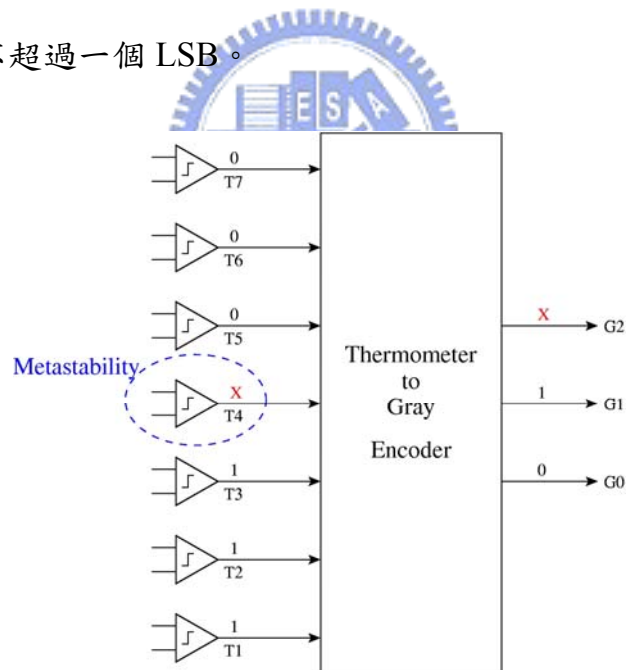


Figure 3.26 Metastability errors in the Gray encoder

實現 Thermometer-to-Gray Encoder 的電路架構如圖 Figure 3.27 所示，在此為了簡化說明以 4-bit 的編碼器為例。其中 4-bit Gray-code 的表示式分別如下：

$$\begin{aligned}
 G_3 &= T_8 \\
 G_2 &= T_4 \overline{T_{12}} \\
 G_1 &= T_2 \overline{T_6} + T_{10} \overline{T_{14}} \\
 G_0 &= T_1 \overline{T_3} + T_5 \overline{T_7} + T_9 \overline{T_{11}} + T_{13} \overline{T_{15}}
 \end{aligned}
 \tag{3.21}$$

整個電路都是用 AND 和 OR 邏輯閘所組合，因為數位邏輯電路是使用全差動式的 CML 架構，對於反向訊號就不需額外使用反向器。不過為了讓每一條訊號路徑經過的邏輯閘數目都相同，所以額外再插入一些 Buffer，希望每條訊號路徑的延遲時間近似。

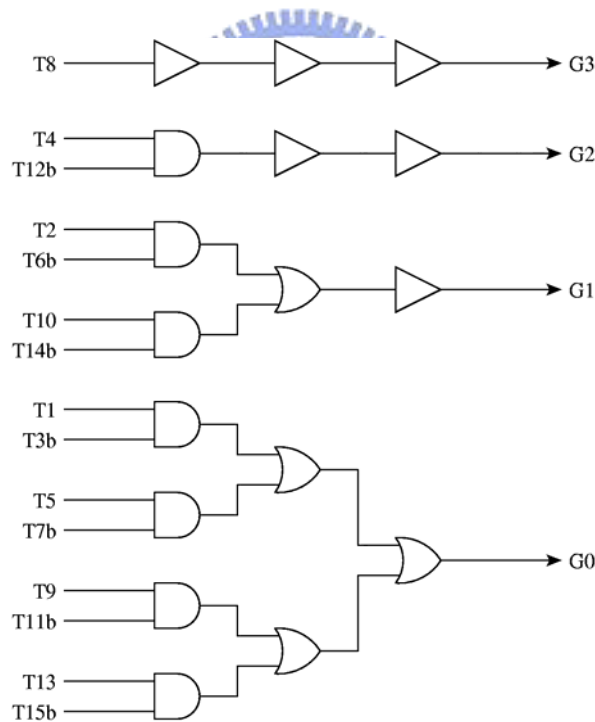


Figure 3.27 4-bit thermometer-to-Gray encoder

## 3.7 Simulation Results of the ADC

對此 ADC 中的各個 Block 電路都分析討論過後，接著就來看其整體的模擬結果。首先模擬對 ADC 輸入一個低速  $40\text{V}/\mu\text{s}$  的 ramp 訊號，得到的 6-bit Gray-code 數位訊號輸出如圖 Figure 3.28 所示。此圖是顯示單端輸出之波形，從圖中可看出 64 個數位碼都有出現，沒有失誤碼 (missing code) 的情況發生。且由此可計算出 ADC 的 DNL 和 INL，結果如圖 Figure 3.28 所示，DNL 的變化為  $-0.084$  到  $0.046$  LSB，INL 則為  $-0.255$  到  $0.267$  LSB。

在前述 3.3 節中我們已討論過，使用 Averaging 技巧會有 edge effect，將使得 flash ADC 兩側邊緣的 zero crossing 點往內縮移，因而造成 DNL 有較大的負值發生。雖然我們使用了 averaging termination 的方式來克服此問題，但由 Figure 3.29 的 DNL、INL 模擬結果可看出，此 ADC 還是稍微有受到 edge effect 的影響，靠近兩端的 DNL 仍都呈現負值，所以 INL 的分布呈現倒 N 字型。不過整體的 DNL 還是很小，在  $\pm 0.1$  LSB 以內，INL 在  $\pm 0.3$  LSB 以內，都是可接受的範圍。

接下來改對 ADC 輸入一個  $0.503\text{GHz}$  的 sinusoidal 訊號，而時脈訊號同樣是 sinusoidal、取樣頻率為  $5\text{GS}/\text{s}$ ，此時將輸出的數位訊號做 FFT 可得 Figure 3.30 之頻譜。由此頻譜結果可計算出其 SNR 為  $36.68$  dB、SNDR 有  $35.82$  dB、SFDR 有  $43.26$  dBc，而 ENOB 達  $5.66$  bits。更進一步調整增加輸入訊號的頻率後，即可得 Figure 3.31 顯示之輸入頻率對動態參數關係圖。從圖中可看出 SNR 和 SNDR 的表現都很平坦，直到輸入頻率高達  $3.5\text{GHz}$  時 SNDR 才下降了  $3\text{dB}$ ，此時已超出了 Nyquist 頻寬。

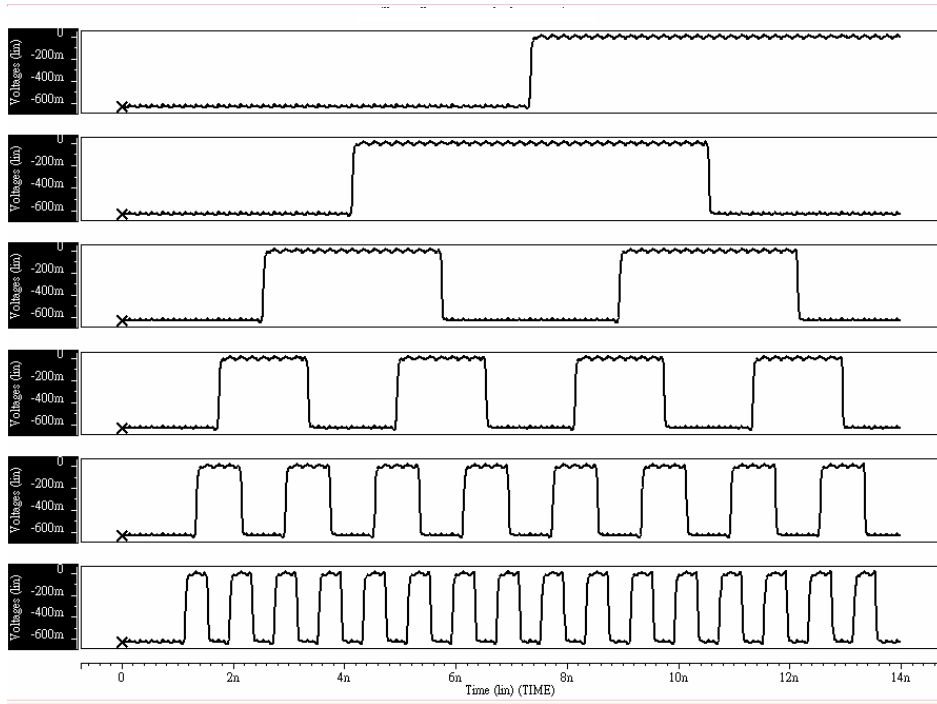
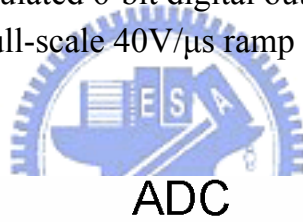


Figure 3.28 Simulated 6-bit digital output Gray-code with a full-scale 40V/ $\mu$ s ramp input



### ADC

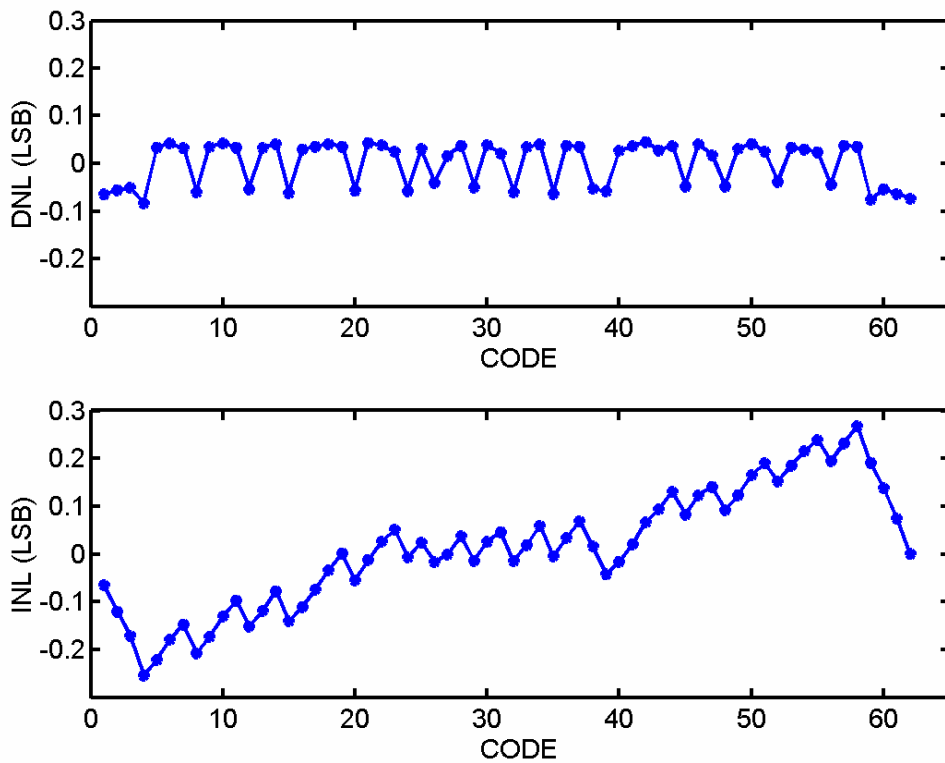


Figure 3.29 Simulated DNL and INL of the ADC

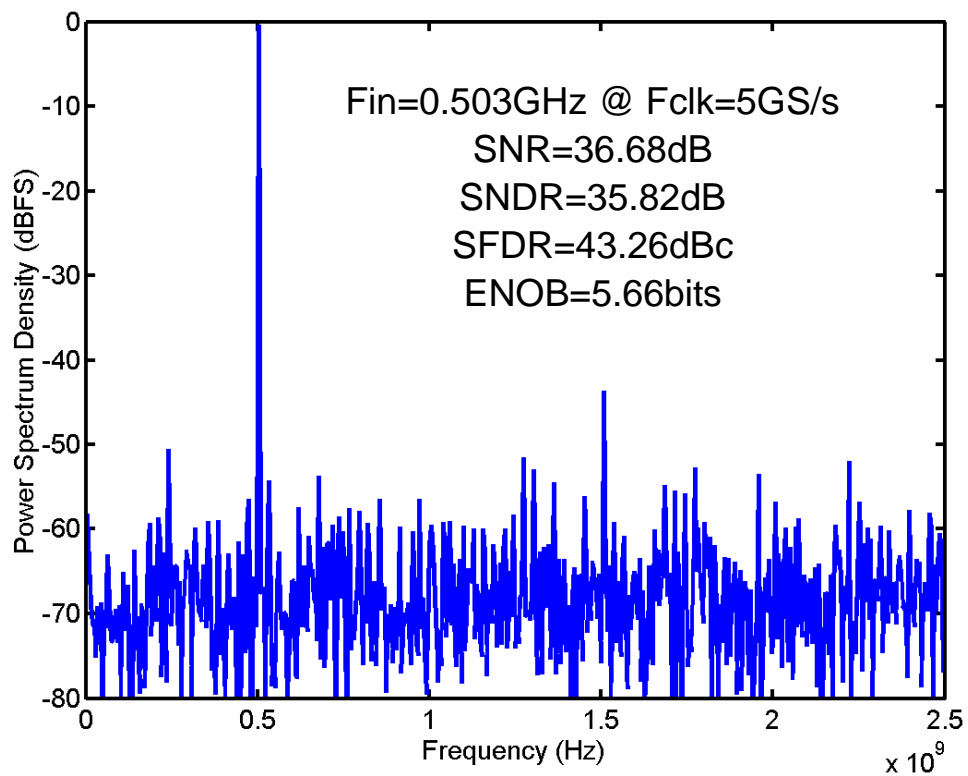


Figure 3.30 Simulated digital output spectrum of the ADC with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal

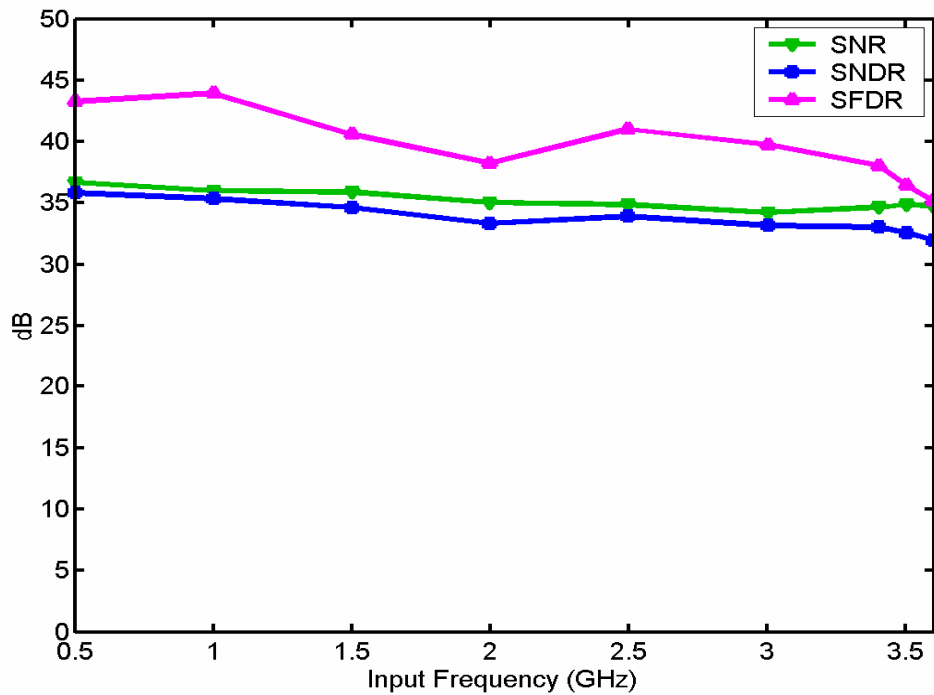


Figure 3.31 SNR, SNDR, and SFDR vs. input frequency of the ADC at 5GS/s



# Chapter 4

## Design of the 5GS/s 6-bit

## Digital-to-Analog Converter

瞭解了 ADC 之設計後，接下來本章節將繼續分析說明如何設計實現此一 5GS/s 6-bit DAC，並同時顯示該電路設計之模擬結果。

下圖 Figure 4.1 為整個 DAC 之架構圖。所有的訊號也同樣是以全差動的形式處理，邏輯電路部分也是一樣採用 CML 架構，而數位碼也是 6-bit Gray-code。誠如先前所提，為了減少其面積及寄生電容，所以把 6-bit 的編碼器拆成 4-bit 和 2-bit 兩個部分。輸入的 6-bit Gray-code 首先透過 Latch 做時序的同步，接著即分成這兩部分。一部分是 4-bit MSB 的 Gray-code，經過 Buffer 後輸入到 4-bit Gray-to-Thermometer Decoder 去做解碼的動作，轉出相對應的 15-bit 溫度計碼。而另一部分則將 6-bit 的 Gray-code 先轉成

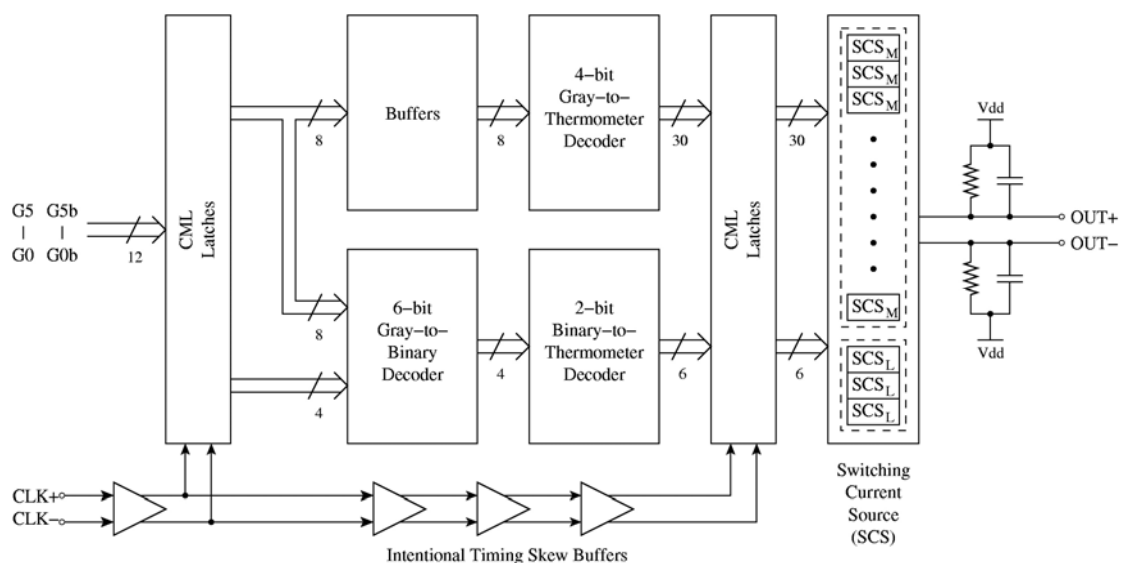


Figure 4.1 Block diagram of the DAC

Table 4.1 Hybrid thermometer-code representations

Dec.	Hybrid Thermometer-code										
	$T_{M15}$	$T_{M14}$	·	·	·	$T_{M3}$	$T_{M2}$	$T_{M1}$	$T_{L3}$	$T_{L2}$	$T_{L1}$
0	0	0				0	0	0	0	0	0
1	0	0				0	0	0	0	0	1
2	0	0				0	0	0	0	1	1
3	0	0				0	0	0	1	1	1
4	0	0				0	0	1	0	0	0
5	0	0	·	·	·	0	0	1	0	0	1
6	0	0				0	0	1	0	1	1
7	0	0				0	0	1	1	1	1
8	0	0				0	1	1	0	0	0
9	0	0				0	1	1	0	0	1
·		·				·					·
·		·				·					·
·		·				·					·
61	1	1				1	1	1	0	0	1
62	1	1	·	·	·	1	1	1	0	1	1
63	1	1				1	1	1	1	1	1

binary-code 之後，再取其 LSB 的 2-bit 輸入到 2-bit Binary-to-Thermometer Decoder 去解出 3-bit 的溫度計碼。其中 4-bit MSB Gray-code 的路徑會加入 Buffer 是為了和另一個 2-bit LSB 路徑的延遲時間匹配。在此組合下總共得到的  $15+3=18$  個混合式溫度計碼 (Hybrid thermometer-code) 如表 Table 4.1 所示，此訊號再經過一次 Latch 做時序同步後，即可去控制後端的開關和切換式電流源 (Switching Current Source, SCS)。最後依據此組數位訊號可決定流到輸出端負載的電流量，便得到輸出的類比訊號電壓值。輸出端的負載在晶片內也是設計成  $50\Omega$  的電阻，同樣是為了輸出訊號在高頻時阻抗匹配的需要。另外，也同樣在 Clock 訊號的路徑加上 intentional timing skew buffers 來做 wave-pipelining，以延遲時脈時間，補償 critical delay 過長之問題，讓 Latch 可以抓到正確的資料。

## 4.1 Hybrid Gray-to-Thermometer Decoder

### 4.1.1 Direct Decoder

4-bit Gray-to-Thermometer Decoder 的設計方式就如同前面 ADC 之 Encoder 一般，以卡諾圖 (Karnaugh map) 化簡布林函數後再以 AND 和 OR 邏輯閘組合即可，所以在此不多做贅述。不過 2-bit LSB 的 Gray-to-Thermometer Decoder 比較特別，因為是用 Gray-code 編碼，無法直接取其 LSB 2-bit 轉換成 thermometer-code，而是和整個 6-bit 的 Gray-code 全部都有關。如下表 Table 4.2 所示為一個 LSB 的 3-bit thermometer-code 和 4-bit Gray-code 之間關係的例子，從此表中即可看出其和 Gray-code 的所有位元

Table 4.2 The truth-table of 4-bit Gray to 3-bit LSB thermometer decoding

Dec.	4-bit Gray-code				3-bit LSB Thermometer-code		
	G <sub>3</sub>	G <sub>2</sub>	G <sub>1</sub>	G <sub>0</sub>	T <sub>L3</sub>	T <sub>L2</sub>	T <sub>L1</sub>
0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1
2	0	0	1	1	0	1	1
3	0	0	1	0	1	1	1
4	0	1	1	0	0	0	0
5	0	1	1	1	0	0	1
6	0	1	0	1	0	1	1
7	0	1	0	0	1	1	1
8	1	1	0	0	0	0	0
9	1	1	0	1	0	0	1
10	1	1	1	1	0	1	1
11	1	1	1	0	1	1	1
12	1	0	1	0	0	0	0
13	1	0	1	1	0	0	1
14	1	0	0	1	0	1	1
15	1	0	0	0	1	1	1

都有關聯，且用於 LSB 的 3-bit thermometer-code 是一直循環的。

若由 Table 4.2 的真值表 (truth-table) 去做卡諾圖的化簡可得此 3-bit LSB thermometer-code 的布林函數為：

$$\begin{aligned}
 T_{L3} &= G_3 G_2 G_1 G_0 + G_3 \overline{G_2} \overline{G_1} \overline{G_0} + \overline{G_3} G_2 \overline{G_1} \overline{G_0} + \overline{G_3} \overline{G_2} G_1 \overline{G_0} \\
 T_{L2} &= G_3 G_2 G_1 + G_3 \overline{G_2} \overline{G_1} + \overline{G_3} G_2 \overline{G_1} + \overline{G_3} \overline{G_2} G_1 \\
 T_{L1} &= G_3 G_2 G_1 + G_3 \overline{G_2} \overline{G_1} + \overline{G_3} G_2 \overline{G_1} + \overline{G_3} \overline{G_2} G_1 + G_0 = T_{L2} + G_0
 \end{aligned}
 \tag{4.1}$$

再以 2-input 和 3-input 之邏輯閘實現此電路如下圖 Figure 4.2 所示。從圖中可看出，以 4-bit Gray-code 為例就已經需要 4 個 gate delay，且所需的邏輯閘數目也相當多，則實際上 6-bit Gray-code 之轉換電路所需的 gate delay 和邏輯閘硬體就要更多，很明顯不是個良好的設計方式。

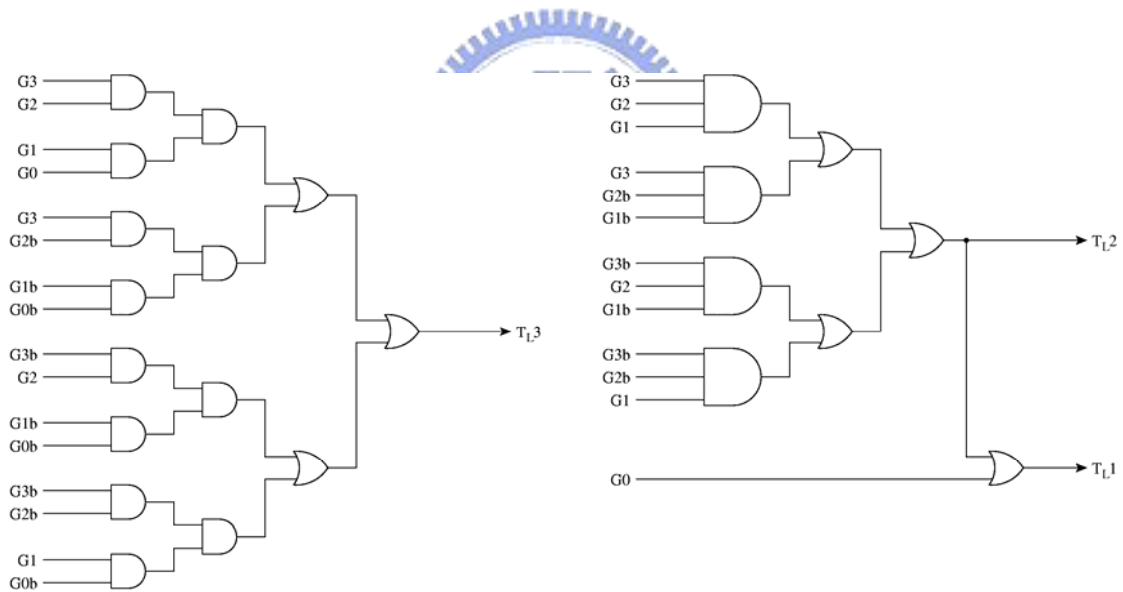


Figure 4.2 4-bit Gray to 3-bit LSB thermometer decoder

## 4.1.2 Binary-based Decoder

另一種方式即是先將 6-bit Gray-code 轉成 binary-code 後，再取 binary-code 的 LSB 2-bit 去轉出 3-bit thermometer-code。因為 binary-code 的二進位制特性，所以可以這樣直接取 LSB 的 2-bit 去轉成 Hybrid thermometer-

code 的 LSB 3-bit。下圖 Figure 4.3 顯示一個傳統設計 6-bit Gray-to-Binary Decoder 之架構。其中 N-bit 的 binary-code 和 Gray-code 之關係可寫成下列通式表示：

$$B_i = \begin{cases} G_i & \text{if } i = N - 1 \\ G_i \oplus B_{i+1} & \text{if } i = 0, 1, 2, \dots, N - 2 \end{cases} \quad (4.2)$$

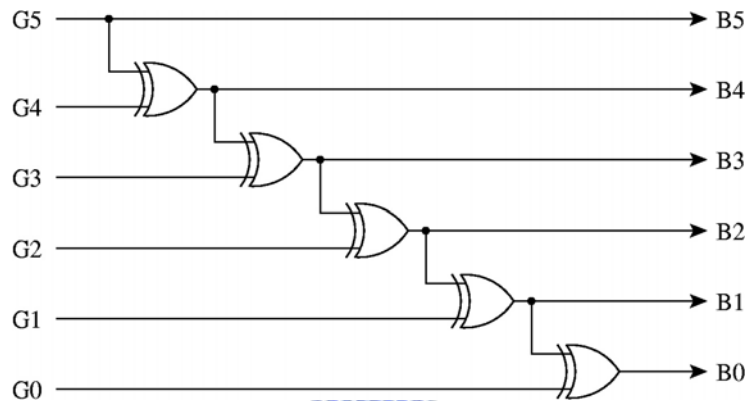


Figure 4.3 Conventional 6-bit Gray-to-binary decoder

所以對於此架構 N-bit 就需要 N-1 個 XOR 和 gate delay。亦即 6-bit 的需要 5 個 XOR 邏輯閘和 5 個 gate delay，仍然算是很多。不過我們可以使用較多的邏輯閘數來減少其 gate delay，讓運算速度增加。下圖 Figure 4.4 即是另一種階層式 (Hierarchical) 架構的 6-bit Gray-to-Binary Decoder，雖然是用了 7 個 XOR 邏輯閘，但只有 3 個 gate delay。

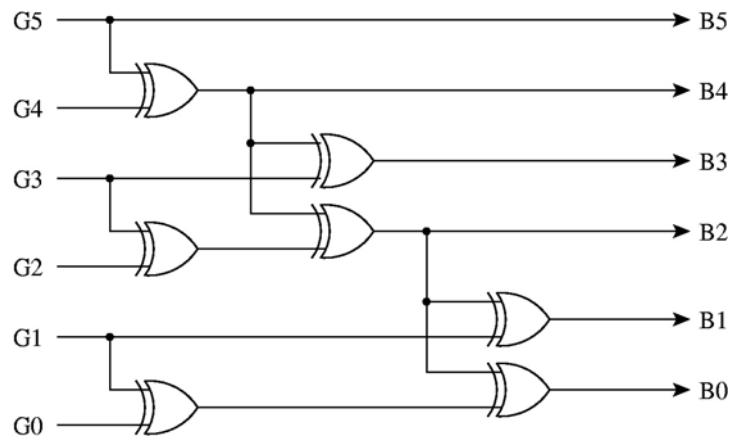


Figure 4.4 Hierarchical design of 6-bit Gray-to-binary decoder

因此我們要產生 LSB 部分的路徑其完整電路如下圖 Figure 4.5 所示。整個從 6-bit Gray-code 解碼出 3-bit LSB thermometer-code 只需要 4 個 gate delay，比前面的方式都少很多。其中電路圖畫虛線的部分是使用不到的，因為只需用 binary-code 的 LSB 2-bit，所以可以再節省掉一個 XOR gate。

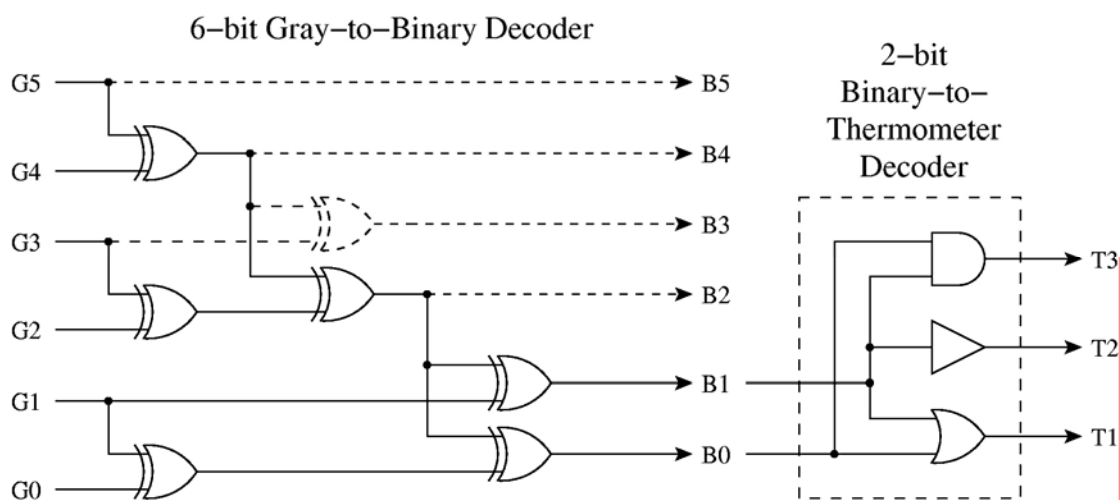


Figure 4.5 LSB part of the hybrid Gray-to-thermometer decoder

## 4.2 Switching Current Source

使用溫度計碼編碼可以有較好的 DNL 和 INL，而使用混合式溫度計碼可以更進一步縮減其面積及寄生電容值。經由 MSB 和 LSB 兩路徑得到的  $15+3=18$  組混合式溫度計碼訊號即是要去控制輸出端的 Switching Current Source。這 18 個 Switching Current Source 的電路如圖 Figure 4.6 所顯示，15-bit MSB 所控制的電流量是 3-bit LSB 的四倍。其中電流源是採用疊接 (cascode) 的方式設計，其等效輸出阻抗比較大，能讓此 DAC 有較好的效能表現[34]。

而由於經過 Latch 輸出的數位訊號上會有 Clock coupling 所造成的高頻抖動雜訊，此抖動量再透過 Switching Current Source 後會影響到 DAC 的類比輸出訊號，因此在差動式開關的上方加入永遠保持導通狀態的 dummy

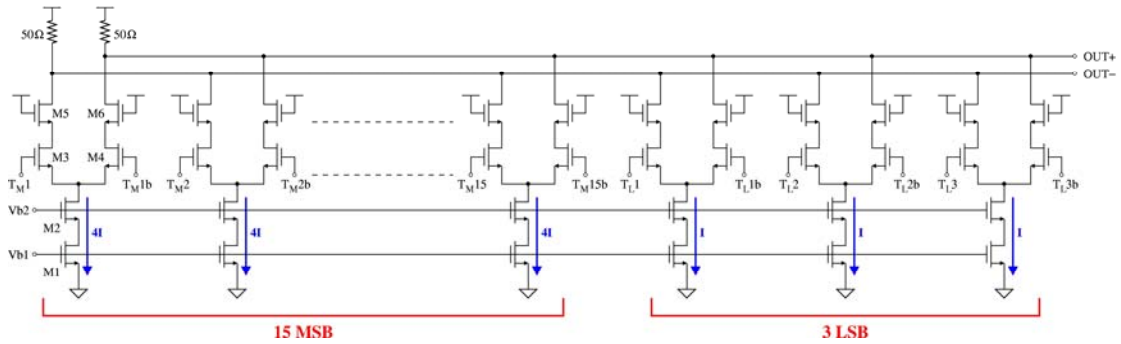


Figure 4.6 Switching current sources

transistor，使其能抑制降低此 Clock coupling 所導致的輸出抖動干擾。

輸出端的負載是  $50\Omega$  的電阻，能讓輸出訊號在高頻時有匹配的阻抗。雖然在晶片內是做  $50\Omega$  的電阻，不過量測時晶片外部另外還會有  $50\Omega$  的阻抗存在，所以是 double termination，實際上電流源所看到的總負載會是  $50//50=25\Omega$ ，這在設計此 DAC 時要特別注意。

另外還有一點要注意，此種差動式切換開關的 current-steering DAC 架構可能會遇到一個問題，即傳送到差動式切換開關的正反向數位訊號其 timing 可能會不一致。若此正反向訊號出現短暫同時為 high 或同時為 low 的情況時，則 DAC 輸出便會發生瞬間突波之現象，其 SNDR 和 SFDR 也就會變差，所以控制此對差動式切換開關的正反向訊號其 timing 是否同步便顯得相當重要。由於我們前級的 Latch 是使用 CML 架構，訊號全部都是 fully-differential 形式，因此只要在晶片佈局時盡量讓走線對稱匹配，即可減輕克服此問題。

## 4.3 Simulation Results of the DAC

接著來看整個 DAC 之模擬結果。首先同樣對此 DAC 輸入一個數位的 ramp 訊號，得到的類比輸出波形如圖 Figure 4.7 所示。此圖顯示差動輸出波形，從圖中可看出 DAC 輸出具有單調性，且 64 個電壓準位都有出現。輸出的 full-scale 是 800mV ( $\pm 400\text{mV}$ )，所以  $1V_{\text{LSB}}=800/(64-1)=12.7\text{mV}$ 。由此可計算出 DAC 之 DNL 和 INL 值，結果顯示於 Figure 4.8 中，DNL 從 -0.039 到 0.014 LSB，INL 則為 -0.071 到 0.079 LSB。由於此 DAC 是採用 Hybrid Gray-to-Thermometer Decoder，所控制的一個 MSB 電流源就相當於四個 LSB 的電流源，因此 LSB 的 3-bit thermometer-code 會以四組碼為一循環；但實際上 MSB 的電流源並不會精準是 LSB 電流源的四倍，而會有一些微的誤差，此誤差即造成其 DNL 在每四個碼就會出現一個比較大的變化，這在 Figure 4.8 中可以很明顯的看出。

當對 DAC 模擬輸入一個 0.503GHz 的數位 sinusoidal 訊號、而 Clock 同樣是 5GS/s 的 sinusoidal 訊號時，得到的輸出頻譜為 Figure 4.9 所示。由此頻譜計算出 SNR 為 38.53 dB、SNDR 為 38.28 dB、SFDR 有 50.79 dBc，而 ENOB 高達 6 bits，幾乎是理想的情況。同樣增加輸入的數位 sinusoidal 訊號頻率，得到 Figure 4.10 為輸入頻率對動態參數之關係圖。當輸入頻率愈高時，SNR 和 SNDR 會有些下降，但在 3GHz 以內都仍維持在約 35 dB 以上。而 Figure 4.11 顯示 DAC 在不同輸入頻率時所輸出的訊號主 tone 功率值，由此圖可看出 DAC 的輸出訊號功率會隨著頻率的增加而遞減，這是造成其 SNR 和 SNDR 降低的主要原因。此現象將會在後面第五章加以討論說明。



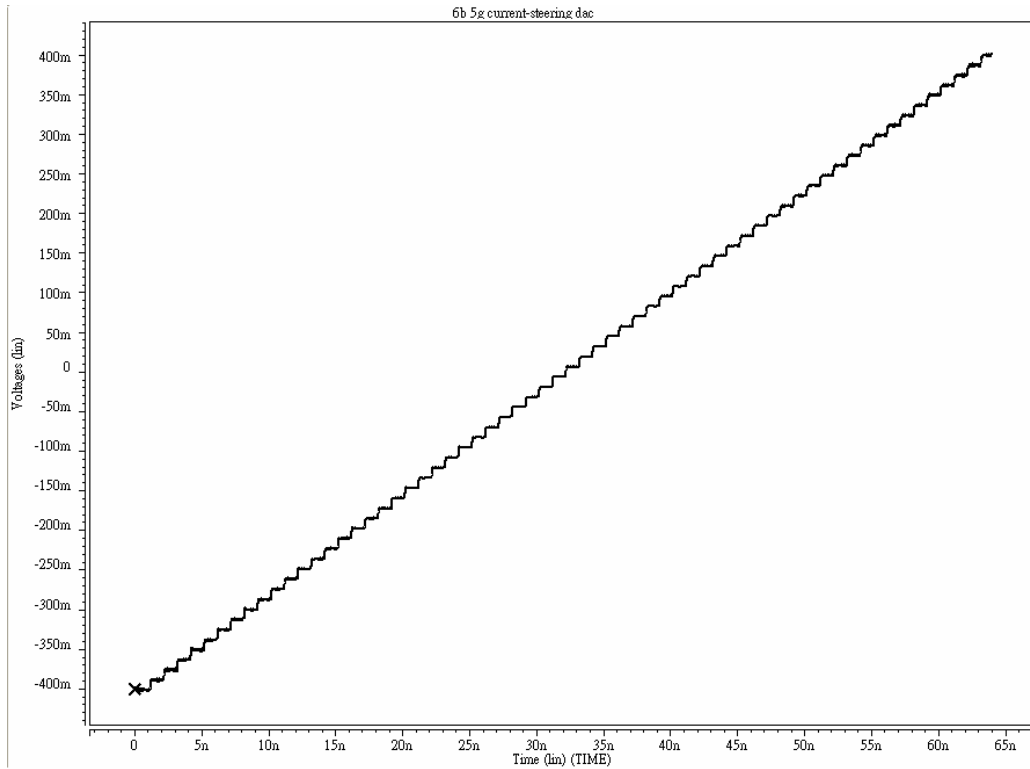


Figure 4.7 Simulated output waveform of the DAC with a digital ramp input

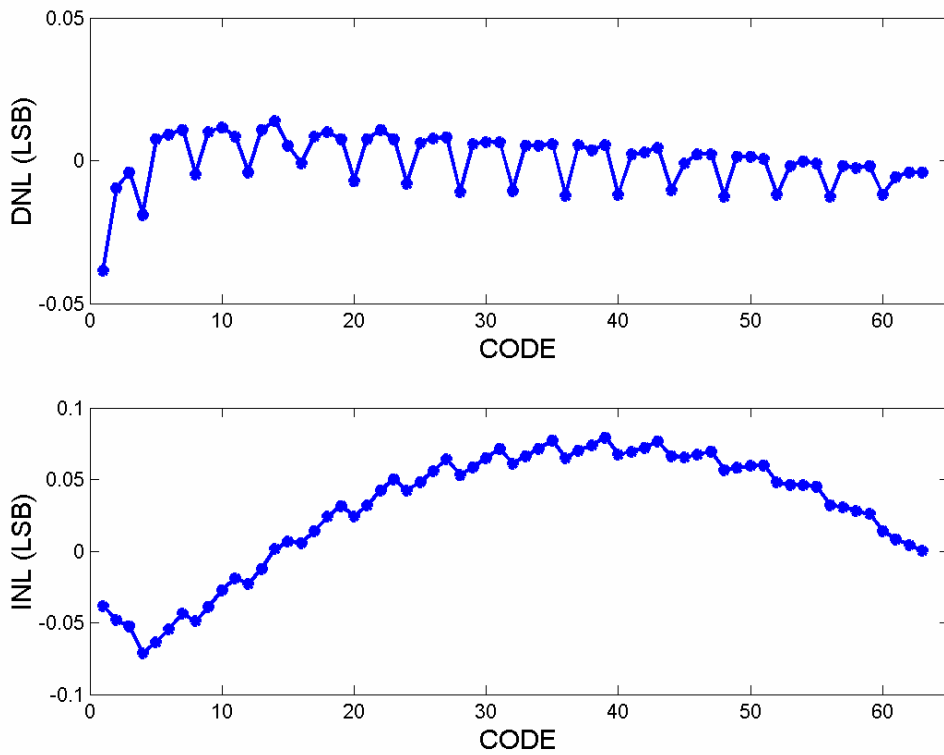


Figure 4.8 Simulated DNL and INL of the DAC

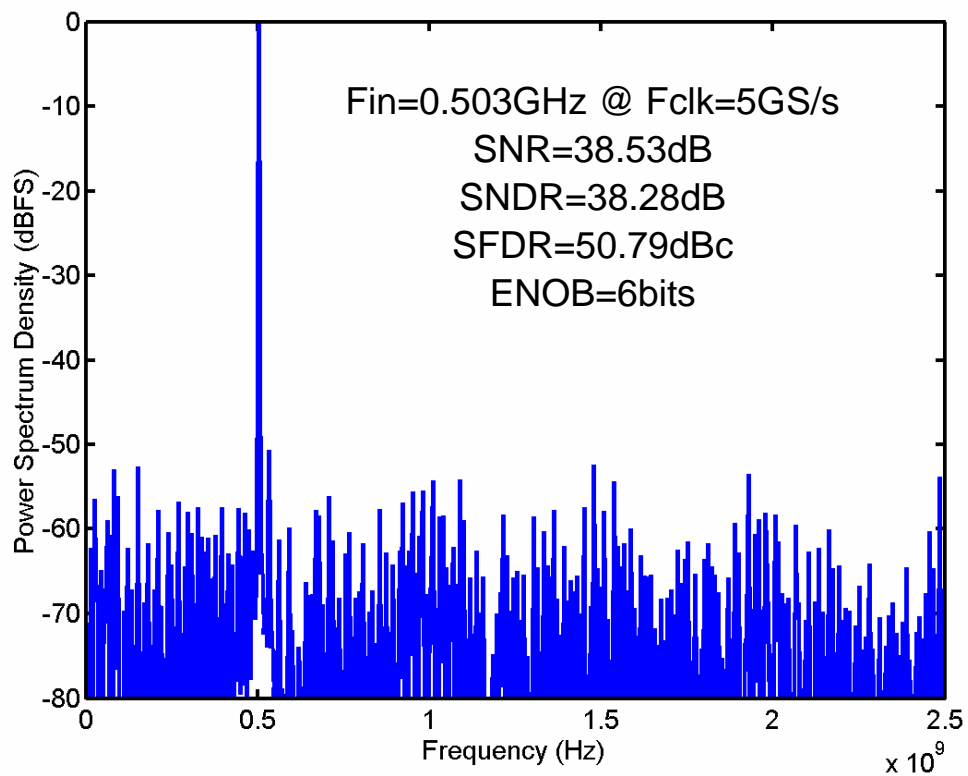


Figure 4.9 Simulated output spectrum of the DAC with 0.503GHz digital sinusoidal stimulus and 5GS/s sinusoidal clock signal

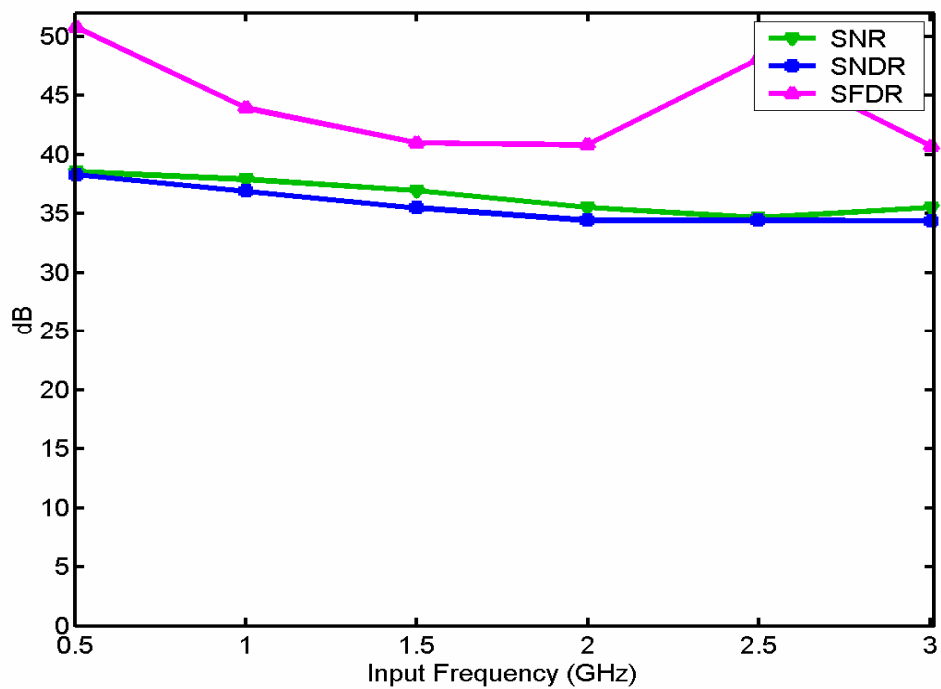


Figure 4.10 SNR, SNDR, and SFDR vs. input frequency of the DAC at 5GS/s

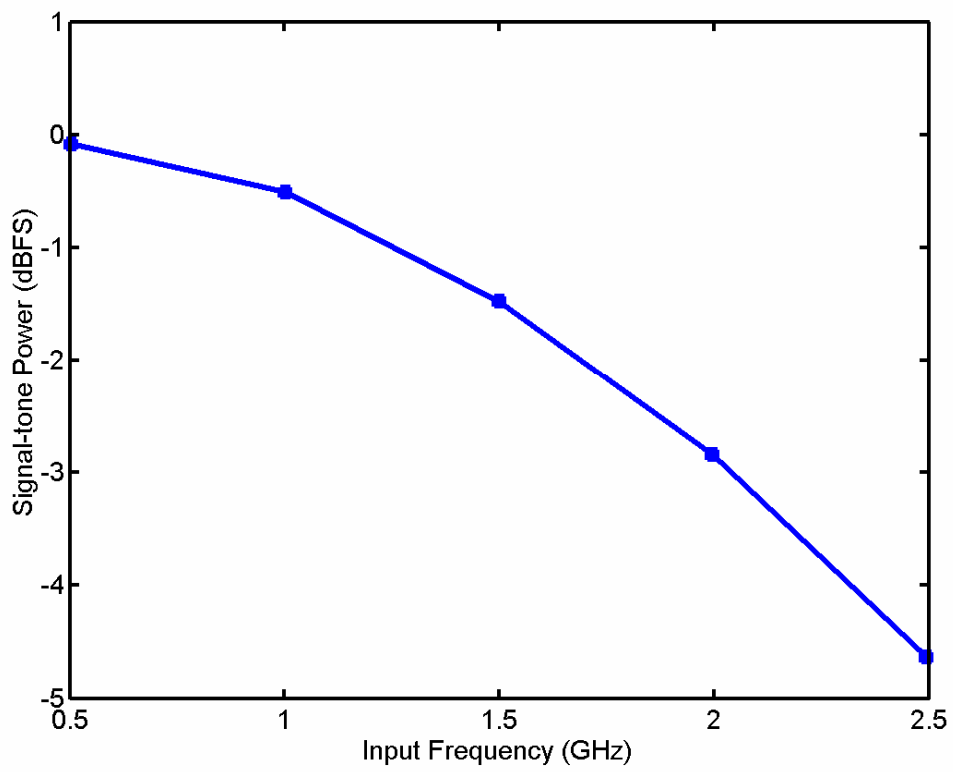
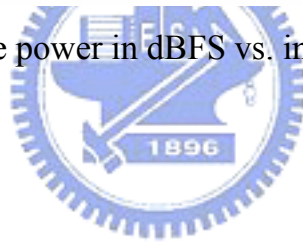


Figure 4.11 Signal-tone power in dBFS vs. input frequency of the DAC



# Chapter 5

## Design-for-Testability and Layout

討論完 ADC 與 DAC 之設計後，再來本章節將說明此實驗晶片的可測試性考量，介紹我們如何佈局與量測此組高速之 ADC 與 DAC 電路。

### 5.1 Design-for-Testability Consideration

由於目前市面上並無 5GS/s 如此高速的邏輯分析儀 (Logic Analyzer, LA)，也沒有 5Gbps 的資料產生器 (Pattern Generator)，所以我們無法在這麼高速的情況下個別單獨量測此組 ADC 與 DAC，這是目前高速的資料轉換器在測試上最大的問題。

因此為了要能在 5GHz 的速度下測量此組 ADC 及 DAC，我們額外再加入一個 DfT (Design-for-Testability) 電路，如圖 Figure 5.1 所示，其內部由一些數位 Buffer、開關、以及多工器 (Multiplexer, MUX) 所構成。此 DfT 電路提供三種測試模式：模式一如圖 Figure 5.2 所示，用來單獨量測此 ADC，能將 ADC 轉換出的數位訊號送出晶片外，不過由於量測儀器的限制，此模式只能操作在 300MHz 以下的速度。而 Figure 5.3 顯示模式二的情形，外部儀器的數位訊號可直接輸入到晶片中，用來單獨量測 DAC，但同樣因為現有的測試儀器能力不足，此時也只能在低速操作。至於測試模式三則是將 ADC 和 DAC 串接起來，如圖 Figure 5.4 所示，此時從 ADC 輸入一個類比測試訊號，而得到的 DAC 輸出也會是類比訊號，故可接至示波器或頻譜分析儀 (Spectrum Analyzer) 觀察，如此便能操作在 5GHz 的全速下進行測試。

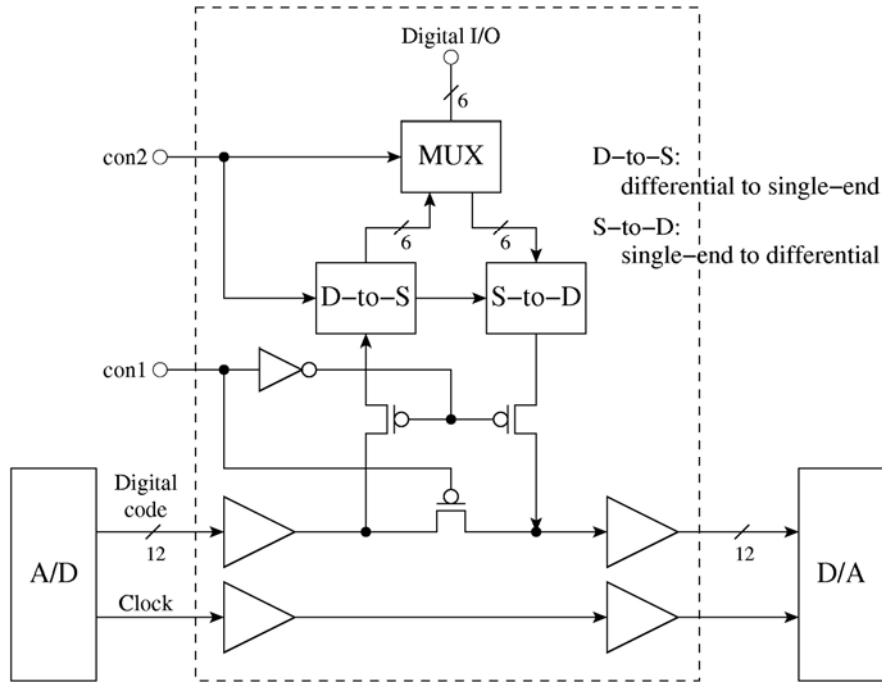


Figure 5.1 Design-for-testability circuitry

Table 5.1 Relationship between control signals and DfT test modes

con1	con2	Test Mode
1	0	Mode 1
1	1	Mode 2
0	0	Mode 3

藉由選擇 con1 和 con2 這兩個控制訊號的值，即可決定所需要的測試模式，如表 Table 5.1 所示。而在模式一和模式二的情況下，由於一般測試儀器的數位訊號大多是以單端的形式傳送或接收，因此在 DfT 電路中數位訊號的 I/O 介面就必須要有 D-to-S (Differential to Single-end) 和 S-to-D (Single-end to Differential) 電路來做差動和單端之間的轉換。同時多工器將選擇 6-bit 的數位 I/O 腳位要接到 ADC 亦或 DAC，讓這組 6-bit 的腳位可同時當輸入或輸出使用，所以在模式一和二下的輸出入數位訊號將使用相同之 PAD，以節省晶片內的 PAD 數。

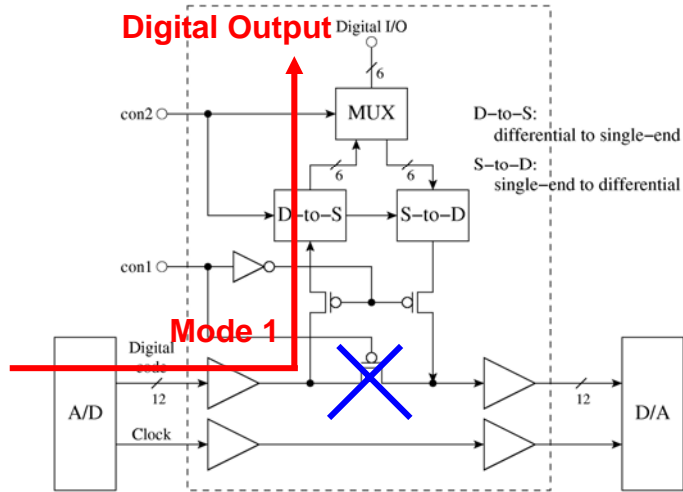


Figure 5.2 Test mode 1

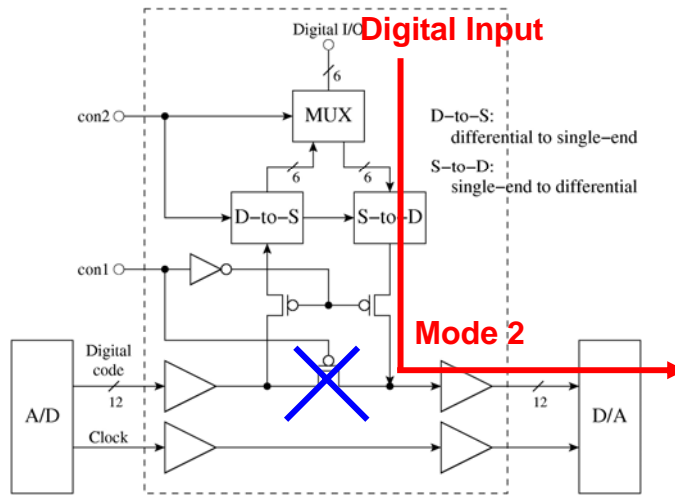


Figure 5.3 Test mode 2

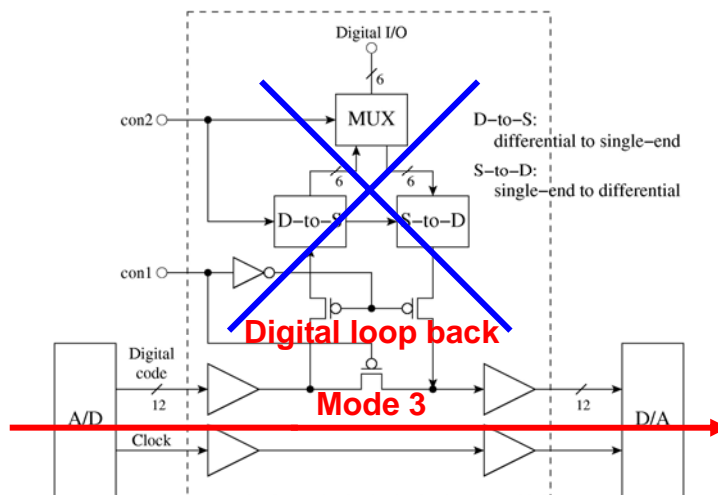


Figure 5.4 Test mode 3

在測試模式一和模式二時，ADC 和 DAC 只能操作在比較低的速度，雖然仍然無法個別量測其在高速運作下之效能，但透過測試模式三，我們已經能知道此組 ADC 與 DAC 資料轉換器對操作在高頻的整體動態表現。

## 5.2 Simulation Results in the Test Mode

模式一和模式二只純粹用來測試 ADC 和 DAC 是否能正常工作，檢查其功能是否正確。而測試模式三才是操作在高速的主要量測，因此我們的測量重點將著重在模式三之結果。接下來就看 ADC 與 DAC 在測試模式三下串接起來時的模擬表現。

Figure 5.5 顯示在模式三下對 ADC 輸入一個 0.503GHz 的 sinusoidal 訊號、Clock 為 sinusoidal 5GS/s 時的 DAC 輸出波形。將此訊號波形去做 FFT 分析可得如圖 Figure 5.6 所示之頻譜，此時 SNR 有 37.78 dB、SNDR 為 37.13 dB、SFDR 為 45.68 dBc，而 ENOB 可達 5.88 bits。而 Figure 5.7 即為不同的輸入頻率所對應的這些動態參數值之關係圖，圖中顯示愈高頻時 SNR 和 SNDR 的表現愈低，且當輸入頻率超過 1GHz 以後便下降的很快，但在 3.5GHz 時仍可保持在 30 dB 以上。

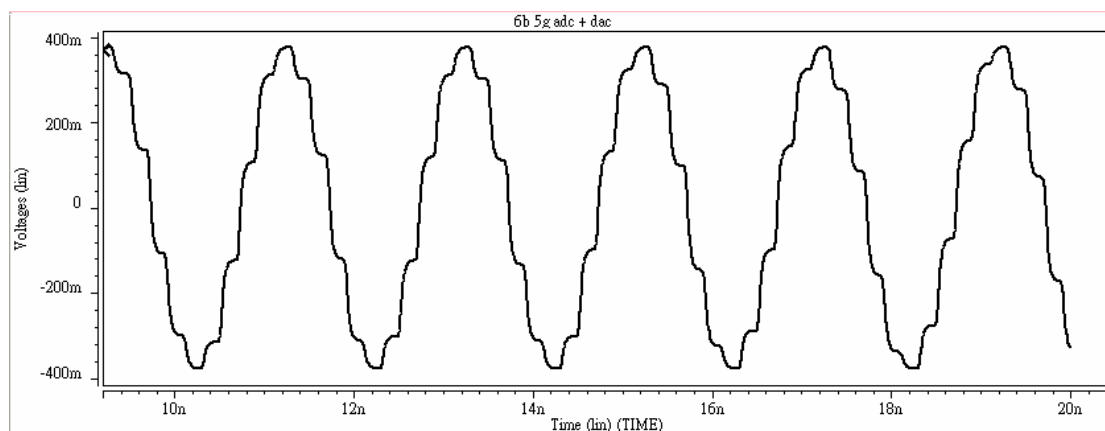


Figure 5.5 Simulated output waveform in the test mode 3 with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal

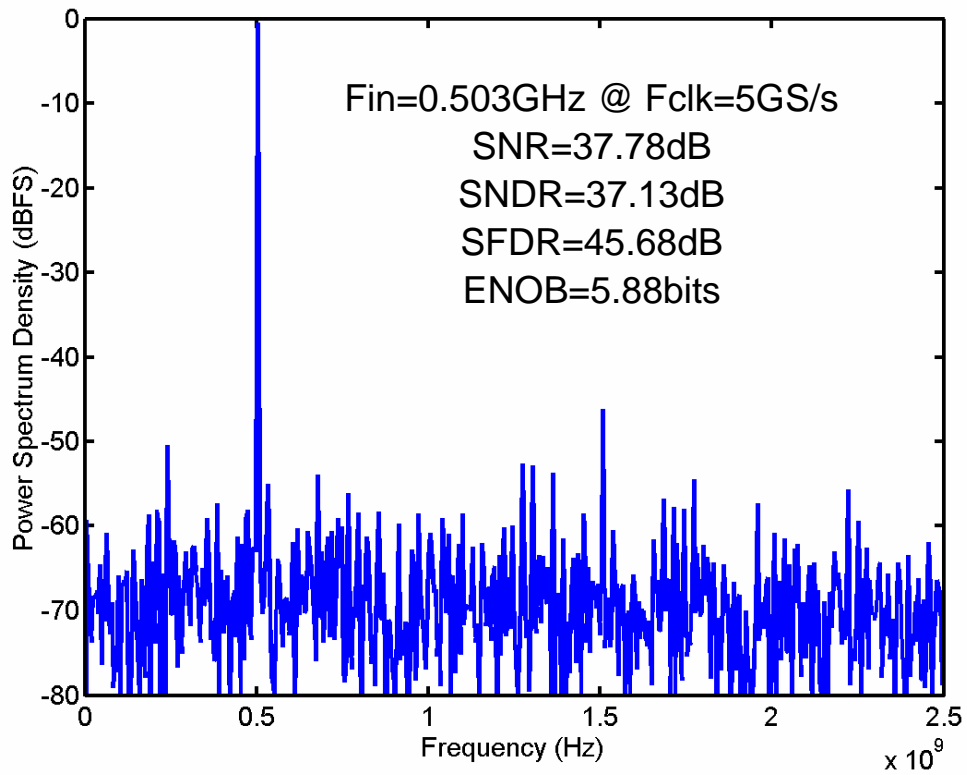


Figure 5.6 Simulated output spectrum in the test mode 3 with 0.503GHz sinusoidal stimulus and 5GS/s sinusoidal clock signal

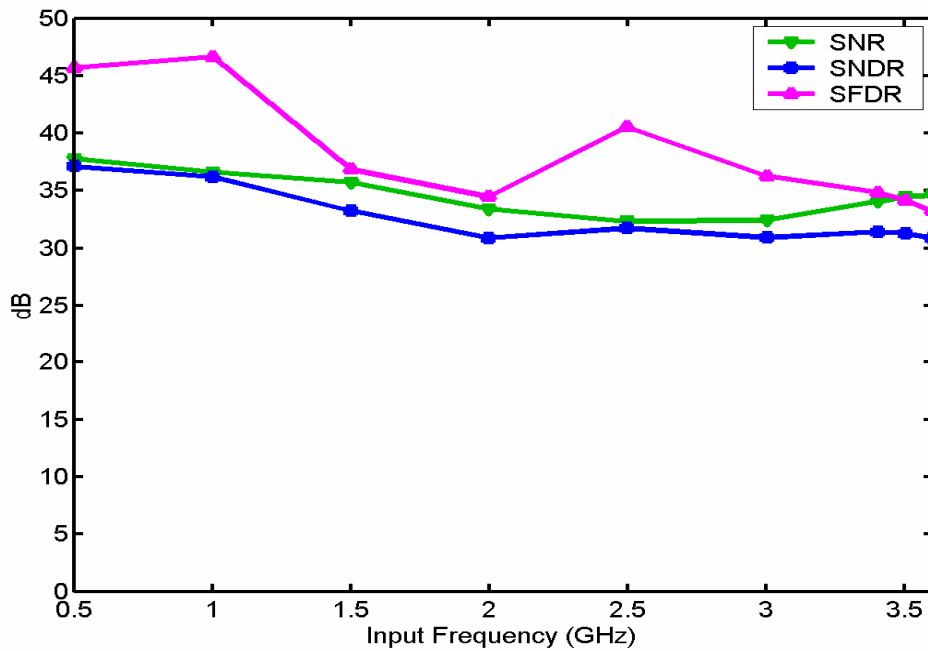


Figure 5.7 SNR, SNDR, and SFDR vs. input frequency at 5GS/s in the test mode 3



## 5.3 Zero-Order Hold Effect

前面的 3.7 節我們看到了 ADC 的模擬結果，在 Figure 3.30 的輸入頻率對動態參數關係圖中，其 SNR 和 SNDR 的表現都很平坦，在高頻時都還有不錯的值。可是 Figure 5.7 顯示，在測試模式三時，當 ADC 後面再串接 DAC 後，其整體的 SNR 和 SNDR 會隨著輸入頻率增加而遞減，且下降的速度很快，這可能是 Zero-Order Hold (ZOH) effect 所造成的影響。

下圖 Figure 5.8 顯示一理想的 Sample-and-Hold 波形，此種波形在訊號處理上即稱之為所謂的 Zero-Order Hold 訊號波形，是由無數多個步階函數 (step-function) 所組成[35]，而一個理想的 DAC 輸出也會是這種波形。

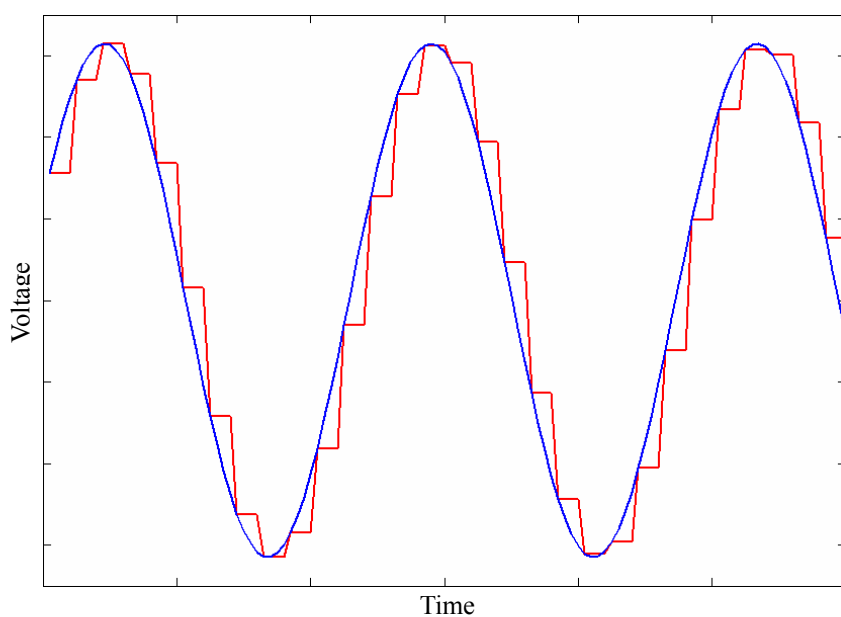


Figure 5.8 Zero-order hold signal waveform

這種波形訊號經過傅立葉轉換後的頻率響應可以下列數學式表示：

$$H_o(j\Omega) = \frac{2\sin(\Omega T / 2)}{\Omega} e^{-j\Omega T / 2} \quad (5.1)$$

其中 T 為取樣的週期時間。所以以我們的設計為例，在 5GS/s 的取樣頻率下，取樣週期為 200ns，此時得到的頻率響應如圖 Figure 5.9 所示。

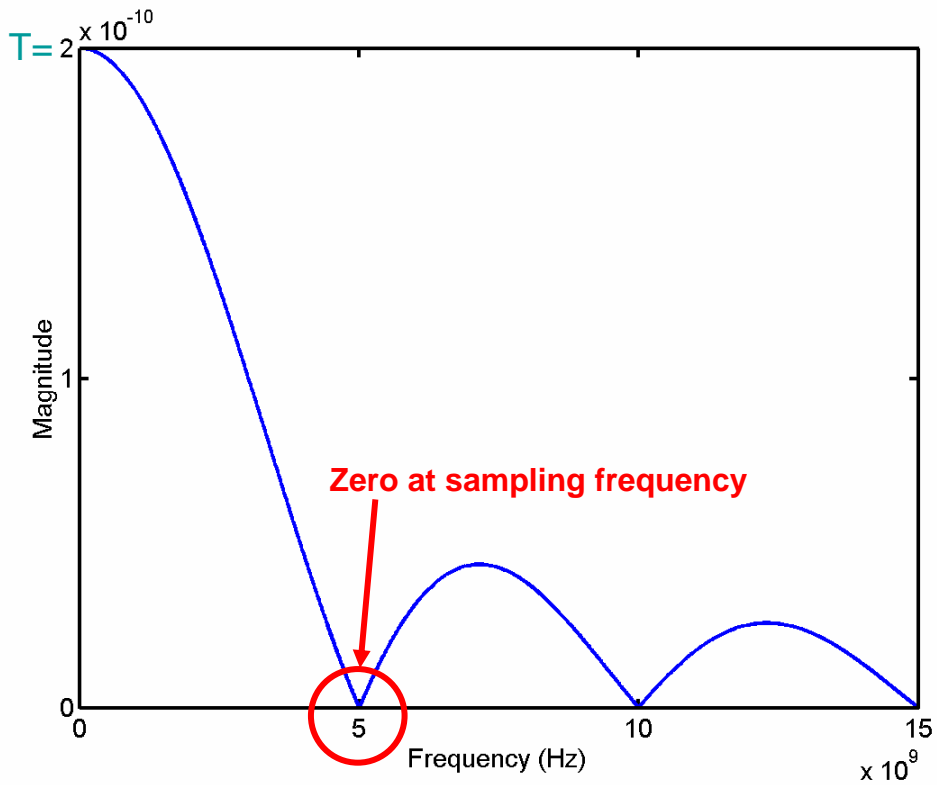


Figure 5.9 ZOH frequency response at 5GS/s

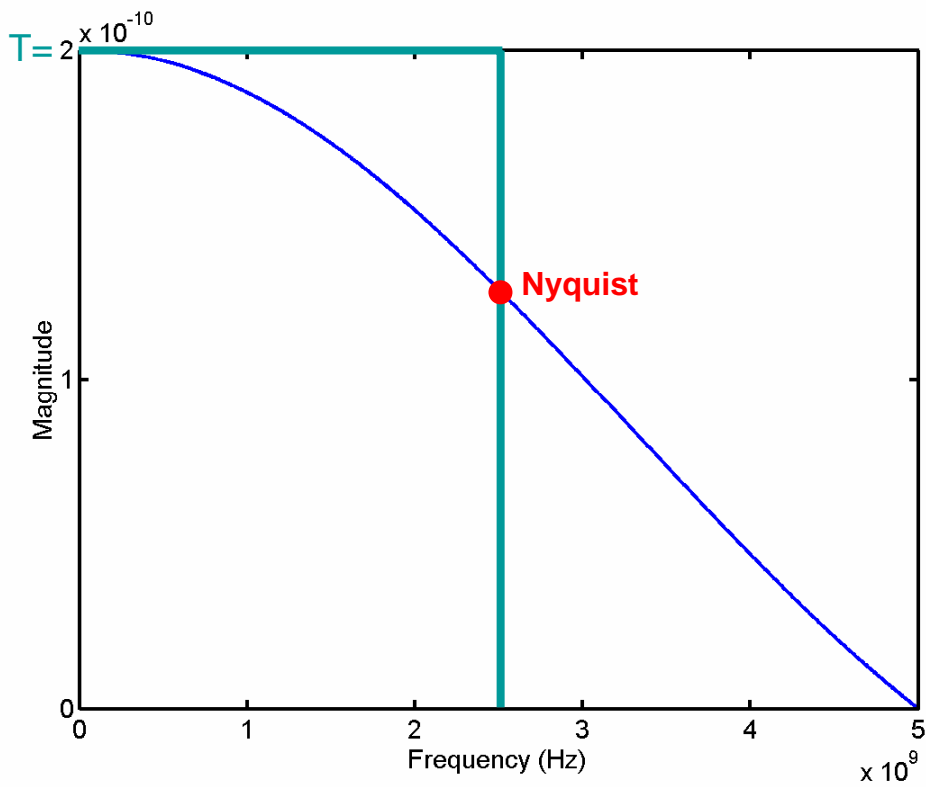


Figure 5.10 ZOH frequency response zoomed in 5GHz

此頻率響應類似一個 SINC-function，在取樣頻率的倍頻處都會有零點 (zero) 存在，所以在 Figure 5.9 中可看到頻率為 5、10、15GHz 時的 Magnitude 都為零。若再將此頻率響應圖放大到 5GHz 的範圍內，可得圖 Figure 5.10，此時可看到其隨著頻率增加一直不斷衰減，如同有低通率波 (low-pass) 的效應。根據(5.1)式可計算出在 2.5GHz 的 Nyquist 頻率時，訊號會被衰減成原本的  $2/\pi$  倍，亦即衰減約 0.637 倍或 -3.922 dB。

所以訊號經過 DAC 輸出之後，就如同附加了 low-pass 的效應，在高頻時訊號會被衰減，即使是理想的 DAC 在 Nyquist 頻率時激發訊號也會衰減將近 4dB。此現象在 4.3 節 DAC 模擬結果的 Figure 4.11 中可看出，當輸入頻率增加時，DAC 輸出的訊號主 tone 功率會不斷衰減，且衰減的趨勢就如同 Figure 5.10 所示，可見此 DAC 確實有受到 ZOH effect 的影響。因此 ADC 串接 DAC 之後，Figure 5.7 顯示的 SNR、SNDR 等動態參數才會隨著輸入頻率的增加而快速遞減。

為了補償 ZOH 波形訊號導致的 low-pass 衰減，根據(5.1)式可推導出一個反函數如下：

$$H_r(j\Omega) = \frac{\Omega/2}{\sin(\Omega T/2)} e^{j\Omega T/2} \quad (5.2)$$

由此頻率響應之函數描繪出下圖 Figure 5.11，其中 Figure 5.11(a)是顯示

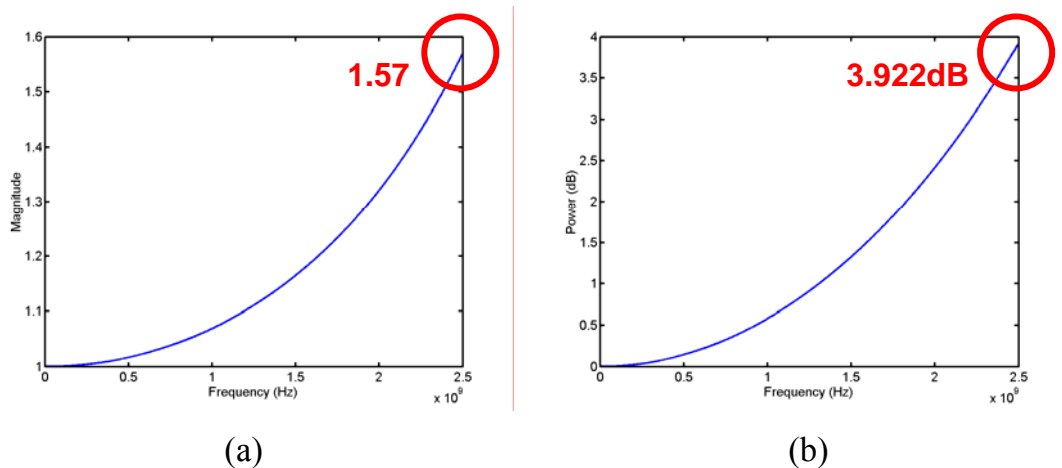


Figure 5.11 ZOH compensation (a) in magnitude (b) in dB

Magnitude，而 Figure 5.11(b)是顯示 Power，單位為 dB。從圖中可看出在 Nyquist 頻率 2.5GHz 時，其提供了  $\pi/2 \approx 1.57$  倍之增益，亦即為 3.922 dB。

因此藉由(5.2)式及 Figure 5.11，我們可將最後在測試模式三下量到的結果去做補償，如此即可更貼近了解此 ADC 的實際效能。由於前面推導都是假設在 DAC 是理想的情況，所以把測試模式三的量測資料去做補償得到的結果，可說是此 ADC 量測的最糟情形 (worst case)。Figure 5.12 即顯示此情形之模擬結果，圖中四條曲線分別是 ADC、DAC、測試模式三、以及測試模式三經由補償過後的 SNR 對輸入頻率關係圖。其中 DAC 以及模式三的曲線下降很快，都是受到 ZOH effect 的影響。不過由此圖顯示，將模式三的結果經過補償後得到的曲線和單獨模擬 ADC 的曲線確實非常接近，因此我們的確可藉由此方式來預測 ADC 的效能表現。

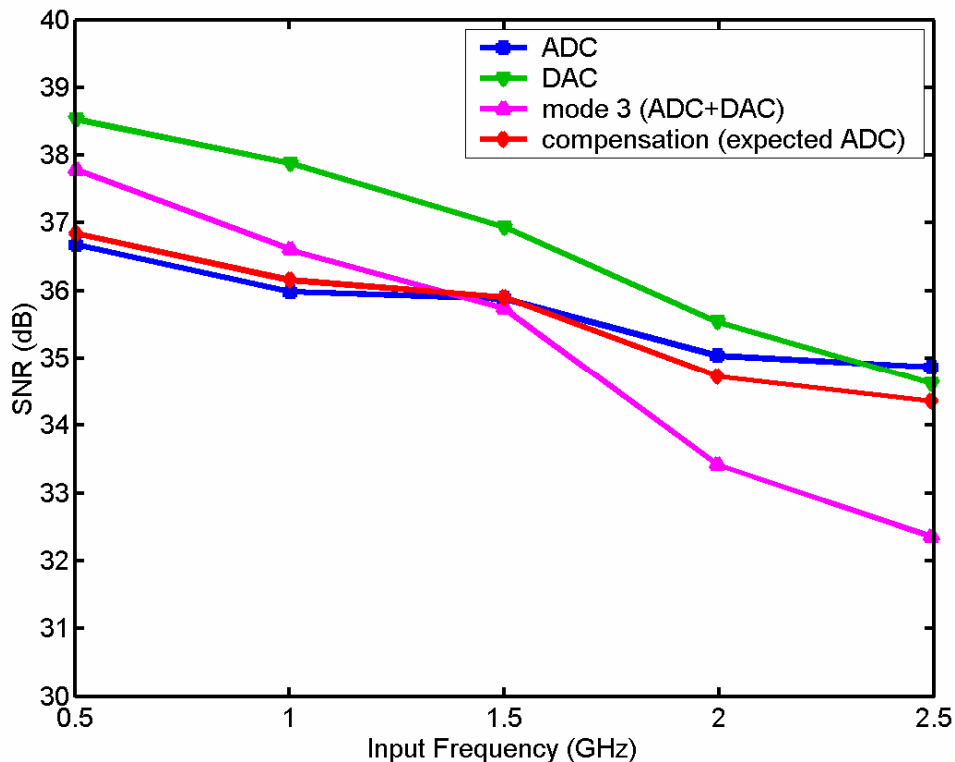


Figure 5.12 SNR vs. input frequency of the ADC, DAC, and in the test mode 3

## 5.4 Measure Setup

整個測試環境如下圖 Figure 5.13 所示，我們將從晶片的左側輸入類比訊號給 ADC，從右側接收 DAC 的輸出訊號。Clock 是從晶片下方輸入，讓 Clock 和訊號路徑成正交（Orthogonal）排列，如此 coupling 的效應會比較小。而 Input、Output 和 Clock 這些高速訊號都將使用下針量測，是以 GSGSG 的形式下針，由於下針處的一邊都不能打線，所以其他 power pads 都放在晶片上方，DC bias 和控制訊號都從晶片上方輸入。所有使用到的量測儀器也如圖所示。

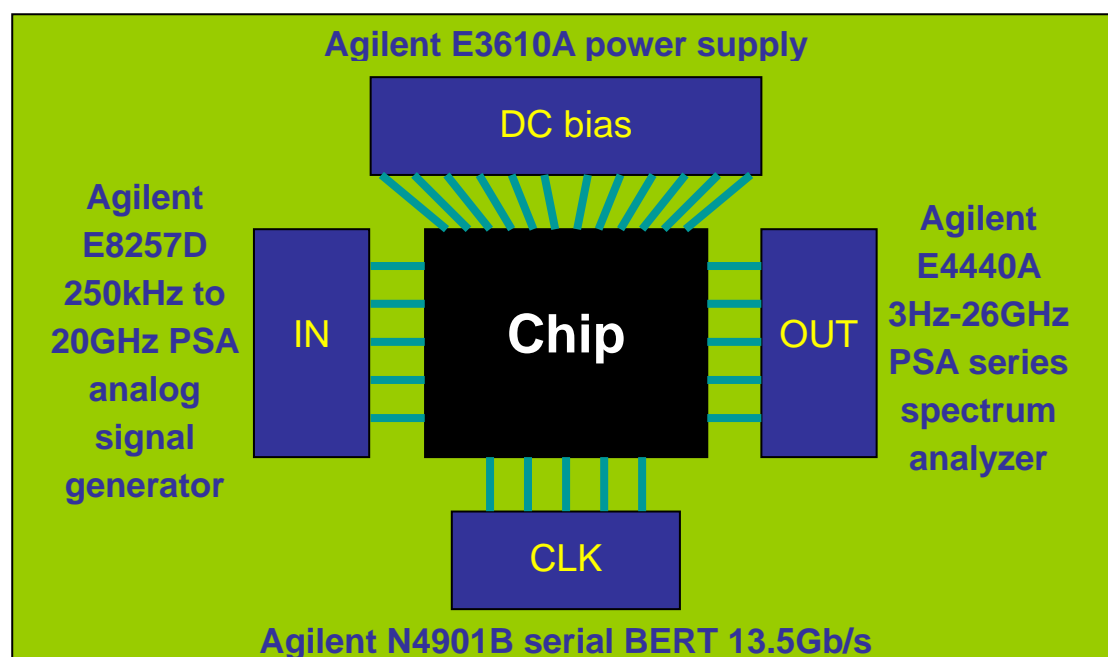


Figure 5.13 Measurement environment

Figure 5.14 顯示測試環境的設定。從訊號產生器（Signal Generator）產生出單端的類比輸入訊號和 Clock 訊號之後，經由 Balun（180° Hybrid Coupler）轉換成雙端的差動訊號，再透過 DC-block 將機台的直流成分濾除後才接到晶片中。而輸出端的差動訊號同樣經過 DC-block 和 Balun 將雙端轉成單端訊號後，再送到頻譜分析儀做分析。

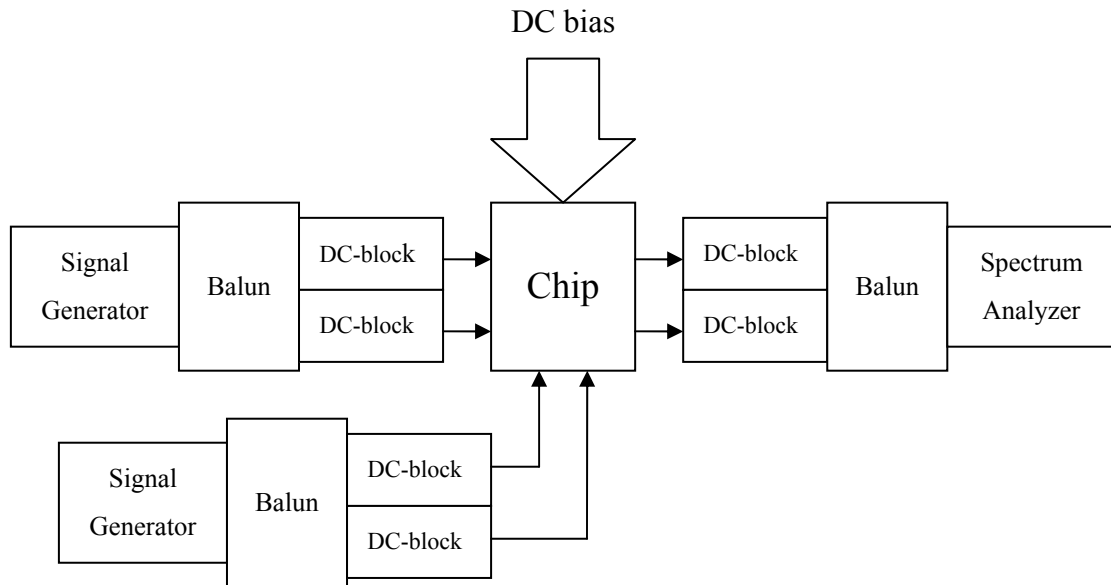


Figure 5.14 Measurement setup

## 5.5 Chip Layout

下頁圖 Figure 5.15 顯示整個晶片的佈局 (Layout)。由於考慮到要下針量測，所以左右及下方要下針的地方其 PAD 間距都需符合下針的規定。而上方就是其他所有的 power pads、控制訊號線、以及 digital I/O，為了節省面積，這些 PAD 是以品字型的位置擺放，用 stack bond 的方式打線。

輸入、輸出及 Clock 這些要下針的高速訊號線在晶片內是以  $50\Omega$  特性阻抗的傳輸線 (Transmission Line) 來繪製，使其在高頻時反射量較少、能較順利傳輸。且在佈局中的每條線都有考慮到要承受的電流，去畫其相對所需的寬度。而因為下針量測的 PAD 限制，使得整個測試晶片所佔的面積變得比較大，共佔  $1.64 \times 1.41 \text{mm}^2$ ，但其中 ADC 和 DAC 真正所佔的 active area 只有  $0.84 \times 0.7 \text{mm}^2$ 。其他多餘的空間就全部都擺放 decoupling 電容來對電源穩壓，讓 power-ground bounce 的效應更小。

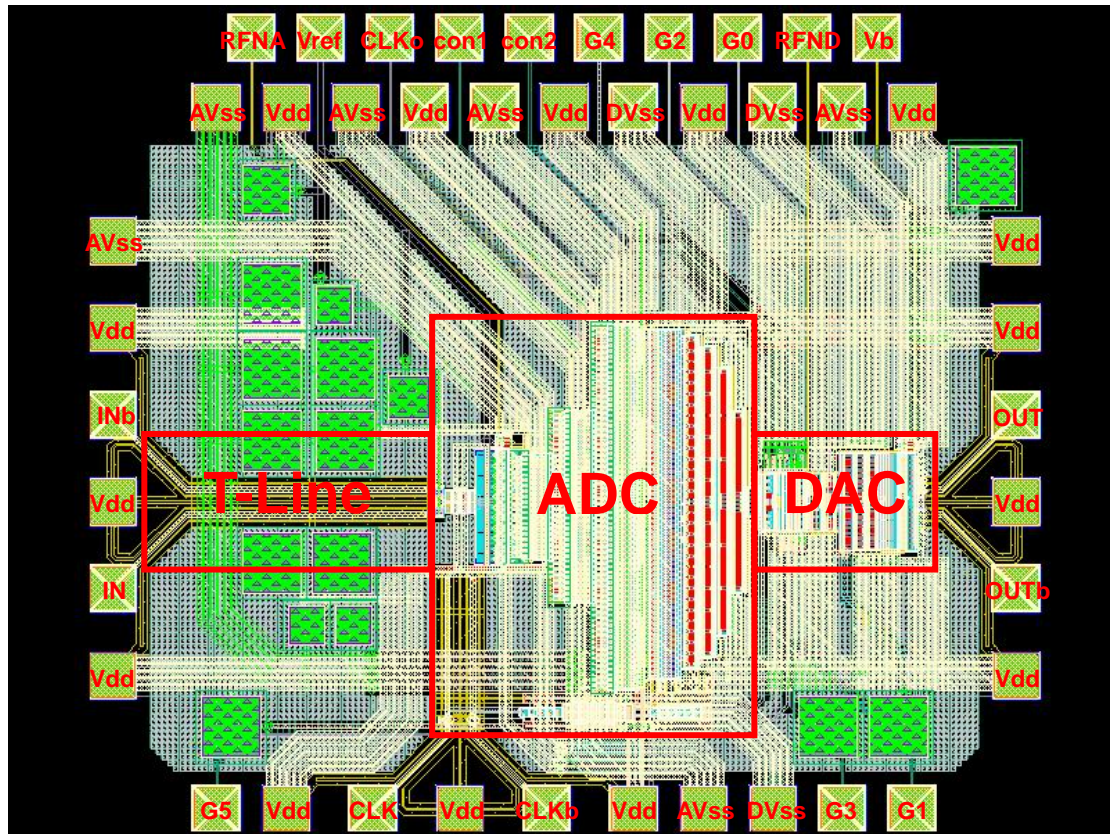


Figure 5.15 Layout of the full test chip

將 active area 的區域放大如圖 Figure 5.16 所示，其中 ADC 的面積佔  $0.56 \times 0.7 \text{mm}^2$ 、DAC 佔  $0.28 \times 0.2 \text{mm}^2$ 。所有電路都以對稱的位置擺放，每條 timing 要匹配一致的訊號線也都畫的等長，且訊號線也都盡量不轉彎，如果真的要轉也以 45 度角轉折繪製，讓此高速電路有較好之整體效能。

另外，下針是 GSGSG 的形式，S 是指差動的訊號、G 是指測試機台的 ground (GND)。從 Figure 5.15 中的 PAD 可看出，我們是以此 GND 設為 Vdd，這是由於在我們設計當中，所有電路都是採用 N-type 的形式，因此訊號的 common-mode 是偏比較高的電壓準位，所以我們希望訊號的迴路是靠近 Vdd 的，如圖 Figure 5.17 所示。其中兩個電阻如前面第三章所述，是用來提供輸入訊號的 common-mode 偏壓準位及  $50\Omega$  的匹配阻抗值。而因為其 common-mode 是偏比較高的準位，所以上方靠近 Vdd 的電阻值會

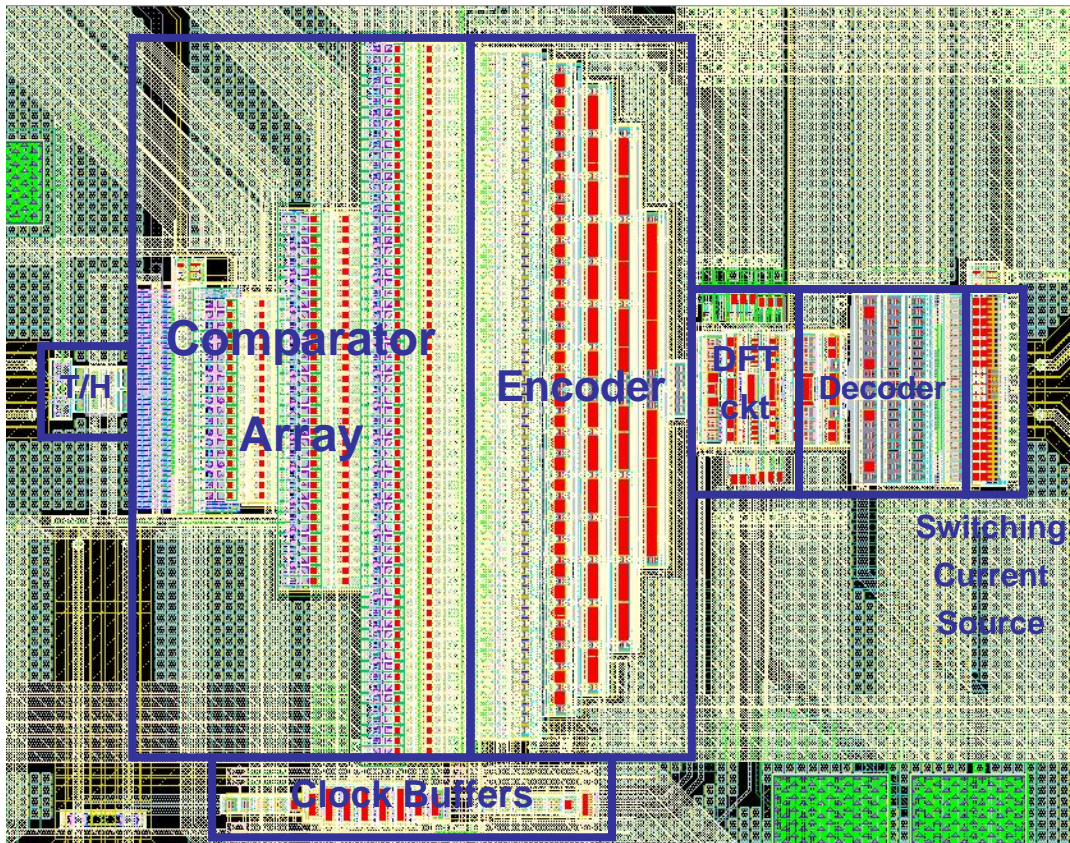


Figure 5.16 Layout of the core ADC and DAC

比較小，則 Figure 5.17 的訊號源如此接法其迴路可分得較大的電流，這在高頻運作時會有所助益、會有比較好的表現。

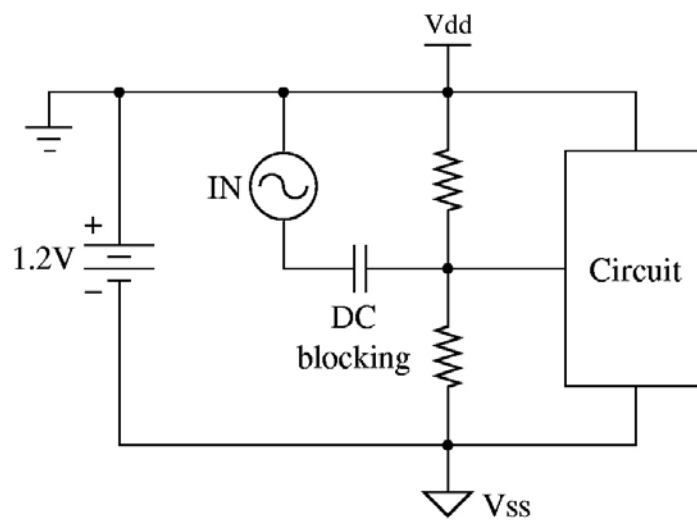


Figure 5.17 DC bias and signal setup



# Chapter 6

## Measurement Results

### 6.1 Chip Micrograph and Probe on Wafer

Figure 6.1 為使用 TSMC 0.13 $\mu\text{m}$  CMOS Mixed-Signal RF 製程下線之晶片圖。而 Figure 6.2 和 Figure 6.3 分別顯示此晶片在 PCB 板上 (Chip-on-Board, COB) 測量時 Input 和 Output 端之  $S_{11}$  與  $S_{22}$  參數以及 Smith Chart，頻率範圍是從 DC 到 2.5GHz。從圖中可看出在此頻率範圍內其  $S_{11}$  和  $S_{22}$

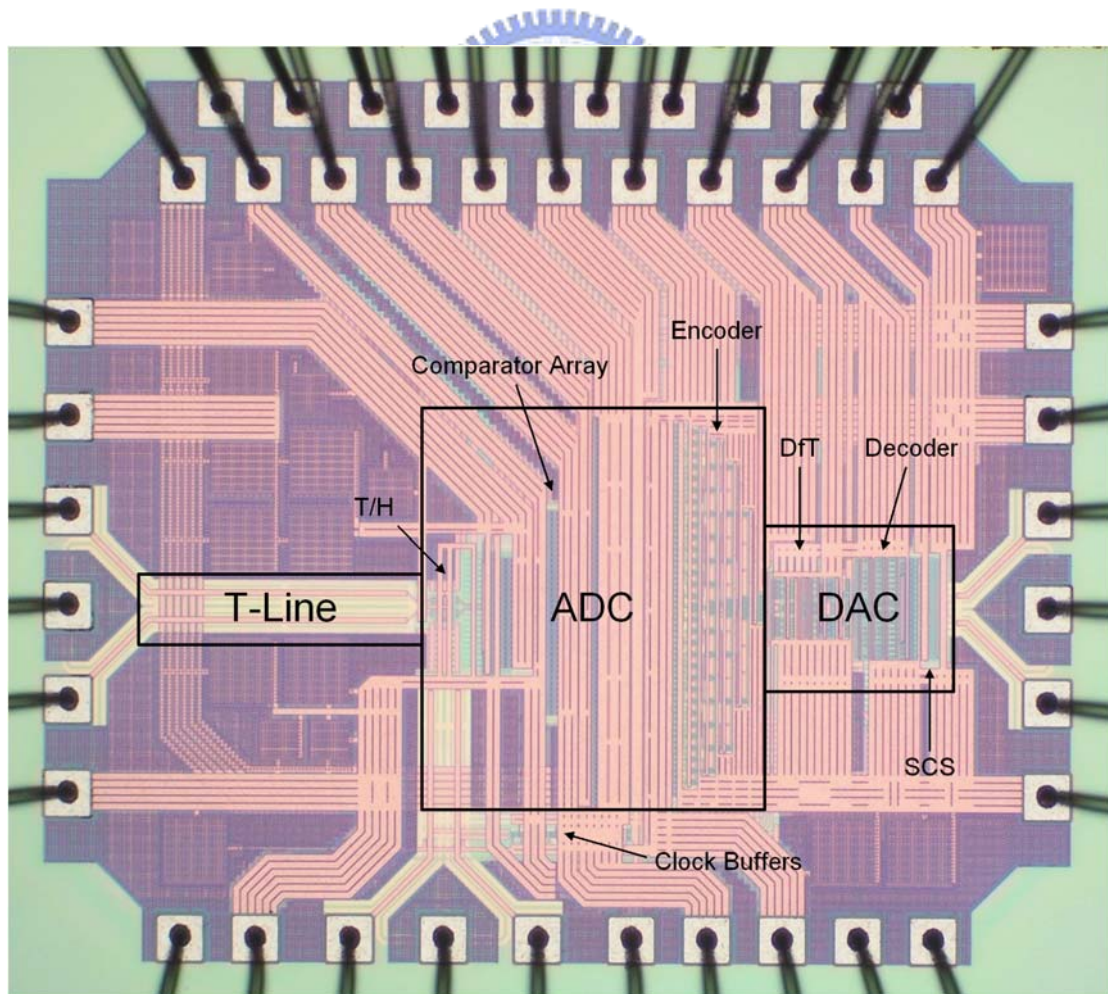


Figure 6.1 Chip micrograph (test on board)

參數都在-10dB 以下，表示有不錯的匹配特性、反射量不高，訊號都可順利地輸入和輸出晶片。且 Smith Chart 顯示在低頻時確實是位在中心點的 50Ω 阻抗值。

不過 Clock 端的  $S_{11}$  參數及 Smith Chart 就沒有這麼好的表現，如下頁圖 Figure 6.4 所示，其所要觀察的頻率範圍較高，是從 DC 到 6GHz。圖中顯示  $S_{11}$  參數在超過 3GHz 時便大於-10dB，輸入的 Clock 訊號會有反射，較難完全傳送到晶片中。而 Smith Chart 雖然在 DC 時仍是位於中心點，但隨著頻率增加，其會以螺旋狀快速往外環繞，表示有很嚴重的電感、電容效應，高頻時的匹配表現不佳。

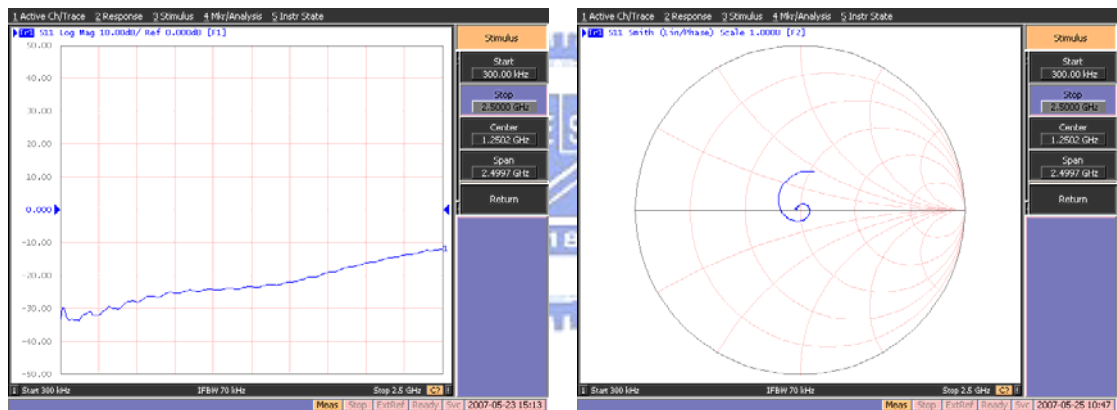


Figure 6.2  $S_{11}$  parameter and Smith chart of the input port of the COB test

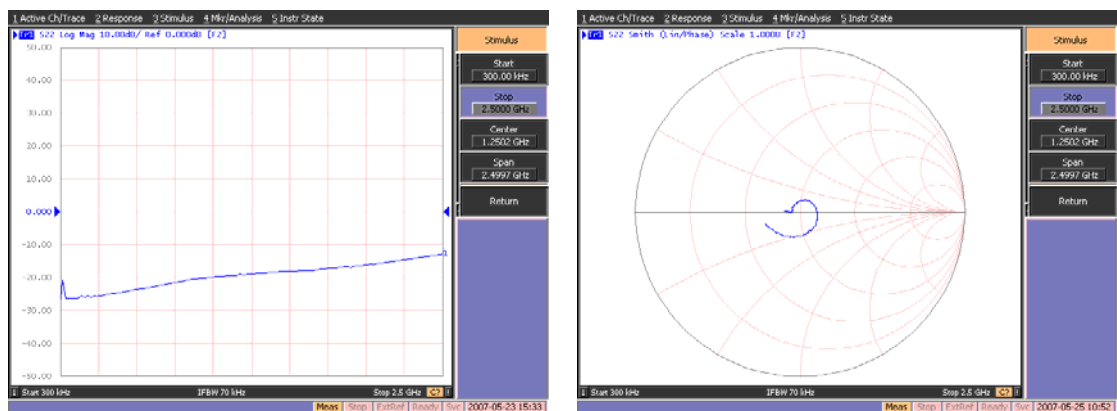


Figure 6.3  $S_{22}$  parameter and Smith chart of the output port of the COB test

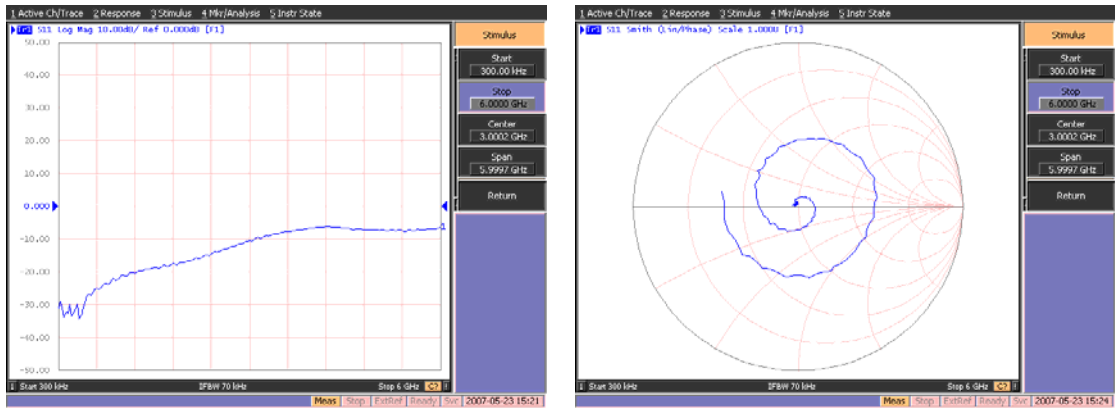


Figure 6.4  $S_{11}$  parameter and Smith chart of the clock port of the COB test

然而，Clock 只是數位訊號，只要其正負兩端之差動訊號的差異夠大即可讓此電路工作。雖然其在高頻時的反射量大，會有衰減失真，但由於晶片內部設計了 Clock Buffer 來驅動時脈訊號，即使傳送輸入到晶片中的時脈訊號已經被衰減變小，也能透過 Buffer 將其放大到所需的準位，所以此問題對我們不會有太大的影響，仍可在 PCB 板上進行量測。

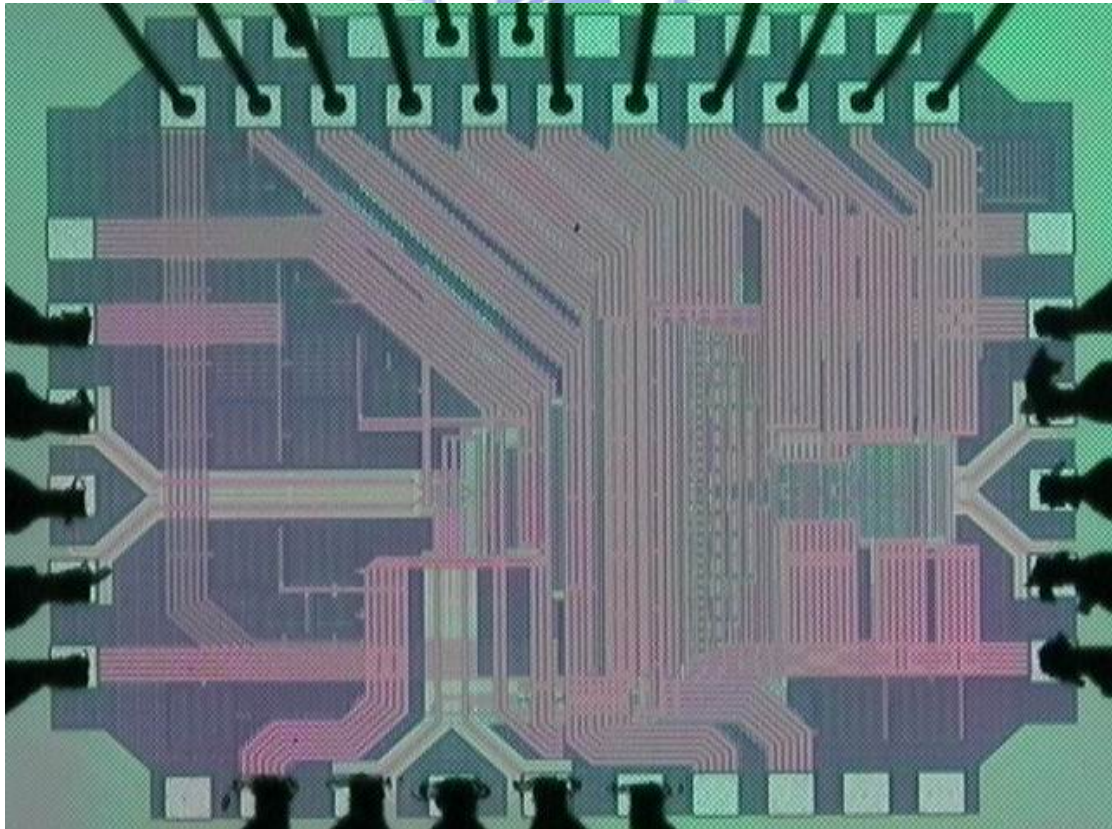


Figure 6.5 Chip micrograph (probe on wafer)

不過為了要得到較好的效能表現，在高頻部分還是必須選擇 on wafer 的下針量測方式。Figure 6.5 所示即為 on wafer 下針時所照相之晶片圖，其左右兩側及下方的 Input、Output 和 Clock 訊號都是下針，所以此三邊的 PAD 都不能打線，只有上方提供電源的 power pads 有打線。

Figure 6.6、Figure 6.7 和 Figure 6.8 分別顯示下針時的 Input、Output 和 Clock 端之  $S_{11}$  或  $S_{22}$  參數以及 Smith Chart，頻率範圍都是到 6GHz。從圖中可看出，Input 的  $S_{11}$  參數及 Output 的  $S_{22}$  參數仍都在 -10dB 以下，而 Clock 的  $S_{11}$  提升到在 4.5GHz 時才會超出 -10dB，其表現都比 PCB 板上測得的結果要好。且再從 Smith Chart 可看到更明顯的改善，此時這三端的 Smith Chart 都沒有以螺旋狀往外繞圈，而只剩一條往左下方的短小曲線，匹配度好很多。這是因為下針量測可避免掉 bonding wire 的電感效應及 PCB 的電容效應，所以此時高頻的匹配特性主要只受晶片內部電路本身的寄生電容所影響，因此 Smith Chart 的曲線是在下方。(註：Smith Chart 在中線上方代表電感性，在下方則是電容性。) 由此可知高速電路確實適合採用 on wafer 的下針量測，輸出入端的阻抗匹配較好，反射量會較低。

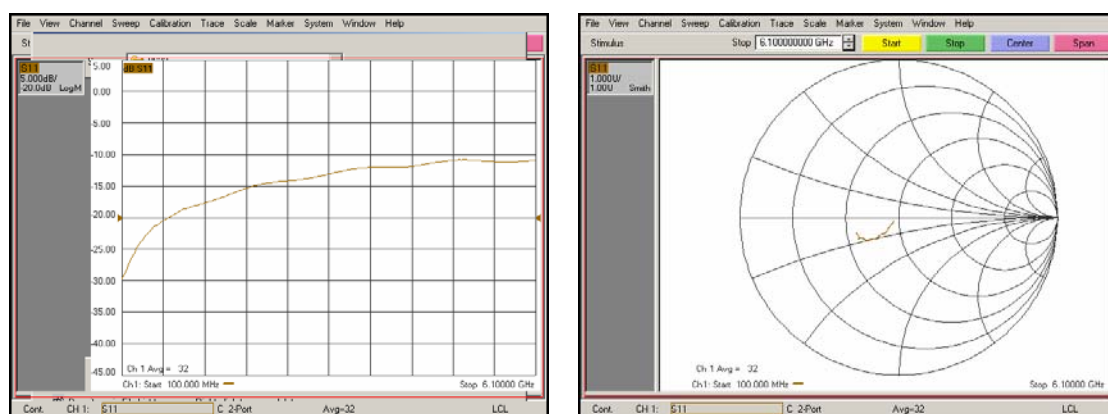


Figure 6.6  $S_{11}$  parameter and Smith chart of the input port on wafer

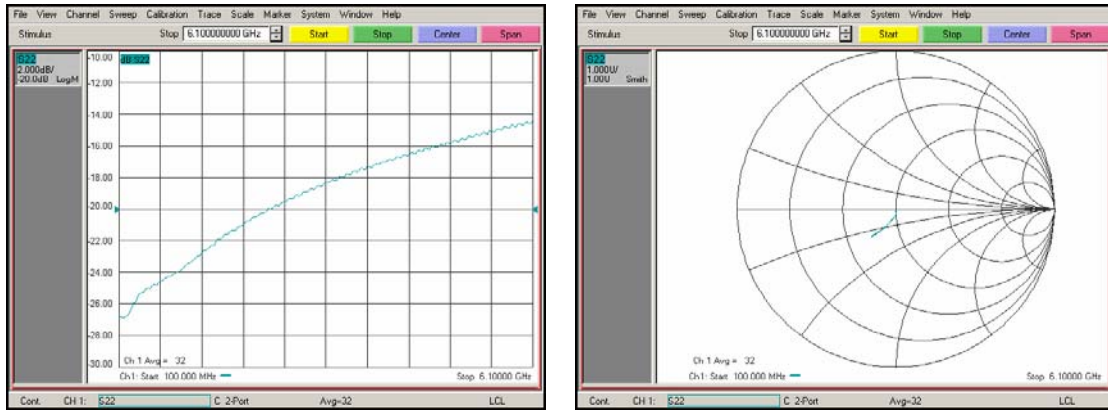


Figure 6.7  $S_{22}$  parameter and Smith chart of the output port on wafer

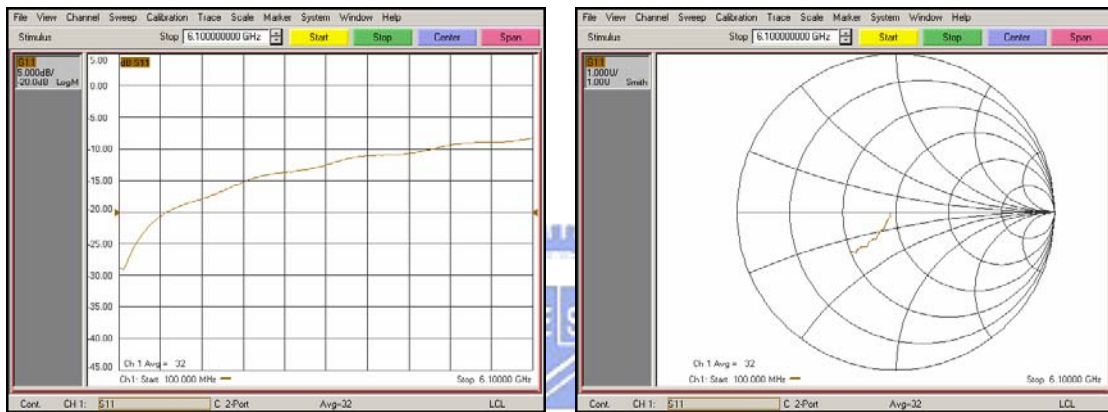


Figure 6.8  $S_{11}$  parameter and Smith chart of the clock port on wafer

## 6.2 Static Test

在測試模式三下，對 ADC 輸入一差動的直流電壓，則 DAC 將會有一相對應的輸出電壓值。逐步改變輸入 ADC 的直流電壓值後，可得如下圖 Figure 6.9 所示之輸入輸出轉換特性曲線圖。從此特性曲線圖可知該 ADC 沒有失誤碼，且 DAC 具有單調性。藉由此圖可更進一步計算得知 ADC 與 DAC 的 DNL 和 INL 值，如圖 Figure 6.10 所示，ADC 的 DNL 從-0.163 到 0.125 LSB，INL 為-0.441 到 0.402 LSB；而 DAC 的 DNL 為-0.117 到 0.087 LSB，INL 則為-0.158 到 0.148 LSB。誠如 3.7 節 ADC 的 DNL 和 INL 模擬結果所述，ADC 仍然稍微受到 averaging edge effect 的影響，所以靠近兩端的 DNL 都是負值，INL 分布呈現倒 N 字型，此現象和模擬結果類似。至於 DAC 的 DNL 和 INL 分布趨勢也和 4.3 節的模擬結果相同，每隔四個 LSB 就會出現一個比較大的 DNL 值。

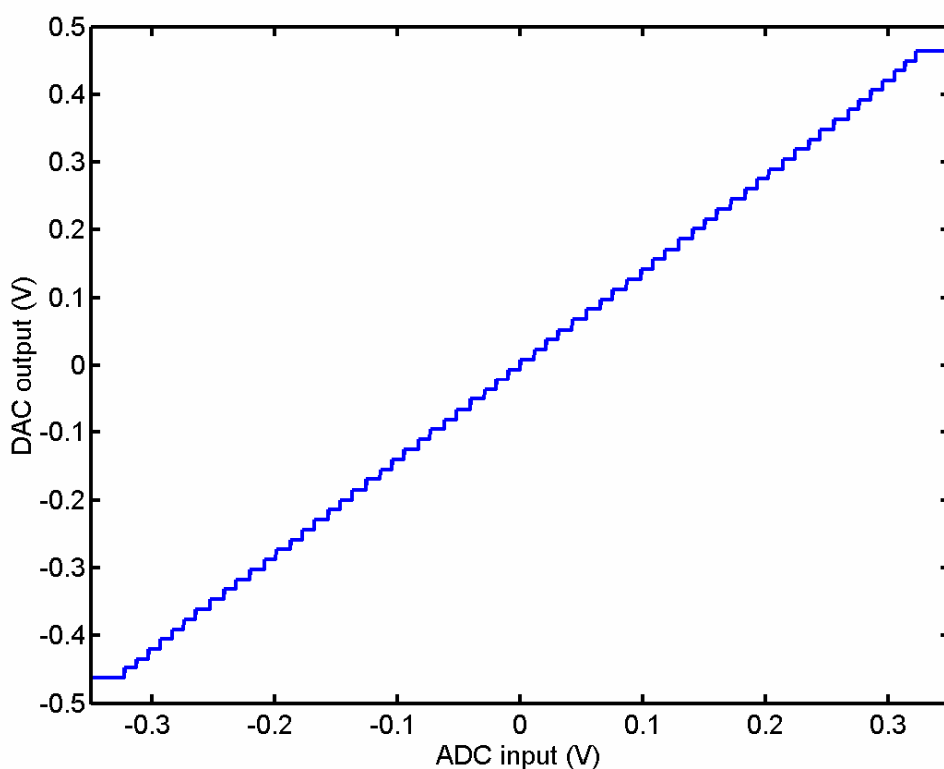


Figure 6.9 Measured input-output transfer curve in the test mode 3

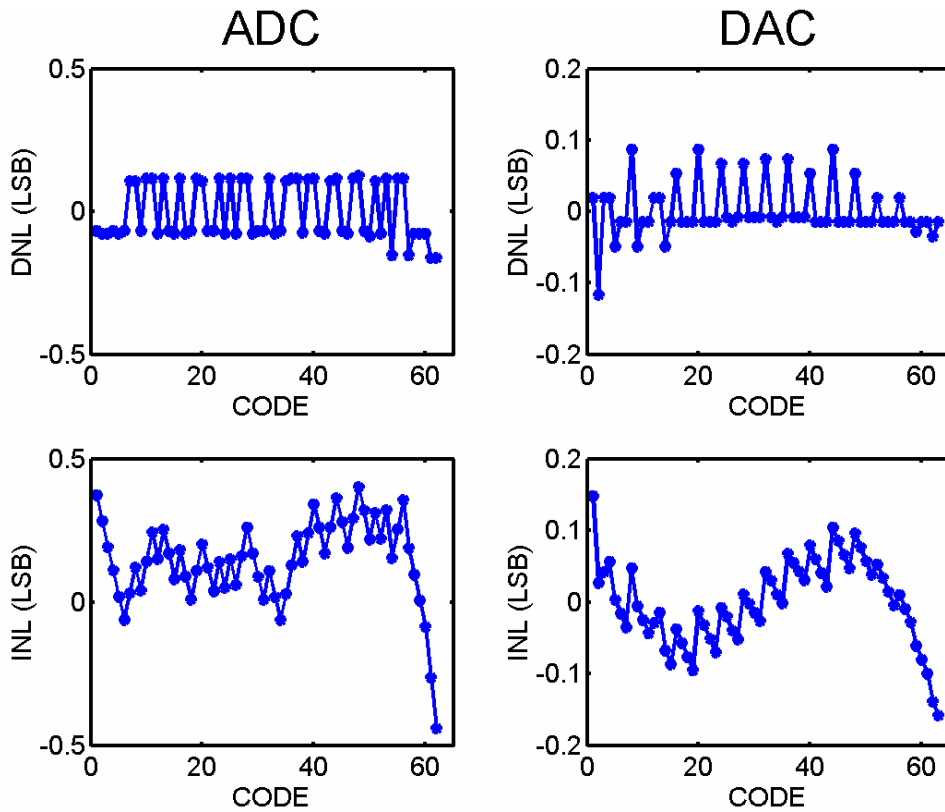


Figure 6.10 Measured DNL and INL of the ADC and DAC

### 6.3 Dynamic Test

同樣在測試模式三下、取樣頻率為 5GS/s 時，輸入一 500.0305MHz 的弦波訊號，並改變其輸入的振幅大小，可量得 Figure 6.11 的輸出訊號之 SNR 對輸入振幅關係圖。此量測結果顯示當輸入振幅為 -1dBFS 時輸出將有最大的 SNR 值，高達 36.98 dB。此時測得之頻譜如圖 Figure 6.12 所示，由頻譜中可看到二階和三階的諧波失真都很大，以致於其 SNR 雖然達到 36.98 dB，但 SNDR 和 SFDR 分別只有 20.91 dB 和 24.17 dBc。

會造成如此大的諧波訊號是因為輸入訊號和時脈訊號產生互相調變 (Inter-Modulation) 影響所致。由於在我們 ADC 中的 T/H 電路是用 MOS 開關的架構設計，必須使用 rail-to-rail 的時脈訊號才能驅動，而此 rail-to-

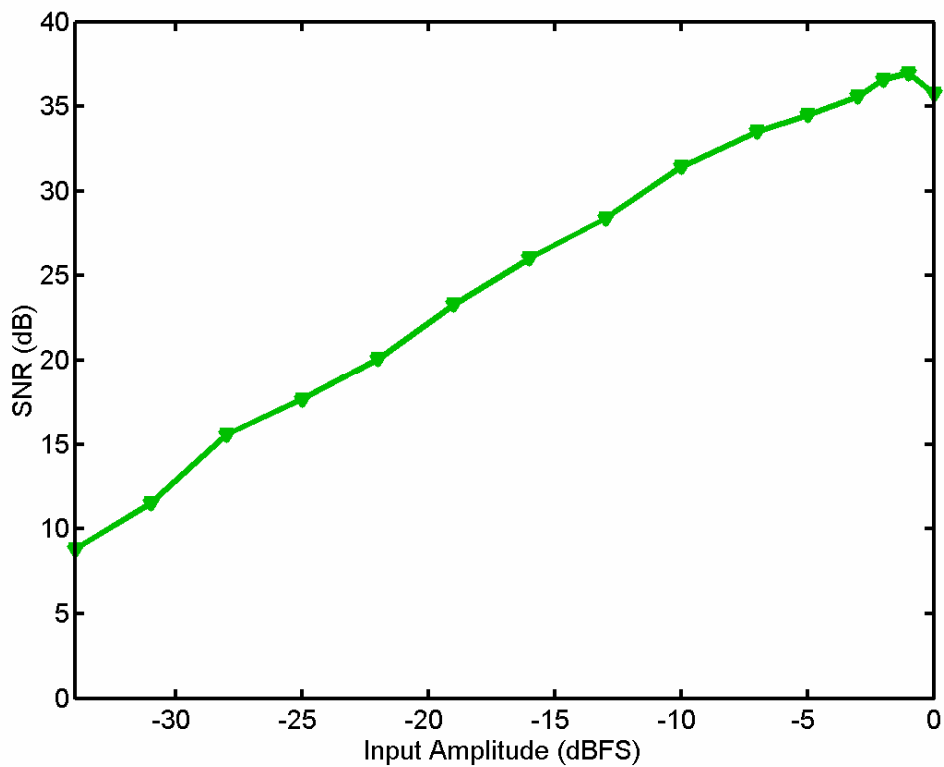


Figure 6.11 SNR vs. input amplitude with the 0.5GHz sinusoidal stimulus at 5GS/s in the test mode 3

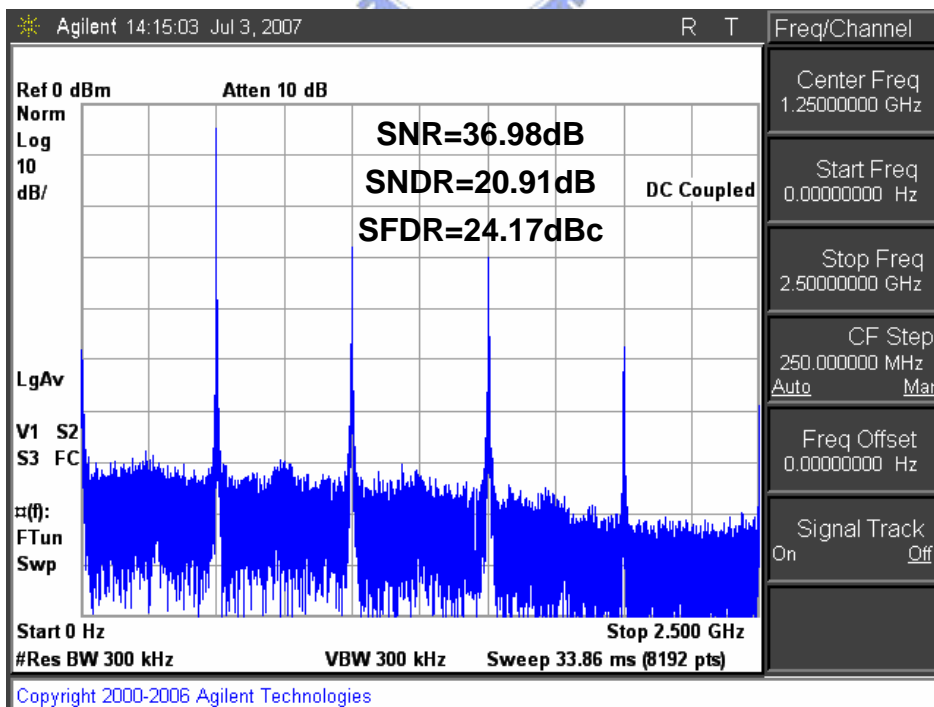


Figure 6.12 Measured output spectrum with the 0.5GHz, -1dBFS sinusoidal stimulus at 5GS/s in the test mode 3



rail 的大擺幅訊號在高頻時將很容易透過寄生電容和輸入訊號耦合，因此造成 Inter-Modulation。而 Inter-Modulation 產生的訊號會出現在  $m f_{clk} \pm n f_{in}$  頻率上，其中  $m$  和  $n$  為整數，且  $f_{clk} \pm f_{in}$  和  $f_{clk} \pm 2 f_{in}$  這些頻率的訊號功率會最大。然而訊號經過數位化轉換之後，頻譜會以  $f_{clk}$  的倍數重複重疊，又以  $f_{clk}/2$  對稱，因此  $f_{clk} \pm f_{in}$  的訊號折疊回 Nyquist 頻寬內後會落回輸入訊號  $f_{in}$  本身上，而  $f_{clk} \pm 2 f_{in}$  就都落在二階諧波頻率上。以輸入頻率為 0.5GHz 和時脈頻率 5GHz 為例，調變後即會產生  $5+0.5=5.5$  和  $5+0.5 \times 2=6$  GHz 之訊號，此兩訊號折回 Nyquist 頻寬內分別為 0.5GHz 和 1GHz，亦即是輸入訊號和二階諧波頻率。所以這一整組 ADC 和 DAC 資料轉換器對如同一混波器 (Mixer)，會將時脈訊號和輸入訊號耦合調變後再輸出。

接著同樣輸入 500.0305MHz、-1dBFS 的弦波訊號，但改變其時脈訊號頻率，結果如圖 Figure 6.13 所示。當取樣頻率從 2GS/s 增加至 6GS/s 時，SNR 幾乎都維持在定值，並沒有任何衰減的表現，直到增為 7GS/s 時由於雜訊突然倍增，SNR 才大幅下降。至於 SNDR 和 SFDR 則在 5GS/s 的速度以內皆隨著取樣頻率的增加而遞減，但到了 6GS/s 時的表現卻又比 5GS/s 時好一些，7GS/s 時則又繼續衰減，圖 Figure 6.14 可解釋此現象之原因。Figure 6.14 為測量 Figure 6.13 時的二三四階諧波失真對取樣頻率關係圖，單位是 dBc，從此圖可看到在 5GS/s 以前的二階諧波訊號會隨著取樣頻率增加而變大，但 5GS/s 以後卻是隨著頻率增加而減小。這是因為如同上面所述，造成二階諧波訊號的主要來源是時脈訊號和輸入訊號耦合調變所致，因此在 5GS/s 以前，隨著時脈訊號的頻率增加其和輸入訊號耦合調變的影響愈大，亦即產生的二階諧波訊號愈大；但在 5GS/s 以後，由於時脈頻率很高，Inter-Modulation 後產生的調變訊號將落在非常高頻處，此時可能已遠超過電路頻寬，所以折回來的二階諧波訊號會被衰減，愈高頻衰減愈多，因此 5GS/s 以後的二階訊號是會隨著時脈頻率增加而遞減，這也是

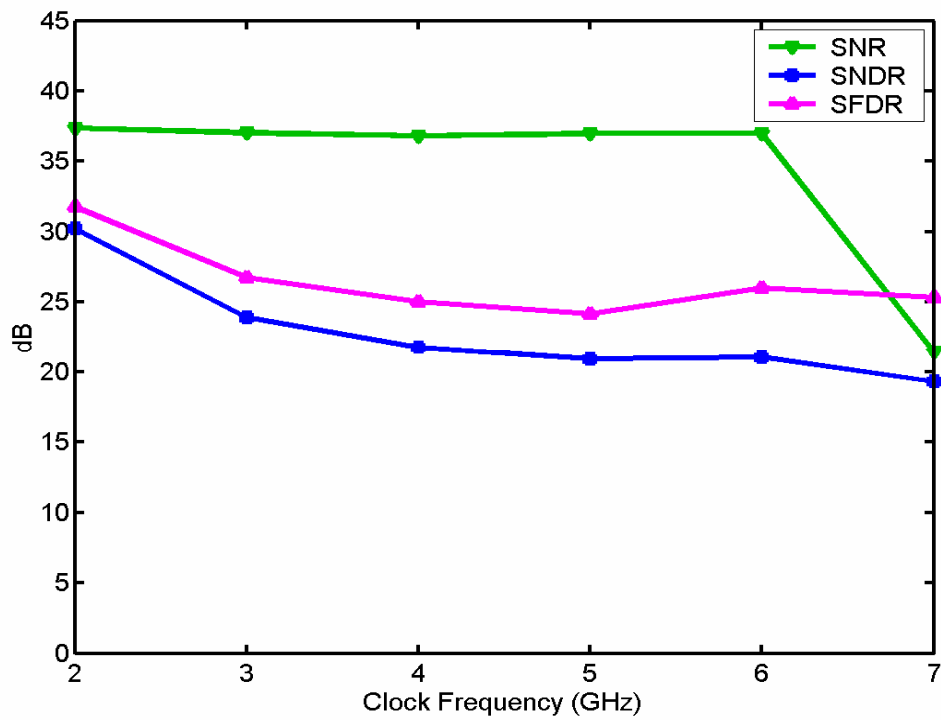


Figure 6.13 SNR, SNDR and SFDR vs. clock frequency with the 0.5GHz sinusoidal input in the test mode 3

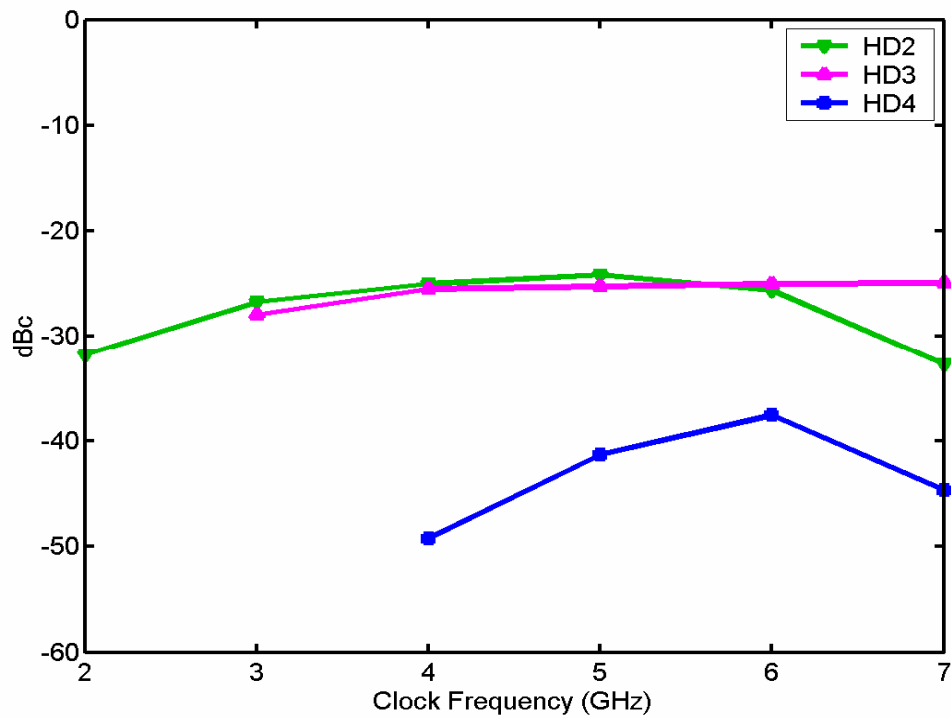


Figure 6.14 Harmonic distortion vs. clock frequency with the 0.5GHz sinusoidal input in the test mode 3

為什麼 6GS/s 時的 SNDR 和 SFDR 表現會比 5GS/s 好的原因。而三階諧波訊號是因為電路本身的非線性失真所造成，頻率愈高造成的影響愈嚴重，所以隨著取樣頻率的增加，三階諧波訊號會愈大，到 7GS/s 時雖然二階的訊號已被衰減很多，但三階訊號卻很大，主導此時的整個效能好壞。

若是再將取樣頻率降低至 1GS/s，則可得如下 Figure 6.15 之頻譜圖，此時的輸入頻率是 213.3MHz，測得之 SNR、SNDR 和 SFDR 分別高達 37 dB、36.74 dB 和 47.37 dBc。從圖中可看出此時的諧波訊號都非常小，非線性的諧波失真很少，表示在低速操作下其有良好之線性度，且沒有 Inter-Modulation，整個資料轉換器對有很好的效能表現，證明此組電路在低速時確實都可正常工作。

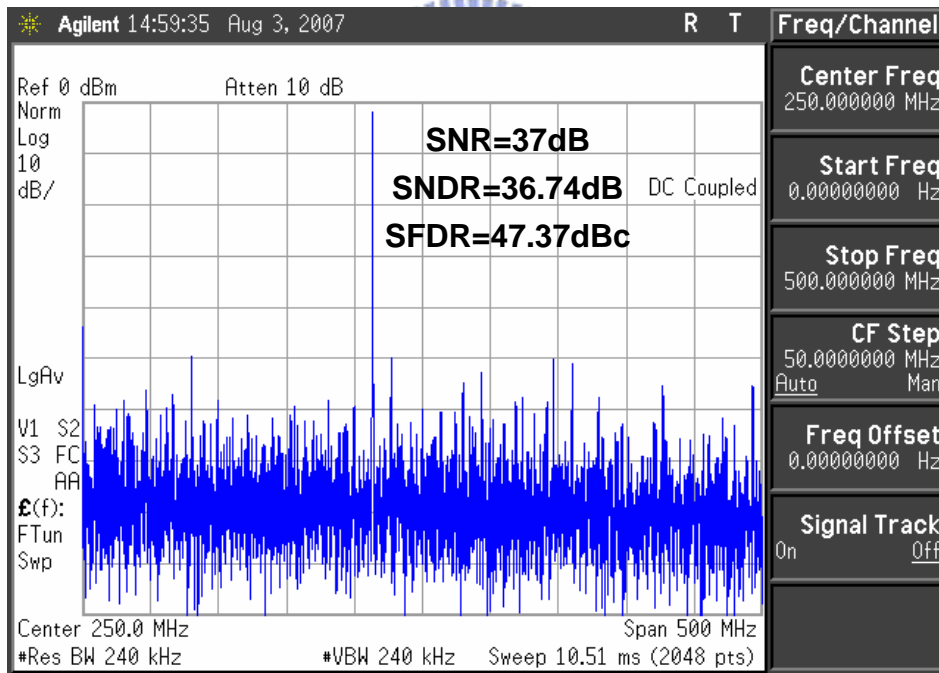


Figure 6.15 Measured output spectrum with the 213.3MHz sinusoidal stimulus at 1GS/s in the test mode 3

而在 5GS/s 的取樣頻率之下，將輸入訊號的頻率從 0.5GHz 逐漸增加到 2.5GHz，可測得 Figure 6.16 所示的動態參數對輸入頻率關係圖。如同在 5.3 節所述，由於受到 ZOH effect 的影響，輸出訊號的主 tone 功率值會隨著頻率的增加而被衰減，且此時二三階諧波訊號亦會隨著輸入頻率增加而變大，因此 SNR、SNDR 和 SFDR 便都會隨之下降。不過當輸入頻率在約 2.3GHz 以內其 SNR 都可維持在 30dB 以上。

Figure 6.17 所示即為測得之輸出訊號主 tone 功率值和 SNR 對輸入頻率關係圖，此圖證明 SNR 確實受到 ZOH effect 之影響，輸出的主 tone 功率值會隨著輸入頻率增加而不斷衰減，這是造成 SNR 下降的主要原因。

因此，接下來就依照前述 5.3 節之討論去對這些頻譜做 ZOH effect 的補償。以輸入為 500.0305MHz、-1dBFS 時為例，補償後得到的輸出頻譜如圖 Figure 6.18 所示。和原本的頻譜圖 Figure 6.12 相比，原本 Figure 6.12

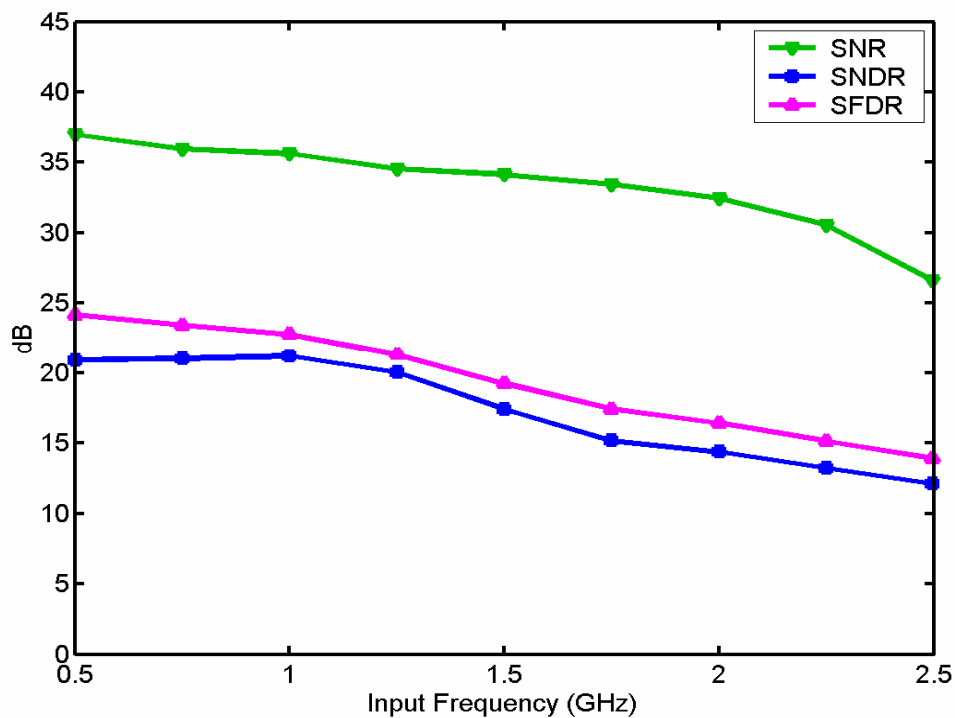


Figure 6.16 Measured SNR, SNDR, and SFDR vs. input frequency at 5GS/s in the test mode 3

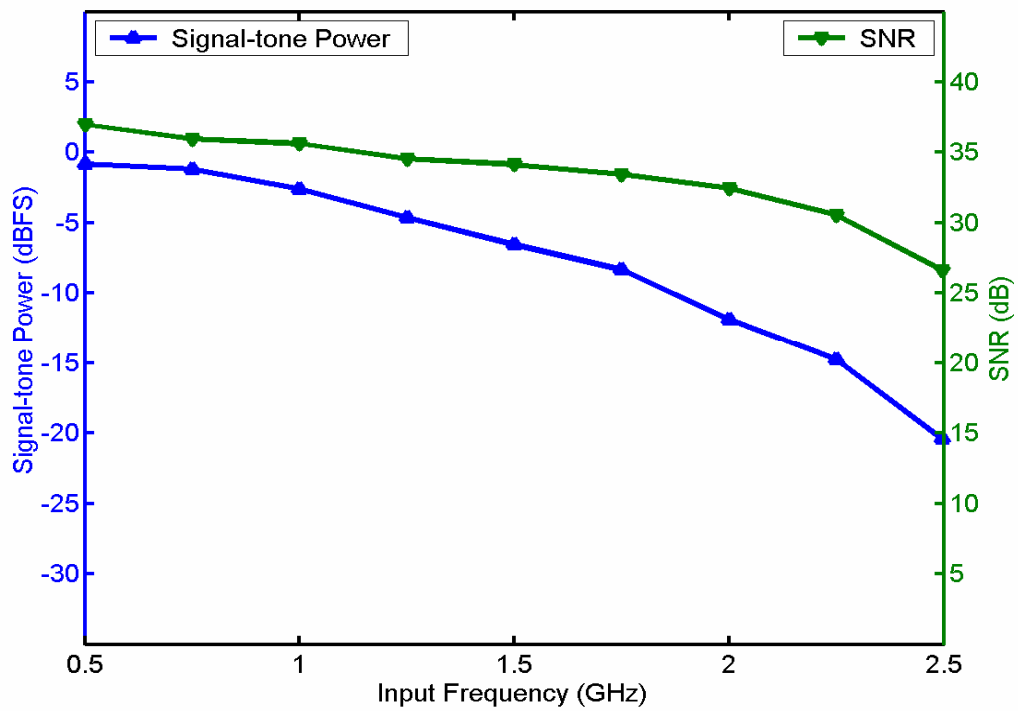


Figure 6.17 Signal-tone power and SNR vs. input frequency at 5GS/s in the test mode 3

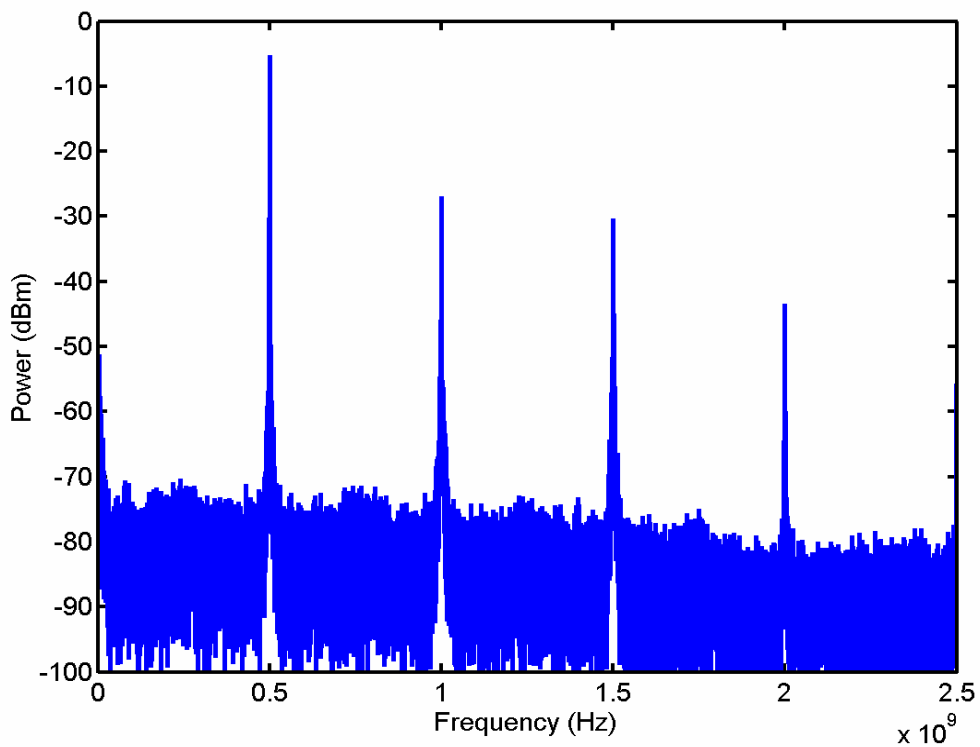


Figure 6.18 Compensated output spectrum with the 0.5GHz, -1dBFS sinusoidal stimulus at 5GS/s in the test mode 3

頻譜的 noise floor 有很明顯的低通濾波效應，隨著頻率愈高其 noise 愈低。但透過 ZOH effect 補償過後的頻譜 Figure 6.18，其低通濾波的效應相對就變得比較小，隨著頻率增加，noise floor 降低的幅度較為平緩。顯然經過補償後的 noise floor 還是會有低通濾波的現象，這表示除了 ZOH effect 的影響之外，還有其他諸如電路、儀器、或測試環境等因素會造成低通濾波之效應。而整個所有輸入頻率的 SNR 補償結果顯示於 Figure 6.19 中，此時如同預測 ADC 之最差情況，從圖中可看到補償後之 SNR 掉 3dB 點的頻寬約在 2.25GHz。

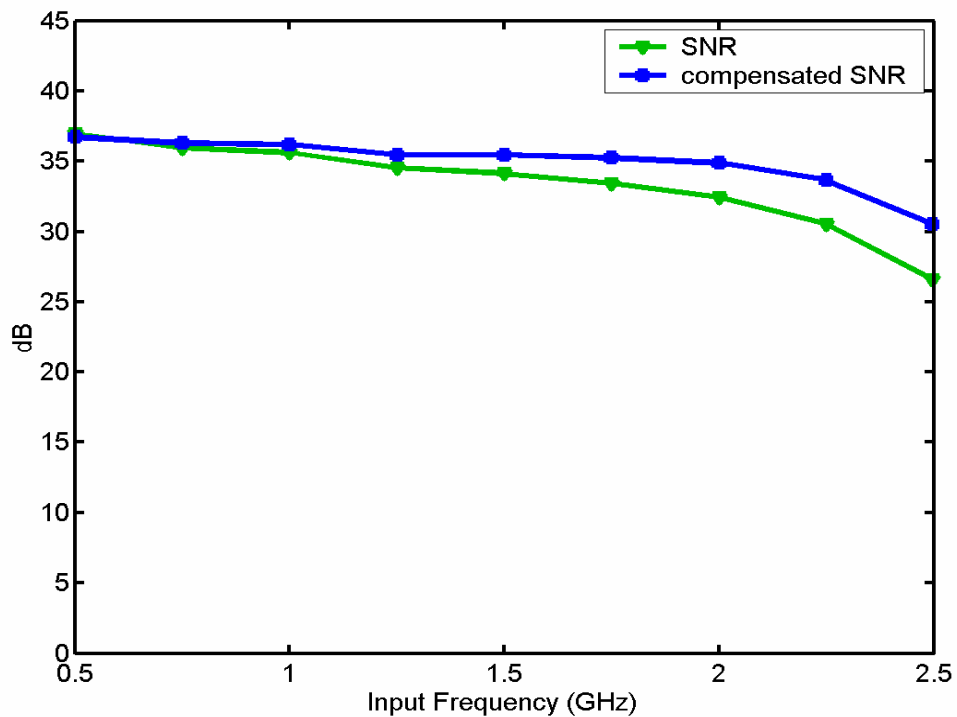


Figure 6.19 Compensated SNR vs. input frequency at 5GS/s in the test mode 3

在量測 Figure 6.13 時可發現，當取樣頻率為 6GS/s 時的效能表現和 5GS/s 時的差不多，甚至比 5GS/s 的還好一些，表示此資料轉換器對電路可更進一步超頻操作在 6GHz 的高速中。因此在 6GS/s 取樣頻率下，同樣輸入 0.5GHz、-1dBFS 的弦波訊號，可測得輸出頻譜如下圖 Figure 6.20 所示。此時 SNR 仍有 36.977 dB，但同樣因為二階和三階的諧波失真影響，SNDR 約為 21.05 dB，SFDR 為 26.03 dBc。

而改變增加輸入頻率可得 Figure 6.21 顯示之 6GS/s 下的動態參數對輸入頻率關係圖，其 SNR、SNDR 和 SFDR 同樣都會隨頻率增加而下降，但在輸入頻率為 2.4GHz 以內時 SNR 仍然可達 30dB 以上。

Figure 6.22 為 6GS/s 時量得的輸出訊號主 tone 功率值和 SNR 對輸入頻率關係圖，此時同樣受 ZOH effect 影響，輸出的主 tone 功率值會隨頻率增加而遞減。而 Figure 6.23 為補償過後之結果，其 SNR 的-3dB 點頻寬變成在 2.3GHz 附近。

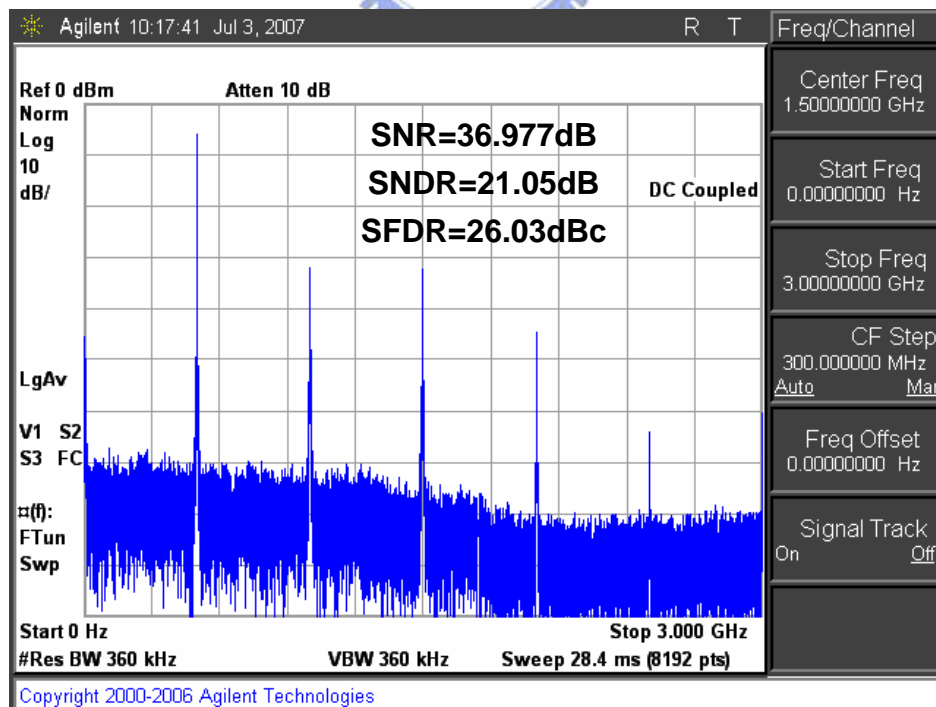


Figure 6.20 Measured output spectrum with the 0.5GHz, -1dBFS sinusoidal stimulus at 6GS/s in the test mode 3

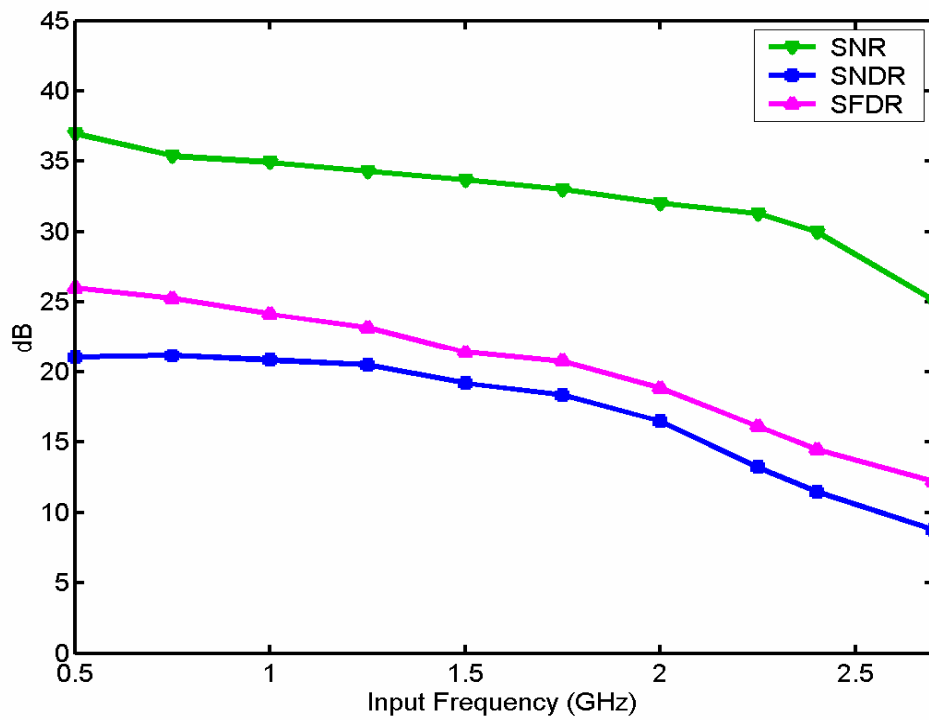


Figure 6.21 Measured SNR, SNDR, and SFDR vs. input frequency at 6GS/s in the test mode 3

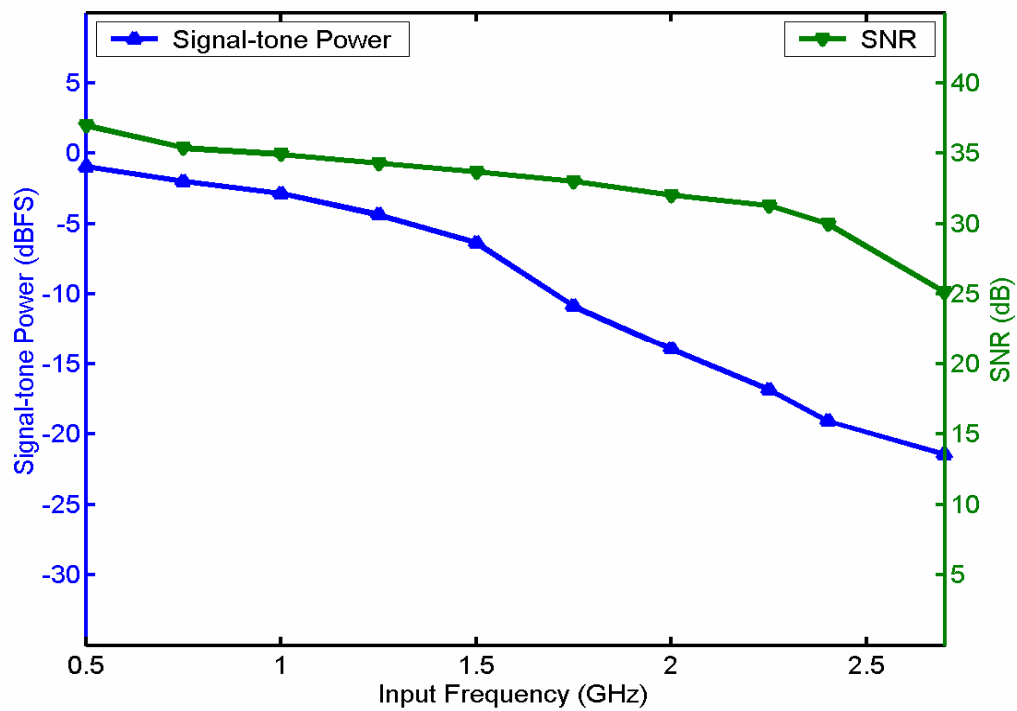


Figure 6.22 Signal-tone power and SNR vs. input frequency at 6GS/s in the test mode 3



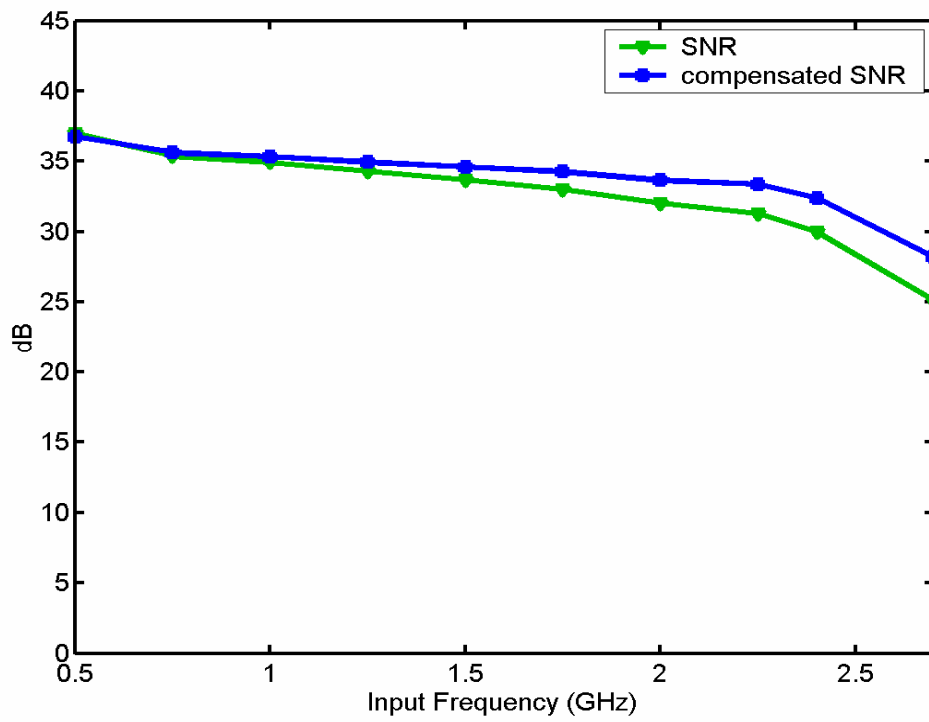
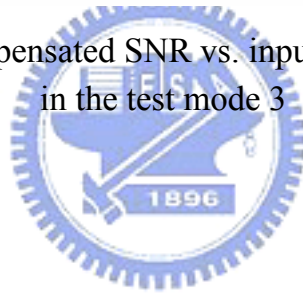


Figure 6.23 Compensated SNR vs. input frequency at 6GS/s in the test mode 3



## 6.4 Noise Measurement

Figure 6.24 顯示在測試模式三下當 Input 和 Clock 都關閉時得到之輸出頻譜圖，此亦即為量測環境及儀器本身之雜訊。而 Figure 6.25 則是 Clock 在 5GS/s 的取樣頻率下，但輸入端關閉沒有訊號時的輸出頻譜，很明顯的此頻譜的 noise floor 和 Figure 6.24 的相同，表示 Clock 訊號在此電路中並未造成額外之雜訊，亦或是說 Clock 造成的雜訊比量測環境或機台本身的雜訊還要小。且比較此頻譜和 Figure 6.12 之頻譜，可發現 Figure 6.12 頻譜其 noise floor 要比 Figure 6.25 的高，代表量測 Figure 6.12 頻譜時的雜訊確實是由 ADC、DAC 電路的量化雜訊所產生，其 SNR 之限制確實是由量化雜訊決定，因此證明可藉由 ADC 和 DAC 的解析度來提升 SNR 值。

Figure 6.26 則是當 Clock 關閉但卻輸入 0.5GHz 弦波訊號時的輸出頻譜圖，而 Figure 6.27 是輸入改為最高頻的 2.5GHz 時得到之頻譜。此兩頻譜的 noise floor 同樣和 Figure 6.24 一樣，且無任何訊號 tone 出現在頻譜中，表示在 Clock 關閉的情況之下，輸入訊號無論是從低速的 0.5GHz 還是到高速的 2.5GHz 都不會有 leakage 或 coupling 到輸出端。

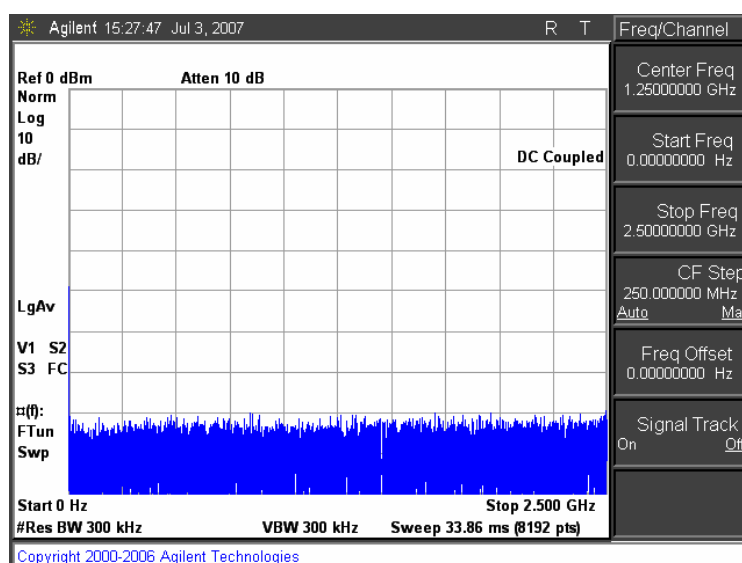


Figure 6.24 Measured output spectrum when input OFF and clock OFF

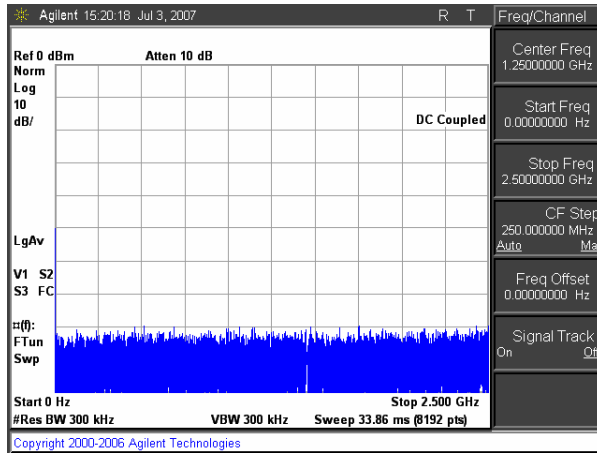


Figure 6.25 Measured output spectrum when input OFF at 5GS/s

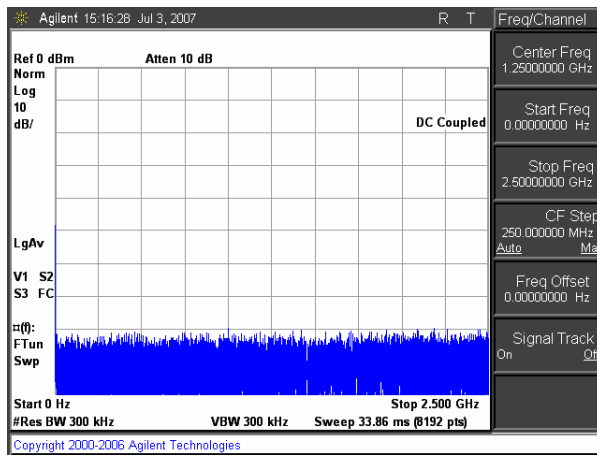


Figure 6.26 Measured output spectrum with the 0.5GHz sinusoidal stimulus but clock OFF

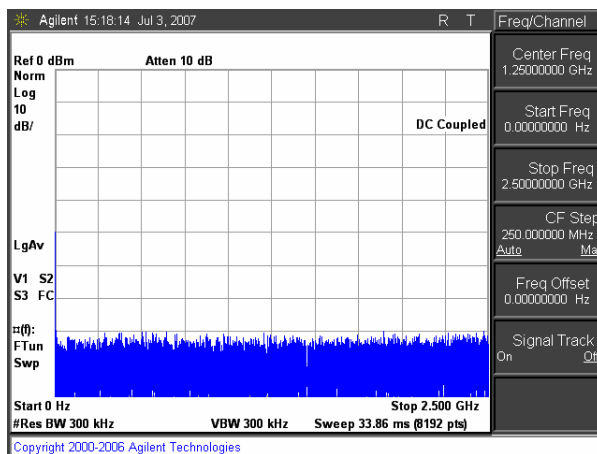


Figure 6.27 Measured output spectrum with the 2.5GHz sinusoidal stimulus but clock OFF

## 6.5 Power Dissipation

整個測試晶片的功率消耗如下表 Table 6.1 所示，在取樣頻率為 5GS/s、1.2V 的 supply 電壓下，ADC 需消耗 655mW，DAC 則只消耗 115mW。

Table 6.1 Power consumption of the full test chip

Mean Power (mW)	ADC	DAC	Total
Analog	468	20	488
Digital	187	95	282
Total	655	115	770

## 6.6 Performance Summary

此 ADC 與 DAC 資料轉換器對的效能表現總結於下表 Table 6.2。

Table 6.2 Performance summary

Technology	TSMC 0.13 $\mu$ m CMOS Mixed-Signal RF	
Supply voltage	1.2 V	
Resolution	6 bits	
Sampling rate	5 GS/s	
	ADC	DAC
DNL (LSB)	-0.16~0.13	-0.12~0.09
INL (LSB)	-0.44~0.40	-0.16~0.15
Power consumption	655 mW	115 mW
SNR @ $f_{in}=0.5\text{GHz}$ $f_{clk}=5\text{GS/s}^*$	36.98 dB	
SNR @ $f_{in}=0.5\text{GHz}$ $f_{clk}=6\text{GS/s}^*$	36.977 dB	

\* measured in the test mode 3

## 6.7 Benchmark of the ADC

Table 6.3 是蒐集近幾年於國際期刊或會議論文所發表之有操作在 GHz 以上的 6-bit ADC，和我們所設計之 ADC 相比，其可操作在 6 GHz，可說是目前所見速度最快的 6-bit ADC。而以消耗功率除以取樣頻率為基準來比較，可發現我們的 ADC 每 GHz 所需消耗之功率很少，只有 109mW。但其中最少的只消耗 55mW [39]，不過該 ADC 是使用 90nm 之製程，且是採用 Two-step 的架構以及切換式電容（Switched capacitor）的輸入級來做電壓比較，這些方式都將使得 ADC 的消耗功率較低，但相對的其可達到之最快操作頻率較慢，無法符合我們所需要的規格要求。

Table 6.3 Benchmark of state-of-the-art 6-bit ADCs

Type	JSSC 02 [25]	ISSCC 03 [36]	VLSI 04 [37]	JSSC 05 [38]	ISSCC 06 [39]	This work
Process	0.18 $\mu$ m	0.18 $\mu$ m	0.13 $\mu$ m	0.13 $\mu$ m	90nm	0.13 $\mu$ m
Resolution	6 bits	6 bits	6 bits	6 bits	6 bits	6 bits
Sampling rate	1.6 GHz	2 GHz	4 GHz	1.2 GHz	1 GHz	6 GHz
Power	340mW	310mW	990mW	160mW	55mW	655mW
Power/GHz	212.5mW	155mW	247.5mW	133.3mW	55mW	109mW

# Chapter 7

## Conclusion and Future Works

本論文在不使用 time-interleaved 的架構下提出一 5GS/s 6-bit 的 ADC 與 DAC 資料轉換器對之設計。在 ADC 的電路設計當中，T/H 電路使用了 turn-off dynamic MOS 的寄生電容來消除 hold-mode feedthrough。而比較器陣列是利用 averaging 和 interpolating 技巧來降低比較器的 offset 及輸入端的負載寄生電容。其中前置放大器是參考 active-feedback 的架構，可有效提升其增益頻寬積。數位電路的部分則是採用 CML 的邏輯閘，可在高速的操作頻率下大幅抑制 power-ground bouncing。另外也在 Clock 訊號路徑上加入 intentional timing skew buffers 來做 wave-pipelining，使得 Latch 能在如此高速的取樣頻率下擷取到正確的資料。至於 DAC 電路設計部份，Hybrid Thermometer Decoder 的應用可大幅縮減開關及電流源的數目，使其寄生電容和 Layout 複雜度降低。其中電流源是採用疊接方式設計，能擁有較大的輸出阻抗。最後為了要能在如此高速的情況下對此晶片進行量測，我們又額外設計一 DfT 電路，提供三種測試模式。其中測試模式三是將 ADC 和 DAC 串接起來，可在全速下進行量測。同時並可透過 ZOH 補償之運算，推測得知此 ADC 在最遭情況下的效能表現。

此組 ADC 與 DAC 將應用於晶片系統內之串列傳輸鏈結。雖然我們在量測時為了測試可行性之考量，是把 ADC 串接 DAC；但實際應用上是將 DAC 置於發送端、ADC 置於接收端，所以是 DAC 串接 ADC。此時 DAC 內的輸出阻抗是  $50\Omega$ ，並上 ADC 的輸入阻抗同樣是  $50\Omega$  後，DAC 的輸出電流源所看到之負載仍為  $50//50=25\Omega$ ，符合我們的設計。

量測結果顯示，此組資料轉換器對的 DNL 都小於 $\pm 0.2$  LSB，INL 也都小於 $\pm 0.5$  LSB 以內。在 5GS/s 的取樣頻率下，輸入 0.5GHz 弦波訊號，可得 36.98 dB 的 SNR，但其 SNDR 和 SFDR 分別僅有 20.91 dB 和 24.17 dBc。不過此組資料轉換器對事實上可操作到 6GS/s 的高速取樣頻率。在 6GS/s 時同樣輸入 0.5GHz 的訊號，則輸出的 SNR 同樣可高達 36.977 dB，SNDR 也只有 21.05 dB，SFDR 為 26.03 dBc。

使用的製程是 TSMC 0.13 $\mu$ m CMOS Mixed-Signal RF process，ADC 和 DAC 所佔的面積分別為  $0.56 \times 0.7 \text{mm}^2$  和  $0.28 \times 0.2 \text{mm}^2$ 。在 supply 電壓為 1.2V 下，整個晶片總功率消耗 770mW。

此組 ADC 和 DAC 資料轉換器對的 SNDR 和 SFDR 之所以會表現的不盡理想，是因為我們的 T/H 電路會使得如此高速又大擺幅的時脈訊號和輸入訊號很容易造成 Inter-Modulation，因而會在諧波頻率上產生相當大的失真訊號，嚴重影響到 SNDR 和 SFDR 值。所以未來可朝高速的 T/H 電路進行研究，期望能不需使用 rail-to-rail 的時脈訊號即可驅動其工作，若是如此能有效抑制調變失真、降低諧波訊號，則此組資料轉換器對之效能將更加完美。

# References

- [1] M. Ghoneima, Y. Ismail, M. Khellah, J. Tschanz, and V. De, "Serial-link bus: a low-power on-chip bus architecture," in *Proc. IEEE/ACM International Conf. Computer-Aided Design (ICCAD)*, pp. 541–546, Nov. 2005.
- [2] W. Cheng, W. Ali, M.-J. Choi, K. Liu, T. Tat, D. Devendorf, L. Linder, and R. Stevens, "A 3b 40GS/s ADC-DAC in 0.12 $\mu$ m SiGe," in *ISSCC Dig. Tech. Papers*, pp. 262–263, Feb. 2004.
- [3] J. Lee, P. Roux, U.-V. Koc, T. Link, Y. Baeyens, and Y.-K. Chen, "A 5-b 10-GSample/s A/D converter for 10-Gb/s optical receivers," *IEEE J. Solid-State Circuits*, vol. 39, no. 10, pp. 1671–1679, Oct. 2004.
- [4] P. Schvan, D. Pollex, S.-C. Wang, C. Falt, and N. Ben-Hamida, "A 22GS/s 5b ADC in 0.13 $\mu$ m SiGe BiCMOS," in *ISSCC Dig. Tech. Papers*, pp. 2340–2349, Feb. 2006.
- [5] P. Schvan, D. Pollex, and T. Bellingrath, "A 22GS/s 6b DAC with integrated digital ramp generator," in *ISSCC Dig. Tech. Papers*, pp. 122–588, Feb. 2005.
- [6] D. Baranauskas and D. Zelenin, "A 0.36W 6b up to 20GS/s DAC for UWB wave formation," in *ISSCC Dig. Tech. Papers*, pp. 2380–2389, Feb. 2006.
- [7] C.-K. K. Yang, V. Stojanovic, S. Modjtahedi, M. A. Horowitz, and W. F. Ellersick, "A serial-link transceiver based on 8GSample/s A/D and D/A converters in 0.25- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1684–1692, Nov. 2001.
- [8] K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, R. Jewett, J. Pernillo, C. Tan, and A. Montijo, "A 20GS/s 8b ADC with a 1MB memory in 0.18 $\mu$ m CMOS," in *ISSCC Dig. Tech. Papers*, pp. 318–496, Feb. 2003.
- [9] A. Varzaghani and C.-K. K. Yang, "A 6-GSamples/s multi-level decision feedback equalizer embedded in a 4-bit time-interleaved pipeline A/D converter," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 935–944, Apr. 2006.
- [10] S. Gupta, M. Choi, M. Inerfield, and J. Wang, "A 1GS/s 11b time-interleaved ADC in 0.13 $\mu$ m CMOS," in *ISSCC Dig. Tech. Papers*, pp. 2360–2369, Feb. 2006.



- [11] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, New York: Oxford University Press, 2002.
- [12] D. A. Johns and K. Martin, *Analog Integrated Circuit Design*, New York: John Wiley & Sons, Inc., 1997.
- [13] W. P. Burleson, M. Ciesielski, F. Klass, and W. Liu, "Wave-pipelining: a tutorial and research survey," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 6, no. 3, pp. 464–474, Sep. 1998.
- [14] A. G. W. Venes and R. J. van de Plassche, "An 80-MHz, 80-mW, 8-b CMOS folding A/D converter with distributed track-and-hold preprocessing," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1846–1853, Dec. 1996.
- [15] P. Vorenkamp and J. P. M. Verdaasdonk, "Fully bipolar, 120-Msample/s 10-b track-and-hold circuit," *IEEE J. Solid-State Circuits*, vol. 27, no. 7, pp. 988–992, July 1992.
- [16] X. Li, W.-M. L. Kuo, Y. Lu, R. Krithivasan, J. D. Cressler, and A. J. Joseph, "A 5-bit, 18GS/sec SiGe HBT track-and-hold amplifier," in *Proc. IEEE Compound Semiconductor Integrated Circuit (CSIC) Symposium*, pp. 105–108, Oct. 2005.
- [17] Y. Borokhovych, H. Gustat, B. Tillack, B. Heinemann, Y. Lu, W.-M. L. Kuo, X. Li, R. Krithivasan, and J. D. Cressler, "A low-power, 10Gs/s track-and-hold amplifier in SiGe BiCMOS technology," in *Proc. European Solid-State Circuits Conf. (ESSCIRC)*, pp. 263–266, Sep. 2005.
- [18] Y. Lu, W.-M. L. Kuo, X. Li, R. Krithivasan, J. D. Cressler, Y. Borokhovych, H. Gustat, B. Tillack, and B. Heinemann, "An 8-bit 12GSample/sec SiGe track-and-hold amplifier," in *Proc. Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, pp. 148–151, Oct. 2005.
- [19] A. Boni, M. Parenti, and D. Vecchi, "Low-power GS/s track-and-hold with 10-b resolution at Nyquist in SiGe BiCMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, no. 6, pp. 429–433, June 2006.
- [20] D. Jakonis and C. Svensson, "A 1GHz linearized CMOS track-and-hold circuit," in *Proc. IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 5, pp. 577–580, May 2002.
- [21] A. H. Ismail and M. I. Elmasty, "Analog-to-digital conversion for SONET OC-192," in *Proc. IEEE International SOC Conf.*, pp. 41–44, Sep 2004.

- [22] K. Sushihara, H. Kimura, Y. Okamoto, K. Nishimura, and A. Matsuzawa, "A 6b 800MSample/s CMOS A/D converter," in *ISSCC Dig. Tech. Papers*, pp. 428–429, Feb. 2000.
- [23] G. Geelen, "A 6b 1.1GSample/s CMOS A/D converter," in *ISSCC Dig. Tech. Papers*, pp. 128–129, Feb. 2001.
- [24] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847–1858, Dec. 2001.
- [25] P. C. S. Scholtens and M. Vertregt, "A 6-b 1.6-Gsample/s flash ADC in 0.18- $\mu$ m CMOS using averaging termination," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1599–1609, Dec. 2002.
- [26] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Boston, MA: McGraw-Hill, 2001.
- [27] S. Galal and B. Razavi, "10-Gb/s limiting amplifier and laser/modulator driver in 0.18- $\mu$ m CMOS technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2138–2146, Dec. 2003.
- [28] E. M. Cherry and D. E. Hooper, "The design of wideband transistor feedback amplifier," in *Proc. Inst. Electr. Eng.*, vol. 110, no. 2, pp. 375–389, Feb. 1963.
- [29] J. A. Mataya, G. W. Haines, and S. B. Marshall, "IF amplifier using  $C_c$  compensated transistors," *IEEE J. Solid-State Circuits*, vol. sc-3, no. 4, pp. 401–407, Dec. 1968.
- [30] J. M. Musicer and J. Rabaey, "MOS current mode logic for low power, low noise CORDIC computation in mixed-signal environments," in *Proc. International Symposium on Low Power Electronics and Design (ISLPED)*, pp. 102–107, 2000.
- [31] C. S. Vaucher, I. Ferencic, M. Locher, S. Sedvallson, U. Voegeli, and Z. Wang, "A family of low-power truly modular programmable dividers in standard 0.35- $\mu$ m CMOS technology," *IEEE J. Solid-State Circuits*, vol. 35, no. 7, pp. 1039–1045, July 2000.
- [32] M. Mizuno, M. Yamashina, K. Furuta, H. Igura, H. Abiko, K. Okabe, A. Ono, and H. Yamada, "A GHz MOS adaptive pipeline technique using MOS current-mode logic," *IEEE J. Solid-State Circuits*, vol. 31, no. 6, pp. 784–791, June 1996.

- [33] K. Uyttenhove and M. S. J. Steyaert, "A 1.8-V 6-bit 1.3-GHz flash ADC in 0.25- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1115–1122, July 2003.
- [34] A. V. den Bosch, M. Steyaert, and W. Sansen, "SFDR-bandwidth limitations for high speed high resolution current steering CMOS D/A converters," in *Proc. IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, vol. 3, pp. 1193–1196, Sep. 1999.
- [35] A. V. Oppenheim and R. W. Schaffer, *Discrete-Time Signal Processing*, New Jersey: Prentice Hall, 1999.
- [36] X. Jiang, Z. Wang, and M. F. Chang, "A 2GS/s 6b ADC in 0.18 $\mu$ m CMOS," in *ISSCC Dig. Tech. Papers*, pp. 322–497, Feb. 2003.
- [37] C. Paulus, H.-M. Bluthgen, M. Low, E. Sicheneder, N. Bruls, A. Courtois, M. Tiebout, and R. Thewes, "A 4GS/s 6b flash ADC in 0.13 $\mu$ m CMOS," in *Symposium on VLSI Circuits*, pp. 420–423, June 2004.
- [38] C. Sandner, M. Clara, A. Santner, T. Hartig, and F. Kuttner, "A 6-bit 1.2-GS/s low-power flash-ADC in 0.13- $\mu$ m digital CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1499–1505, July 2005.
- [39] P. M. Figueiredo, P. Cardoso, A. Lopes, C. Fachada, N. Hamanishi, K. Tanabe, and J. Vital, "A 90nm CMOS 1.2V 6b 1GS/s two-step subranging ADC," in *ISSCC Dig. Tech. Papers*, pp. 2320–2329, Feb. 2006.