

國立交通大學

電機與控制工程學系

碩士論文

以TSMC .35um CMOS 製程設計及實現一
弛緩震盪器



Design and Implementation of a Relaxation Oscillator

Using TSMC .35um CMOS Process

研究生：王志全

指導教授：鄭木火 博士

中華民國九十七年七月

以 TSMC .35um CMOS 製程設計及實現一

弛緩震盪器

Design and Implementation of a Relaxation Oscillator

Using TSMC .35um CMOS Process

研究生：王志全
指導教授：鄭木火 博士

Student : Chih-Chuan Wang
Advisor : Dr. Mu-Huo Cheng

國立交通大學

電機與控制工程學系



Submitted to Department of Electrical and Control Engineering

College of Electrical and Computer Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

July 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年七月

以TSMC .35um CMOS 製程設計及實現一 弛緩震盪器

研究生: 王志全

指導教授: 鄭木火博士

國立交通大學電機與控制學系

中文摘要

本論文以 TSMC .35um CMOS 製程實現一輸出為 1MHz 之弛緩震盪器, 為實現微機電電容式加速度規內的震盪器。整個加速度規的架構, 前端以 MEMS 的結構感測震動, 而後端則是以交換電容的電路, 將感測到的電容變化轉換為電壓變化, 而交換電容的電路, 就需要做時序控制, 因而需要一個震盪器以產生時序, 也就是本論文的研究目的。

為了實現一個震盪器, 於是探討了環式震盪器、LC 震盪器以及弛緩 (relaxation) 震盪器等數種震盪器形式, 經過分析其實現難易度以及所需規格之後, 選取結構最簡單的弛緩震盪器來實現。

原本選用的弛緩震盪器內含一比較器及兩個電阻, 其後又改以史密特觸發器取代該部分, 使得電路實現起來更小; RC 充放電的部份, 電容值是固定的, 而以一組傳輸閘取代了電阻, 其導通者工作於飽和區以提供較大的充放電電流; 該電路做了兩個外接的控制電壓, 使得晶片製成之後, 透過外部電壓的調整, 可以分別加快或減慢充電及放電的速度, 以確實輸出 1MHz 的頻率提供後續交換電容所需之時序。

實現過程包含了設計 MOS 的長寬比以形成一史密特觸發器、其觸發準位之分析, 以及驗證在外部電壓的調整下, 在 tt、ff、ss、fs、sf 各個角落都能達到至少 $0.5MHz \sim 2MHz$ 範圍的震盪頻率; 並於電路佈局後, 抽取出所有的寄生電阻電容, 模擬在 tt、ff、ss、fs、sf 各個角落都能調整出 $0.5MHz \sim 2MHz$ 的震盪頻率; 其後將晶片送往 CIC 製作, 送製回來後的量測結果, 可以確實輸出 1MHz 的震盪波形。

關鍵詞: 磁滯, 史密特觸發器, 弛緩, 震盪器



Design and Implementation of a Relaxation Oscillator

Using TSMC .35um CMOS Process

Student: Chih-Chuan Wang Advisor: Dr. Mu-Huo Cheng

Institute of Electrical and Control Engineering
National Chiao-Tung University

Abstract

This thesis uses the TSMC .35um CMOS process to design and implement a relaxation oscillator of 1MHz for MEMS capacitive accelerometer. The accelerometer consists of a capacitive sensor fabricated via the MEMS design and a sensor circuit usually designed with a switching capacitor circuit which converts the capacitance variation into the voltage variation. The switching capacitor circuit needs a good control of time sequence and thus demands an oscillator to generate the clock signals; the design and implementation of the oscillator is the focus of this thesis.

We first survey several types of oscillators including ring oscillators, LC oscillators and relaxation oscillators; we evaluate their performances and the simplicity of realization. Hence the simplest relaxation oscillator is chosen for implementation in this thesis.

To simplify the circuit complexity, we use a Schmitt trigger to replace conventional circuits with one comparator and two resistors connected in positive feedback scheme. To adjust the oscillation frequency, in the RC pair for charging and discharging we fix the capacitance value and apply a transmission gate as the resistor such that two external control voltages can be used for controlling the charging and discharging current. Then, the oscillation frequency can

be controlled by these voltages to provide the switching capacitor circuit with an accurate $1MHz$ clock.

The critical steps in the implementation of the oscillator includes the design of W/L ratios in MOS transistors to form the Schmitt trigger, the analysis of the trigger levels of the Schmitt trigger, and the verification of at least an oscillator output with frequency range of $0.5MHz \sim 2MHz$ at all five corners(tt,ff,ss,fs,and sf) after tuned by external control voltages. The same work is also applied after the layout and its circuit extraction have been made to ensure that the oscillator can export an oscillation frequency range of $0.5MHz \sim 2MHz$ at all the corners. The design has been fabricated via CIC; the measure results show that the oscillator functions correctly and can output a clock with $1MHz$ oscillation frequency.

Keywords: Hysteresis, Schmitt trigger, relaxation, oscillator



致謝

碩士學業得以順利完成，最感謝的是我的指導教授鄭木火老師，在學習期間的諄諄教誨，以及對學生的包容。另外，感謝論文口試委員中，系上的蘇朝琴老師、清華的方維倫老師以及明新的莊正老師在口試時的指導，使本論文更臻完善。

還要感謝學習過程中，浩緯、俊維、啓峰、信良幾位學長的提攜與關照，以及嘉明、皓淵、衍禎、宏揚、佳華這些同學在修課過程中的從旁協助，在求學過程中無形滋長的友誼，以及讓我很懷念的，在兩任室友哲倫、又勳陪伴下所度過的宿舍生活。

當然，感謝家人在這段期間內各方面無條件的包容與支持，讓我能夠無後顧之憂的念書。而在付梓完稿的最後，僅以全部的光環與榮耀獻給陪伴我兩年，我所心愛卻似乎已遠走的梅子。



目錄

中文摘要	I
英文摘要	III
致謝	V
目錄	VI
表目錄	VIII
圖目錄	IX
1 簡介	1
1.1 研究動機	1
1.2 論文架構	1
2 各種震盪器的回顧	3
2.1 震盪器系統之基本觀念	3
2.2 環式震盪器	5
2.3 LC震盪器	14
2.3.1 交叉耦合震盪器 Crossed-Coupled Oscillator	18
2.3.2 Colpitts震盪器	19
2.4 弛緩震盪器	23
2.4.1 R-C弛緩震盪器	23
2.4.2 定電流震盪器	28



3	實現弛緩震盪器	33
3.1	微機電電容式加速度規簡介	33
3.2	弛緩震盪器電路及分析	34
3.2.1	電路概念	34
3.2.2	實作之電路	36
3.3	電路佈局	39
3.4	模擬結果	40
3.5	晶片量測結果	41
4	結論	48
	參考文獻	49



表目錄

3.1 經外部電壓調整後可得不同之震盪頻率 38



圖目錄

2.1	回授系統	4
2.2	震盪系統隨著時間的發展	4
2.3	不同回授觀點的震盪系統	5
2.4	單級回授	6
2.5	兩個極點的回授系統	6
2.6	兩個極點的回授系統外加一次訊號反轉	7
2.7	兩個極點系統的迴路增益特性	7
2.8	三階的環式震盪器	8
2.9	三階環式震盪器的波形	9
2.10	三階環式震盪器的線性模型	11
2.11	三階環式震盪器在不同增益下的極點位置	11
2.12	CMOS 反相器作成的環式震盪器	12
2.13	當其中一個節點以VDD 作為起始的環式震盪器的波形	12
2.14	(a) 五階的單端輸出環式震盪器 (b) 四階的差動環式震盪器	13
2.15	四階差動環式震盪器各節點的波形	14
2.16	(a) 理想與 (b) 實際的 LC tanks	15
2.17	將串聯組合轉換為並聯組合	15
2.18	把一個tank 轉換為三個並聯的元件	16
2.19	LC tank 的 (a) 大小 (b) 相位與頻率的關係圖	17
2.20	(a) tuned gain stage, (b) 將 (a) 的電路做回授	17

2.21	兩個tuned stages 組成的回授電路	18
2.22	圖 2.21 電路的迴路增益特性	18
2.23	(a) 圖 2.21 的另一種畫法 (b) 外加尾電流源以降低對供電的敏感度 . . .	19
2.24	(a) 汲極回授至源極的 tuned stage (b) 外加輸入電流以計算閉迴路增益	20
2.25	將圖 2.24 (b) 改成外加輸入電壓以計算閉迴路增益	21
2.26	(a) Colpitts 震盪器 (b) 增加了輸入刺激的 (a) 的等效電路	21
2.27	基本RC 弛緩震盪器的電路形式	24
2.28	圖 2.27 的輸出波形	24
2.29	史密特觸發器的 (a) 電路符號 (b) 電壓轉換特性圖	25
2.30	R-C弛緩震盪器, 內含單一比較器形式的史密特觸發器	27
2.31	R-C 弛緩震盪器, 內含雙比較器形式的史密特觸發器	29
2.32	定電流充放電的震盪器基本電路組態	30
2.33	圖 2.32 的輸出波形	30
2.34	使用可開關電流鏡的定電流充放電震盪器	31
2.35	典型的壓控電流源	32
3.1	機電電容式加速度規架構	33
3.2	微機電電容式加速度規佈局	35
3.3	弛緩震盪器電路	36
3.4	圖 3.3 中史密特觸發器的轉移曲線	36
3.5	對 C_T 充電時	37
3.6	對 C_T 放電時	38
3.7	圖 3.3 的模擬結果	39
3.8	實作之弛緩震盪器電路	39
3.9	開關之導通電阻	40
3.10	輸入斜坡以量測史密特觸發器準位	40
3.11	圖 3.8 中史密特觸發器之特性曲線	41

3.12	2.5MHz	41
3.13	1MHz	42
3.14	0.33MHz	43
3.15	Layout	44
3.16	tt	45
3.17	ff	45
3.18	ss	46
3.19	fs	46
3.20	sf	47
3.21	量測結果	47



Chapter 1

簡介

1.1 研究動機

由於參予了我們實驗室與清華方維倫老師實驗室所合作, 使用標準 CMOS 製程實現微機電容式加速度規的實驗, 清華方面做的是以 MEMS 的架構來感測震動, 而我們做的電路, 則是以交換電容的電路 (switched-capacitor circuit) 作後續的處理, 將 MEMS 結構感測到的電容變化, 轉換為電壓變化的訊號, 由於交換電容的電路需要時序控制, 故需要一個震盪器產生控制的時脈, 也就是此篇論文討論的部份。

原本我們實驗室做的交換電容電路, 爲了有更高的處理速度, 而選用矽鍺35的製程實現, 後來考量到此應用的前端是物理性的震動, 其振動頻率爲1KHz 的範圍, 以 OSR 爲一千倍設想, 交換電容的切換以1MHz 來實現已足夠, 並且可以直接合併在一塊晶片內, 降低實現成本, 於是改用 CMOS .35的製程。

1.2 論文架構

本篇論文分成四章所組成, 第一章簡介敘述了研究動機及論文架構。第二章是各種震盪器的回顧, 介紹了震盪器系統的基本概念、環式震盪器、LC 震盪器, 及弛緩震盪器: 環式震盪器的部份, 從不能震盪的反相器直接回授, 逐步討論至終於可以震盪的三階環式震盪器、五階環式震盪器, 及以差動方式實現的四階環式震盪器; LC 震盪器的

部份, 討論了 LC tank 模型的轉換、交叉耦合震盪器, 以及 Colpitts 震盪器; 弛緩震盪器的部份, 包含 RC 弛緩震盪器以及定電流震盪器。第三章的本文, 敘述了以標準 .35 CMOS 製程, 實現一個震盪頻率為 $1MHz$ 之弛緩震盪器的過程, 包含了對內部史密特觸發器觸發準位之分析, 以及驗證在外部電壓的調整下震盪頻率能否達到至少 $0.5MHz \sim 2MHz$ 的範圍; 接著是電路佈局, 並於電路佈局後, 抽取出所有的寄生電阻電容, 模擬在 tt、ff、ss、fs、sf 各個角落是否都能調整出 $0.5MHz \sim 2MHz$ 的震盪頻率; 最後則是晶片送製回來後, 量測其確實可以獲得 $1MHz$ 的輸出波形。第四章的結論。



Chapter 2

各種震盪器的回顧

震盪器是很多積體電路系統的一部份，應用範圍從微處理器的時脈產生器到手機的 carrier synthesis 都有，需要很多種不同形式的震盪器及不同的工作參數，CMOS技術中，強健的、高性能的震盪器設計仍持續的有其挑戰性。而震盪器通常是作在鎖相迴路之中。

此章的內容所介紹的是震盪器的分析及設計。從較概念性的回授系統說起，會介紹到環式震盪器、LC 震盪器以及弛緩震盪器。

2.1 震盪器系統之基本觀念

簡易的震盪器會製造出通常是電壓形式的週期性輸出，如此，則不需要任何的輸入，該電路仍會維持永久的輸出。而一個電路是如何震盪的呢？從負回授系統的研讀可知，其實震盪器可視為是設計出了問題的負回授系統。考慮圖 2.1 的單位負回授電路，其

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{H(s)}{1 + H(s)} \quad (2.1)$$

如果放大器在高頻的部分有過多的相位移 (phase shift)，則整個負回授系統會轉為正回授，則震盪的狀況即會發生。更正確的說，如果 $s = j\omega_0$, $H(j\omega_0) = -1$ ，則在頻率 ω_0 時，閉迴路增益會是無限大。此狀況下，在頻率 ω_0 時放大器會無限的放大其雜訊成分。事實上，如圖 2.2 所示，頻率 ω_0 的雜訊會在經歷一倍的增益及180度的相位移之

後，成為和原訊號相反的訊號回到減法器，則輸入訊號和其相反的訊號相減之後形成更大的訊號，造成頻率 ω_0 的成分持續的放大。

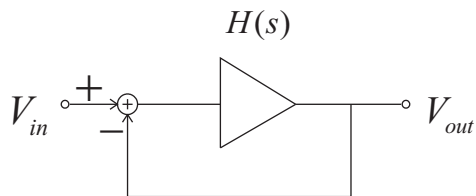


圖 2.1: 回授系統

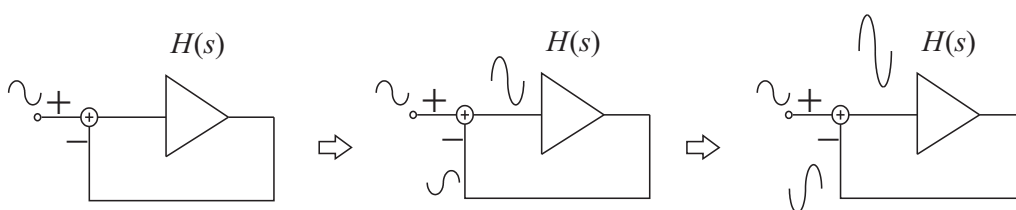


圖 2.2: 震盪系統隨著時間的發展

為了使震盪發生，必須有一倍或者更大的迴路增益 (loop gain)。由圖 2.2 可看出，隨著訊號在迴路中跑了很多圈之後，減法器的輸出會是一個幾何級數 (在 $\angle H(j\omega_0) = 180^\circ$ 之下)

$$V_X = V_0 + |H(j\omega_0)|V_0 + |H(j\omega_0)|^2V_0 + |H(j\omega_0)|^3V_0 + \dots \quad (2.2)$$

如果 $|H(j\omega_0)| > 1$ ，則上述的總和會發散，而 $|H(j\omega_0)| < 1$ 時，則

$$V_X = \frac{V_0}{1 - |H(j\omega_0)|} < \infty \quad (2.3)$$

簡言之，如果負回授系統的迴路增益滿足以下兩個條件

$$|H(j\omega_0)| \geq 1 \quad (2.4)$$

$$\angle H(j\omega_0) = 180^\circ \quad (2.5)$$

則該電路在頻率 ω_0 時會震盪。此條件為必要而非充分，稱為巴克豪森準則 (Barkhausen criteria)。為確保震盪器在溫度及製程的變化之下仍能正常工作，通常會設計迴路增益為所需值的至少 2 ~ 3 倍。

我們可以說巴克豪森準則的第二項是 $\angle H(j\omega_0) = 180^\circ$ 或是總相位移為 360° 。如圖 2.2 所示，如果設計的系統在低頻時為負回授，在訊號走迴路一圈後，該負號即提供了 180° 的相位移 (如圖 2.1 的減法器所示)，而 $H(j\omega_0) = 180^\circ$ 則為額外的頻率相關 (frequency-dependent) 相位移，使得該負回授訊號增強了原訊號。因此，圖 2.3 所示的三種狀況皆為等效，皆可表示該準則的第二項。圖 2.3(a) 中顯示了 180° 的頻率相關相位移 (箭頭所示) 以及 180° 的 dc 相位移，而圖 2.3(b) 和圖 2.3(c) 的不同處在於圖 2.3(b) 中，開迴路放大器 $H(j\omega)$ 包含了足夠的級數以及正確的極性使得頻率在 ω_0 時有 360° 的總相位移；圖 2.3(c) 中則是 $H(j\omega)$ 在頻率 ω_0 時無相位移。後面的內容中

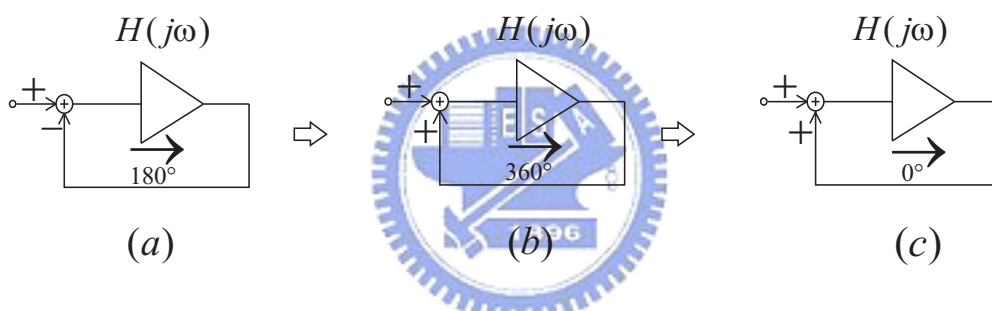


圖 2.3: 不同回授觀點的震盪系統

將會有這些不同型式的例子。

在現今的技術中,CMOS 震盪器主要以環式震盪器 (ring oscillator) 或者 LC 震盪器 (LC oscillator) 來實現，如後述。

2.2 環式震盪器

數個增益級 (gain stage) 繞成一個迴圈，就形成了一個環式震盪器。為了正確的實現，我們先試圖著使一階回授系統震盪。如下的電路，其開迴路僅有一個極點，因此其頻率相關相位移最大為 90° (在頻率趨近於無限大時)，而此共源級的電路在信號從閘極至

汲極發生反轉，造成 180° 的直流相位移，總和起來最大的相位移為 270° ，無法使震盪訊號不斷增強。

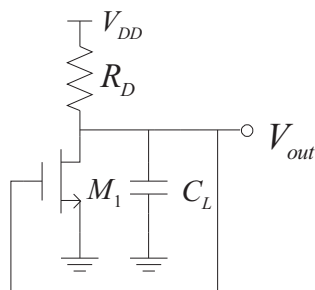


圖 2.4: 單級回授

上例暗示我們使用更多級造成更多的極點，就可能造成震盪。因此我們推測，上述的電路若修改為如下，則信號通路上就會有兩個極點，使得頻率相關的相位移可接近 180° 。

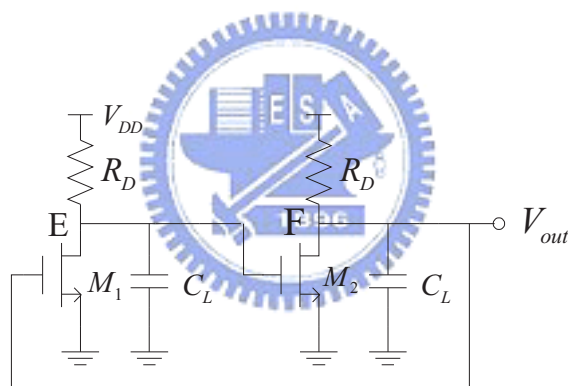


圖 2.5: 兩個極點的回授系統

不幸地，此電路在兩個共源級各發生一次信號反轉，造成在接近零頻率時的正回授特性，將此電路鎖住 (latch up)，而無法震盪。亦即，當 E 點的電壓上升，則 F 點的電壓下降，使得 M1 關掉，因而 E 點的電壓更是上升到 V_{DD} 為止，而 F 點的電壓亦降至近於零，形成一組穩態。

上述電路若在迴路中再加入一個理想的反相級 (inverting stage) (在任何頻率皆無相位增益)，使得接近零頻率時為負回授，解決掉上述 latch up 的問題，是否就能震盪

呢？我們注意到此迴圈中有兩個極點，分別在 E 點和 F 點的位置，造成頻率相關的相位移可達到 180° ，不過是發生在頻率近於無窮大時，幾乎已無回路增益，依舊無法同時滿足巴克豪森準則的兩個式子 (圖 2.7)，因此依舊無法震盪。

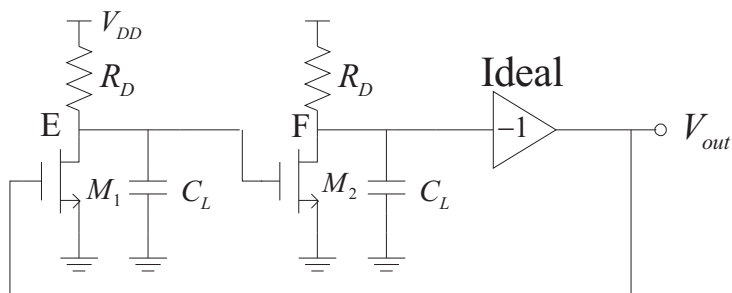


圖 2.6: 兩個極點的回授系統外加一次訊號反轉

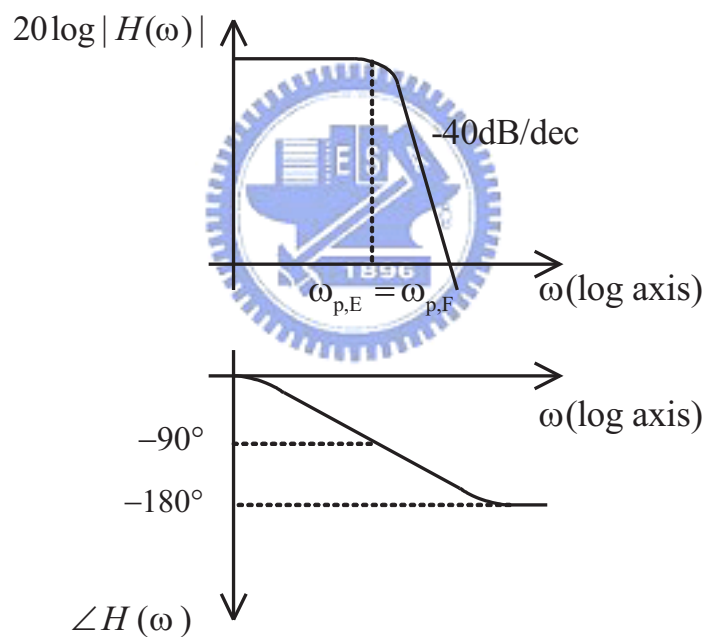


圖 2.7: 兩個極點系統的迴路增益特性

前述的討論指出，迴圈中，我們需要更大的相位移，暗示著如果上述 2.6 中的反相級含有一個極點，則能提供足夠的相位移，就可能造成震盪。因此，發展出圖 2.8 的電路。如果三級皆相同，則回圈的總相位移 ϕ 在 $\omega = \omega_{p,E} (= \omega_{p,F} = \omega_{p,G})$ 時可達 -135° ，

而在 $\omega = \infty$ 時可達 -270° ，因此，在 $\omega < \infty$ 時 ϕ 已達 -180° ，而此時回路增益仍可能大於或等於 1。只要有足夠的迴路增益，此電路確實可以形成一個環式震盪器。

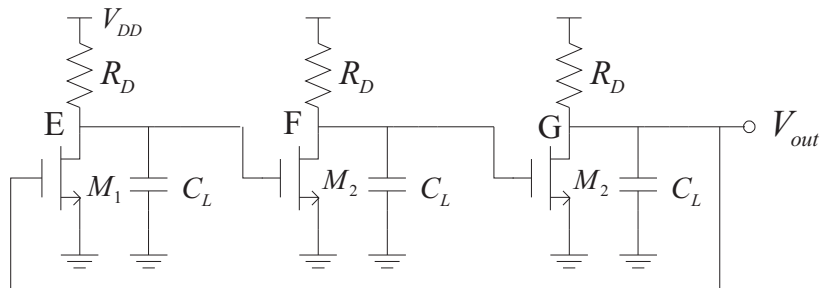


圖 2.8: 三階的環式震盪器

去了解圖 2.8 中每一級最小的電壓增益是具有有啟發性的，若不考慮閘極與汲極重疊造成的電容 (gate-drain overlap capacitance)，並且把每一級的轉移函數寫為 $-A_0/(1+s/\omega_0)$ ，則有如下的回路增益：

$$H(S) = -\frac{A_0^3}{\left(1 + \frac{s}{\omega_0}\right)^3} \quad (2.6)$$

該電路唯有在頻率相關相位移等於 180° 時會震盪，亦即在每一階都提供 60° 相位移，此時

$$\tan^{-1} \frac{\omega_{osc}}{\omega_0} = 60^\circ \quad (2.7)$$

因此

$$\omega_{osc} = \sqrt{3}\omega_0 \quad (2.8)$$

而為了使回路增益的大小在頻率為 ω_{osc} 時為 1，由下式

$$\frac{A_0^3}{\left[\sqrt{1 + \left(\frac{\omega_{osc}}{\omega_0}\right)^2}\right]^3} = 1 \quad (2.9)$$

可得

$$A_0 = 2 \quad (2.10)$$

總結來說，一個三階的環式震盪器，每一階都有 2 的低頻增益，而在頻率為 $\sqrt{3}\omega_0$ 時震盪，其中 ω_0 是每一階的 3dB 頻寬。

現在我們來檢視圖 2.8 中震盪器的三個節點的波形，因為每一級都提供了 60° 的頻率相關相位移，以及一次低頻的訊號反轉，所以每個節點和相鄰節點都有 240° (或者說 120°) 的相位差 (圖 2.9)。可同時產生數個不同相位的波形，是環式震盪器相當有用的一個特性。

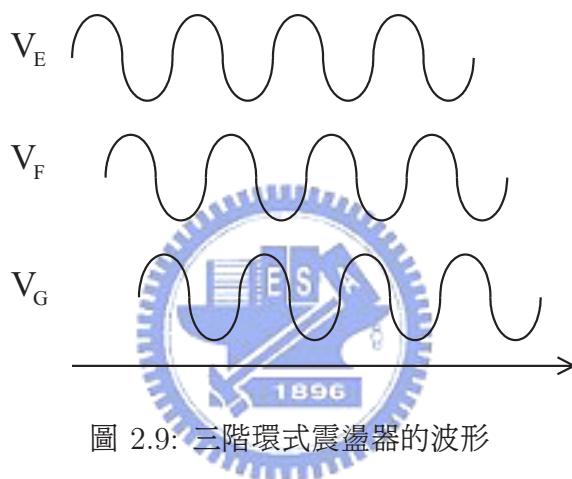


圖 2.9: 三階環式震盪器的波形

增益限制 一個很自然會想到的問題是，如果圖 2.8 中三階的環式震盪器其 $A_0 \neq 2$ 會如何呢？如果 $A_0 < 2$ ，由巴克豪森準則可知該電路不會振盪，但如果是 $A_0 > 2$ 呢？要回答此問題，首先我們以一個線性的回授系統來模擬該震盪器，如圖 2.10 所示，由於 Eq.(2.6) 中的 $H(s)$ 帶有負號，該負號已表現了訊號路徑上的三次訊號反轉，故圖 2.10 的回授形式為正回授。整個電路的閉回路增益為

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{-\frac{A_0^3}{(1+s/\omega_0)^3}}{1 + \frac{A_0^3}{(1+s/\omega_0)^3}} \quad (2.11)$$

$$= \frac{-A_0^3}{(1 + s/\omega_0)^3 + A_0^3} \quad (2.12)$$

Eq.(2.12) 的分母可展開為

$$\left(1 + \frac{s}{\omega_0}\right)^3 + A_0^3 = \left(1 + \frac{s}{\omega_0} + A_0\right)\left[\left(1 + \frac{s}{\omega_0}\right)^2 - \left(1 + \frac{s}{\omega_0}\right)A_0 + A_0^2\right] \quad (2.13)$$

因此, 整個閉回路存在如下三個極點:

$$S_1 = (-A_0 - 1)\omega_0 \quad (2.14)$$

$$S_{2,3} = \left[\frac{A_0(1 \pm j\sqrt{3})}{2} - 1\right]\omega_0 \quad (2.15)$$

由於 A_0 本身為正數, 故第一個極點帶來的效果是一個指數衰退的項: $\exp[(-A_0 - 1)\omega_0 t]$, 該項在穩態時可被忽略。圖 2.11 為不同 A_0 時的極點位置圖, 當 $A_0 > 2$ 時, 兩個共軛的複數極點帶有正實部, 因而造成了逐漸增大的正弦波形, 忽略 s 的影響, 輸出波形可寫為

$$V_{out}(t) = a \exp\left(\frac{A_0 - 2}{2}\omega_0 t\right) \cos\left(\frac{A_0\sqrt{3}}{2}\omega_0 t\right) \quad (2.16)$$

因此, 若 $A > 2$, 則指數的部份會增長到無限大。

實作上, 當震盪的振幅增加, 訊號路徑上的每一級都會經歷非線性影響而逐漸達到”飽和”, 因而限制了最大的振幅; 我們可以說, 極點發生在右半平面, 並逐漸的往虛軸移動以阻止信號不斷的增大。如果小信號的回路增益大於 1, 整個電路要花更多的時間在飽和狀態, 使得”平均”回路增益仍為 1。

圖 2.12 所示為一個不需要電阻的簡易環式震盪器的實現方式。假定每個節點的電壓開始時都在反向器的 trip point 上 (反向器的輸出值會同於輸入值的點), 在每一階都

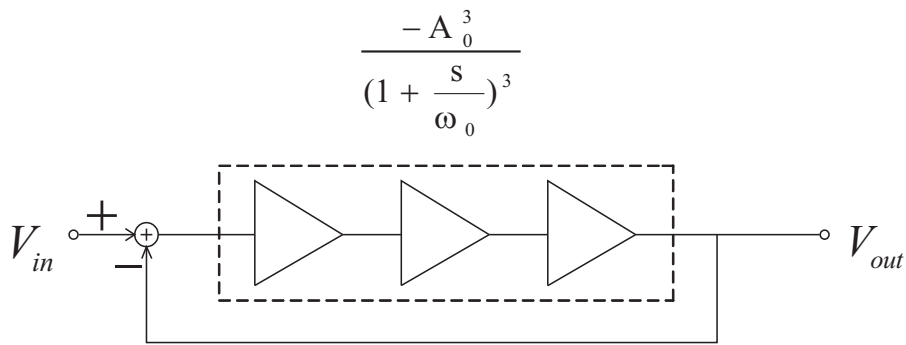


圖 2.10: 三階環式震盪器的線性模型

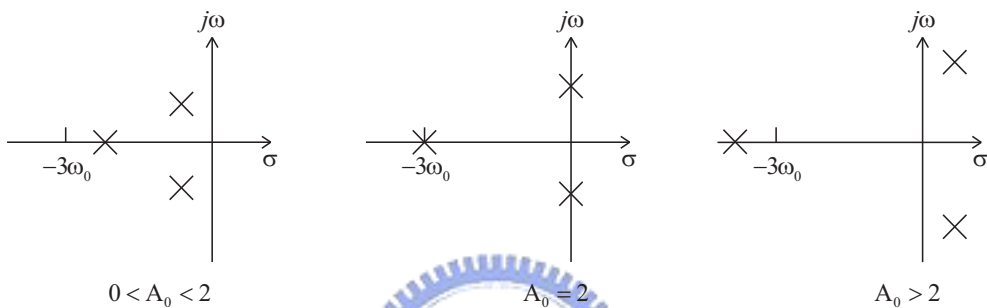


圖 2.11: 三階環式震盪器在不同增益下的極點位置

完全相同並且沒有雜訊的情況下，該電路會一直維持在此初始的狀態上，但實際上雜訊的成分會干擾每個節點的電壓，使得波形不斷變大，直到訊號成為軌對軌 (rail-to-rail) 的情況。

現在我們假定圖 2.12 中的電路在 $V_X = V_{DD}$ 的狀況下起始 (圖 2.13)，此時 $V_Y = 0$ 而 $V_Z = V_{DD}$ ，當電路被釋放後， V_X 開始降至零 (因為第一個反相器偵測到高的輸入電壓)，迫使 V_Y 在一個反相器延遲時間 T_D 之後上升至 V_{DD} ，又一個反相器延遲時間 T_D 之後 V_Z 降至零。每隔一個 T_D 就有一個相鄰的節點要變動，造成整個電路以 $6T_D$ 為其震盪週期。

上述的小訊號以及大訊號分析導致了一個有趣的問題，當小訊號的振盪頻率給定為 $\sqrt{3}A_0\omega_0/2$ [由 Eq.(2.16) 而來]，而大訊號的振盪頻率為 $1/(6T_D)$ ，此二值是否相等？答案是未必，畢竟， ω_0 是在靠近 trip point 時，由每個反相器的小訊號輸出電壓和電容

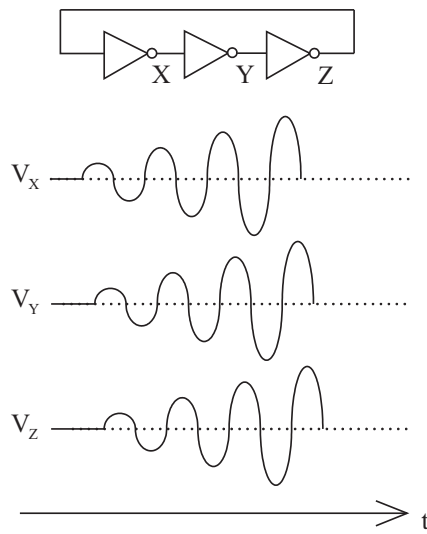


圖 2.12: CMOS 反相器作成的環式震盪器

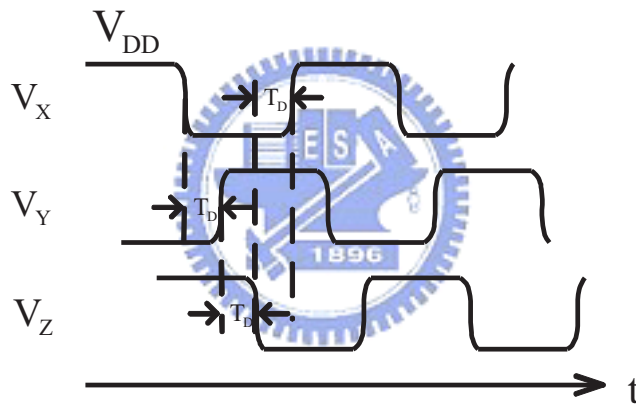


圖 2.13: 當其中一個節點以VDD 作為起始的環式震盪器的波形

所決定，而 T_D 是大訊號時，每一級的電容以及非線性電流驅動所決定。換言之，當電路在每個反相器都在其trip point 的狀況下被釋放之後，起先震盪器以 $\sqrt{3}A_0\omega_0/2$ 的頻率震盪，當其震幅增大使得電路變得非線性之後，震盪頻率則變為 $1/(6T_D)$ ，該值是個比較小的值。

包含三階以上的環式震盪器也是可實現的，回路上的反相器總數必須是奇數整個電路才不會latch up(鎖住)，如圖2.14(a) 所示的例子，一個環上可包含五個反相器，而提

供了 $1/(10T_D)$ 的振盪頻率。而另一方面，若以差動的方式實現，則可以出現偶數的級數，此彈性亦展現了差動電路優於單端輸出的電路之處。

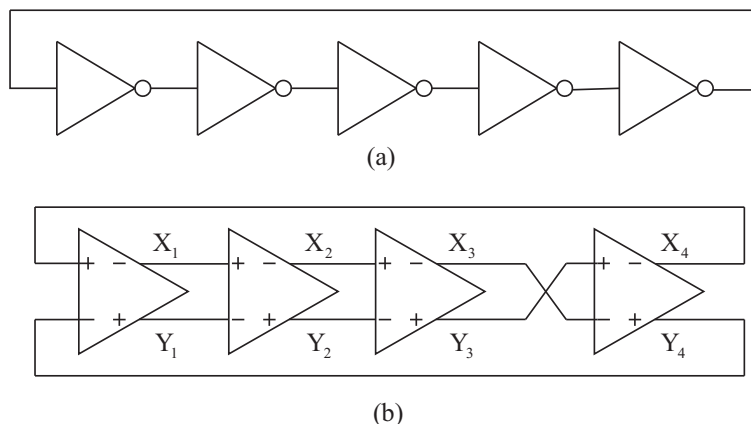


圖 2.14: (a) 五階的單端輸出環式震盪器 (b) 四階的差動環式震盪器

以類似圖 2.8 的方式實現四階的差動環式震盪器，我們有

$$H(s) = \frac{A_0^4}{\left(1 + \frac{s}{\omega_0}\right)^4} \quad (2.17)$$

爲了使該電路能震盪，每一階必須提供 $180^\circ/4 = 45^\circ$ 的頻率相關像位移，發生的頻率在於 $\tan^{-1}\omega_{osc}/\omega_0 = 45^\circ$ ，因此 $\omega_{osc} = \omega_0$ ，而最小的電壓增益可由下式導出

$$\frac{A_0}{\sqrt{1 + \left(\frac{\omega_{osc}}{\omega_0}\right)^2}} = 1 \quad (2.18)$$

也就是 $A = \sqrt{2}$ ，是一個比三階時更低的值。

有了每一級 45° 的相位移，該震盪器提供了四個相位及其各自的反相，如圖 2.15 所示。

環式震盪器的階數，由很多不同的需求所決定，包刮速度、功率消耗、雜訊免疫等等，在大多數的應用中，三至五階有最好的表現（以差動方式實現） [1] [2] [3] [4] [5] [6] [7]。

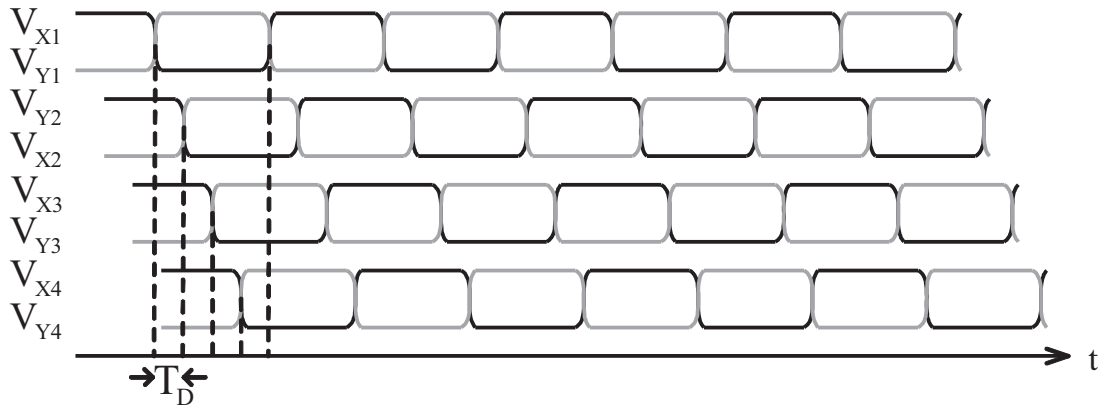


圖 2.15: 四階差動環式震盪器各節點的波形

2.3 LC震盪器

過去十年內，高值的電感逐漸出現在BJT 和 CMOS 的技術中，利用被動元件設計震盪電路逐漸變得可行，在看這樣的震盪器之前，我們先稍為復習一下 RLC 電路的基本特性。

如圖 2.16(a) 所示，將電感 L_1 和電容 C_1 並聯，會造成 $\omega_{res} = \sqrt{L_1 C_1}$ 的震盪頻率，在此頻率之下，電感的阻抗 $jL_1\omega_{res}$ 和電容的阻抗 $1/(jC_1\omega_{res})$ 一樣大而異號，於是並聯後阻抗為無限大，我們說該電路有無限大的品質因素 Q (quality factor)。然而，實際上電感 (和電容) 都會有電阻的成分，舉例而言，做成電感的金屬導線，其上的電阻可以圖 2.16(b) 的模型來表示，我們將此電感的 Q 值定義為 $L_1\omega/R_s$ ，此電路的等效阻抗為

$$Z_{eq}(s) = \frac{Rs + L_1s}{1 + L_1C_1s^2 + RsC_1s} \quad (2.19)$$

因此

$$|Z_{eq}(s = j\omega)|^2 = \frac{R_s^2 + L_1^2\omega^2}{(1 - L_1C_1\omega^2)^2 + R_s^2C_1^2\omega^2} \quad (2.20)$$

也就是說，無論在任何 $s = j\omega$ ，其等效阻抗都不會到達無限大，我們稱該電路具有有限的 Q 值，(2.20) 式中 Z_{eq} 的大小在 $\omega = 1/\sqrt{L_1C_1}$ 附近達餘頂峰，不過實際的震盪

頻率與 R_s 也有關聯。

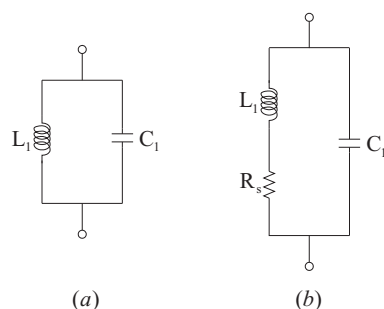


圖 2.16: (a) 理想與 (b) 實際的 LC tanks

圖 2.16(b) 的電路可以被轉換成另一種等效而容易分析設計的形式。為達此目標，首先我們考慮，在一個狹窄的頻率範圍內，圖 2.17(a) 中串聯的組合可轉換為圖 2.17(b) 中的並聯組合，為了使二者的阻抗相當

$$L_1 s + R_s = \frac{R_p L_p s}{R_p + L_p s} \quad (2.21)$$

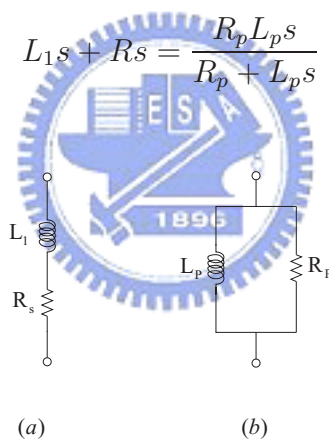


圖 2.17: 將串聯組合轉換為並聯組合

只考慮穩態響應，我們假定 $s = j\omega$ ，重寫 (2.21) 式為

$$(L_1 R_p + L_p R_s)j\omega + R_s R_p - L_1 L_p \omega^2 = R_p L_p j\omega \quad (2.22)$$

此式必須 (在一個狹窄的範圍內) 對所有的 ω 都成立，於是有

$$L_1 R_p + L_p R_s = R_p L_p \quad (2.23)$$

$$R_s R_p - L_1 L_p \omega^2 = 0 \quad (2.24)$$

計算第二式中的 R_p 並帶入第一式, 可得

$$L_p = L_1 \left(1 + \frac{R_s^2}{L_1^2 \omega^2} \right) \quad (2.25)$$

由於 $Q = L_1 \omega / R_s$, 而一般高值的電感此值都高於3, 所以

$$L_p \approx L_1 \quad (2.26)$$

且

$$R_p \approx \frac{L_1^2 \omega^2}{R_s} \quad (2.27)$$

$$\approx Q^2 R_s \quad (2.28)$$

換句話說, 並聯的電路有相同的電抗, 而電阻值是原本串聯電路的 Q^2 倍。此概念亦適用於一階的 RC 電路, 而其 Q 值要定義為 $1/(C\omega)/R_s$ 。

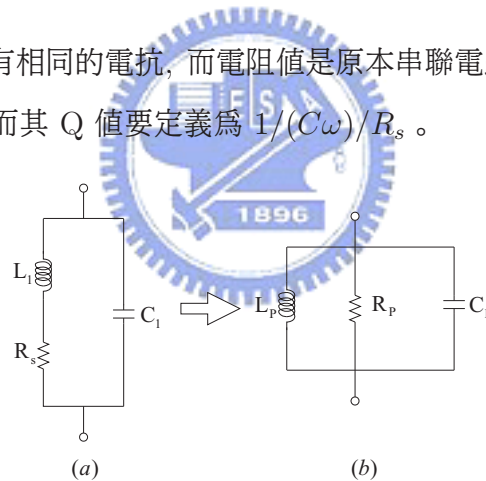


圖 2.18: 把一個tank 轉換為三個並聯的元件

由上述的討論可得圖 2.18 中的轉換, 其中 $C_p = C_1$, 而當 ω 遠離震盪頻率, 此等效即不成立。

有了以上的了解, 可輕易得知在 $\omega_1 = 1/\sqrt{L_p C_p}$ 時, 一個 tank 可簡化到只剩下一個電阻, tank 中電壓和電流的相位差降至零。繪出 tank 阻抗的大小值對頻率的關係圖

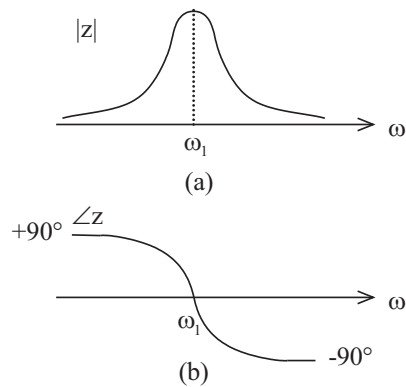


圖 2.19: LC tank 的 (a) 大小 (b) 相位與頻率的關係圖

[圖2.19(a)], 我們注意到當 $\omega < \omega_1$ 時tank 像個電感, 而當 $\omega > \omega_1$ 時像個電容, 於是我們推測tank 的阻抗其相位在 $\omega < \omega_1$ 時為正而在 $\omega > \omega_1$ 時為負[圖2.19(b)]。

接著考慮圖2.20(a) 中的”調整過的”階級, 其中的 LC tank 是做為負載用, 震盪時, $jL_p\omega = 1/(jC_p\omega)$, 電壓增益為 $-g_{m1}R_p$ (注意頻率近於零時, 此電路的增益甚小)。若將輸出端與輸入端相接 [圖2.20(b)], 此電路是否會震盪呢? 由於在震盪頻率時, 迴圈的總相位移是 180° (而非 360°), 且由圖2.19(b) 可知頻率相關相位移從未達到 180° , 故該電路不會震盪。

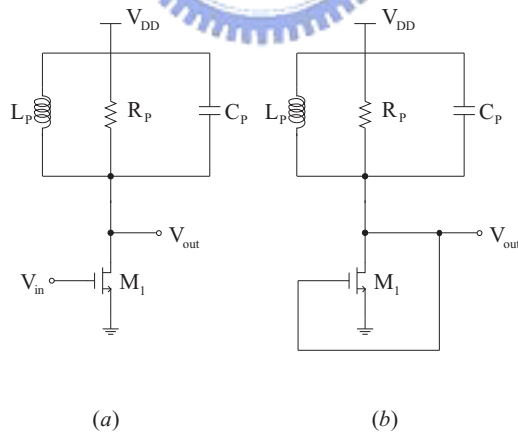


圖 2.20: (a) tuned gain stage, (b) 將 (a) 的電路做回授

2.3.1 交叉耦合震盪器 Crossed-Coupled Oscillator

假定我們串接了兩級如圖 2.20 (a) 中的電路, 如圖 2.21 所示, 雖然類似圖 2.5 的電路, 但由於此電路的低頻增益很低, 故不會有前述鎖住 (latch up) 的問題, 而在震盪頻率時, 每一階所造成的頻率相關相位移都是零, 固迴圈的總相位移是零, 也就是說只要 $g_{m1}R_p g_{m2}R_p \geq 1$, 該迴路就會震盪。由圖 2.22 不難看出, 該電路無法在其他任何的頻率下震盪。另外, V_x 和 V_y 是差動的波形。

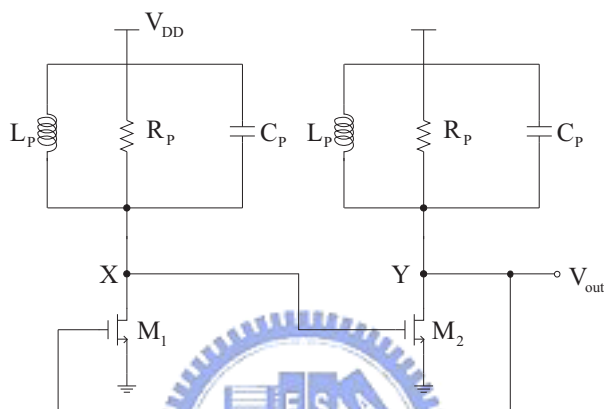


圖 2.21: 兩個 tuned stages 組成的回授電路

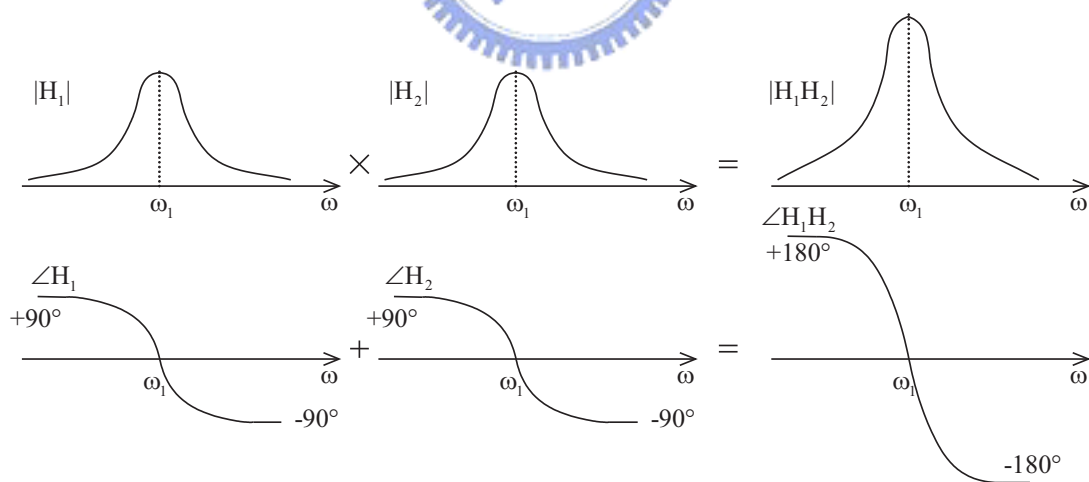


圖 2.22: 圖 2.21 電路的迴路增益特性

圖 2.21 中的電路是很多 LC 震盪器的核心, 有時候被繪成如圖 2.23 (a) 的樣子,

M_1 和 M_2 的汲極電流和output swing 都深受 supply voltage 的影響, 由於節點 X 和 Y 上的電壓為差動的波形, 圖 2.23 (a) 的 M_1 和 M_2 可轉換成如圖 2.23 (b) 中的差動對, 總驅動電流由 I_{SS} 所定義。

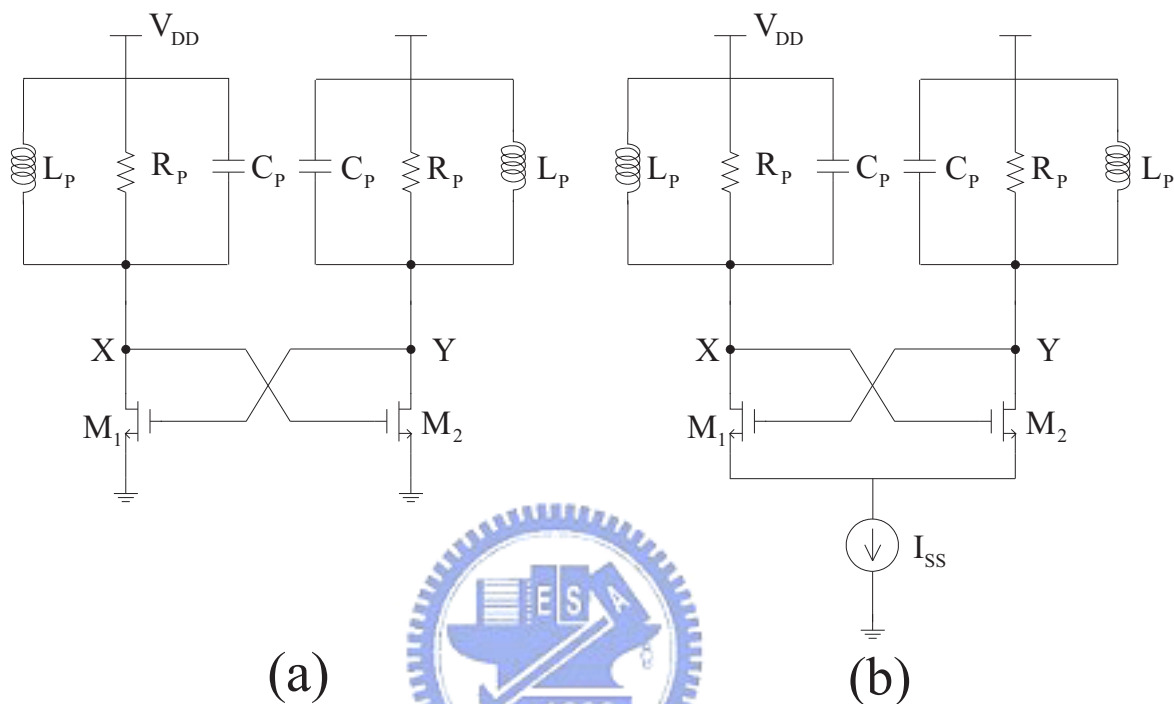


圖 2.23: (a) 圖 2.21 的另一種畫法 (b) 外加尾電流源以降低對供電的敏感度

2.3.2 Colpitts震盪器

其實 LC 震盪器是可以只用一個電晶體來實現的。再重新考慮圖 2.20 (a) 的電路, 不能將汲極接至閘極的原因, 是因為如此接法會造成在震盪頻率時, 總相位移會是 180° 而非 360° 。另外, 在共閘極時, 源極至汲極的相位移為零。於是我們總結以上二者可得如圖 2.24 (a) 的接法, 將汲極的電壓回接至源極而非閘極, 並透過電容耦合以避免影響 M_1 的直流偏壓點, 則電路應該會震盪。

然而由於迴路增益不夠大, 會使得圖 2.24 (a) 的電路無法震盪。我們加個輸入電流

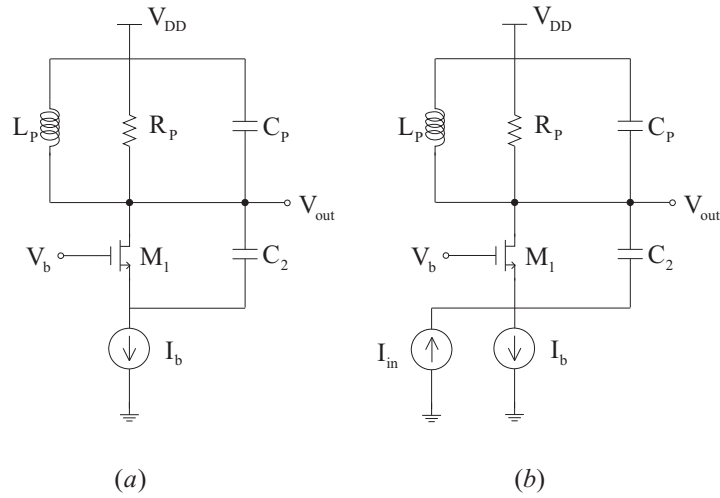


圖 2.24: (a) 汲極回授至源極的 tuned stage (b) 外加輸入電流以計算閉迴路增益

以驗證之, 如圖 2.24 (b) 所示, 若忽略寄生電容, 閉迴路增益為

$$\frac{V_{out}}{I_{in}} = L_p s \parallel \frac{1}{C_p s} \parallel R_p \quad (2.29)$$

, 回想對於圖 2.1 的觀點, 震盪器被視為是一個擁有無限大閉迴路增益的回授系統, 由於此閉迴路增益無論在任何頻率都不會是無限大, 故此電路無法震盪。

若改成從閘極加個輸入電壓, 也會得到相同的無法震盪的結果, 如圖 2.25 所示, 如果偏壓的電流源是理想的話, 有限的 V_{in} 變動對於 I_b 所造成的變化仍為零, 若忽略 source-bulk 間的電容, tank 的電流變化亦為零, 致使 $V_{out}/V_{in} = 0$, 也就是說雖然 V_x 跟著 V_{in} 變化, 但是 M_1 產生一個小信號電流流過 C_2 去抵銷他。

以上的討論有兩個重點, 第一個是, 要使電路震盪起來, 輸入的刺激可加在不同的地方 (因為迴路中任何裝置上的雜訊都可起始震盪), 第二, 圖 2.25 中 V_{out}/V_{in} 為零是因為 M_1 的源極和 GND 之間的阻抗是無限大, 於是我們在此節點和 GND 之間外加個電容, 如圖 2.26(a) 所示, 來尋找震盪的情形, 注意到我們移除了原本和電感並聯的電容, 原因後述。

以一個電壓相依電流源來取代 M_1 , 我們得到了圖 2.26(b) 的等效電路, 因為流過 L_p 和 R_p 的並聯組合的電流為 $V_{out}/(L_p s) + V_{out}/R_p$, 故流過 C_1 的總電流為

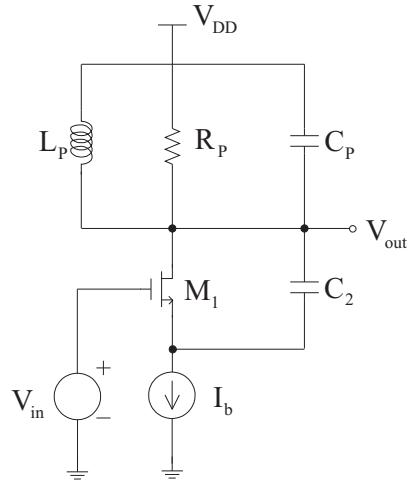


圖 2.25: 將圖 2.24 (b) 改成外加輸入電壓以計算閉迴路增益

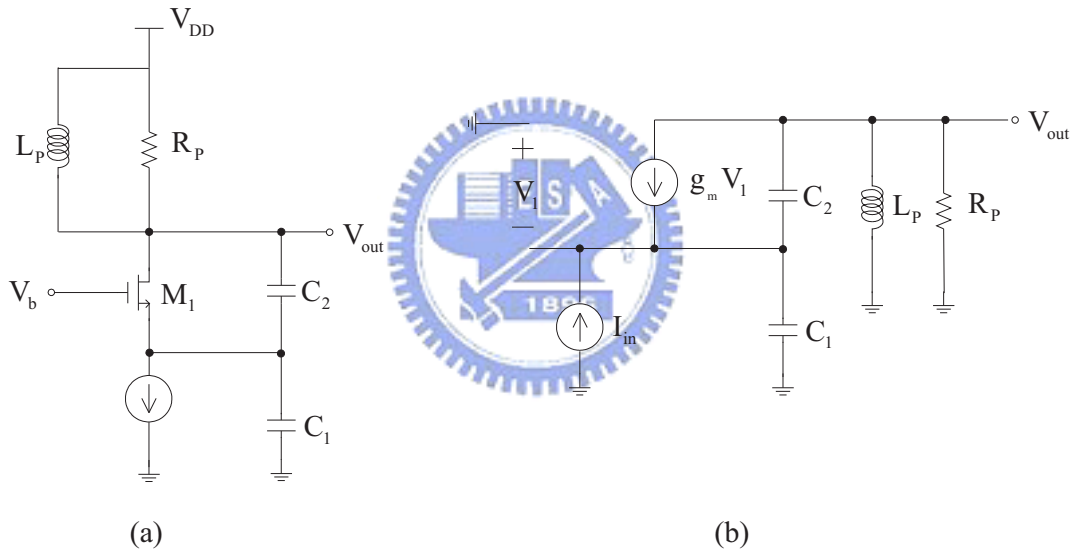


圖 2.26: (a) Colpitts 震盪器 (b) 增加了輸入刺激的 (a) 的等效電路

$I_{in} - V_{out}/(L_p s) + V_{out}/R_p$, 可得

$$V_1 = -\left(I_{in} - \frac{V_{out}}{L_p s} - \frac{V_{out}}{R_p}\right) \frac{1}{C_1 s} \quad (2.30)$$

將流過 C_2 的電流寫為 $(V_{out} + V_1)C_2 s$, 我們將流過輸出節點的所有電流相加得到

$$-g_m(I_{in} - \frac{V_{out}}{L_p s} - \frac{V_{out}}{R_p})\frac{1}{C_1 s} + [V_{out} - (I_{in} - \frac{V_{out}}{L_p s} - \frac{V_{out}}{R_p})\frac{1}{C_1 s}]C_2 s + \frac{V_{out}}{L_p s} + \frac{V_{out}}{R_p} = 0 \quad (2.31)$$

於是可得

$$\frac{V_{out}}{I_{in}} = \frac{R_p L_p s (g_m + C_2 s)}{R_p C_1 C_2 L_p s^3 + (C_1 + C_2) L_p s^2 + [g_m L_p + R_p (C_1 + C_2)] s + g_m R_p} \quad (2.32)$$

若是 $C_1 = 0$ ，則 (2.32) 式可簡化為 $(L_p s \parallel R_p)$ ，若 (2.32) 式的分母在某個 s 值， $S_R = j\omega_R$ ，之下為零，則此時閉迴路增益為無限大，該電路可震盪，在此頻率之下以下二式必須滿足

$$-R_p C_1 C_2 L_p \omega_R^3 + [g_m L_p + R_p (C_1 + C_2)] \omega_R = 0 \quad (2.33)$$

$$-(C_1 + C_2) L_p \omega_R^2 + g_m R_p = 0 \quad (2.34)$$

在一般的典型值之下，會有 $g_m L_p \ll R_p (C_1 + C_2)$ ，於是由 (2.33) 式可得

$$\omega_R^2 = \frac{1}{L_p \frac{C_1 C_2}{C_1 + C_2}} \quad (2.35)$$

而由 (2.34) 式可得

$$g_m R_p = \frac{(C_1 + C_2)^2}{C_1 C_2} \quad (2.36)$$

$$= \frac{C_1}{C_2} \left(1 + \frac{C_2}{C_1}\right)^2 \quad (2.37)$$

由於 $g_m R_p$ 是 M_1 的源極至輸出的電壓增益(如果 $g_{mb} = 0$)，我們可藉由決定 C_1/C_2 的比值得知最小的必需的增益值，經推導可知在 $C_1/C_2 = 1$ 時可得此值，亦即我們需要最小的增益為

$$g_m R_p \geq 4 \quad (2.38)$$

由 (2.38) 式可知, 比起圖2.23(b) 的 Crossed-Coupled 震盪器, Colpitts震盪器有個明顯的缺點, 在於它需要至少4倍的電壓增益, 而前者只需要1倍, 如果電感有低 Q 值 (也就有小的 R_p) 的問題, 則此議題就會變得嚴重, 然而這是CMOS 技術中常有的情形 [1] [8] [9] [10] [11] [12] [13] [14] [15] [16]。

2.4 弛緩震盪器

弛緩振盪器(relaxation oscillator), 亦稱為 multivibrators, 在大型的 IC 設計中是最常被用到的震盪器形式, 其內部有個計時電容, 並有設定好的兩個臨界電壓準位, 以不斷地對計時電容做充放電, 使其上之電壓不斷來回於兩個臨界電壓準位之間為其操作方式, 如此所造成的週期波, 頻率便與計時電容的大小成反比。

弛緩震盪器可依其電路形式, 分為以下幾種:

1. RC 弛緩震盪器, 以電阻性的路徑對電容做充放電。
2. 定電流充放電震盪器, 以電流源對電容作充放電。

後面的內容將討論這些不同形式的電路。

2.4.1 R-C弛緩震盪器

RC弛緩震盪器基本的電路構想如圖 2.27 所示, 由三個單元所組成: (1) 一組用來計時的 R_1 、 R_2 及 C_1 , (2) 具有磁滯現象的準位偵測比較器 (即史密特觸發器), (3) 接地的開關 S_1 , 通常是個被驅動在關閉和飽和之間的npn 電晶體。

史密特觸發器的部份, 會被設計為具有高輸入阻抗, 低輸入偏壓電流, 以及近於理想的切換特性, 如圖 2.29 所示, 其有兩個臨界電壓, V_A 和 V_B , V_A 低於 V_B , 當輸入電壓不斷升高, 到達高的臨界電壓 V_B , 輸出的狀態就會改變, 反而造成輸入電壓不斷降低, 直到輸入電壓降至低臨界電壓 V_A 時, 輸出才又回到先前的狀態。史密特觸發器的淨磁滯電壓(net hysteresis voltage) $V_B - V_A$, 在適當的電路設計之下, 可以是個很穩定且可預知的數值。

參照圖 2.27 的電路, 基本的 R-C 弛緩震盪器的操作原理如下所述: 一開始開關 S_1

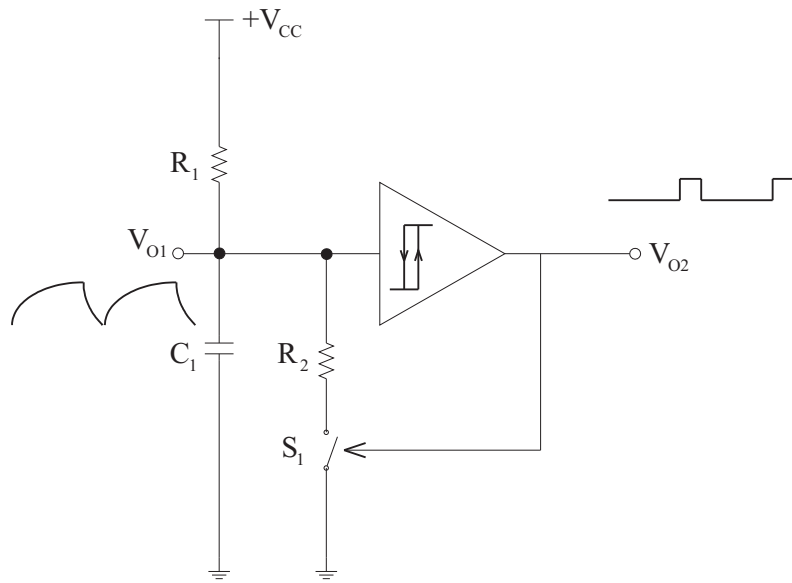


圖 2.27: 基本RC 弛緩震盪器的電路形式

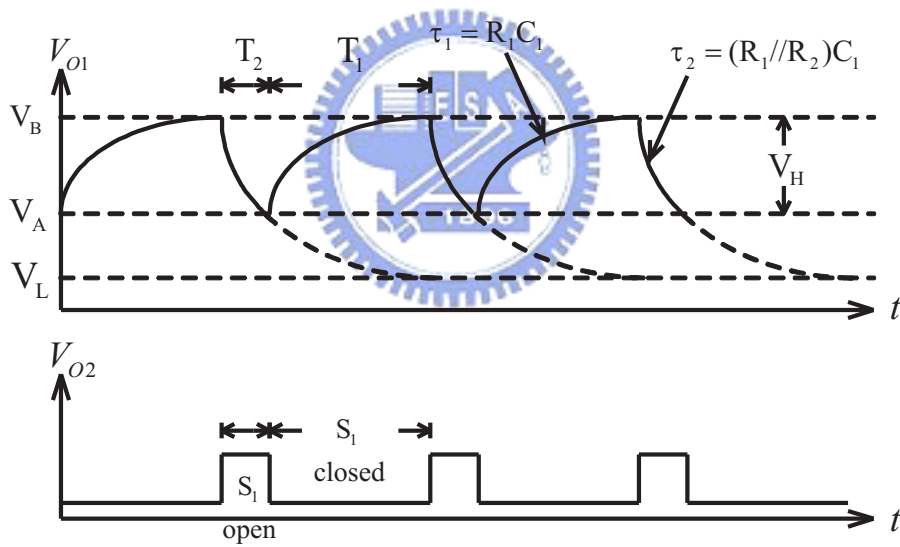


圖 2.28: 圖 2.27 的輸出波形

是開著的, 計時電容上的跨壓 V_{O1} 以 τ_1 為時間常數, 往 $+V_{CC}$ 做指數上升, 其中

$$\tau_1 = R_1 C_1 \quad (2.39)$$

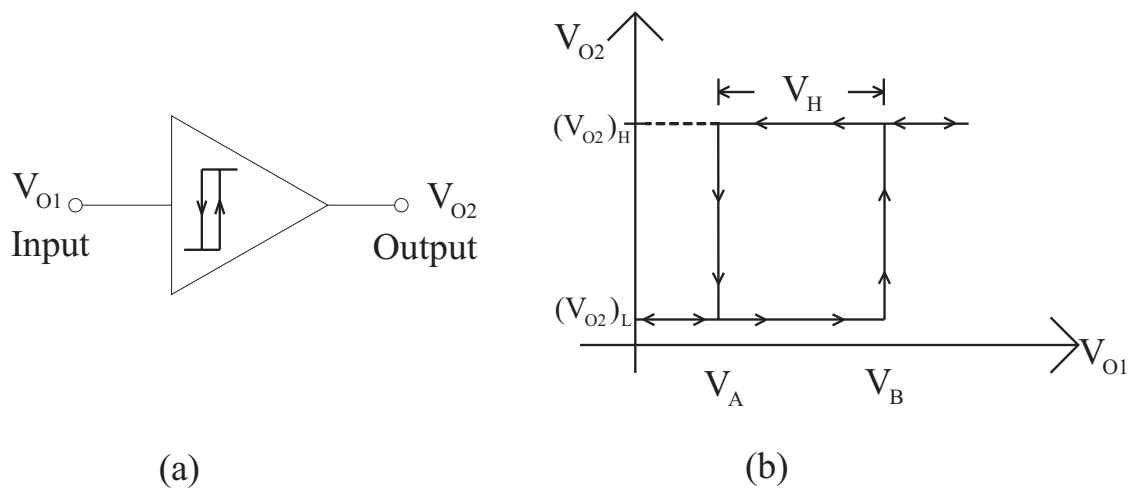


圖 2.29: 史密特觸發器的 (a) 電路符號 (b) 電壓轉換特性圖

當 V_{O1} 達到史密特觸發器的高臨界電壓 V_B ，輸出就會改變狀態，致使開關 S_1 接上，電容上的跨壓於是改以 τ_2 為時間常數，往一個低的電壓準位 V_L 做指數下降，其中

$$V_L = V_{CC} \frac{R_2}{R_1 + R_2} \quad (2.40)$$

$$\tau_2 = (R_1 \parallel R_2) C_1 \quad (2.41)$$

如果所選的 R_1 和 R_2 ，其電阻值致使 $V_L < V_A$ ，則在 $V_{O1} = V_A$ 時史密特觸發器將改變狀態，使得開關 S_1 又打開，電容 C_1 的跨壓於是又往 $+V_{CC}$ 指數上升，如此不斷循環，造成輸出端週期性的波形，如圖 2.28 所示。

由低臨界電壓 V_A 上升至高臨界電壓 V_B 所需的時間，可表為

$$T_1 = \tau_1 \ln\left(\frac{V_B - V_A}{V_{CC} - V_A}\right) \quad (2.42)$$

類似的， V_{O1} 的電壓由 V_B 降至 V_A 的時間如下

$$T_2 = \tau_2 \ln\left(\frac{V_B - V_A}{V_B - V_L}\right) \quad (2.43)$$

總震盪週期 T 即為 $T_1 + T_2$, 震盪頻率可寫為

$$f = \frac{1}{T} = \frac{1}{T_1 + T_2} \quad (2.44)$$

或者

$$f = \frac{1}{R_1 C_1} \left[\ln\left(\frac{V_{CC} - V_A}{V_{CC} - V_B}\right) + \frac{R_2}{R_1 + R_2} \ln\left(\frac{V_B - V_L}{V_A - V_L}\right) \right]^{-1} \quad (2.45)$$

由圖 2.27 所得到的電路, 有個很常用到的情形, 便是使 $R_2 \approx 0$ (亦即 $T_1 \gg T_2$), 輸出即為一長串的脈衝波, 在此應用我們通常會選定能夠造成

$$\frac{V_{CC} - V_A}{V_{CC} - V_B} = e \quad (2.46)$$

的電壓準位 V_A 和 V_B , 使得(2.45) 式簡化為易於設定頻率的表示式

$$f = \frac{1}{R_1 C_1} \quad (2.47)$$

史密特觸發器其臨界電壓的準確度及穩定性, 直接影響到震盪器頻率的穩定性以及頻率設定的準確度, 使得史密特觸發器的設計成為 IC 弛緩震盪器設計中相當關鍵的一環, 數位設計的史密特觸發器已經廣泛的發展出了許多形式, 然而大部分的此種電路都無法達到高性能弛緩震盪器在頻率穩定性及頻率設定準確度上的要求。下面介紹兩種在 monolithic 弛緩震盪器中常用到的史密特觸發器, 一種僅有單一比較器, 而另一種有兩個比較器。

圖 2.30 所示為一般的 R-C 弛緩震盪器電路, 使用的是單一比較器形式的史密特觸發器 (虛線部分), 震盪器的操作簡述如下: 一開始開關 S_1 和 S_2 都是打開的, 電容 C_1 的跨壓 V_{O1} 以指數的型式往 V_{CC} 上升, 當 V_{O1} 上升至高臨界電壓 V_B

$$V_B = V_{CC} \frac{R_B + R_C}{R_A + R_B + R_C} \quad (2.48)$$

時, 比較器會改變輸出為一, 致使正反器輸出為一, 使開關 S_1 和 S_2 接上, 而 S_2 的接上使得原本設定臨界電壓值的 RC 短路, 形成一個新的臨界電壓 V_A ,

$$V_A = V_{CC} \frac{R_B}{R_A + R_B} \quad (2.49)$$

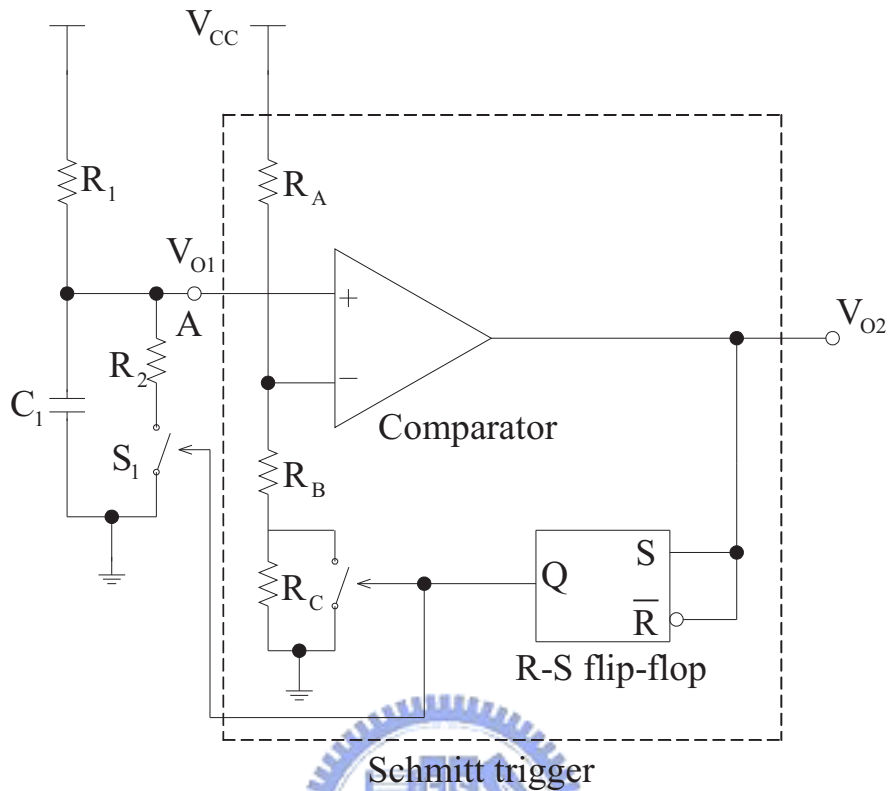


圖 2.30: R-C弛緩震盪器, 內含單一比較器形式的史密特觸發器

其中 $V_A < V_B$, 此時 S_1 是接上的, 於是電容 C_1 上的跨壓 V_{O1} 指數下降, 降至低臨界電壓 V_A 時, 比較器再度改變狀態, 輸出為零使得正反器重置, 正反器亦輸出零使得開關 S_1 和 S_2 再度成爲開路, 如此週而復始形成震盪。上述的震盪過程, 使得 C_1 上的跨壓爲介於兩個臨界電壓 V_A 和 V_B 間的指數型斜波, 如圖 2.28 中的波形, 史密特觸發器的磁滯電壓 V_H 主要由 (藉由開關不斷的進入和消失在電路中的) R_C 所決定:

$$V_H = V_B - V_A = V_{CC} \frac{R_A R_C}{(R_A + R_B + R_C)(R_A + R_B)} \quad (2.50)$$

值得注意的是兩個臨界電壓 V_A 和 V_B , 以及磁滯電壓 V_H 都與供電 V_{CC} 成正比, 而由於 R_1 是連接至 $+V_{CC}$, 使得 C_1 的充放電電流亦正比於 V_{CC} , 於是, 當 V_{CC} 上升時, 磁滯電壓 V_H (決定 V_{O1} 的振幅) 上升, 而指數型斜波的斜率亦等量上升, 於是 V_{CC} 對二者產生的效果相互抵銷, 因此對一階而言, 震盪器的頻率 (2.45式) 和供電 V_{CC} 無

關。不過 V_{O1} 的輸出振幅和 V_{CC} 成正比。

圖 2.31 所示的震盪器，內含雙比較器形式的史密特觸發器，第一個比較器（comparator 1）在計時電容 C_1 的跨壓 V_{O1} 達高臨界電壓 V_B 時改變狀態，而第二個比較器在 V_{O1} 達於低臨界電壓 V_A 時改變狀態，此二臨界電壓個別由如下的電阻比所決定

$$V_B = V_{CC} \frac{R_B + R_C}{R_A + R_B + R_C} \quad \text{and} \quad V_A = \frac{V_{CC} R_C}{R_A + R_B + R_C} \quad (2.51)$$

因此，磁滯電壓 V_H 為

$$V_H = V_B - V_A = V_{CC} \frac{R_B}{R_A + R_B + R_C} \quad (2.52)$$

我們以 S_1 為開路做為起始，此時 V_{O1} 往 V_{CC} 做指數上升，當其達到 V_B 時，第一個比較器改變狀態，輸出為一，對正反器作set 的動作，致使開關 S_1 接上，於是開始放電的半週；當放電至 V_{O1} 低於低臨界電壓 V_A 時，第二個比較器改變狀態，亦輸出一，對正反器作reset 的動作，致使開關 S_1 又打開，如此循環震盪下去。如較早所述，雖然 V_A 和 V_B 都與 V_{CC} 成正比，然而對 C_1 而言其充放電電流亦與 V_{CC} 成正比，致使震盪器的震盪頻率 f (2.45式)，就一階而言，與供電 V_{CC} 無關。

2.4.2 定電流震盪器

定電流充放電形式的震盪器，其用來對計時電容充放電的是電流源而非電阻，圖 2.32 所示為此類型弛緩震盪器的一般化結構，一般而言，此種震盪器有兩個電流源，電流源 I_1 總是開著，而電流源 I_2 則是間歇性的開開關關。在 I_2 關著的時候，定電流 I_1 不斷的對 C_1 充電，直至 C_1 上的跨壓 V_{O1} 到達史密特觸發器的高臨界電壓 V_B ，致使史密特觸發器改變輸出狀態，使得間歇性的電流源 I_2 導通，其中 I_2 必須大於 I_1 ，於是電容 C_1 便以 $I_2 - I_1$ 的電流放電，一直放電到 V_{O1} 低於低臨界電壓 V_A ，於是史密特觸發器再次改變輸出，而將電流源 I_2 關閉，如此不斷循環。此電路的震盪波形，會是線性的斜波，如圖 2.33 所示，充電過程的時間 T_1 為

$$T_1 = \frac{(V_B - V_A)C_1}{I_1} \quad (2.53)$$

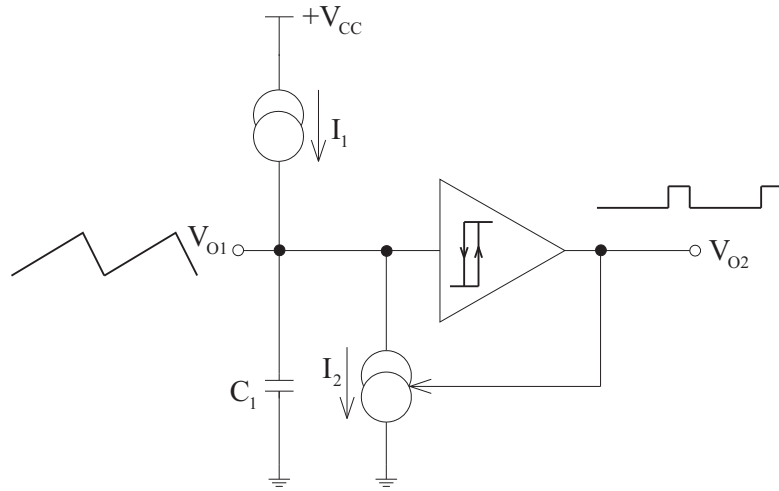


圖 2.32: 定電流充放電的震盪器基本電路組態

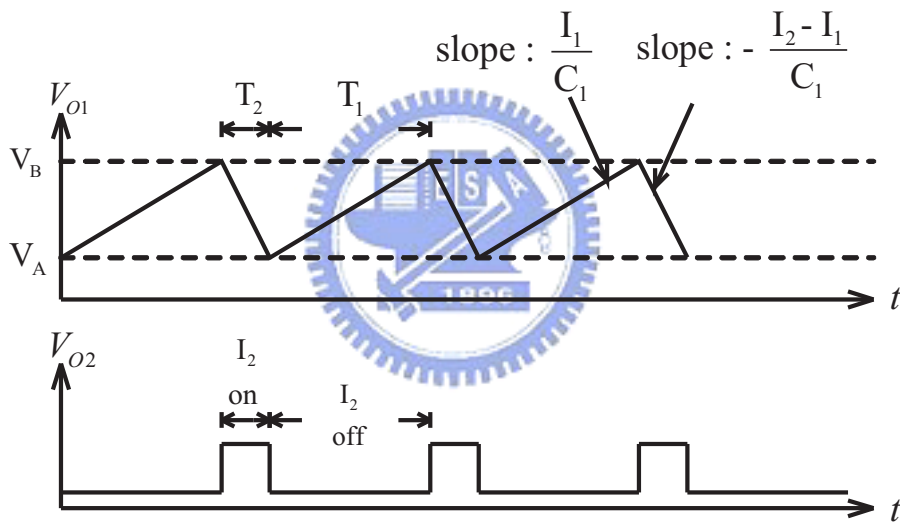


圖 2.33: 圖 2.32 的輸出波形

較器會用 pnp 輸入的組態，因為這樣的組態可降低由於比較器輸入端的有限偏壓電流所引起的頻率誤差。

在圖 2.32 中的基本電路組態中，為了能夠對震盪頻率提供線性的控制， I_1 和 I_2 的變化必須同步，然而圖中的 I_1 為 pnp 定電流源而 I_2 為 npn 電流源，無法達到同步的要求。我們改以圖 2.34 的電路來解決此問題，圖中兩個電流源是相似的 pnp 電流源，以

可開關的電流鏡來產生間歇性的電流源 I_2 ，放電時,Wilson 電流鏡導通，電容 C_1 以 $I_2 - I_1$ 的電流放電，充電時，將開關 S_1 接上，使得電流鏡關閉，而電容以 I_1 的電流充電。通常我們以E端接地的 npn 電晶體來形成開關 S_1 。由於兩個電流源 I_1 和 I_2 有相同的極性，而有不同的大小 ($I_2 > I_1$)，我們可用單一的控制電壓來控制電流大小，而不去改變到兩個電流間的比值。於是，我們可透過一個外接的電壓來控制震盪器的頻率，卻不影響到輸出的波型以及duty cycle。

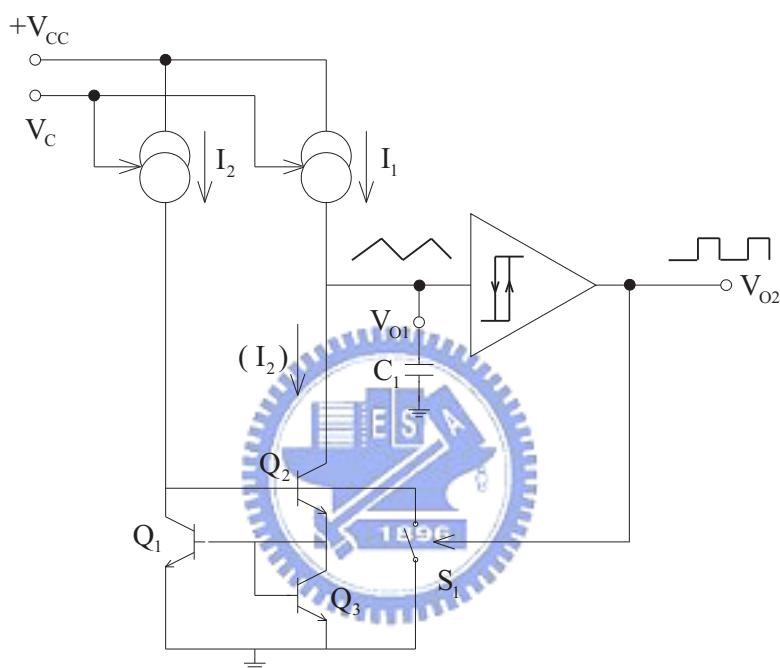


圖 2.34: 使用可開關電流鏡的定電流充放電震盪器

壓控電流源的部份，其中一個最常用在振盪器的電路組態如圖 2.35 所示，稱為 composite pnp-npn 電流源組態，電路中，假定 Q_1 和 Q_2 的 V_{BE} 幾乎相同，則 Q_2 的射極電壓很接近於控制電壓 V_C ，若我們忽視 Q_2 基極的電流，則輸出電流 I_o 直接正比於 R_o 上的跨壓

$$I_o = \frac{V_{CC} - V_C}{R_o} \quad (2.56)$$

一般 R_o 都做在電路外部 [17] [18] [19] [20]。

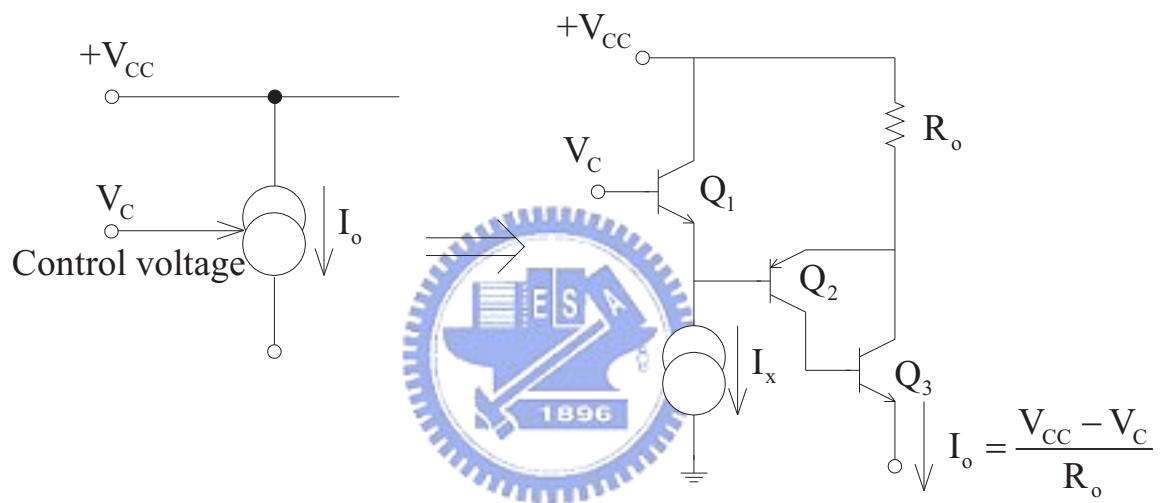


圖 2.35: 典型的壓控電流源

Chapter 3

實現弛緩震盪器

3.1 微機電電容式加速度規簡介

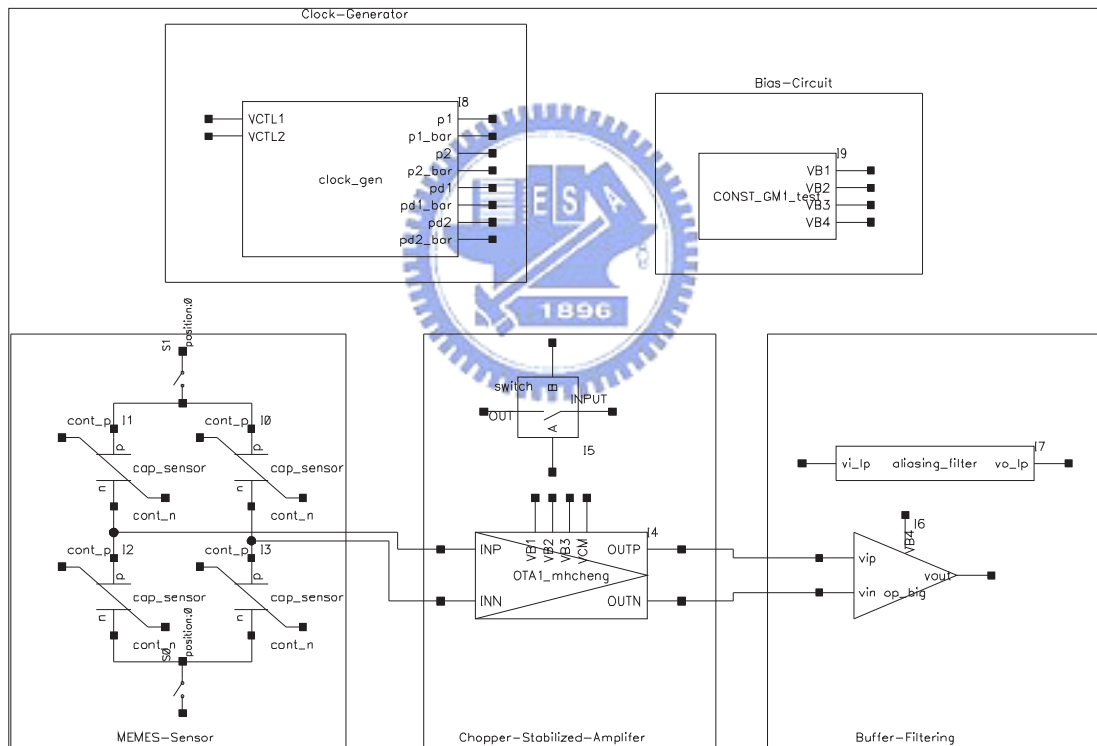


圖 3.1: 機電電容式加速度規架構

首先, 概要的描述一下我所做的震盪器所屬的微機電電容式加速度規, 其架構如圖 3.1 所示, MEMS-Sensor 藉由電容的變化感測震動幅度, 其後在Chopper-Stabilized 放

大器中，將電容低頻變動訊號使用 Chopper 方法將其頻譜提昇至較高頻率放大，之後再用 Chopper 方法將其訊號還原。最後為輸出緩衝器及低頻濾波器方塊，使用 Opamp 來當緩衝器以推動後端低頻濾波器，低頻濾波的目的是除去 Chopper 時所產生的雜訊。時脈產生器方塊的部份，目的是產生 switching 所需的方波，此方塊除了含有一弛緩振盪器，也包含了一些邏輯閘之組合以產生四個相位之波形 (P1、Pd1、P2、Pd2)。而偏壓電路方塊的目的是提供 OTA 及 Opamp 的偏壓。

圖 3.2 所示為整個微機電電容式加速度規的電路佈局，上方為 MEMS-Senser，中間的部份是偏壓電路、Chopper-Stabilized 放大器、輸出緩衝器及低頻濾波器，接著的是 switching 的方塊，以及時脈產生器方塊。整個電路佈局盡量做到左右對稱，而將容易造成雜訊的部份做在下方，弛緩震盪器更是做在最角落，盡量避免造成雜訊的干擾。而各區塊都有做隔絕圈 (guard ring)，且有各自的 VDD 和 GND(共四組)。

3.2 弛緩震盪器電路及分析

3.2.1 電路概念

此震盪器如圖 3.3 所示 [3]，使用一個史密特觸發器，與一組傳輸閘 (transmission gate) (M_n 與 M_p) 配合，此組傳輸閘導通時，一者工作在飽和區 (saturation region)，另一者為 off。

史密特觸發器的部份，以一個比較器、兩個電阻以及額外的參考電壓 $0.5V_{DD}$ 所組成，設計比較器使其輸出為 V_{DD} 或是 GND ，而配合兩個等大的電阻 R ，使得比較器正端的電壓為 $0.75V_{DD}(= 2.475V)$ 或是 $0.25V_{DD}(= 0.825V)$ ，亦即為史密特觸發器的輸入準位，我們得到史密特觸發器的轉移曲線如下圖：

若欲改變觸發準位，可透過改變兩個電阻的比值做調整。

傳輸閘的部份，我們將外加電壓 V_{CTL1} 以及 V_{CTL2} 設定如下

$$V_{tn} < V_{CTL1} < 0.25V_{DD} + V_{tn} \quad (3.1)$$

$$0.75V_{DD} - |V_{tp}| < V_{CTL2} < V_{DD} - |V_{tp}| \quad (3.2)$$

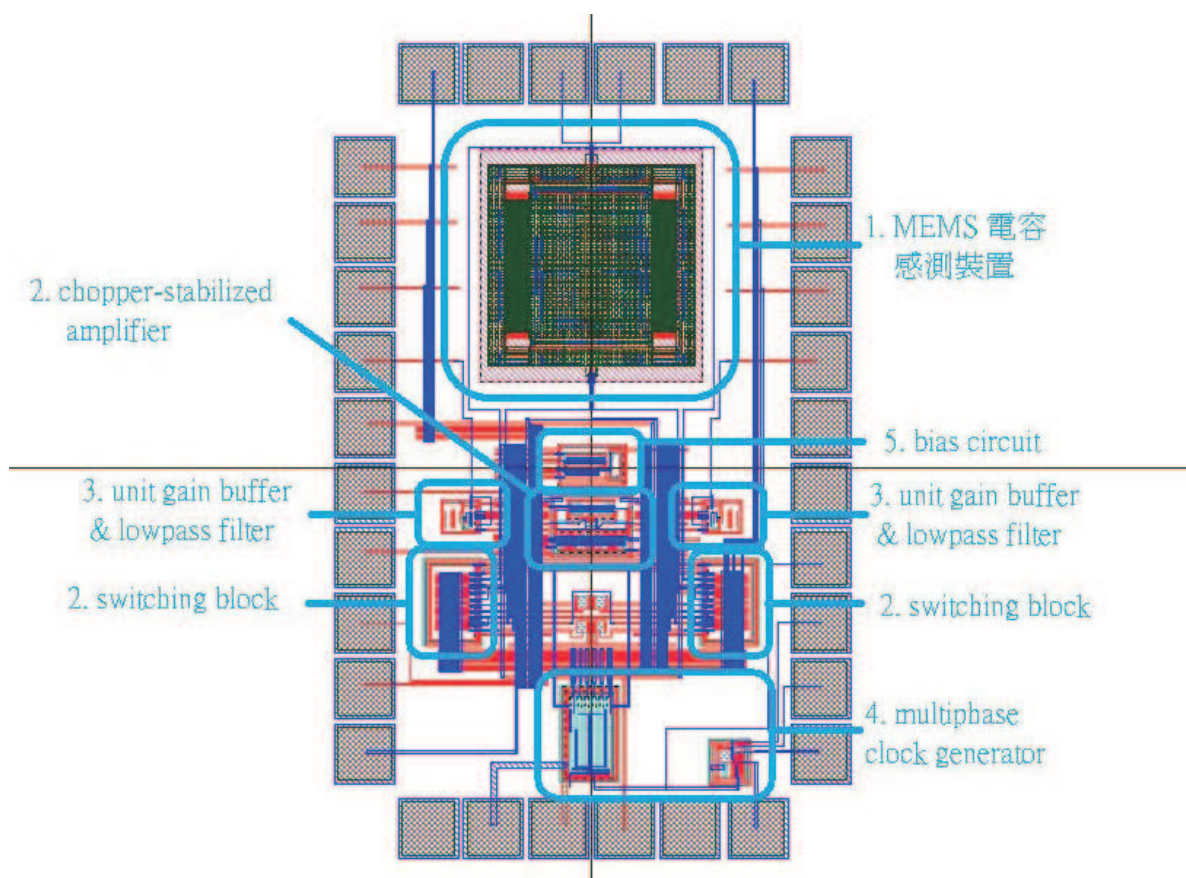


圖 3.2: 微機電電容式加速度規佈局

由於此組設定，舉 (3.1) 為例， $V_{tn} < V_{CTL1}$ 則 M_n 導通，而 $V_{CTL1} < 0.25V_{DD} + V_{tn}$ 迫使 M_n 之工作區為飽和區，同樣 (3.2) 亦使 M_p 導通時工作於飽和區，此組設定，使電容 C_T 能較快速的充放電。

我們以圖 3.5 與圖 3.6 來說明振盪器的工作方式。

圖 3.5 所示為當比較器負端的電壓小於正端時，CP 端的電壓為 V_{DD} ，致使正端電壓為 $0.75V_{DD}$ ，於是 M_p 導通 (M_n 為 off 狀態) 並對電容 C_T 充電 (充至 $0.75V_{DD}$)。圖 3.6 所示為比較器負端的電壓大於正端時，CP 端的電壓為 GND，致使正端電壓為 $0.25V_{DD}$ ，於是 M_n 導通 (M_p 為 off 狀態)，使得電容 C_T 放電，(放至 $0.25V_{DD}$)，如此循環而產生時脈。

圖 3.7 為此電路模擬之結果，其 $V_{CTL1} = 1V$ 、 $V_{CTL2} = 2V$ ， $C_T = 0.1pF$ ，輸出

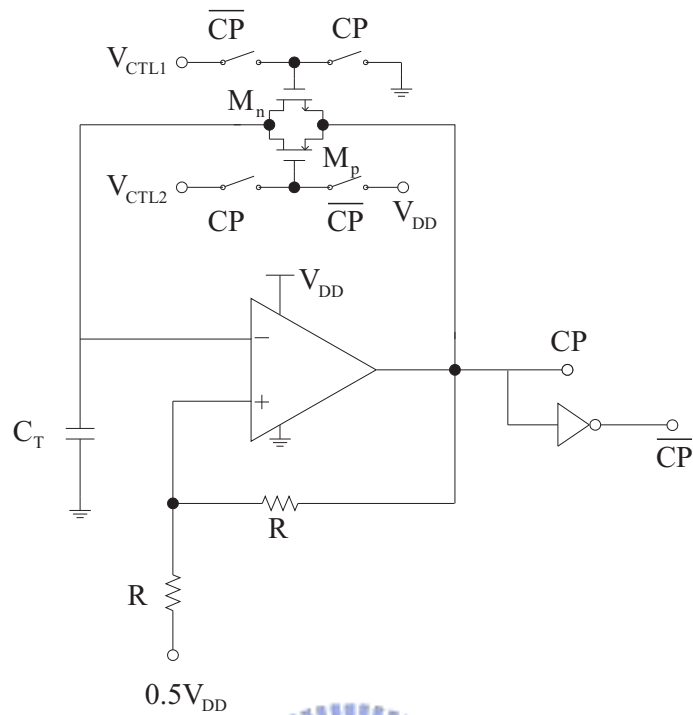


圖 3.3: 弛緩震盪器電路

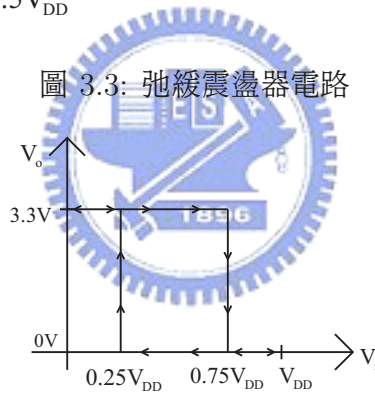


圖 3.4: 圖 3.3 中史密特觸發器的轉移曲線

頻率為 1MHz, 斜波部份為比較器負端的波形, 其上下界分別為 $0.75V_{DD}$ 和 $0.25V_{DD}$ 。

3.2.2 實作之電路

實作時將電路稍作修改, 如圖 3.8 所示, 以一個較為簡單的史密特觸發器取代掉比較器以及電阻, 也毋須再另外提供 $0.5V_{DD}$ 的電壓, 其工作原理相當類似, 說明如下。

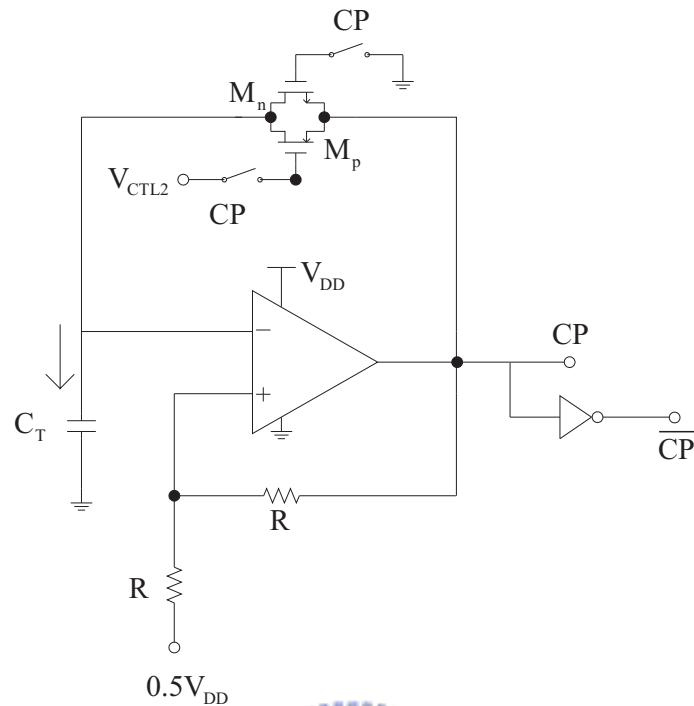


圖 3.5: 對 C_T 充電時

M_n 及 M_p 所組成的 CMOS 開關，可視為 RC 充放電中的電阻，將此組開關獨立出來測其導通電阻， M_n 的閘極接 V_{DD} ， M_p 的閘極接地，開關的一端接地，另一端從 0V 掃至 3.3V，其導通電阻，如圖 3.9 所示，約在 0.15M 歐姆至 0.2M 歐姆之間。

史密特觸發器的觸發準位，如圖 3.10 所示，為 0.88V 以及 2.4V，故其特性曲線，如圖 3.11 所示。

關於整個電路的動作，首先，先假定 \bar{CP} 輸出的電壓為 V_{DD} ，造成 M_p 導通而 M_n 為 off 狀態，於是 \bar{CP} 的電壓透過 M_p 對電容 C_T 充電，此時點 SVG 上的電壓不足以使 M_2 導通， M_6 亦因閘極為 V_{DD} 而關閉，故 M_4 及 M_5 是導通但無電流的狀態（也因此 \bar{CP} 輸出 V_{DD} 的電壓）；隨著點 SVG 上的電壓增加，終於使得 M_4 關閉， \bar{CP} 改由導通的 M_1 及 M_2 接地，使得 M_3 因閘極接地而關閉，故 M_1 及 M_2 導通但無電流， \bar{CP} 輸出為 GND；由於 \bar{CP} 改為輸出 GND 的電壓，傳輸閘改為 M_n 導通而 M_p off，電容 C_T 開始放電，一直放電到 SVG 的電壓低到迫使 M_2 關閉， \bar{CP} 改由導通的 M_4 及 M_5

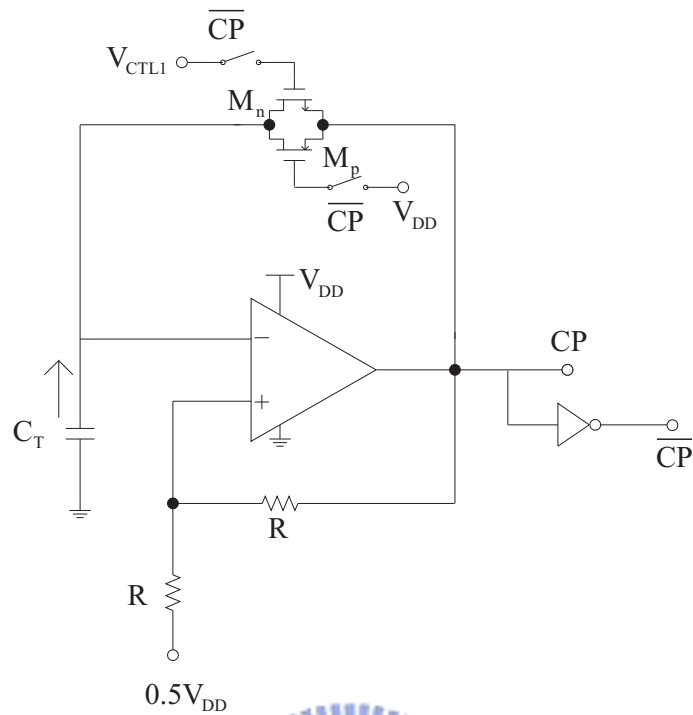


圖 3.6: 對 C_T 放電時

輸出 V_{DD} 為止, 如此週而復始, 形成震盪。

藉由外部電壓 V_{CTL1} 和 V_{CTL2} 的調整, 可以增快或降低震盪的頻率, 其中 V_{CTL1} 決定的是電容 C_T 透過 M_n 放電的速度, V_{CTL1} 越高則放電速度越快, V_{CTL2} 決定的是電容 C_T 透過 M_p 充電的速度, V_{CTL2} 越低則充電速度越快。電路設計的目標, 震盪器的輸出頻率可調範圍至少要是 $0.5\text{MHz} \sim 2\text{MHz}$, 以確保在溫度及製程的變動下, 皆可經由外部電壓調整出 1MHz 的輸出頻率。表 3.1 為 spice 的模擬結果, 假定雜散與 PAD 負載電容為 2.2PF , 可經由外部電壓調整出 $0.33\text{MHz} \sim 2.5\text{MHz}$ 的輸出頻率。

	V_{CTL1}	V_{CTL2}	震盪頻率	功率消耗
圖 3.12	2.3V	1.2V	2.5MHz	1.5605mW
圖 3.13	1.6V	1.8V	1MHz	1.6013mW
圖 3.14	1.05V	2.13V	0.33MHz	1.6676mW

表 3.1: 經外部電壓調整後可得不同之震盪頻率

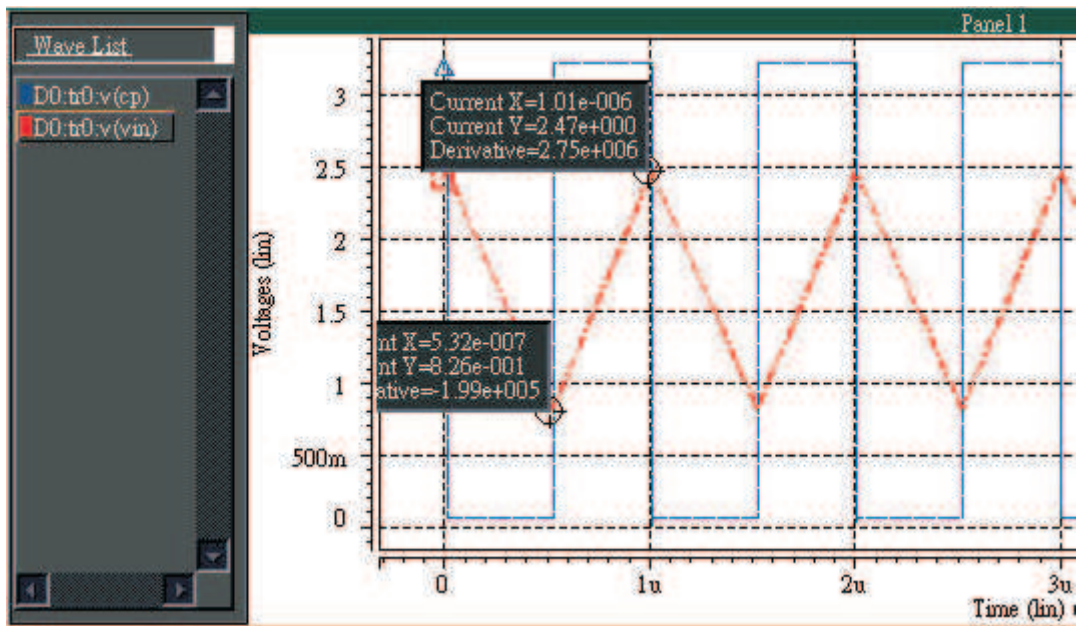


圖 3.7: 圖 3.3 的模擬結果

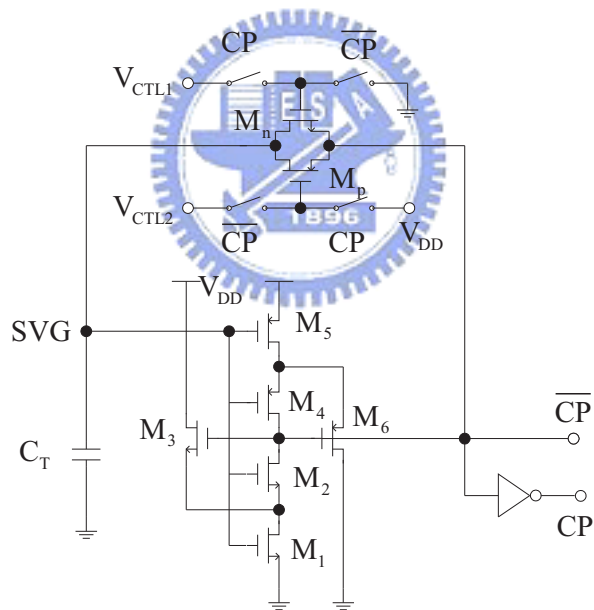


圖 3.8: 實作之弛緩震盪器電路

3.3 電路佈局

電路佈局的大小為 $84 * 75\mu m^2$, 包含了外部的 V_{DD} 和 GND 的隔絕圈 (guard ring), 避免影響到其他電路的操作。

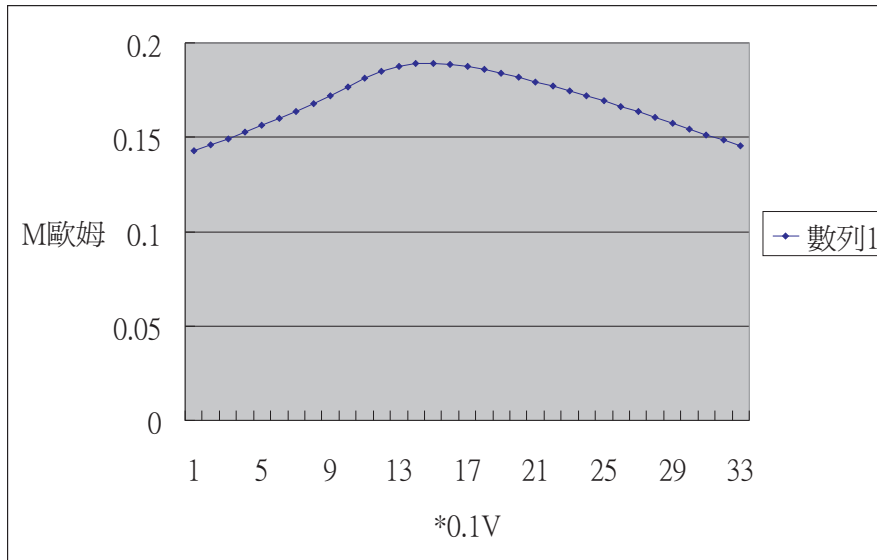


圖 3.9: 開關之導通電阻

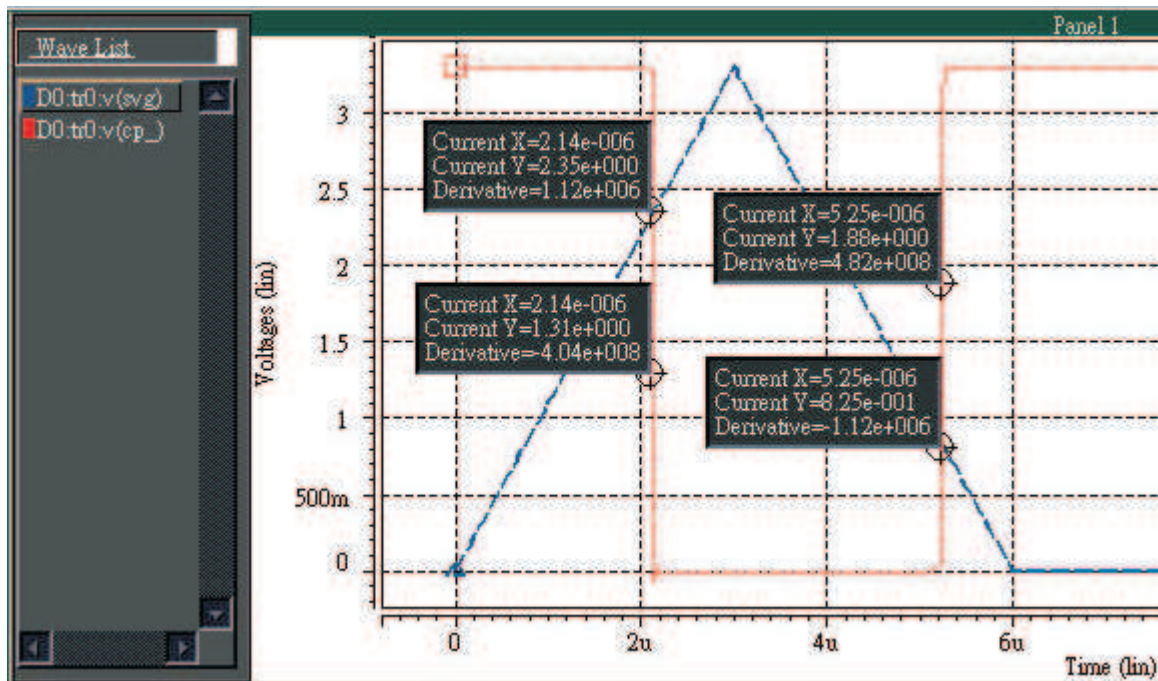


圖 3.10: 輸入斜波以量測史密特觸發器準位

3.4 模擬結果

佈局後抽取出設計值, 及所有的寄生電阻電容所做的模擬 (post simulation) 如下, 在 tt、ff、ss、fs、sf 各 corner 在經過 V_{CTL1} 及 V_{CTL2} 的調整過後, 都可以調整出 duty

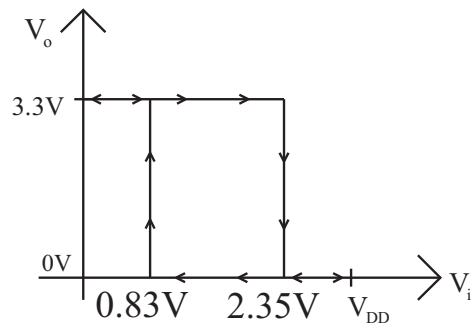


圖 3.11: 圖 3.8 中史密特觸發器之特性曲線

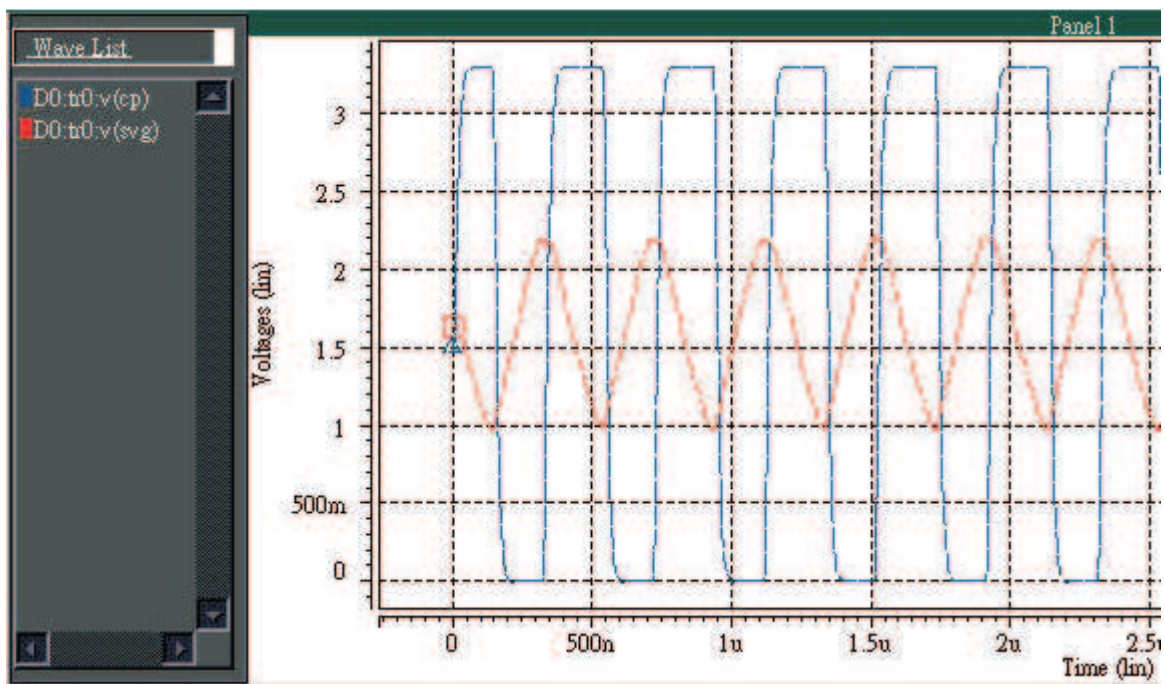


圖 3.12: 2.5MHz

cycle = 50% 而頻率為1MHz 的方波。

3.5 晶片量測結果

量測的結果，是可以得到1MHz 的波形，但是並不是很好的方波，估計是因為此震盪器之 CP 腳位直接由 pad 接出，而多了個不必要的大電容，以及量測所用的示

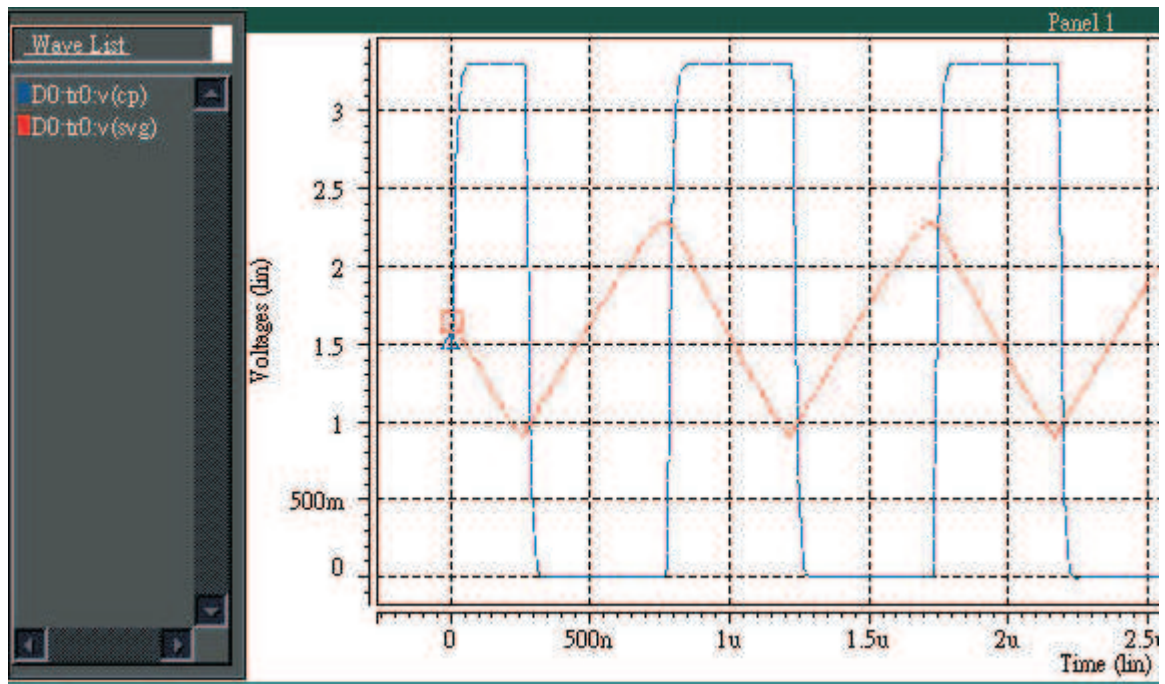


圖 3.13: 1MHz

波器，也可能造成更大的負載電容，造成量測的波形並不是很漂亮；然而晶片中，爲了產生後面交換電容所須的四個相位的方波，震盪器之後接的是一連串的反相器及緩衝器 (buffer)，故能夠將不完美的方波修整回好的方波，使得後面的電路能夠正確的工作 [17] [18] [19] [20]。

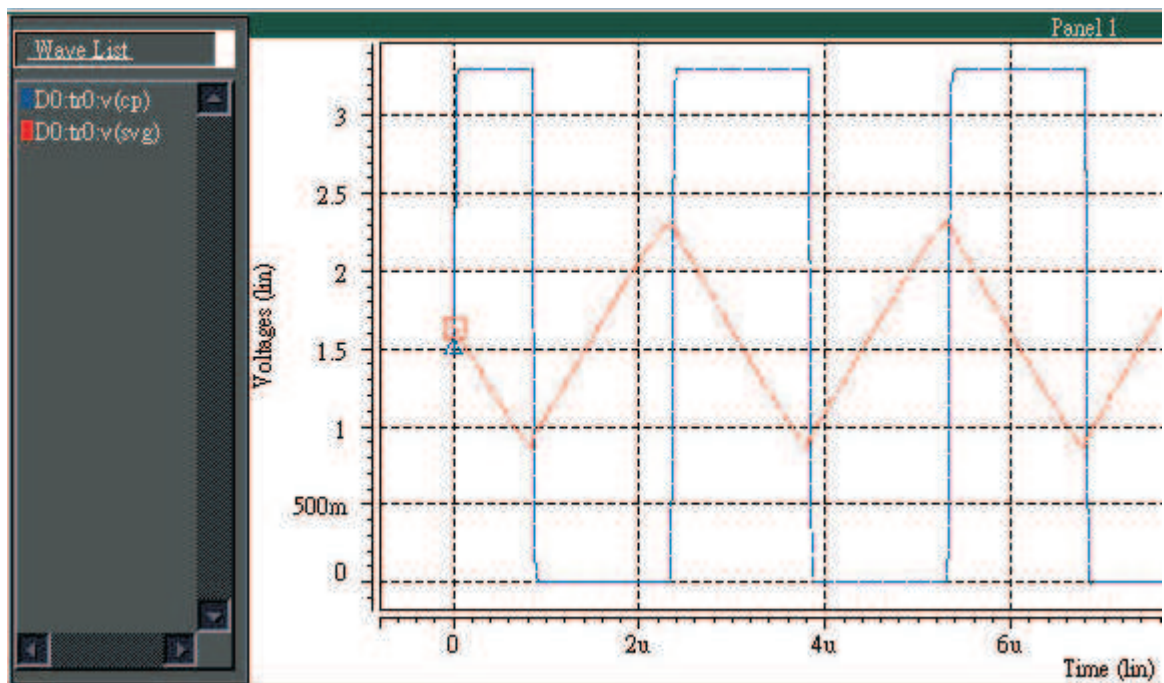


圖 3.14: 0.33MHz

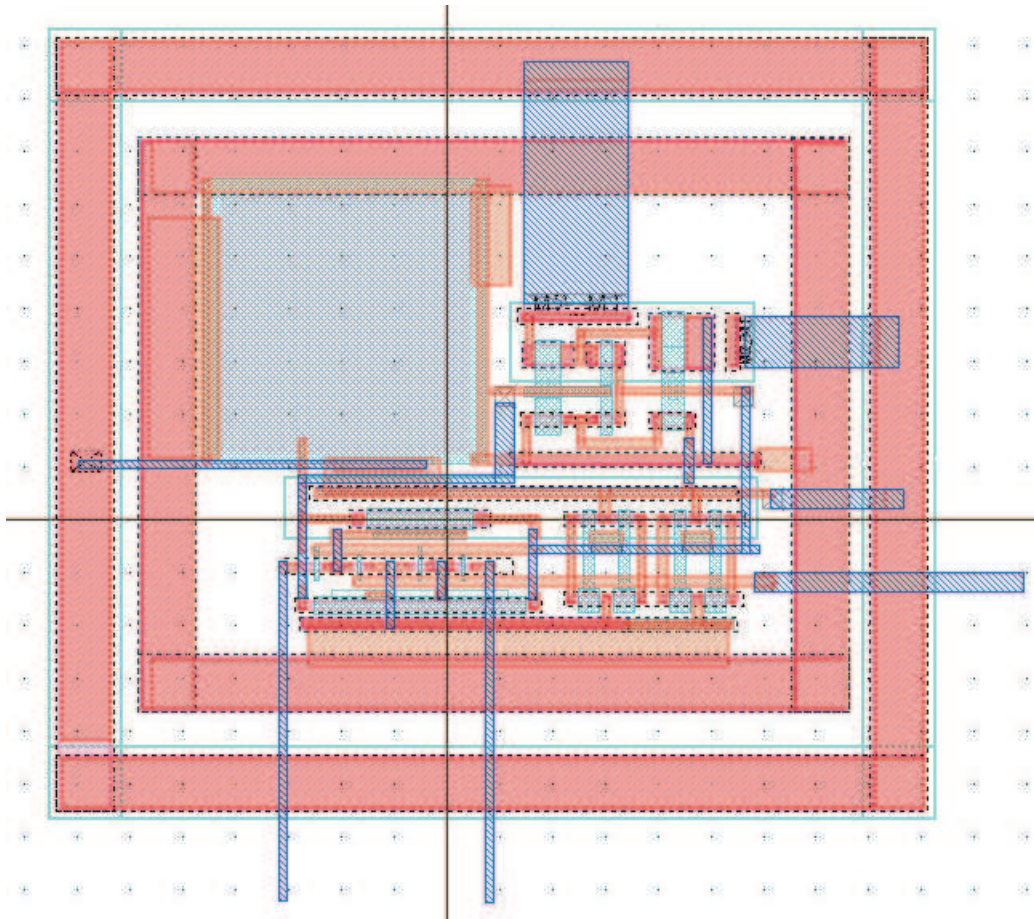


圖 3.15: Layout

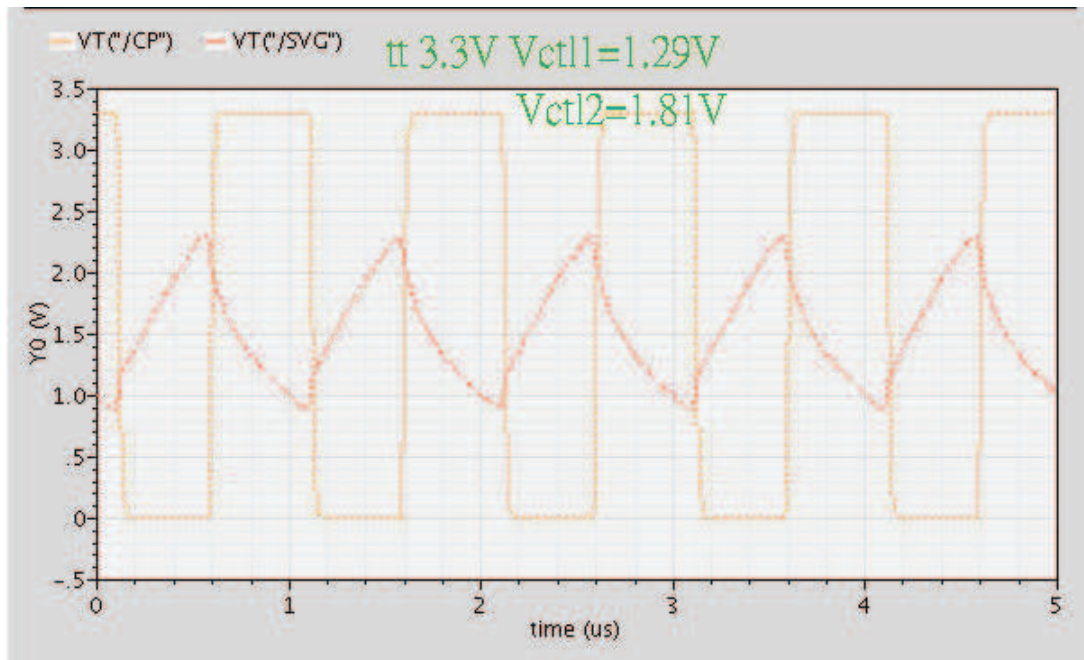


圖 3.16: t_t

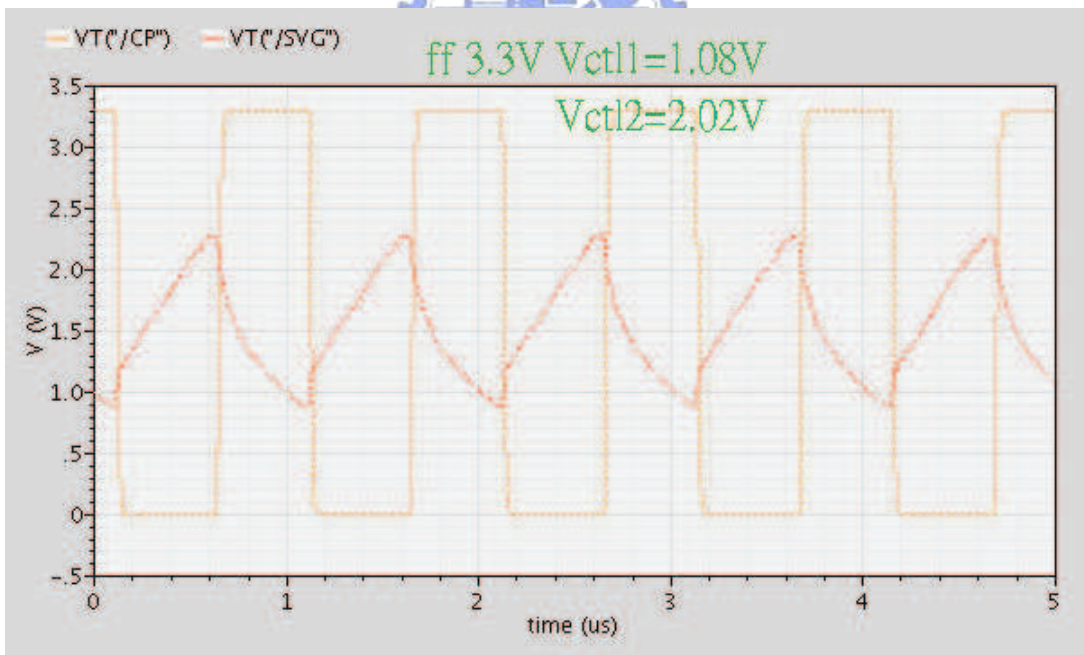


圖 3.17: t_f

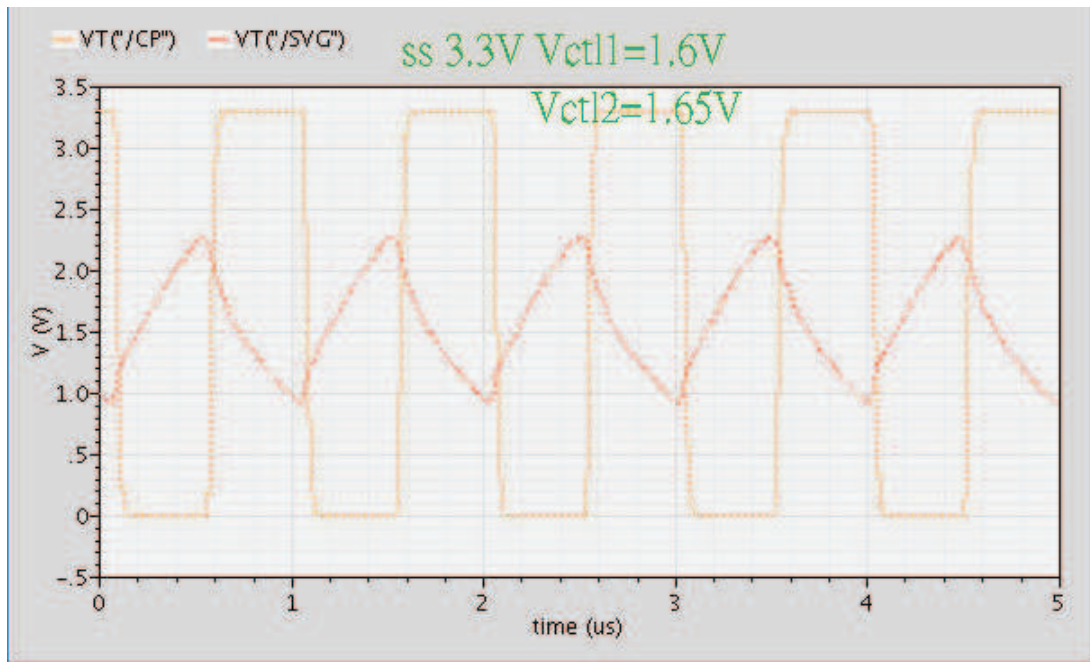


圖 3.18: ss

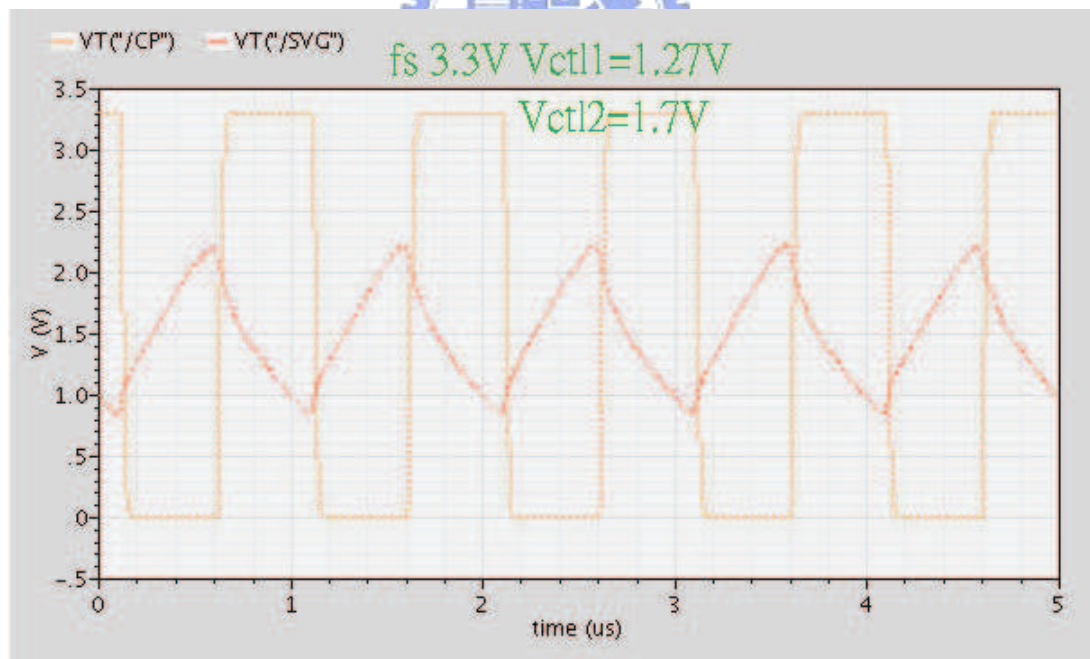


圖 3.19: fs

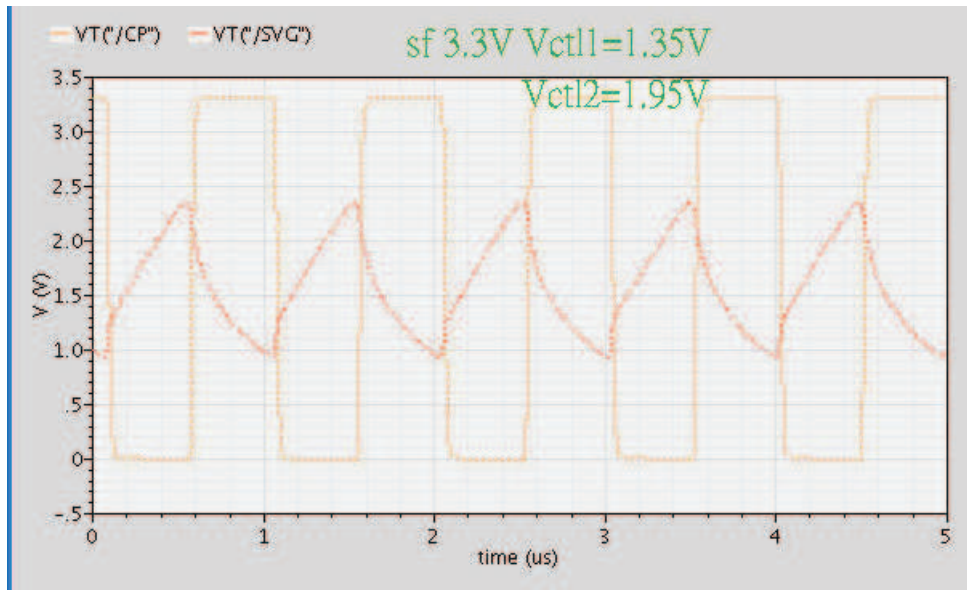


圖 3.20: sf

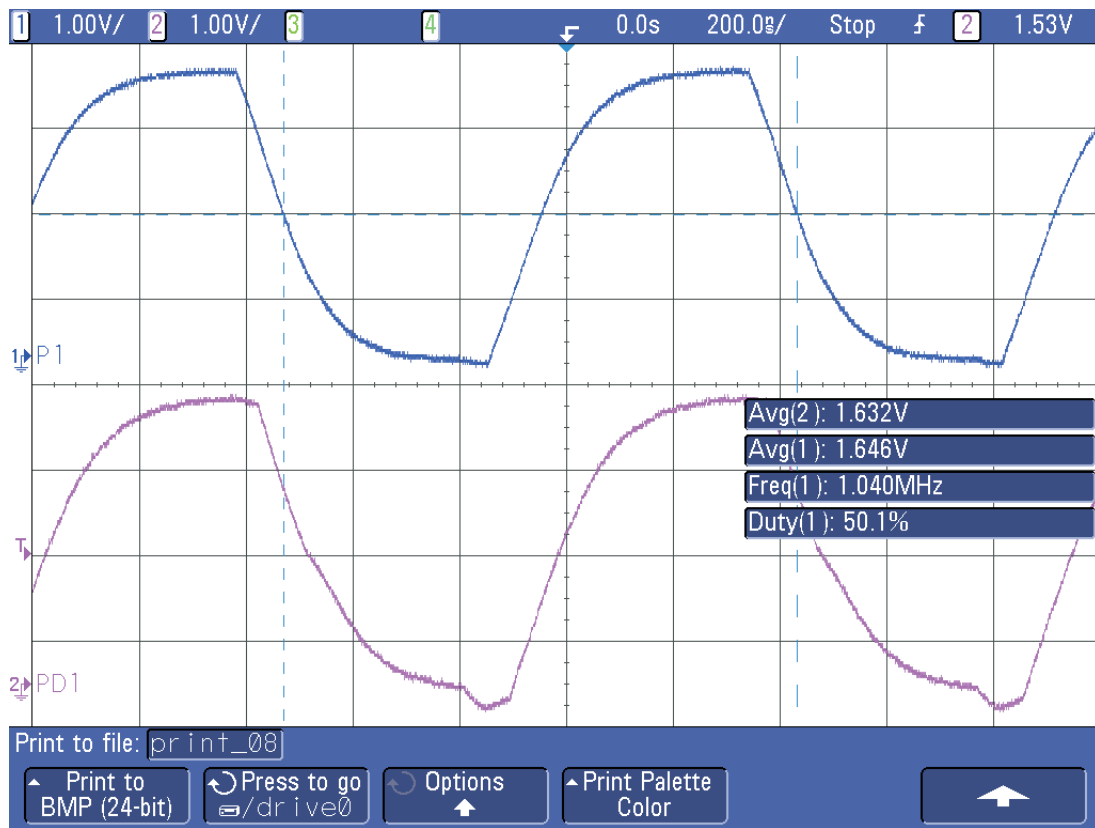


圖 3.21: 量測結果

Chapter 4

結論

探討了數種震盪器形式之後，分析其實現難易度以及所需之規格，最後選取了結構最簡單的弛緩震盪器實現，實現過程又再簡化了那部的電路，將比較器及其配合之電阻改以史密特觸發器來取代，使得實現起來更小。

佈局前的模擬，經由外部電壓調整，在各個corner 都可輸出 0.5MHz ~ 2MHz 的震盪頻率；電路佈局後的模擬，經由外部電壓調整，在各個 corner 亦都可輸出 0.5MHz ~ 2MHz 的震盪頻率；在輸出頻率為 1MHz 時，功率消耗約為 1.6mW；而電路佈局的大小，包含了外部的 V_{DD} 和 GND 的隔絕圈，為 $84 * 75\mu m^2$ 。

將電路佈局送往CIC 製作成晶片後，量測的結果，確實可以輸出 1MHz 的波形。

未來展望 由於此震盪器之 CP 腳位直接由 pad 接出，而多了個不必要的大電容，以及量測所用的示波器，也可能造成更大的負載電容，造成量測的波形並不是很漂亮；如果再有機會將晶片送製，若要在電路的中間拉出量測點，應在連接到 pad 之前接個緩衝器，以隔絕為了量測而造成的電路誤差。

參考文獻

- [1] Razavi, B. (2000). Design of analog CMOS integrated circuits McGraw-Hill Boston, MA.
- [2] Manjul Bhushan, Senior Member, IEEE, Mark B. Ketchen, Fellow, IEEE, Ming Cai, Member, IEEE, and Chin Kim, "Ring Oscillator Technique for MOSFET CV Characterization" IEEE Transactions on Semiconductor manufacturing, vol. 21,NO. 2,MAY 2008
- [3] Bosco Leung, Electrical and Computer Engineering Department, University of Waterloo Waterloo, Ontario, Canada, "Timing Jitter of Contemporary CMOS Ring Oscillators"
- [4] K.N. Leung, C.H. Lo, P.K.T. Mok, Y.Y. Mai, W.Y. Leung and M.J.Chan, "Temperature-compensated CMOS ring oscillator for power-management circuits" Electronics Letters 19th July 2007 Vol. 43 No. 15
- [5] Shweta Srivastava and Jaijeet Roychowdhury, "Analytical Equations for Non-linear Phase Errors and Jitter in Ring Oscillators" IEEE Transactions on Circuits and Systems-I: Regular Papers, VOL. 54, NO. 10, October 2007
- [6] Hasrolnizam bin Mohd Mokhtar, Student Member, IEEE, Admad Sabirin bin Zoolfakar, Member, IEEE Hashimah binti Hashim, Member, IEEE "Comparison between Inverter and Differential Amplifier as 0.35um Ring Oscillator"

Vehicle” Proceedings of the 2008 IEEE Conference on Innovative Technologies in Intelligent Systems and Industrial Applications Multimedia University, Cyberjaya, Malaysia, 12-13 July 2008

- [7] Krishnakumar Sundaresan, Student Member, IEEE, Phillip E. Allen, Life Fellow, IEEE, and Farrokh Ayazi, Senior Member, IEEE, ”Process and Temperature Compensation in a 7-MHz CMOS Clock Oscillator” IEEE Journal of Solid-state Circuits, VOL. 41, NO. 2, February 2006
- [8] Ching-Yuan Yang and Meng-Ting Tsai ”A Voltage-controlled Varactorless LC-tank Oscillator with a Transformer-feedback Technique” Microwave and Optical Technology Letters / Vol. 49, No. 11, November 2007
- [9] Anwar Sadat, Member, IEEE, Yi Liu, Chuanzhao Yu, Student Member, IEEE, and Jiann S. Yuan, Senior Member, IEEE ”Analysis and Modeling of LC Oscillator Reliability” IEEE Transactions on Device and Materials Reliability, VOL. 5, NO. 1, March 2005
- [10] L. Romano, C. Samori, S. Levantino, A. Bonfanti, A. L. Lacaíta ”A Multi-tank LC-Oscillator”
- [11] Andrea Mazzanti, Associate Member, IEEE, Francesco Svelto, Member, IEEE, and Pietro Andreani, Member, IEEE ”On the Amplitude and Phase Errors of Quadrature LC-Tank CMOS Oscillators” IEEE Journal of Solid-State Circuits, VOL. 41, NO. 6, JUNE 2006
- [12] Igor M. Filanovsky, Senior Member, IEEE, Chris J.M. Verhoeven, Member, IEEE, and Mahbub Reja, Member, IEEE ”Remarks on Analysis, Design and Amplitude Stability of MOS Colpitts Oscillator” IEEE Transactions on Circuits and Systems-II: Express Briefs, Vol. 54, No.9, September 2007

- [13] Michael Peter Kennedy "On the Relationship Between the Chaotic Colpitts Oscillator and Chua's Oscillator" IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications, Vol. 42, No. 6, June 1995
- [14] Choong-Yul Cha, Member, IEEE, and Sang-Gug Lee, Member, IEEE "A Complementary Colpitts Oscillator in CMOS Technology" IEEE Transactions on Microwave Theory and Techniques, Vol. 53, No. 3, March 2005
- [15] Pietro Andreani, Member, IEEE, Xiaoyan Wang, Luca Vandi, and Ali Fard "A Study of Phase Noise in Colpitts and LC-Tank CMOS Oscillators" IEEE Journal of Solid-State Circuits, Vol. 40, No. 5, May 2005
- [16] Gian Mario Maggio, Student Member, IEEE, Oscar De Feo, and Michael Peter Kennedy, Fellow IEEE "Nonlinear Analysis of the Colpitts Oscillator and Applications to Design" IEEE Transactions on Circuit and Systems-I: Fundamental Theory and Applications, Vol. 46, No. 9, September, 1999
- [17] Grebene Alan B.(2003). Bipolar and MOS Analog Integrated Circuit Design
- [18] Babak Vakili Amini and Farrokh Ayazi, "A 2.5V 14-bit $\sigma\Delta$ CMOS SOI Capacitive Accelerometer" IEEE J. Solid-State Circuits,vol. 39,NO. 12,pp. 2467-2475,Dec. 2004
- [19] Yili Liu, Song Chen, Masakatsu Nakayama, and Kenzo Watanabe, Fellow, IEEE "Limitations of a Relaxation Oscillator in Capacitance Measurements" IEEE Transactions on Instrumentation and Measurement, Vol. 49, No. 5, October 2000
- [20] Toshimichi Saito, Member, IEEE "On a Coupled Relaxation Oscillator" IEEE Transactions on Circuits and Systems, Vol. 35, No. 9, September 1988