

國立交通大學

電機與控制工程學系

碩士論文

十二位元超低耗能

連續近似式類比數位轉換器之設計

Design of a 12-bit, Ultra-low Power

Successive Approximation

Analog-to-Digital Converter

研究生：郭榮洲

指導教授：洪浩喬 教授

中華民國九十七年一月

十二位元超低耗能
連續近似式類比數位轉換器之設計
Design of a 12-bit, Ultra-low Power
Successive Approximation
Analog-to-Digital Converter

研究生：郭榮洲

Student : Rong-Jhou Guo

指導教授：洪浩喬

Advisor : Hao-Chiao Hong

國立交通大學 電機資訊學院
電機與控制工程學系
碩士論文

A Thesis
Submitted to Department of Electrical and Control Engineering College of
Electrical Engineering and Computer Science
National Chiao-Tung University
In Partial Fulfillment of the Requirements
for the Degree of
Master
In
Electrical and Control Engineering
January 2008

Hsinchu, Taiwan, R.O.C

中華民國九十七年一月

十二位元超低耗能連續近似式 類比數位轉換器之設計

研究生：郭榮洲

指導教授：洪浩喬 博士

國立交通大學電機與控制工程學系碩士班

摘要

本論文提出利用 $0.18\mu\text{m}$ CMOS 製程實現一 12 位元超低耗能連續近似式類比數位轉換器，此類比數位轉換器使用具備消除過偏移量功能的前置放大器來降低比較器的偏移量，並且使用 capacitor splitting DAC 來減少 DAC 的誤差量及功率消耗。為了得到更好訊號雜訊比值，我們使用一個具有軌對軌(Rail-to-rail)輸入範圍的放大器來作為前置放大器的第一級，使類比數位轉換器可以接受軌對軌的輸入訊號。為了讓前置放大器在低電壓下亦能正常工作，我們並聯主動式正電阻和主動式負電阻來作為其負載，使其在 0.5V 之下仍可正常工作。量測結果顯示，當使用供應電壓為 0.55 伏特且輸出頻率為 1KS/s 時，此連續近似式類比數位轉換器可提供軌對軌的輸入範圍，以及 50.73dB 的訊號對雜訊諧波比(SNDR)，且此類比數位轉換器之功率消耗只有 35nW ，而其有效解析度頻寬可以到達奈奎斯(Nyquist)頻寬 (500Hz)，此時相對應之能源 FOM (Figure of merit) 可達 $124\text{fJ/conversion-step}$ ，與已知文獻中功耗最低之類比數位轉換器相較，此類比數位轉換器消耗功率僅為其 24 分之一，為目前已知消耗功率最低的類比數位轉換器。

Design of A 12-bit, Ultra-low Power Successive Approximation Analog-to-Digital Converter

Student : Rong-Jhou Guo

Advisor : Dr. Hao-Chiao Hong

Institute of Electrical and Control Engineering

National Chiao-Tung University



Abstract

This paper presents a 12-bit, ultra low power successive approximation analog-to-digital converter in TSMC 0.18 μ m 1P6M CMOS process. The analog-to-digital converter uses the offset-free pre-amplifiers to alleviate the impacts of the comparator's offset. The bridging capacitive DAC is adopted to reduce the nonlinearity and to save the power of the DAC. The pre-amplifiers with a rail-to-rail input range are used to make the input range of the ADC also rail-to-rail. We used a diode-connected transistor in parallel with a negative resistor as the loads of the pre-amplifiers in order to enable them operating at a supply voltage as low as 0.5V. Measurement results show that at an output rate of 1KS/s and a supply voltage 0.55V, the SA ADC provides a rail-to-rail input range and achieves a signal-to-noise-distortion ratio (SNDR) of 50.7dB and an effective resolution bandwidth (ERBW) up to the Nyquist bandwidth (500Hz). Its power consumption is as

low as 35 nW, corresponding to an energy figure of merit (FOM) as good as 124fJ/conversion-step. The power of the proposed ADC is 24 times better than the lowest record of the state-of-the-art works as far as we know.



誌謝

本論文可以順利完成，首先要感謝我的指導教授 洪浩喬老師，教導我在學業上的豐富知識，並且也學習到做研究及做事應有的態度，讓我這兩年收穫良多。謝謝您，老師！

感謝實驗室博班聖泉學長在研究上給予的指導及建議；還有和我一起為畢業而打拚的皇承學長、同窗芳毅、振綱、學弟宗殷、永順、勇成、紹峰、明達、韋傑以及已畢業的學長們，除了在專業領域上的討論，還有更多的是日常生活的互相打氣，在 901 實驗室的研究生活裡，能和你們在一起真的很開心。

最後要感謝我的家人，一直以來總是給予我最大的支持，在我低落、灰心的時候，給予我鼓勵，讓我能無後顧之憂地，專心於研究，順利完成論文。

感謝大家。未來我會繼續加油、繼續努力。

郭榮洲 謹識

中華民國九十七年一月

新竹 交大

目錄

中文摘要.....	I
英文摘要.....	II
誌謝	IV
目錄	V
圖目錄	VIII
表目錄	XI
第一章 緒論	1
1.1 研究背景	1
1.2 研究動機與目的	1
1.3 論文章節組織及研究方法	4
第二章 ADC 介紹	5
2.1 Sigma-delta 類比數位轉換器	5
2.2 積分式類比數位轉換器(Integrating ADC)	6
2.3 連續漸近式類比數位轉換器(SA ADC)	8
2.4 循環式類比數位轉換器(Cyclic ADC)	9
2.5 類比數位轉換器之選擇	10
第三章 十二位元超低功率連續漸近式類比數位轉換器設計	12
3.1 提出之 SAADC	13
3.1.1 取樣保持電路(Sample and hold, S/H)	15
3.1.2 數位類比轉換器(DAC)	22
3.1.3 比較器(Comparator)	29
3.1.3.1 前置放大器 (Pre-amplifier)	31
3.1.3.2 比較器 (Comparator)[4]	37
3.1.4 連續近似暫存器(SAR)	37
3.2 ADC 佈局圖	39
第四章 模擬與驗證	41

4.1	供應電壓為 1V 之模擬結果	41
4.1.1	動態參數	41
4.1.2	功率消耗(Power dissipation).....	43
4.2	供應電壓為 0.9V 之模擬結果	45
4.2.1	動態參數	45
4.2.2	功率消耗(Power dissipation).....	47
4.3	供應電壓為 0.55V 之模擬結果	49
4.4	供應電壓為 0.5V 之模擬結果	52
4.5	ADC 模擬結果與比較	53
第五章	量測結果	56
5.1	量測環境設定	56
5.2	供應電壓為 0.55V 之量測結果	57
5.2.1	動態參數	57
5.2.2	靜態參數	61
5.2.3	功率消耗	62
5.3	供應電壓為 0.5V 之量測結果	63
5.3.1	動態參數	63
5.3.2	靜態參數	65
5.4	供應電壓為 0.9V 之量測結果	66
5.4.1	時脈頻率 490KHz	66
5.4.1.1	動態參數	66
5.4.1.2	靜態參數	70
5.4.2	時脈頻率 210KHz	71
5.4.2.1	動態參數	71
5.4.2.2	靜態參數	75
5.4.3	功率消耗	76
5.5	供應電壓為 1V 之量測結果	78
5.5.1	動態參數	78
5.5.2	靜態參數	80
5.5.3	功率消耗	82
5.6	效能分析	82
5.7	量測結果與比較	84
第六章	結論與未來展望	87
附錄 A	88
附錄 B	95



圖目錄

圖 1-1	應用於人體生理訊號量測之無線微感測模組系統架構[1]	3
圖 2-1	Sigma-delta 類比數位轉換器	6
圖 2-2	雙斜率類比數位轉換器[3]	7
圖 2-3	雙斜率類比數位轉換器操作[3]	8
圖 2-4	傳統之連續近似式類比數位轉換器[3]	9
圖 2-5	循環式類比數位轉換器[4]	10
圖 3-1	提出之 SA ADC	14
圖 3-2	提出之 SA ADC 之 Phase	15
圖 3-3	一般的 Bootstrapped 架構[4]	17
圖 3-4	比較開關之導通電阻	17
圖 3-5	採用 Bootstrapped 開關之取樣保持電路	18
圖 3-6	接近 Nyquist frequency 的 S/H 輸出頻譜	18
圖 3-7	取樣保持電路[33]	20
圖 3-8	取樣保持電路之輸出頻譜分析圖	20
圖 3-9	接近 Nyquist frequency 的 S/H 輸出頻譜	21
圖 3-10	當 V_{DD} 降至 0.55V 時之 S/H 輸出頻譜	21
圖 3-11	DAC 之電容陣列	22
圖 3-12	Sub DAC 使用電阻陣列	23
圖 3-13	Sub DAC 使用電容陣列	24
圖 3-14	ENOB 分析	26
圖 3-15	電容陣列佈局	28
圖 3-16	比較器之架構	29
圖 3-17	軌對軌之前置放大器	34
圖 3-18	供應電壓 0.9V 之 PA1 頻率響應	35
圖 3-19	供應電壓 0.9V 之 PA2 頻率響應	35
圖 3-20	供應電壓 0.55V 之 PA1 頻率響應	36
圖 3-21	供應電壓 0.55V 之 PA2 頻率響應	36
圖 3-22	軌對軌之比較器	37
圖 3-23	連續近似暫存器架構	39
圖 3-24	區塊(block)接腳圖	39
圖 3-25	SA ADC 佈局圖	40
圖 4-1	TT, 1v, 25°C 時之頻譜分析圖	41

圖 4-2	不同輸入頻率與 SNDR 的關係(供應電壓為 1V).....	43
圖 4-3	ADC 各部分電壓所消耗之功率(供應電壓 1V).....	44
圖 4-4	ADC 整體所消耗的功率(供應電壓 1V).....	45
圖 4-5	TT, 0.9v, 25°C 時之頻譜分析圖.....	46
圖 4-6	不同輸入頻率與 SNDR 的關係(供應電壓為 0.9V).....	47
圖 4-7	ADC 各部分電壓所消耗之功率(供應電壓 0.9V).....	48
圖 4-8	ADC 整體所消耗的功率(供應電壓 0.9V).....	48
圖 4-9	TT, 0.55v, 25°C 時之頻譜分析圖.....	49
圖 4-10	不同輸入頻率與 SNDR 的關係(供應電壓為 0.55V).....	50
圖 4-11	ADC 各部分電壓所消耗之功率(供應電壓為 0.55V).....	51
圖 4-12	TT, 0.5v, 25°C 時之頻譜分析圖.....	52
圖 4-13	ADC 各部分電壓所消耗之功率(供應電壓為 0.5V).....	53
圖 5-1	晶片圖.....	56
圖 5-2	量測環境設定.....	57
圖 5-3	Clock vs. SDR,SNDR and SFDR.....	58
圖 5-4	頻譜分析圖.....	58
圖 5-5	Frequency vs. SNR、SNDR 及 SFDR (時脈頻率為 14KHz, 供應電壓為 0.55V).....	59
圖 5-6	不同輸入振幅情況下, 不同輸入頻率與 SNDR 的關係.....	60
圖 5-7	不同輸入振幅與 SNR、SNDR 及 SFDR 的關係.....	60
圖 5-8	DNL(供應電壓為 0.55V).....	61
圖 5-9	INL(供應電壓為 0.55V).....	62
圖 5-10	CLK vs. Power dissipation (供應電壓為 0.55V).....	63
圖 5-11	Clock vs. SDR,SNDR and SFDR.....	64
圖 5-12	頻譜分析圖.....	64
圖 5-13	DNL(供應電壓為 0.5V).....	65
圖 5-14	INL(供應電壓為 0.5V).....	66
圖 5-15	Clock vs. SDR,SNDR and SFDR.....	67
圖 5-16	頻譜分析圖.....	67
圖 5-17	Frequency vs. SNR、SNDR 及 SFDR (時脈頻率為 490KHz, 供應電壓為 0.9V).....	68
圖 5-18	不同輸入振幅情況下, 不同輸入頻率與 SNDR 的關係.....	69
圖 5-19	不同輸入振幅與 SNR、SNDR 及 SFDR 的關係.....	69
圖 5-20	DNL(供應電壓為 0.9V).....	70
圖 5-21	INL(供應電壓為 0.9V).....	71
圖 5-22	頻譜分析圖.....	72
圖 5-23	Frequency vs. SNR、SNDR 及 SFDR (時脈頻率為 210KHz, 供應	

電壓為 0.9V).....	73
圖 5-24 不同輸入振幅情況下，不同輸入頻率與 SNDR 的關係	74
圖 5-25 不同輸入振幅與 SNR、SNDR 及 SFDR 的關係	74
圖 5-26 DNL(供應電壓為 0.9V).....	75
圖 5-27 INL(供應電壓為 0.9V).....	76
圖 5-28 參考電壓的供耗 vs. Output code (供應電壓為 0.9V).....	77
圖 5-29 CLK vs. Power dissipation (供應電壓為 0.9V).....	77
圖 5-30 Clock vs. SDR,SNDR and SFDR.....	78
圖 5-31 頻譜分析圖	79
圖 5-32 Frequency vs. SNDR 及 SFDR (時脈頻率為 350KHz，供應電壓為 1V).....	80
圖 5-33 DNL(供應電壓為 1V).....	81
圖 5-34 INL(供應電壓為 1V).....	81
圖 5-35 DNL 之部份放大(供應電壓為 1V).....	83
圖 5-36 Behavior model 之 INL.....	83
圖 6-1 使用 DAC 來消除偏移量之 SAR ADC	87
圖 B-1 當 Main DAC 的 MSB bit 設為 1 時之熱雜訊影響.....	95
圖 B-2 當 Sub-DAC 的 MSB bit 設為 1 時之熱雜訊影響.....	96



表目錄

表 1-1	生醫應用[40]	3
表 1-2	ADC 規格及設計目標	3
表 2-1	類比數位轉換器種類[2]	5
表 3-1	比較 DAC 之效能	24
表 3-2	分析位元數之結果	25
表 3-3	連續近似暫存器操作	38
表 3-4	block 之運作	39
表 3-5	ADC 各部分之面積	40
表 4-1	角模擬(供應電壓為 1V)	42
表 4-2	不同輸入頻率之 SNDR(供應電壓為 1V)	42
表 4-3	ADC 各部分電壓所消耗之平均功率(供應電壓 1V)	45
表 4-4	角模擬(供應電壓為 0.9V)	46
表 4-5	不同輸入頻率之 SNDR(供應電壓為 0.9V)	47
表 4-6	ADC 各部分電壓所消耗之平均功率(供應電壓為 0.9V)	49
表 4-7	角模擬(供應電壓為 0.55V)	50
表 4-8	不同輸入頻率之 SNDR(供應電壓為 0.55V)	50
表 4-9	ADC 各部分電壓所消耗之平均功率(供應電壓為 0.55V)	51
表 4-10	ADC 各部分電壓所消耗之平均功率(供應電壓為 0.5V)	53
表 4-11	ADC 模擬結果	54
表 4-12	Benchmark	55
表 5-1	功率消耗(供應電壓為 1V)	82
表 5-2	比較模擬結果及量測結果(供應電壓 0.9V)	84
表 5-3	比較模擬結果及量測結果(供應電壓 0.55V)	85
表 5-4	量測數據之 FOM	85
表 5-5	Benchmark	86

第一章 緒論

1.1 研究背景

隨著全球性的人口高齡化與少子化趨勢，未來老人的家庭將逐漸增多，並且隨著年紀的增長，所以許多病痛也隨之變多，對於照顧的問題就變得相當重要，如果能配合遠端醫療與照護系統，醫師就能馬上提供適當的醫療模式。這樣的一個方式可以降低高成本的醫療人力與資源，且其所獲得長期性的觀察資料，更能較早察覺健康的異常。然而生理訊號乃是以類比的型態存在，為了使資料能以數位型態的方式記錄和傳播，因此類比數位轉換器便成為不可或缺的橋樑。

1.2 研究動機與目的



由於未來居家老人將逐漸增多，在居家環境中使用無線感測網路監測系統，患者可以自行做生理訊號測試(如表 1-1 所示之肌電圖、胃電圖、心電圖、腦波圖等)，這樣就能大量節省往返醫院問診的時間及昂貴的醫療費用，藉由日常生活居家環境中的健康檢測，更能提早察覺身體上的疾病徵兆，並且可以紀錄一些無法在短暫臨床問診的時間內，所可以察覺的病例與生理機能退化徵兆，提供醫師建立病患長期及連續性病理監測資料庫。

可攜帶式感測器電路主要電源為電池，因此電量十分有限，要能在無線網路的架構之下達到長時間的使用，感測器需具備低耗電、便宜、小尺寸、高傳輸率、攜帶方便等功能。在我們國科會總計畫的目標即是針對無線感測網路，發展與製作出一應用於人體生理訊號量測之無線微感測模組。

圖 1-1 為應用於人體生理訊號量測之無線微感測模組系統之架構，其中包括了微機電系統 (MEMS) 與無線傳輸技術，並且針對應用於人體生理

訊號監控之無線感測網路之需求，分成了創新之 MEMS 感測元件、前瞻的前端類比電路、後段信號處理、電力電子、智慧型電力供應源與微處理器等六項技術，才能構成一個完整且具有廣泛使用性之微感測模組。針對感測器而言，依據其不同之感測特點，設計其所需之訊號放大電路 (Signal Conditioning Circuit)，而其主要是將感測器所量得的訊號轉化為電訊號並放大至 ADC 的輸入範圍。其次再經由一個十位元以上之低耗能的類比數位轉換器 (Low Power ADC) 轉換成數位訊號送到微處理做資料之處理，最後處理完成的資料由射頻技術(RF Technology)所設計之無線訊號傳輸接收電路與天線 (RF Circuit 與 Antenna)，將感測所得之結果傳送出去。而為了要能達成攜帶式的感測系統，這個模組中更具有一微機電技術所設計與製作之微型能量產生器 (Micro Power Generator) 和一附屬的電源供應 (Aux Power Supply) 部分，再配合上電源管理電路 (Power Manage Circuit) 提供上述各項電路電源，達到更長使用時間，使得應用於人體生理訊號量測之無線微感測模組具有長時性與無線化。

類比數位轉換器對總計畫應用於無線感測網路之超低耗能無線微感測模組而言，是一個十分重要的電路。在生醫訊號監控應用中，系統的使用時間與訊號的解析度極為重要，而要監控的訊號為心電圖和腦波圖時，類比數位轉換器的準確度最少要大於十位元以上。由於元件不匹配及比較器的偏移量(Offset error)等問題，再加上感測所得之類比信號相當小，易受環境雜訊甚至於信號耦合的干擾，使得此類比數位轉換電路成為是系統最為脆弱困難完成的部份之一。本論文主要在設計一個十二位元超低耗能的類比數位轉換器，依據總計畫的需求，我們需要一個如下表1-2所示規格的類比數位轉換器[1]。

Ultra Low Power Wireless Sensing Module

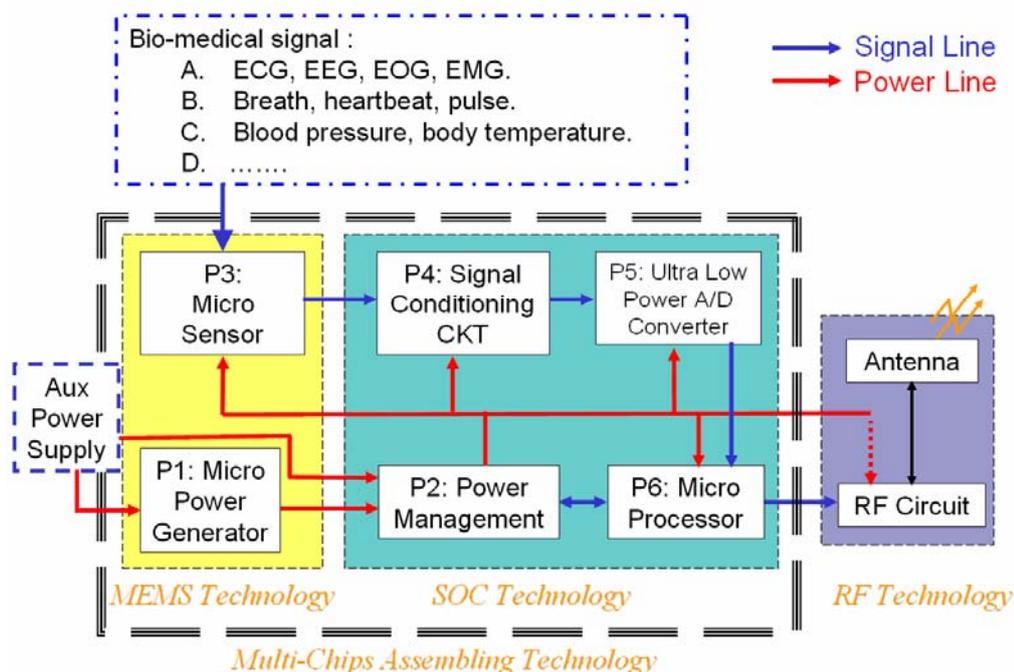


圖 1-1 應用於人體生理訊號量測之無線微感測模組系統架構[1]

表 1-1 生醫應用[40]

Parameter	Voltage range	Frequency range (Hz)
Electrocardiography (ECG)	0.5~4mV	0.01-250
Electroencephalogram (EEG)	1-100μV	DC - 150
Electromyography (EMG)	-	DC - 10000
Electrooculography (EOG)	5 ~200μV	DC - 50
Electroretinography (ERG)	0 ~600μV	DC - 50
Nerve potentials	0.01 ~ 3mV	DC - 10000

表 1-2 ADC 規格及設計目標

	Specification	Design Targets	
Supply voltage	<1 V	0.55V	0.9V
Conversion rate(Hz)	100 < & < 25K	1K	15K
Input signal swing	Rail-to-rail		
Resolution (bit)	≥ 10	10	12
Power dissipation	< 15μW		
LSB	< 0.98mV	0.54mV	0.22mV

1.3 論文章節組織及研究方法

本論文共分為六章，第一章闡述本論文研究背景、動機、目的以及研究方法；第二章對四種中高解析度的類比數位轉換器的架構做簡單介紹與分析；第三章分析十二位元低功率連續近似式類比數位轉換器的設計及架構；第四章為設計的模擬及驗證；第五章為晶片量測結果；第六章為結論及未來展望。

本論文所設計的類比數位轉換器是利用 $0.18\mu\text{m}$ CMOS 1P6M 製程來完成晶片的實現。在所需類比數位轉換器中，著重在低功率和高解析度的實現，為達到低功率和高解析度的設計，首先從架構層面來看，由分析各種類比數位轉換器架構的耗能表現，再藉此挑選出最合適的架構；再從電路層面來看，由於降低供應電壓通常是最快速降低整體耗能的方法，故降低供應電壓來達到我們低耗能的需求；最後從電晶體層面來看，由於數位電路的功率消耗與其負載電容成正比關係，故盡可能的降低數位電路的電晶體大小以減少負載電容，來降低功率消耗。

第二章 ADC 介紹

在不同方面的應用需要不同的類比數位轉換器，選對了架構才能得到比較好的效能。類比數位轉換器的效能主要分成高速、低耗能與高解析度這三項來討論，但要能同時達到這三個要求並不太可能，故針對其應用會有不同架構及特性的類比數位轉換器產生。類比數位轉換器架構種類繁多，但大致上可就解析度和速度來分成三類，如表 2-1 所示，在此章節裡只介紹中解析度和高解析度的類比數位轉換器。

表 2-1 類比數位轉換器種類[2]

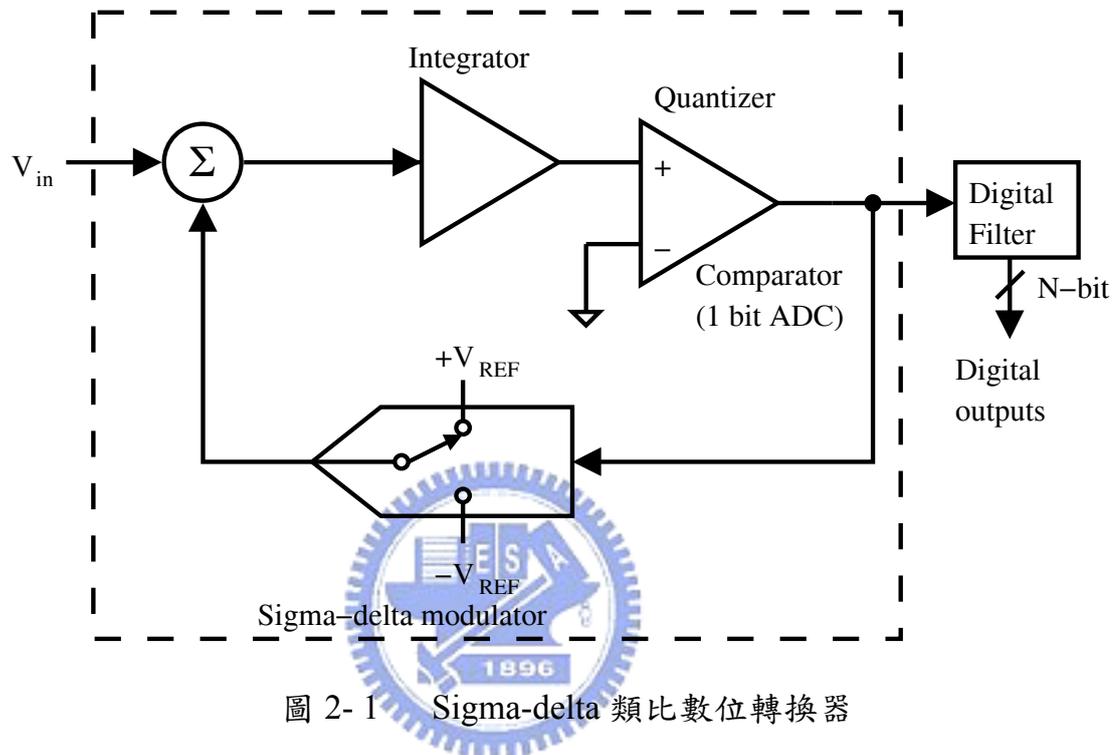
Low-to-Medium Speed, High Accuracy	Medium Speed, Medium Accuracy	High Speed, Low-to-Medium Accuracy
Oversampling Integrating	Successive approximation Algorithmic Cyclic	Flash Two-step Interpolating Folding Pipelined Time-interleaved

2.1 Sigma-delta 類比數位轉換器

圖2-1 為一階Sigma-delta類比數位轉換器架構，由一些簡單的類比電路(比較器、開關電路、積分器、加法電路)以及一數位濾波電路組成，類比部分一般稱為Sigma-delta調變器，數位部分主要是一降頻濾波器(decimation filter)，這種架構的類比數位轉換器主要是利用超頻取樣(Oversampling)及雜訊整形(Noise shaping)的技巧來得到較高的訊號雜訊比(Signal-to-noise ratio, SNR)。

超頻取樣的技巧主要是利用功率頻譜密度(Power Spectrum Density, PSD)的原理，提升取樣頻率來取得較佳的 SNR。在我們設計的頻寬不變時，

以較高之取樣頻率進行取樣，對量化雜訊而言其功率是不變，但因取樣頻率變大，所以 PSD 之高度下降。若我們以數位低通濾波器對取樣後之訊號進行處理，則欲處理之頻寬內的訊號並未受影響，但卻有部分之量化雜訊被濾除，因此對整體而言 SNR 增加了。



雜訊整形(Noise-Shaping) 主要精神就是改變量化雜訊之能量分布，使其盡量推向高頻段，如此一來取樣訊號經數位濾波器後可將絕大部分之量化雜訊濾除以提升 SNR，而愈高階的 Sigma-delta 類比數位轉換器，其雜訊整形的程度也就愈好，但所耗的成本及功率也會相對的增加。

2.2 積分式類比數位轉換器(Integrating ADC)

大部份的積分式類比數位轉換器為雙斜率積分式類比數位轉換器(Dual-slope ADC)，其主要是由兩條不同的斜率來完成轉換資料，其最簡單

的架構如圖 2-2[3]所示。其中主要包括了一個積分器、一個比較器、一個控制邏輯電路以及一個計數器。

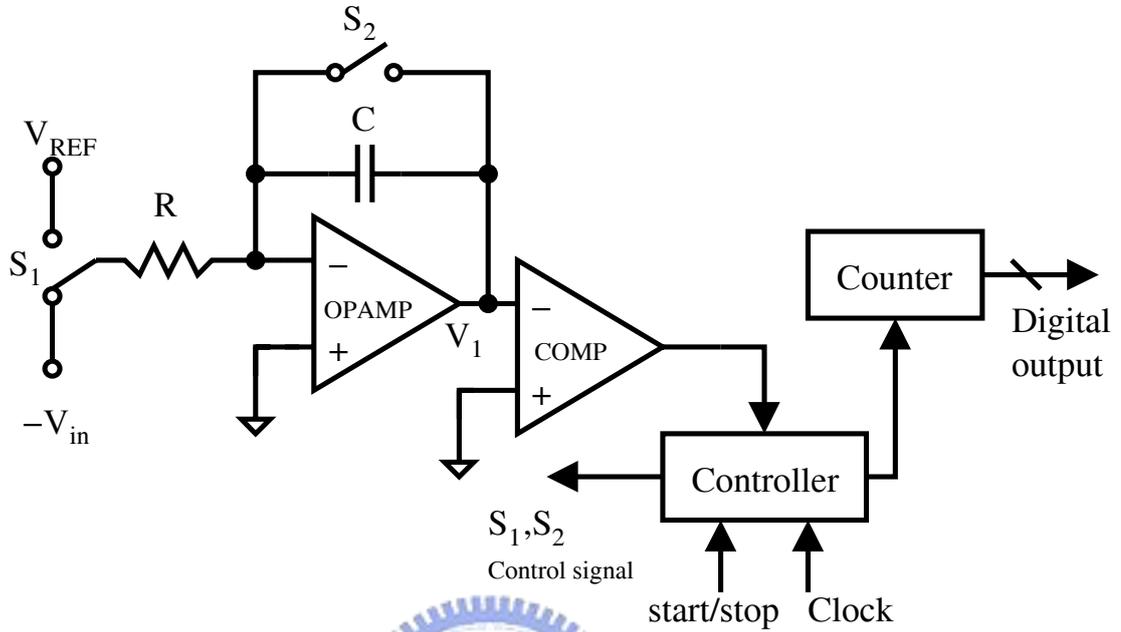


圖 2-2 雙斜率類比數位轉換器[3]

對於此雙斜率積分式類比數位轉換器之操作方式，主要分成重置、輸入電壓積分及參考電壓積分三個步驟，重置主要是將積分器的輸出清除為零，輸入電壓積分為在固定的時間 T_1 內，將 S_1 接至 $-V_{in}$ ，此時積分器輸出 V_1 將以 V_{in}/RC 之斜率逐漸地上升，不同的輸入值將會導致不同的斜率，如圖 2-3 所示。若要完成一 N 位元之類比數位轉換器，則要能在 T_1 的期間內計數至 2^N 次，此期間完成之後積分器之輸出將達到一峰值 V_{peak} ，其值如(2.1)所示：

$$V_{peak} = \frac{V_{in}}{RC} * T_1 \quad (2.1)$$

下一個步驟參考電壓積分主要為在固定時間 T_2 內，將 S_1 接至 V_{ref} ，此時積分器輸出 V_1 將以 V_{ref}/RC 之斜率下降，如圖 2-3 所示。此 T_2 會由於輸入之不同而有所改變， V_{in} 愈大，則 T_2 會較長，然而由圖 2-2，我們可以發現其關係式(2.2)所示。

$$V_{peak} = \frac{V_{ref}}{RC} * T_2 \quad (2.2)$$

由(2.1)及(2.2)之關係可得(2.3)，再藉由 T 與 n 成正比，產生(2.4)，其中 n_{ref} 代表 2^N ， N 為 ADC 的解析度，而 n 代表數位輸出值。由(2.4)可以發現此雙斜率類比數位轉換器之效能與 R 及 C 值無關，所以能達到較高的解析度。

$$\frac{T_2}{T_1} = \frac{V_{in}}{V_{ref}} \quad (2.3)$$

$$\frac{n}{n_{ref}} = \frac{V_{in}}{V_{ref}} \quad (2.4)$$

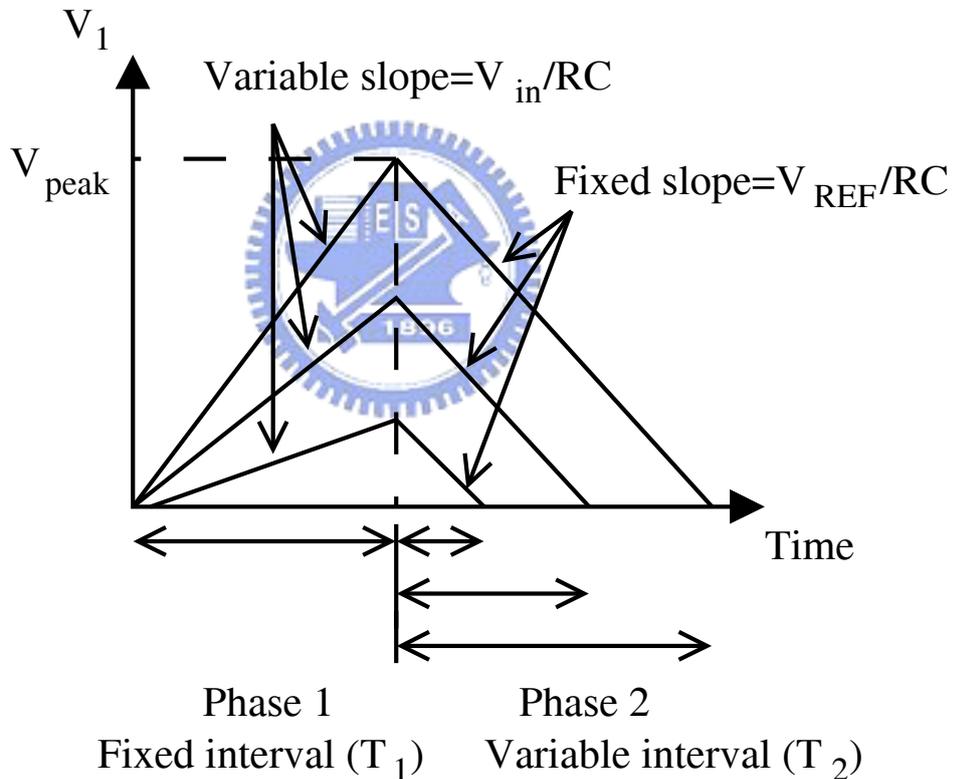


圖 2-3 雙斜率類比數位轉換器操作[3]

2.3 連續漸近式類比數位轉換器(SA ADC)

連續漸近式類比數位轉換器主要的構成元件為一個比較器、一個 N -bit 的數位類比轉換器(Digital-to-Analog Converter, DAC)及一個連續漸近暫存

器(Successive approximation register, SAR)。傳統的連續漸近式類比數位轉換器架構如圖 2-4 所示，此架構的轉換原理主要是使用二進位搜尋演算法(Binary search algorithm)的觀念，其操作方式主要分成三個步驟，分別是取樣模式、保持模式及電荷重新分佈模式。取樣是將 S_b 切到 V_{in} 且 S_a 將 V_{DAC} 端接至地端，接著進入保持的模式，此時 V_{DAC} 電壓為 $-V_{in}$ ，下一步就進入轉換的模式，也就是電荷重新分佈模式，這個模式需要 N 次的轉換， N 取決於類比數位轉換器的解析度，除了最後一次的轉換，其餘的轉換後都會在 V_{DAC} 端加或減 $V_{ref}/2^c$ ，其中 c 為第幾次的轉換，而藉由加或減來得到最後相對的數位輸出。

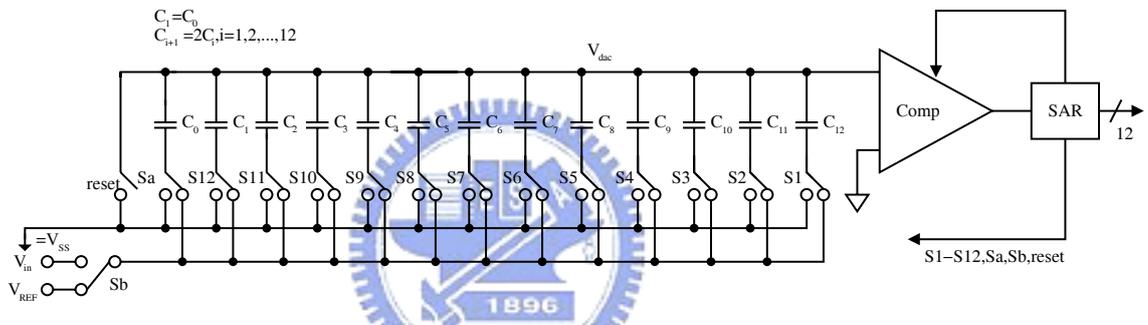


圖 2-4 傳統之連續近似式類比數位轉換器[3]

2.4 循環式類比數位轉換器(Cyclic ADC)

循環式類比數位轉換器(Cyclic ADC)與管線式類比數位轉換器(Pipelined ADC)有相同之工作原理，其差異在於循環式類比數位轉換器是利用相同的硬體來完成轉換，藉由使用不同的相位來轉出每個位元，達到節省硬體的效果。下圖 2-5 所示的是一個每次轉換出一位元的循環式類比數位轉換器。因此，對於舉例的循環式類比數位轉換器而言，一個十二位元的輸出規格，需要十三個時脈來完成轉換，其中一個為取樣的時脈，剩下的十二個為轉換每個位元的時脈。

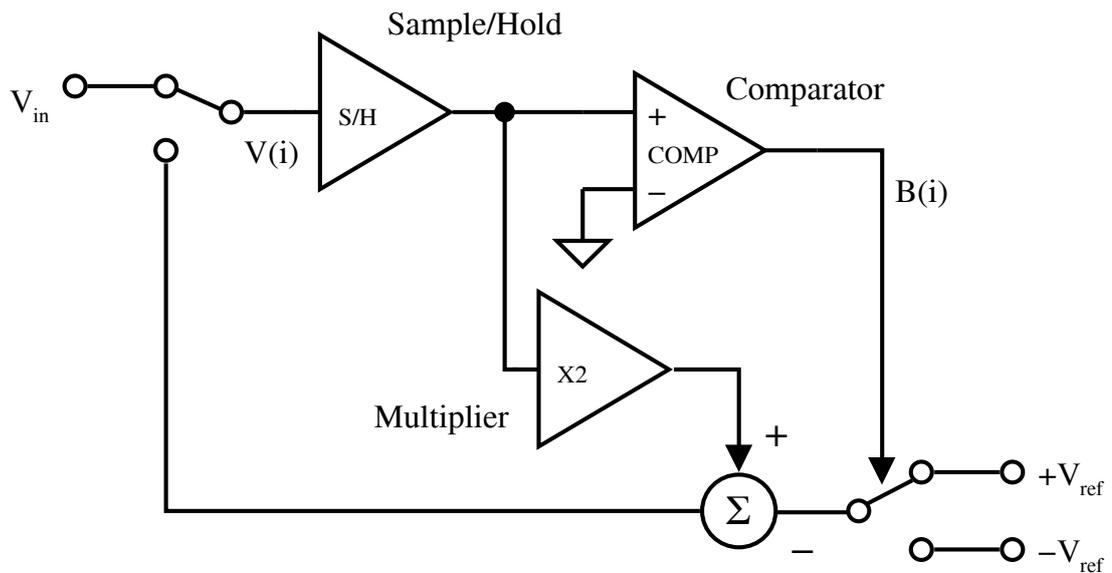


圖 2-5 循環式類比數位轉換器[37]

2.5 類比數位轉換器之選擇

十位元以上低功率類比數位轉換器大致為上述四種，第一種 Sigma-delta ADC，因為其主要功率消耗在數位的濾波器，而這部份的功率消耗相當大，故不考慮此架構。第二種架構 Integrating ADC，因為積分器使用了閉迴路的架構，所以想用低電壓來完成運算放大器可說是有一定的難度，而且還要考慮到運算放大器的頻寬的問題，故要用這一種架構來實現我們的目標也不太可能。而最後比較可行的架構有循環式類比數位轉換器和連續近似式類比數位轉換器這兩種，故就這兩者來以分析。首先觀察 Opamp 及比較器的數目，從架構上而言，兩者對於十位元以上解析度其所消耗之功率相近。再藉由從 IEEE 尋找十位元以上之類比數位轉換器論文，發現低耗能以連續近似式類比數位轉換器居多，且目前十位元以上類比數位轉換器之最低耗能為以連續近似式類比數位轉換器實現[5]，而其實現方法是和普通架構之類比數位轉換器相似，但是多加上了 Offset calibrating regenerative latch 來降低其 latch 的徧移量，但最後實現出來，其在奈奎斯頻寬其有效位元(Effective number of bits, ENOB)沒下降 0.5 位元，所以有效

解析度頻寬(Effective resolution bandwidth, ERBW)也是最佳的，且其所消耗之功率也很低，固其所完成之整體效能很好，但其 ENOB 只有 10.55 位元。另外使用循環式類比數位轉換器的架構[37][39]，如[39]其 resolution 要求十二位元，但其 ENOB 只有 9.7 位元，雖然功率變小，但就整體而言，其效能較差，而其它採用此一架構之類比數位轉換器，其所消耗功率都遠大於 $15\mu\text{W}$ ，故循環式類比數位轉換器的架構在我們這個計畫中不適用。藉由架構上的分析及查詢 IEEE 論文等均顯示連續近似式類比數位轉換器可達到低耗能的需求。

總計畫給我們的規格需滿足表 1-1，即是要製作一個供應電壓小於 1V，取樣速率大於 15KHz 且功率消耗小於 $15\mu\text{W}$ 的十二位元類比數位轉換器，故在此我們使用連續近似式類比數位轉換器來完成所需的低耗能類比數位轉換器。



第三章 十二位元超低功率連續漸近式 類比數位轉換器設計

由第二章所做的分析再加上搜尋 IEEE 的論文及學長之經驗可知，在中高解析度(10-12bits)的類比數位轉換器以連續漸近式的類比數位轉換器的消耗功率最低，因此我們採用此種架構來設計實現十二位元超低功率的類比數位轉換器。SAR ADC 的架構主要分為數位及類比電路兩部份，數位電路部份其功率消耗 $P(V_{in}) = f_{clk} CV_{DD}^2 \alpha(V_{in})$ ，其中 f_{clk} 為使用的時脈頻率、 C 為輸出負載總電容值 V_{DD} 為數位電路之電源電壓及 $\alpha(V_{in})$ 為切換活動因素 (switching activity factor)，由功率消耗的公式可知降低數位電源電壓可以有效地減少功率消耗；而類比的電路部份消耗功率主要是由靜態偏壓電流 I 和類比電源電壓 AV_{DD} 的乘積所決定，即 $P = I \cdot AV_{DD}$ ，對於相同電流的來說，減小電源電壓值亦可以得到較小的功率消耗，所以對於 SA ADC 而言，可以藉由降低電源電壓來同時減少數位及類比電路之消耗功率。

在國科會總計畫中要實現一個應用於人體生理訊號量測之無線微感測模組，模組中之類比數位轉換器所需的電源主要有類比電壓、數位電壓及參考電壓，其由電源管理(Power management)系統來提供，為了達到目標超低功率消耗的目標，所以降低這三種電壓來得到更低的功率消耗，並且需要讓 ADC 仍能正常工作，故我們要分別觀察三種電壓降低所造成的影響，來決定其分別所需最低電壓。數位電壓主要是用來做邏輯準位高低的判別，而將其電壓降低主要是影響到延遲的時間，所以只要供應電壓在 0.4V 以上[27]其都能正常工作；降低參考電壓主要是影響其最小位元(LSB)刻度，當 1 個 LSB 的電壓越小時，受到雜訊的影響就越嚴重，這將會使得 SNDR 下降，而在此種架構中主要有兩個部份會受影響，分別是比較器(Comparator)

及 DAC，當 1 個 *LSB* 越小則設計上就更加困難；而類比電壓方面，則因為其電晶體(MOS)之臨界電壓(threshold voltage)並不會隨供應電壓降低而變小，此現象將會對類比電路設計造成嚴重的影響。另一方面，考量到電源管理若要提供我們不同電壓將會使得其功率消耗加大，所以必須將使用到的三種供應電壓設定成一樣，因此將供應電壓訂為 0.9V[5]。

3.1 提出之 SA ADC

圖 2-4 為傳統之 SA ADC 架構，為了完成減少功率消耗這個目標，所以降低整個 ADC 的操作電壓，並且為了得到較高的訊號雜訊比(SNR)，所以我們希望 ADC 能具備軌對軌的輸入範圍，由於一般的傳輸閘(Transmission gate, TG)開關在輸入接近 $V_{DD}/2$ ，會使得 NMOS 及 PMOS 均為不導通(Dead zone)，這個問題可用低電壓製程(low-Vt process)[32]或拔靴法(Bootstrapping technique) [4][33]方式來解決，但由於低電壓製程將會提高成本，因此不考慮採用這種方式解決，而改採用 Bootstrapped switch 的技巧來克服此問題，但由於傳統 SA ADC 共有十四個開關需要達到軌對軌的傳輸，所以我們需要十四個 Bootstrapped switch，雖然解決了低供應電壓時的問題，但同時也增加了許多的電路，提高了功率的消耗，所以架構上還需要做一些更改。

傳統的 SA ADC 架構還存在二個問題，一為其由電容所組成的數位類比轉換器(DAC)，因在製程製造時所做出的電容和理想上我們所需電容會不同，此情形為電容不匹配(Mismatch)的現象，其將使得 DAC 的誤差量大於 $LSB_{12}/2$ 以上，故我們採用了類似[5]的方法將其分成 Main DAC 和 Sub-DAC 來降低 DAC 的誤差量，其二為當 V_{in} 愈大時其 V_{dac} 則會得到愈大的負值，而若使用一般之 TG 來完成開關 S_a 的話，將會造成開關 S_a 會出現漏電流情形，為了避免開關 S_a 漏電流的情況，於是使用[4]之架構一端接輸入訊號

並且另一端接 DAC 的方式，並且在 DAC 的部份也採用了[7]中的 grounded-switches 的技巧，即是接 V_{DD} 或 Gnd 兩個電位的技巧，圖 3-1 為我們提出之 SA ADC 架構。

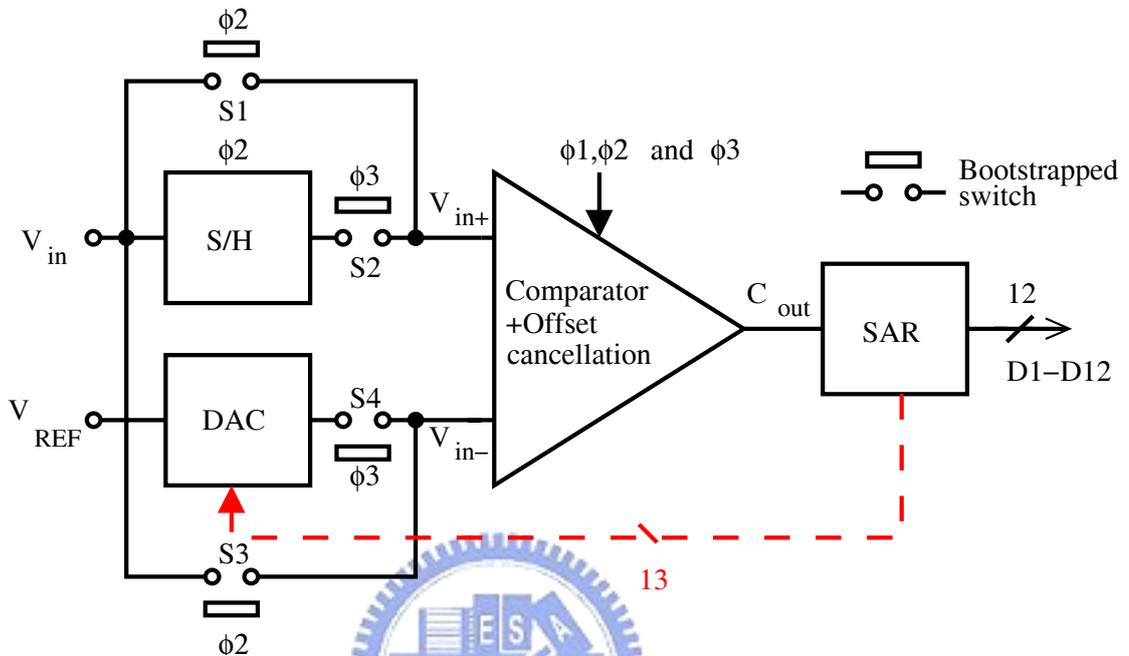


圖 3-1 提出之 SA ADC

此架構主要分成四個部分，分別是取樣保持電路(Sample and hold circuit, S/H)、Digital-to-Analog Converter (DAC)、可以消除偏移量的比較器(Comparator with offset cancellation)、連續暫存器(SAR)。為了要達到軌對軌的輸入範圍，且由於輸入範圍內的任一共模電壓所得到的偏移量會有所差異，所以加上開關 S1、S3 來讓偏移量都能正確儲存，而使用這個方法的主要原因為 DAC 不管怎麼轉換，最後都一定會接近所取樣的 V_{in} 值，故我們在取樣 V_{in} 訊號時，同時也採用 V_{in} 來當成比較器的共模輸入電壓，如此就能解決不同偏移量的問題。而此架構和傳統的 SA ADC 架構的操作原理大致相同，只是我們多一個用來處理偏移量的動作，故我們的 SA ADC 的操作主要分有 3 個動作：

ϕ_1 ：清除用來儲存偏移量的電容、

$\phi 2$ ：輸入取樣及儲存偏移量、

$\phi 3$ ：轉換每一位元，並且在轉換的同時消除偏移量，

所以共需要十四個週期來完成一次轉換。如圖 3-2 所示，其中 $\phi 1$ 和 $\phi 2$ 能部份同時發生，但不能完全重疊，因為一個主要是用來清除上一次轉換所儲存的偏移量，另一個主要是用來儲存這次轉換要儲存的偏移量，都是同一元件上動作，而 $\phi 2$ 和 $\phi 3$ 不能有部份重疊發生，主要原因有二個，一為當 S3 和 S4 同時 on 時， V_{dac} 這點的電壓將會隨著 V_{in} 而改變，二為當在 SH 電路在取樣且 S2 on 時，這時用來取樣的那顆電容還沒取樣到正確的輸入值，則開始 $\phi 3$ 轉換位元的相位。而在此因為要防止 Dead zone 的問題，所以 S1、S2、S3 及 S4 都要使用 Bootstrapped 的開關來設計。

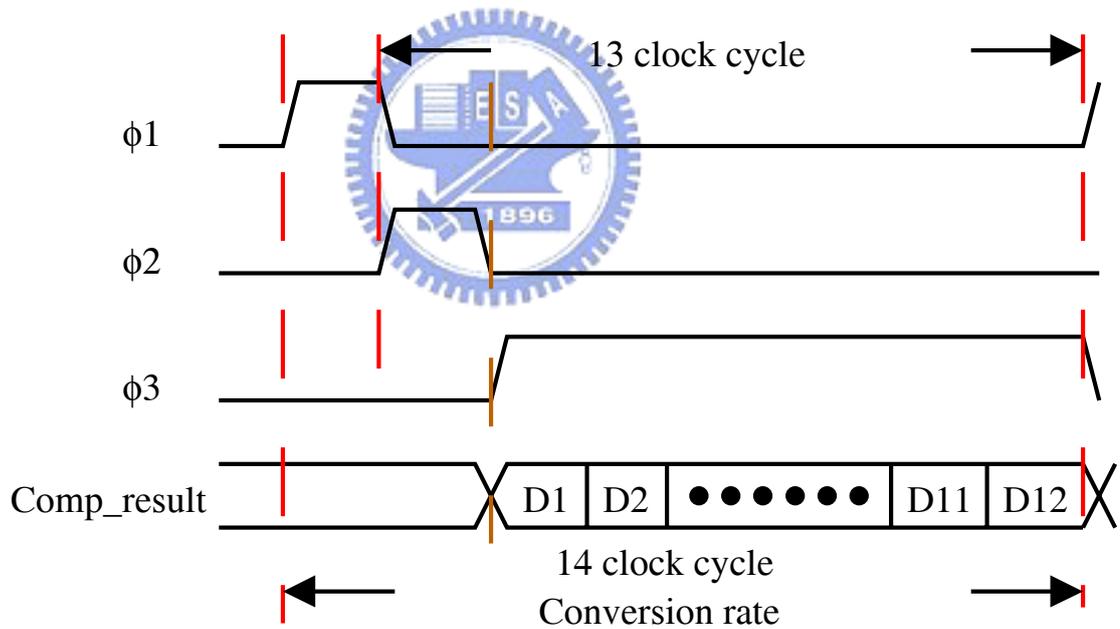


圖 3-2 提出之 SA ADC 之 Phase

3.1.1 取樣保持電路(Sample and hold, S/H)

傳統上，一般都是採用 TG 來實現 S/H，但由於我們要設計實現一個低電壓高解析的取樣保持電路，所以如果只使用 TG 來實現會產生兩個問題，

一為在低電壓時，由於不同製程 MOS 臨界電壓的限制，所以除非使用較為先進的製程才能降低臨界電壓，或是使用 Bootstrapped switch 電路的方法來改善臨界電壓所造成的問題，而另一個問題為使用 TG 所完成的 S/H 解析度有其限制，由於 S/H 中 TG 主要是做開關使用，所以一般都是操作在深三極管區(Deep triode region)，若再加上使用 Bootstrapped 的技巧，其當 NMOS 導通時汲源極兩端的電阻可以表示成

$$R_{on,n} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right) (2V_{DD} - V_{in} - 2V_{thn})} \quad (3.1)$$

而因為使用了 Bootstrapped，所以 TG 中的 PMOS 只是為了增加 V_{in} 接近 V_{DD} 時的導通性，如圖 3-3 所示為此種 Bootstrapped 架構，圖 3-4 為以 HSPICE 模擬輸入不同電壓之電阻變化情形，由圖可知 TG 之導通電阻最後會較接近 NMOS 的電阻曲線，且使用 P 和 N 並聯起來的開關導通電阻變化範圍變小，所以將其使用到 ADC 中並模擬其可行性，圖 3-5 為 Pre-simulate 整個 ADC 對於其以 Bootstrapped 完成的 S/H 輸出頻譜分析圖，其 SNDR 為 86.1dB，而 ENOB 為 14.01bit，故在輸入信號低頻時之解析度符合於我們的設計需求，而由圖 3-6 為其在接近 Nyquist frequency 之頻譜分析圖，其 SNDR 為 75.3dB，而 ENOB 為 12.2bit，其雖然也符合我們的設計要求，但其當輸入頻率在由 DC 接近 Nyquist frequency，將會受限於線性度的影響，而解析度下降較快，故此我們可知線性度對於 S/H 也是相當重要的，所以我們採用線性度較好的 $Constant V_{gs}$ 的技巧來解決低電壓及解析度的問題。

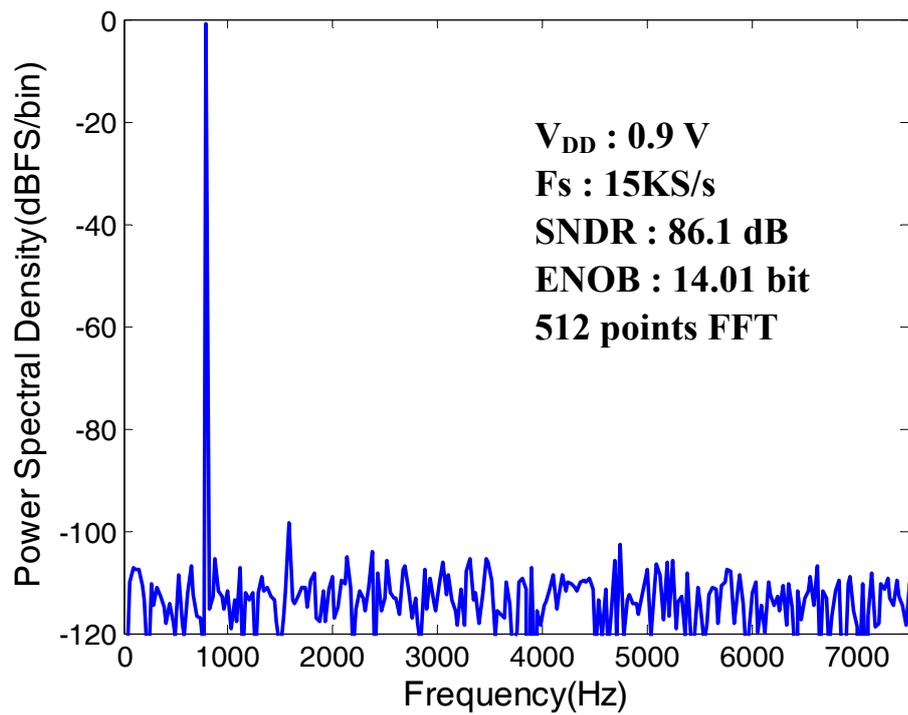


圖 3-5 採用 Bootstrapped 開關之取樣保持電路

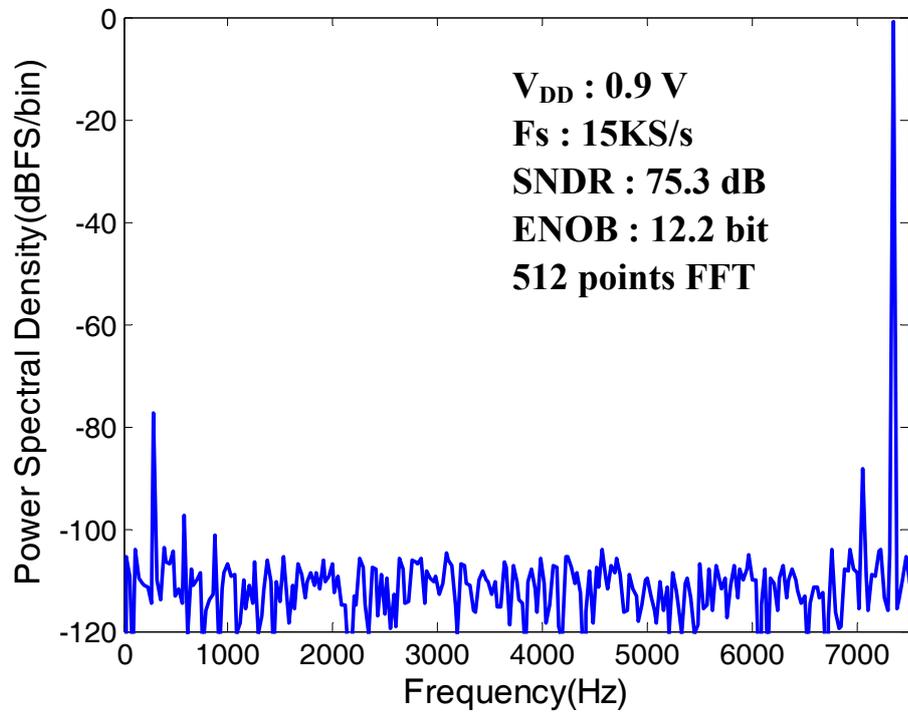


圖 3-6 接近 Nyquist frequency 的 S/H 輸出頻譜

如圖 3-7 所示為簡易的 $Constant V_{gs}$ 電路，其目的是要將輸入開關的閘源極電壓都能使用一較為固定的電壓，如此對於不同大小的輸入其電阻將變化不大並且較為線性，最主要是由一個路徑用來儲存閘源極所需的較高電壓，及將所儲存的電壓傳至輸入開關的閘源極這兩個部份所組成。而為了儲存較高的電壓，故使用了 Boosted clock 的架構，其工作原理和一般的 Bootstrapped 相似，主要是將 N2 的閘極(Gate)電壓升到 V_{DD} 及 $2V_{DD}-V_{tn}$ 兩個準位，當 S/H 的信號為低電位時，N3 的閘極電壓為 $2V_{DD}-V_{tn}$ ，故 N3 會進入三極體區，並延著 C3 和 N6 路徑將電容 C3 兩端充至 V_{DD} ，並且要藉由 N11 及 N12 將 V_g 接至地，使得 N10 的開關 OFF，故 S/H 電路進入了保持(Hold)的模式； S/H 為高電位時，N3 的閘極電壓為 V_{DD} 且開關 N6 為 OFF 的狀態，而電容 C3 在保持模式時，已經儲存 V_{DD} 的電荷量，故 N3 也為 OFF 的狀態，而此時要 C3 的電荷利用開關的方式傳至輸入開關的閘源極，所以 N11 和 N12 為 OFF，且 P1、N7、N8 及 N9 都為導通的狀態，而藉由這些開關的切換，將 C3 兩端的電壓 V_{DD} 傳至 N10 的閘源極，使得 S/H 電路進入取樣(Sample)的模式。因為 V_g 可能是 0 至 $2V_{DD}$ 之間的電荷，當沒加上 N11 時，N12 的 VDS 為 $2V_{DD}$ ，故 N12 有可能會燒燬，而當 V_g 為 $2V_{DD}$ 時，如果沒加上 N8，則有可能會造成 N7 不導通的，使得 $Constant V_{gs}$ 工作不正常，而達不到所想要的需求，所以要加上 N8 及 N11 在增加電路的可靠度。圖 3-8 為 Pre-simulate 整個 ADC 時，拉取樣保持電路輸出之頻譜分析圖，其 SNDR 為 80.3dB，而 ENOB 為 13bit，故其解析度有符合 12bit 以上的設計要求，而圖 3-9 為其接近 Nyquist frequency 時之輸出頻譜，也符合我們的要求，而由 DC 至 Nyquist 頻率慢慢增加時， $Constant V_{gs}$ 所下降的解析度較少於一般的 Bootstrapped 架構。圖 3-10 為將 V_{DD} 降到 0.55V 之取樣保持電路輸出之頻譜分析圖，其 SNDR 為 71.1dB，ENOB 為 11.5bit，故解析度也有符合 10 bit 以上的設計要求。

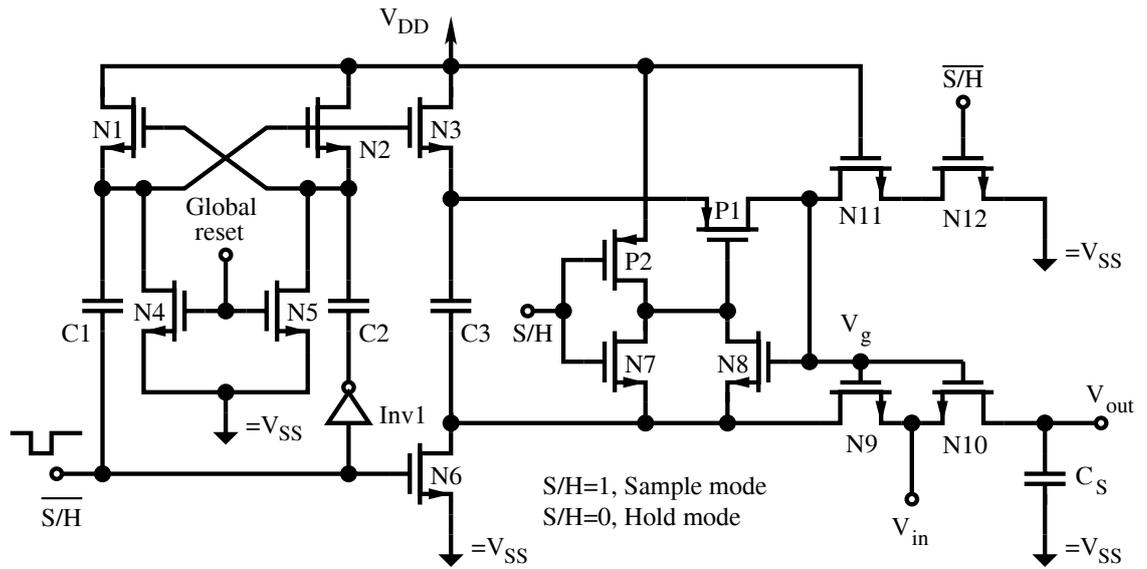


圖 3-7 取樣保持電路[33]

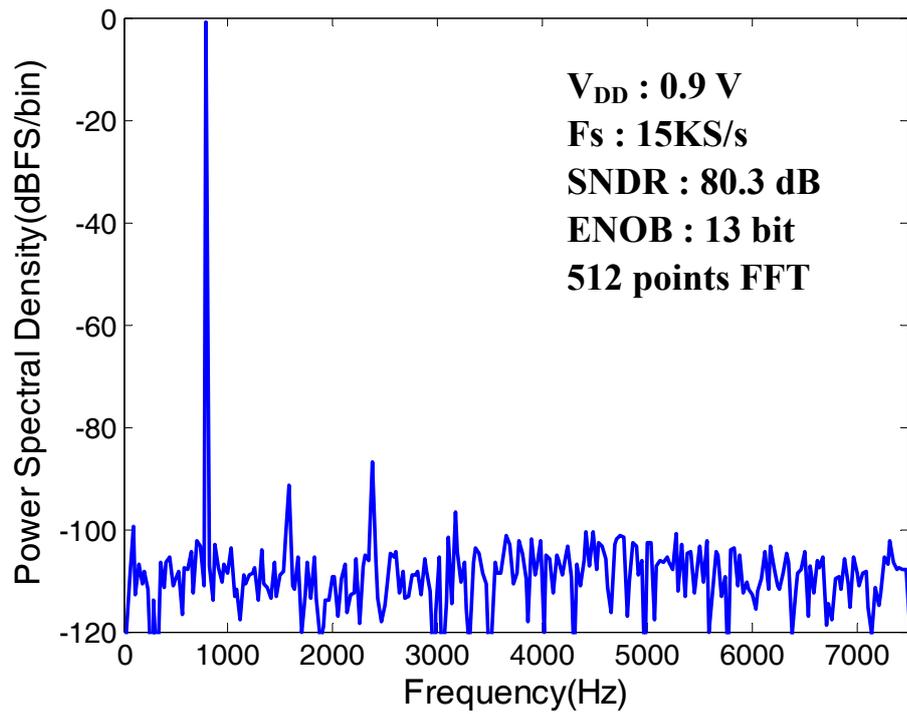


圖 3-8 取樣保持電路之輸出頻譜分析圖

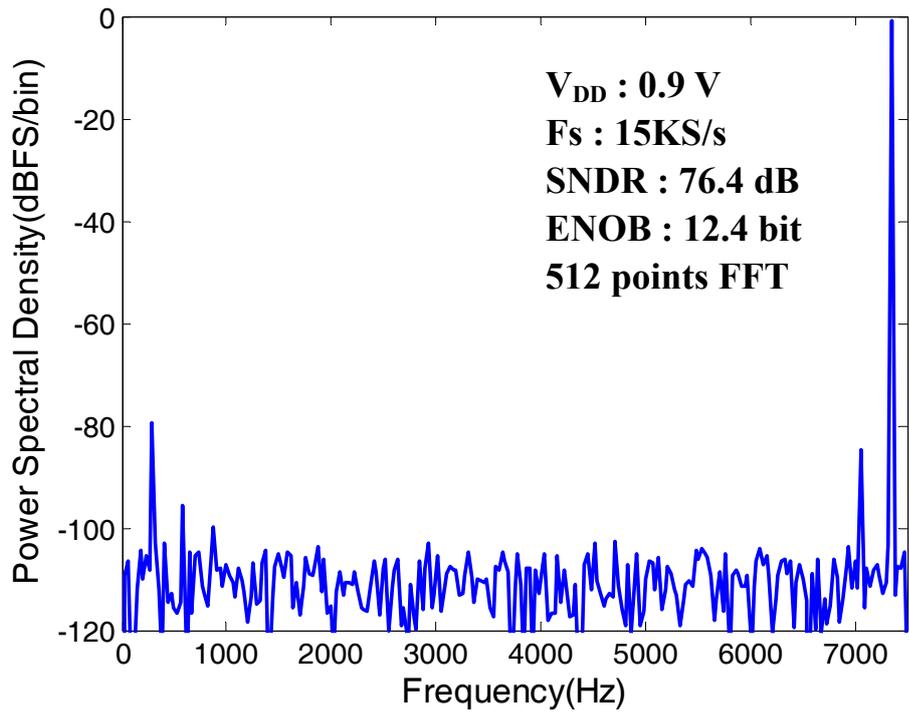


圖 3-9 接近 Nyquist frequency 的 S/H 輸出頻譜

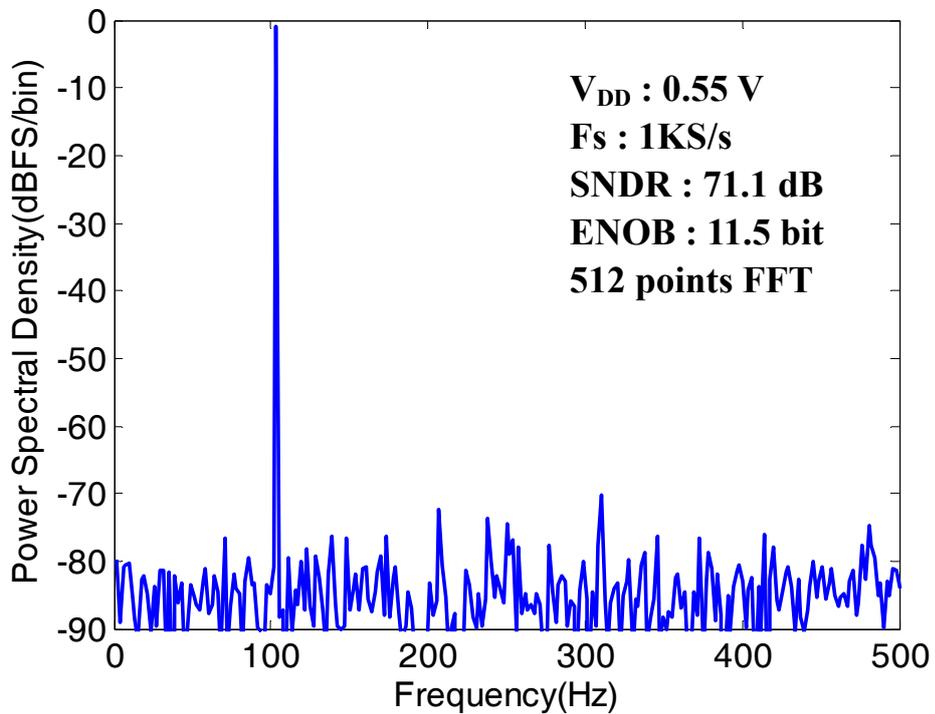


圖 3-10 當 V_{DD} 降至 0.55V 時之 S/H 輸出頻譜

3.1.2 數位類比轉換器(DAC)

在這個部份主要由數位類比轉換器消耗之功率、電容 Mismatch 時會造成的影響、佈局時之寄生電容及良率(yield)這四方面來選擇我們所需要的 DAC。在 DAC 設計方面，一般都是由電阻或電容陣列所組成，而藉由連續近似暫存器(SAR)所發出的控制信號來控制 DAC 中每一個電阻或電容是接地或是接參考電壓，再由分壓原理或電荷重新分佈(charge redistribution)原理來產生 V_{dac} 電壓，即 DAC 的輸出電壓，再用 V_{dac} 電壓與 V_{in} 經取樣保持電路 Hold 的值比較，將比較完後的輸出結果送入連續近似暫存器，之後由不同的輸出結果來產生新的控制訊號來控制 DAC。

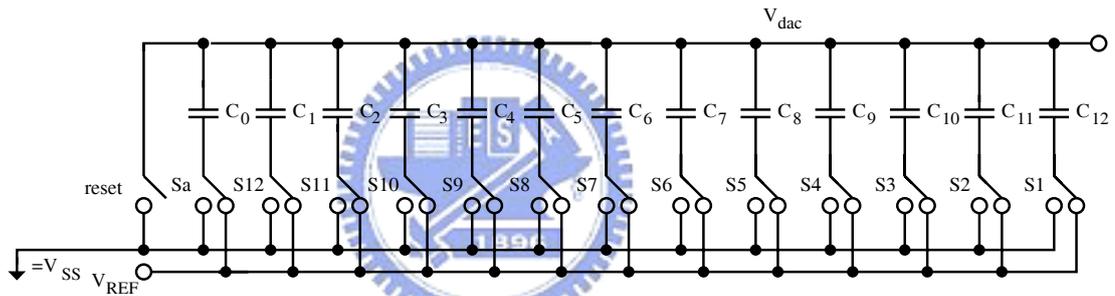


圖 3-11 DAC 之電容陣列

如圖 3-11 所示為一般傳統電容陣列的 DAC，而就我們所關心的四點來進行分析此種 DAC，先從功率方面來觀察，假設其需 14 個時脈週期來完成一次的轉換，並且其主要時脈頻率為 210 kHz，單位電容 C_0 為 24fF， V_{DD} 為 0.9 伏，則其參考電壓的功率可近似於[4]為

$$PV_{REF}(V_{in}) \cong \frac{fclk}{14} 2^{12} C_0 \left(\frac{5}{6} V_{DD}^2 - \frac{1}{2} V_{in}^2 \right) \quad (3.2)$$

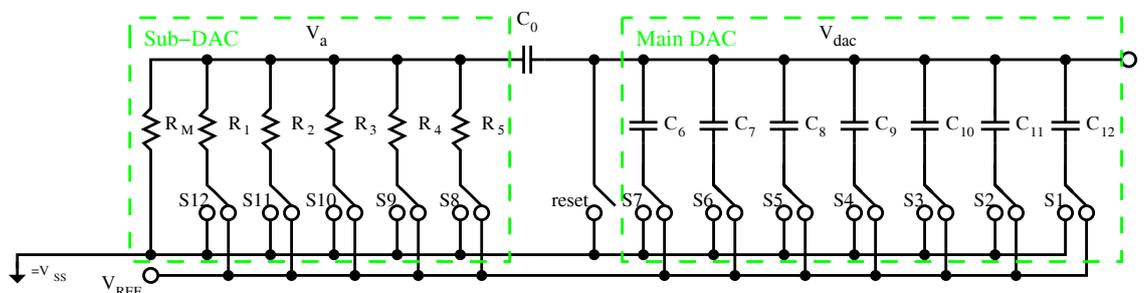
其值大約在 0.4 至 1 μ W，其主要和 V_{in} 大小有關，功率消耗在我們設計可容忍的範圍內；再來分析其電容 Mismatch 和寄生電容所造成的影響，將其中 C_0 - C_{12} 都採用單位電容來組成，如此所造成電容 Mismatch 的影響比較不嚴重，所以採用標準差為 0.1% 的常態分配(uniform distribution)來得到隨機的

單位電容值，而此時若只考慮電容 Mismatch 的話，其 V_{dac} 的錯誤量會小於 $LSB_{12}/2$ ，但是當多考慮了佈局時產生於電容兩端之並聯寄生電容影響，則我們會發現這種架構的可用性極低，主要是因為在從 Calibre PEX 得知最小電容兩端並聯的寄生電容大概為 $1.5fF$ ，所以最大電容兩端並聯的寄生電容則要達到 $3.072pF$ ，而當這個寄生電容偏移 0.6% 時，則 INL 會超過 $1 LSB_{12}$ ，而當偏移 4% 以上時，則有效位元(ENOB)則會低於 10 位元，並且在佈局時，對於那麼大的寄生電容，我們比較不容易控制其寄生電容大小。這種架構由於其在功率消耗部份表現不錯，但是誤差量可能會很大，故不採用此一架構。

由前述架構可知其誤差量主要來自於最大電容兩端並聯的寄生電容，所以將整個 DAC 分成兩個部份能有效的降低其寄生電容造成的錯誤量影響，而分割方法大至上有兩種，一為 Sub DAC 使用電阻的形式完成，如圖 3-12 所示，而另一種為 Sub DAC 使用電容的方式完成，如圖 3-13 所示。我們先從功率消耗的方面來做分析採用電阻形式來完成的 DAC，因為使用了電阻來完成,故先分析熱雜訊的影響，其在室溫下的平均值[15]為

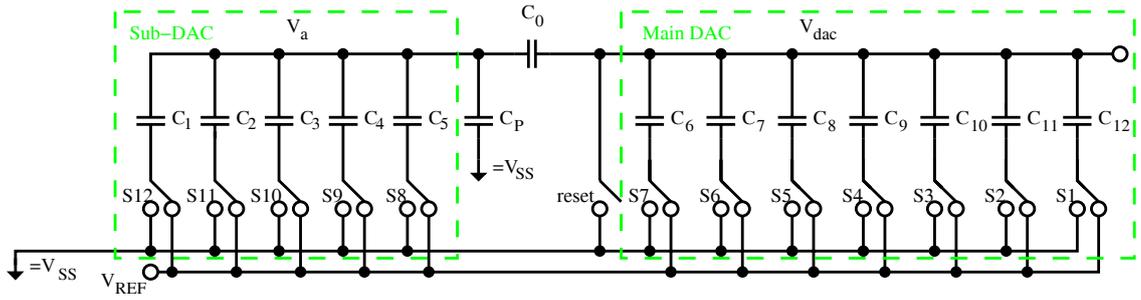
$$\overline{V_R^2(f)} = 4 * 1.38 * 10^{-23} * 300 * R \quad (3.3)$$

假設我們所需的頻寬為 $1MHz$ 時，則可使用的最大電阻 R_T 不能大於 $256K\Omega$ ，而如果使用此大小的電阻值來設計，其所造成的消耗功率必定會超出我們的設計規格，故此種架構的 DAC 並不適用於低功率的設計。



$C_{i+1}=2C_i, i=6,7,\dots,11$ $C_0=C_6$
 $R_{i+1}=2R_i, i=1,2,\dots,4$ $R_M=R_5$

圖 3-12 Sub DAC 使用電阻陣列



$$C_{i+1}=2C_i, i=1,2,\dots,5$$

$$C_{i+1}=2C_i, i=6,9,\dots,11$$

$$C_0=C_1=C_6$$

圖 3-13 Sub DAC 使用電容陣列

表 3-1 比較 DAC 之效能

DAC 架構	Accuracy	Power dissipation
Tradition	較差	中等
Sub-DAC with Res.	較好	較差
Sub-DAC with Cap	中等	較好

表 3-1 為這三種 DAC 的比較，在精準度方面，由於將整個 DAC 分成 Main DAC 和 Sub-DAC 兩個部份，所以準確度會比傳統的架構佳，而在使用相同的 Main DAC 下，使用電阻完成 Sub-DAC 需考慮到寄生電容的因素較少，所以比使用電容來完成 Sub-DAC 的精準度還好，而在功率消耗方面，因為全部採用電容完成的 DAC 功率消耗會較低，又在使用相同的單位電容的條件下，總電容值越小則功率消耗越低，所以整體表現最佳的為 Sub-DAC 使用電容的方式來完成。

為了得到較好的效能，故來分析 Main DAC 及 Sub-DAC 合適的位元數，主要可從兩方面來探討，一為從 V_a 點之寄生電容來看，這一方面主要考慮到當 V_a 點的寄生電容多大時，將會使得 V_{dac} 的 INL 或 DNL 超過 $LSB_{12}/2$ 。故在此我們先假設每個電容具有良好的匹配性，而 V_a 產生的寄生電容對於 Sub-DAC 影響最嚴重，而 Sub-DAC 又以 MSB 影響最大，經分析之後得

$$V_a(C_p) = \frac{2^{(Sub_DAC_bit-1)} C}{(2^{Sub_DAC_bit} - 1)C + \frac{(2^{MDAC_bit} - 1)C}{2^{MDAC_bit}} + C_p} \quad (3.4)$$

$$V_{dac}(C_p) = \frac{1}{2^{MDAC_bit}} * V_a(C_p) \quad (3.5)$$

$$V_{error} = V_{dac}(C_p) - V_{dac}(C_p = 0) \quad (3.6)$$

其中 MDAC_bit 為 Main DAC 的位元數，Sub_DAC_bit 為 Sub-DAC 的位元數。可由(3.6)來推得表 3-2，由表中我們可知最大在佈局的寄生電容再加上 C₀ 底端所產生的寄生電容要小於 24f，但由於佈局的因素，Sub-DAC 使用 5 位元的寄生電容是由 (2⁵-1)個單位電容的上板對地所產生，其值約為 18fF 左右，而使用 6 位元的話，則是由(2⁶-1)個單位電容的上板對地所產生，其值必會超過 24fF 以上，所以採用架構 1 來實現較為困難，而可由架構 2 及 3 兩者選擇其一。兩者選擇主要考量到功率消耗方面，在同樣的單位電容下，第 2 種架構一定比第 3 種架構消耗功率低，故最後採用第 2 種架構來實現。

表 3-2 分析位元數之結果

Requirement : $V_{error} < 1/2 \text{ LSB}_{12}$				
架構	MDAC_bit	Sub_DAC_bit	Max. allowed Cap in Va	Power dissipation
1.	6 bit	6 bit	1.02C=24.36 f F	28 nW
2.	7 bit	5 bit	1.03C=24.72 f F	33 nW
3	8 bit	4 bit	1.06C=25.58 f F	55 nW

決定了 Main DAC 與 Sub-DAC 的位元數之後，我們再來看還有那些寄生電容效應會讓我們的精準度下降，首先連接兩 DAC 的 C₀ 其底端是向著 Sub-DAC 的方向，所以會產生其底端造成的寄生電容 C_p，在模擬上需將其加入以得到更精準的模擬結果，接著其電容兩端並聯之寄生電容對於效能

影響最大，故佈局(Layout)時要讓其接近相對應電容的倍數，例如最小電容 C_0 兩端並聯的寄生電容為 C_{p0} ，則 Main DAC 最大電容 C_{12} 其兩端的寄生電容要接近 64 倍的 C_{p0} ，而 Main DAC 電容 C_{11} 其兩端寄生電容要接近 32 倍的 C_{p0} ，以此類推，如此其所得到的 V_{dac} 才會較為準確。將我們考慮的因素帶入以 MABLAB 完成之 Successive approximation ADC 的 Behavior model 來進行模擬分析，其中 C_0 - C_{12} 每個電容都是由單位電容所組成，且每個電容採用標準差 0.1% 的常態分配來得到其隨機誤差，而因為電容兩端的寄生電容其為主要影響整個 DAC 的效能的部份，所以我們在佈局時利用走線，將其電容兩端並聯的寄生電容佈成以接近相對的倍數，最後在以 Calibre PEX 抽出其寄生值，並且也將 V_a 點抽出的值加上 $0.2 * C_0$ 帶入分析其效能及良率，圖 3-14 為分析當樣本有 10000 個得到之結果，我們可以看到其 ENOB 集中在 11.5bit 左右，並且每個樣本都在 11 位元以上，故在 DAC 的設計我們就採用此一方式來實現

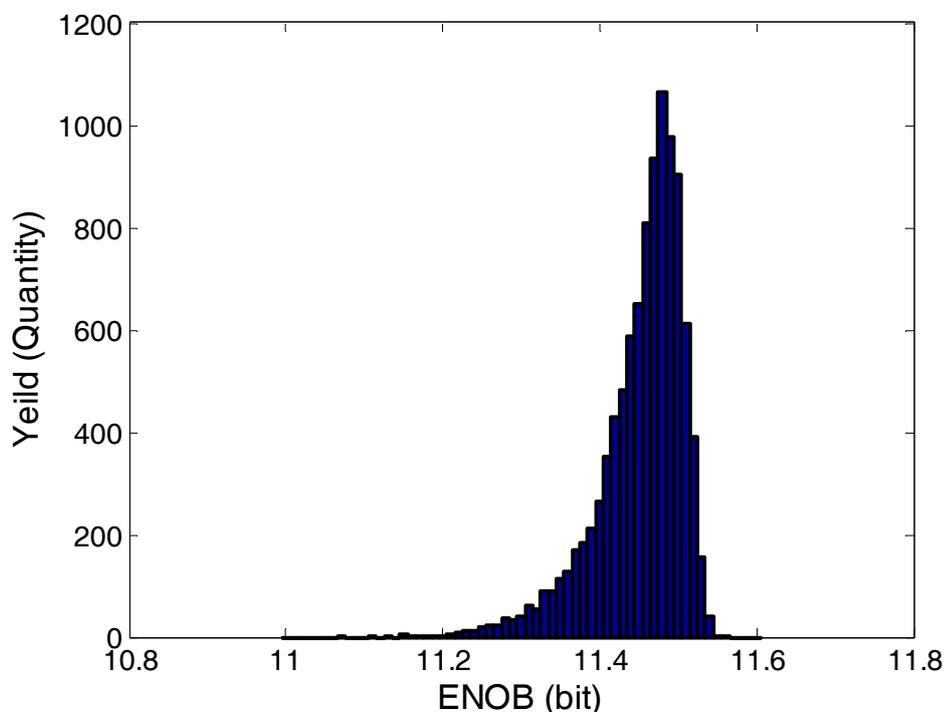


圖 3-14 ENOB 分析

在 DAC 部分之操作主要有清除偏移量模式 ϕ_1 、取樣及儲存偏移量模式

φ2 及電荷重新分佈模式φ3，當在清除偏移量模式φ1 及取樣及儲存偏移量模式φ2 時，主要是將 DAC 的電容兩端接至地；而電荷重新分佈模式時，其 DAC 的輸出點是浮接狀態，故 DAC 部分無靜態功率之消耗，因此在此處其數位類比轉換器之功率主要由暫態功率所決定，藉此推導出(如附錄 A) 下式：

$$\begin{aligned}
 P_{sum} = & F_{clk} CV_{ref}^2 [(2^7 - 1) + (2^5 - 1) + \sum_{i=1}^7 \left(\frac{2^{7-i} + \sum_{n=1}^{i-1} 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}} \right) (-2^{6-i} + 2^{7-i} D_{13-i}) + \\
 & \sum_{i=8}^{11} \left[\left(\frac{1}{2^7} \times \frac{2^{12-i} + \sum_{n=1}^{i-8} 2^{5-n} D_{6-n}}{(2^5 - 1) + \frac{(2^7 - 1)}{2^7}} \right) + \frac{\sum_{n=1}^7 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}} \right] (-2^{6-i} + 2^{7-i} D_{13-i}) + \\
 & \left(-\frac{1}{2^5} - \sum_{n=2}^{12} 2^{n-6} D_n \right) \left(\frac{1}{2^7} \times \frac{1 + \sum_{n=1}^4 2^{5-n} D_{6-n}}{(2^5 - 1) + \frac{(2^7 - 1)}{2^7}} + \frac{\sum_{n=1}^7 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}} \right)
 \end{aligned}$$

where $\begin{cases} C \text{ 為單位電容,} \\ F_{clk} \text{ 為時脈頻率,} \\ D_1 \text{ 到 } D_{12} \text{ 為 DAC 的數位輸出.} \end{cases}$ (3-7)

藉由(3.7)，我們可以知道當單位電容 C 值愈小，所消耗功率就會愈小，而主要由兩個方面來決定單位電容的值，即熱雜訊(thermal noise)的分析及製程，從分析熱雜訊的結果(如附錄 B)，可知能使用的電容值只需大於 10.7fF 即可，但由於此一電容值受限於製程佈局規則無法實現。故最後考慮尖端放電並依據佈局規則(Design rule)決定使用的單位電容值約為 24fF。

在整個 SA ADC 的解析度主要受到電容之間與寄生電容之間的比值影響很大，並且由於所使用的最小電容很小，所以易受到其他非理想因素的影響，因此在佈局方面需多加注意。而在佈局方面為了改善電容與電容之間的匹配，故 Main DAC 及 Sub-DAC 的電容陣列都使用了多個單位電容來

組合實現，且在排列方面也都採用 common-centroid 的方式來擺放電容，盡可能的讓 Main DAC 及 Sub-DAC 其 X、Y 軸均對稱來達到更好的電容匹配，且在兩個 DAC 電容陣列的外圍使用了 dummy 電容來得到最佳的匹配，如圖 3-15 所示，A 為 Main DAC 的最大電容 C_{12} ，B 為 Main DAC 的電容 C_{11} ，而 I 為 Sub-DAC 之最大電容 C_5 ，J 為 Sub-DAC 的電容 C_4 ，依此類推。寄生電容方面則是主要利用走線的方法，將其佈線成所需的倍數。

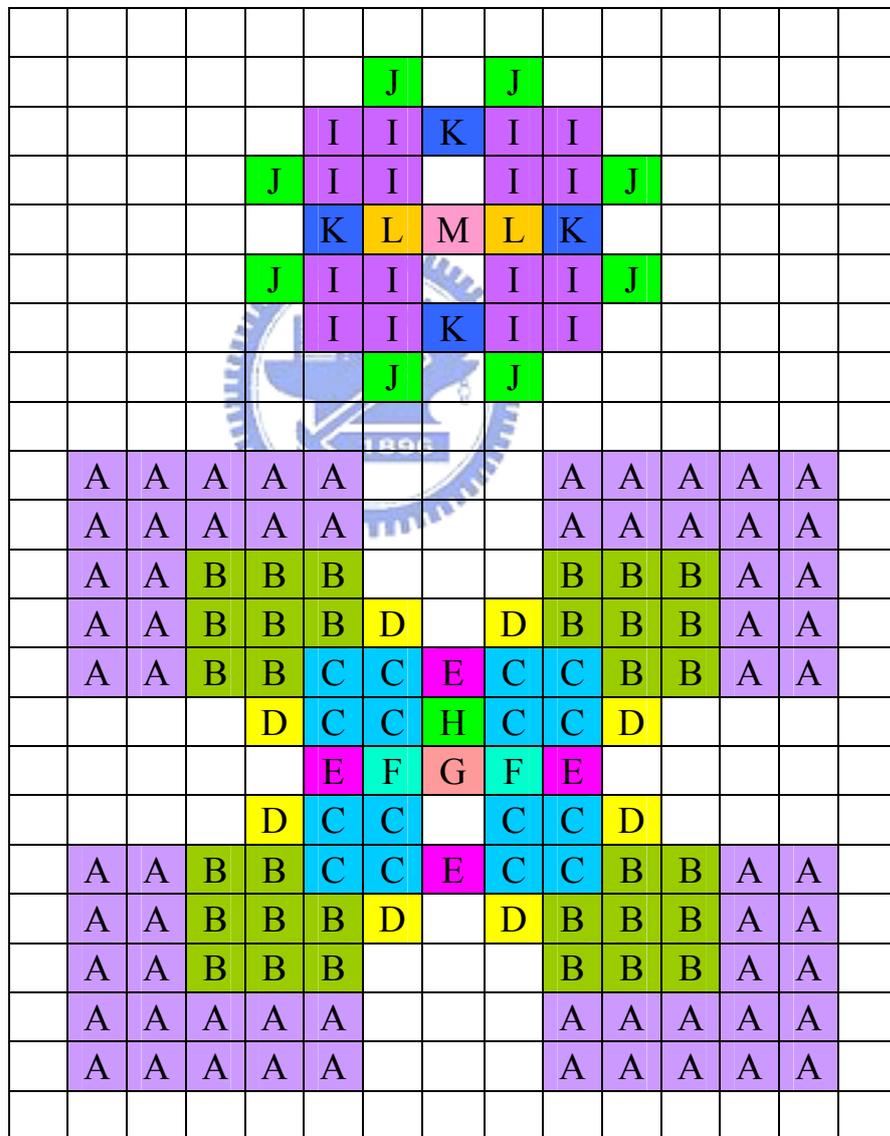


圖 3-15 電容陣列佈局

3.1.3 比較器(Comparator)

在這個部份中，由於學長所實現的比較器功率消耗方面極低並且能達到軌對軌的輸入範圍極適合應用於我們的設計中，但是其缺點就是這種方式設計會產生與輸入信號相關(input-dependent)的偏移量，而這種與輸入信號相關的偏移量將會對於高解析的 ADC 有極大的影響，所以若想將其用於我們的設計中，則需要解決此偏移量問題。大致上有三種能消除比較器的偏移量方式，第一種為低消耗功率之比較器且具備自我修正偏移量的設計，而這種的比較器在目前已知的文獻中，尚無人將其實現，主要可能因為比較器對於微量的差動輸入較難比較出來，第二種為加入前置放大器來放大這微量的差動輸入，最後的輸出為門鎖(Latch)電路，並且每級放大器以及 Latch 都使用消除 Offset 的技巧[5]，但是由於我們已經有相當適合的超低耗能比較器，所以不考慮這個方法，第三種則是使用前置放大器來降低比較器的 Offset 影響，而前置放大器每級也必須加入消除偏移量的技巧，所以我們採用第三種方式來解決其偏移量的問題，並且只要能完成低功率的前置放大器，則比較器的總功率消耗則是最低的。

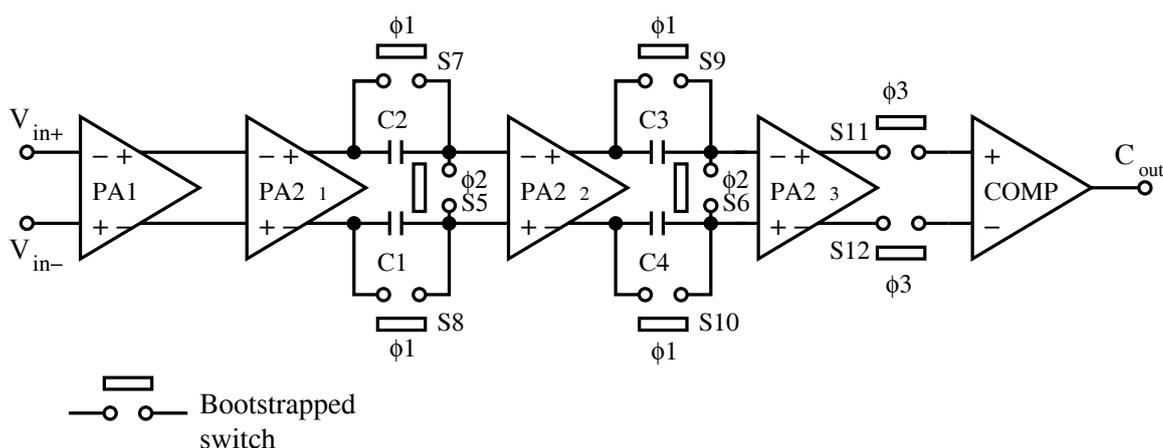


圖 3-16 比較器之架構

圖 3-16 即為我們使用的架構，由學長的量測可知偏移量 V_{os_comp} 大

約為 10mV 左右，若沒解決偏移量的問題，則精準度將會減少最少 5 位元以上($10\text{mV}/0.22\text{mV}=45.6$ ，約 5-6 位元)，故需要將偏移量降至 $\text{LSB}_{12}/2$ 以下，即 $10\text{mV}/100=0.1\text{mV}$ ，所以前置放大器的增益則最少要有 40dB 以上，並且由於前置放大器本身也具有偏移量，故其本身也需要消除其偏移量。有兩種較簡單的方式可以消除前置放大器的偏移量，第一種是使用前置放大器使用 Close-loop 的方式，採用輸入偏移量消除(offset cancellation)的方式 [22]，第二種便是使用 Open-loop 的前置放大器做成輸出 offset cancellation 的方式 [22]，使用第一種架構需要前置放大器的增益要大於 20dB 以上才能消除偏移量，而因為使用的電壓小於 1V，所以要用單級的架構來完成達到高增益且又有軌對軌的輸入範圍的放大器較為困難，再加上 Close-loop 來完成，又會有穩定性的問題，故採用第二種方式來做前置放大器的 offset cancellation，而這種方式其每級的增益在 20dB 以下，則最少需要串接兩級以上的前置放大器。為了讓輸入範圍能達到軌對軌，且在任一個輸入共模電壓增益都差不多，所以使用了第一級前置放大器 PA1，而前置放大器 PA2₁ 及前置放大器 PA2₂ 為主要的放大器，並且因為學長所完成的比較器 Comp，在每次比較完成之後，都會做一次重置的動作，其重置信號又與 Clock 有關，所以加入了前置放大器 PA2₃ 用來防止比較器的 Clock feedthrough，並且也加入了 S11 及 S12 以防止在儲存偏移量時，Clock feedthrough 造成儲存的偏移量不正確，並且由於 PA2₁ 和 PA2₂ 使用來做偏移量消除的電容會造成增益衰減，所以 PA2₃ 也使用來放大其衰減量。在我們的架構中並沒有每一級前置放大器都加入 Offset cancellation 電容，主要原因在於當每級前置放大器都加入 Offset cancellation 電容之後，前置放大器將需要更大的輸出電流才能在想要的時間內將數值放大，而加大輸出電流將會讓功率消耗上升，故能不使用 Offset cancellation 電容會是最佳的。而由於 PA1 增益較小，所以將其和 PA2₁ 一起做 Offset cancellation，PA2₂ 則為單級的偏移量消除，而 PA2₃ 則沒使用偏移量消除，主要原因為一般比較器的 Offset 都會比前置

放大器高，所以我們假設前置放大器的 Offset 為 5mV，而在最差的情況下，Comp 的偏移量會經 PA2₃ 衰減再和 PA2₃ 的 Offset 相加，而前三級因為有採用 Offset cancellation，則可以看成一個 Offset-free 的放大器，偏移量經 Offset-free 的放大器衰減回輸入端，其值將要小於 LSB₁₂/2，所以 PA2₃ 不想加入 Offset cancellation 的電容，則前置放大器的增益需滿足下式：

$$LSB/2 * A_{PA1} * A_{PA2}^2 * \left(\frac{C}{C_{in} + C}\right)^2 \geq V_{os_PA2_3} + \frac{V_{os_comp}}{A_{PA2}} \quad (3.8)$$

其中 A_{PA1} 為 PA1 的增益、 A_{PA2} 為 PA2 的增益，並且假設 $C=C_1=C_2=C_3=C_4$ 、PA2₂ 及 PA2₃ 的輸入電容都為相等，即等於 C_{in} ，由 Calibre PEX 萃取出其輸入電容之大概為 9fF 左右，故在設計時將其帶入符合(3.8)式，則 PA2₃ 即可不用加 Offset cancellation 的電容。而比較器中所用之開關，其必須要傳遞的信號都為接近 1/2 VDD 的電壓，為了避免 Dead zone 的情形，所以都採用 Bootstrapped 的開關來完成，由圖 3-2 我們可以了解比較器操作情形， ϕ_1 用來 Clear C1-C4 的前一次轉換所儲存的 Offset， ϕ_2 則為將 PA1、PA2₁ 及 PA2₂ 的偏移量分別儲存到 C1-C4 中，即 C1 和 C2 兩個電容總共所儲存的電荷為 $A_{PA2} * (A_{PA1} * V_{os_PA1} + V_{os_PA2_1})$ ，而 C3 及 C4 兩個電容總共所儲存的電荷為 $A_{PA2} * V_{os_PA2_2}$ ， ϕ_3 則 S11 及 S12 on 開始每個位元的轉換，而這期間會將偏移量儲存於 C1-C4 上，在比較 S/H 保持住 V_{in} 的值與 DAC 值的同時一起消除。

3.1.3.1 前置放大器 (Pre-amplifier)

在設計時為了要得到較好的效能需要有軌對軌輸入範圍的前置放大器，因此我們分析要使用那一種放大器才能達到我們的需求。在低電壓供

應下，有二種能實現軌對軌的前置放大器電路，一為使用 Bulk driven 的架構，其主要是從 bulk 端來輸入信號，由[23][24]可知 bulk-driven 架構適合於操作於需要軌對軌的輸入，並且其也能使用在低供應電壓的操作，當使用 PMOS 來當輸入級時，其 V_{tp} 與 bulk 電壓的關係式為

$$|V_{tp}| = |V_{t0}| + \gamma(\sqrt{2\phi_F - V_{BS}} - \sqrt{2\phi_F}) \quad (3.9)$$

其中 V_{t0} 為當沒有 body effect 時的臨界電壓。其主要是藉由輸入差動電壓來改變 V_{tp} 而得到差動的電流值，再由負載來將差動電流轉成差動電壓，而可以控制負載來得到不同的增益，但是 PMOS 的源極與汲極對於 bulk 端存在著 pn 界面，其 pn 界面可能會造成漏電流的發生，而又由於我們的輸入差動電壓很小，所以漏電流將會成為很嚴重的影響，故不太適合用在於我們的設計。而另一種則為輸入同時連接 P 及 N 型差動對，如[25][26]即是採用此一方法來完成，但由於我們所使用的供應電壓小於 0.9V，所以其所採用的 Cascode 負載電路就不能使用於我們的設計中，而[4]能使用於較低電壓且同時連接 P 和 N 型差動對的架構，但為比較器的架構，所以只需要將其 Latch 的地方改換成負載的型式，就能完成軌對軌的前置放大器，故我們來選擇適用於低供應電壓的負載電路。一般差動對可運用二極體連接之 MOS 或電流鏡來做為其負載，但是由於使用的電壓較低，所以 MOS 可能會工作在次臨界(Sub-threshold)區域，故分析這個區域所用到之參數。在這個區域其電流公式為[15][35][36]

$$i_D \cong K \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{gs} - V_{th}}{\eta V_T}\right) \left(1 - \exp\left(\frac{V_{ds}}{V_T}\right)\right) \quad (3.10)$$

其中 η 為 Sub-threshold slope factor，而 K 為一 Process-dependent parameter， $V_T = \frac{kT}{q}$ 為溫度電壓，在室溫下約為 25mV，而由電流之公式，我們可推導使用傳統差動放大器時，其小訊號參數電導 g_m 為

$$g_m \cong \frac{\partial i_D}{\partial V_{GS}} = \frac{V_{gs}}{\eta V_T} \cdot K \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{GS} - V_{th}}{\eta V_T}\right) (1 - \exp\left(\frac{V_{ds}}{V_T}\right)) = \frac{1}{\eta V_T} \cdot i_D \quad (3.11)$$

此時其輸出電阻 r_o 為

$$\frac{1}{r_o} = \frac{\partial i_D}{\partial V_{DS}} = -\frac{1}{V_T} \cdot K \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{gs} - V_{th}}{\eta V_T}\right) (-\exp\left(\frac{V_{ds}}{V_T}\right)) = \frac{\exp\left(\frac{V_{ds}}{V_T}\right)}{V_T \cdot (1 - \exp\left(\frac{V_{ds}}{V_T}\right))} \cdot i_D \quad (3.12)$$

而由(3.11)式可知在次臨界區的電流 i_D 很小，故 g_m 之值也很小，所以當要放大 20dB 左右，則負載則為將增益加大的主要元件，而只使用二極體連接的 MOS 或電流鏡來當負載，其在低電壓下之 r_o 可由(3.12)式看出，都不足以將增益放大 20dB 左右，故使用了 diode-connected 電晶體 R_{o1} 和負電阻 R_{o2} 並聯來提高負載值[15]，兩者所並聯起來的負載電阻如下：

$$R_{out} = R_{o1} // R_{o2} \cong \frac{1}{g_{m1}} // \frac{1}{g_{m2}} = \frac{1}{g_{m1} - g_{m2}} = \frac{1}{\frac{1}{\eta V_T} \cdot i_{D1} - \frac{1}{\eta V_T} \cdot i_{D2}} \quad (3.13)$$

$$A_v = g_m \times R_{out} = \frac{i_{D1} + i_{D2}}{i_{D1} - i_{D2}} = \frac{1 + \frac{W_2}{L_2} / \frac{W_1}{L_1}}{1 - \frac{W_2}{L_2} / \frac{W_1}{L_1}} \quad (3.14)$$

由(3.14)式中，其增益 $g_m R_{out}$ 的乘積值只跟負載的 aspect ratio W/L 有關，所以當供應電壓下降其增益並不會有很大的改變。由於設計上要得到正負載電阻值，故 $\frac{W_1}{L_1} > \frac{W_2}{L_2}$ 。

圖 3-17 為我們所設計的前置放大器架構，主要原理是將輸入的差動電壓轉為差動電流，再經由負載將其轉為差動放大之電壓。因為要完成軌對

軌的輸入範圍，故在輸入共模電壓較低時，由 P 型差動對將輸入電壓轉成電流，在藉由 N3 至 N6 所組成的負載轉換成電壓的型式；而在輸入共模電壓較高時，N 型差動對也是將輸入電壓轉成電流，在由 P1 至 P3 所組成之電流鏡將電流複製到輸出端，最後在由負載轉換成電壓的型式；然而輸入共模電壓介於兩者之間時，P 型及 N 型差動對將同時操作，而最後是將其兩者的電流總和藉由負載轉成電壓。而由於此種前置放大器的輸出在 $1/2 V_{DD}$ 左右，而為了得到更好的效能，所以所有的前置放大器和比較器都是採用軌對軌的電路來完成。

圖 3-18 為 PA1 的頻率響應，其 corner 的範圍在 6.2-9.3dB 之間，而圖 3-19 為 PA2 的頻率響應，其 corner 的範圍在 17.9dB-22.9dB，其最差的情形也符合(3.8)式，故在此比較器在供應電壓 0.9V 是可行的。而為了更進一步的降低功率消耗，所以降低供應電壓至 0.55V，圖 3-20 為在 0.55V 時之 PA1 頻率響應，圖 3-21 為在 0.55V 之 PA2 的頻率響應，其則是以 10 位元的解析度來設計，也符合(3.8)式。

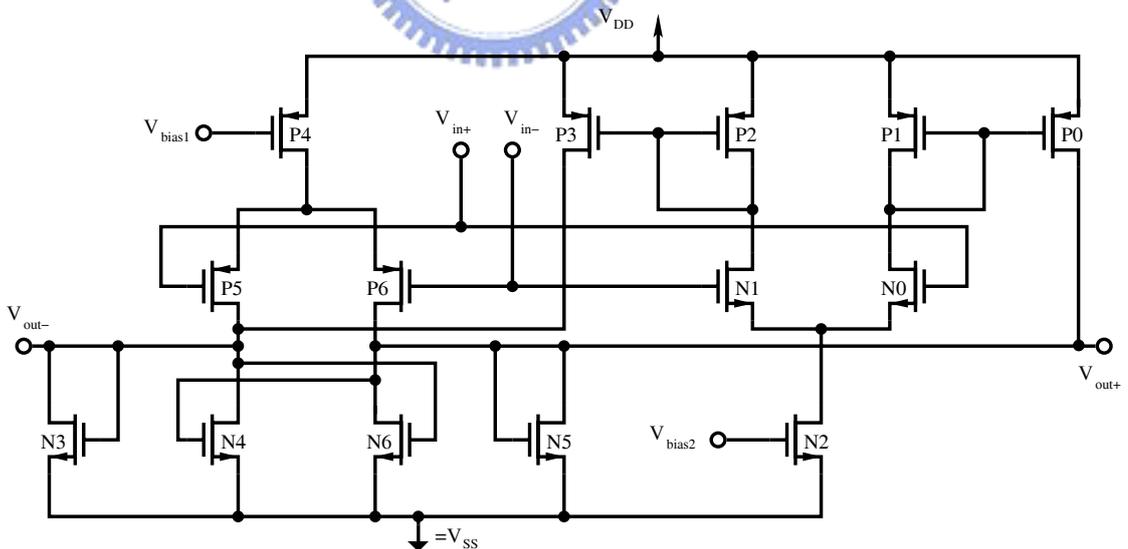


圖 3-17 軌對軌之前置放大器

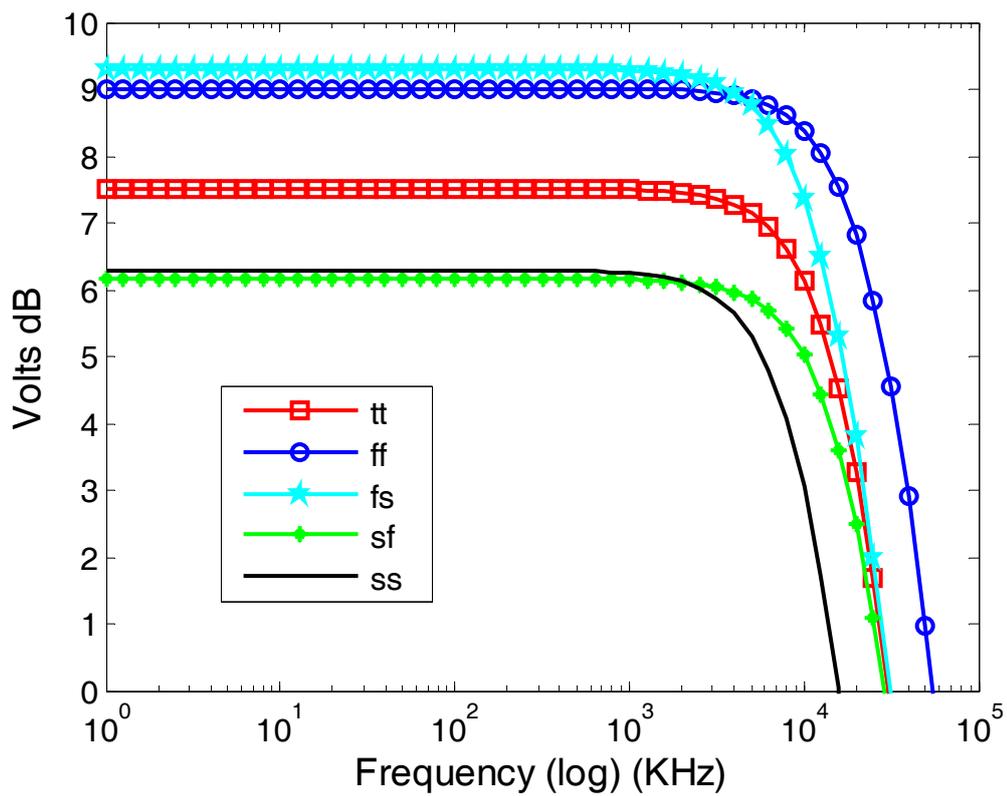


圖 3-18 供應電壓 0.9V 之 PA1 頻率響應

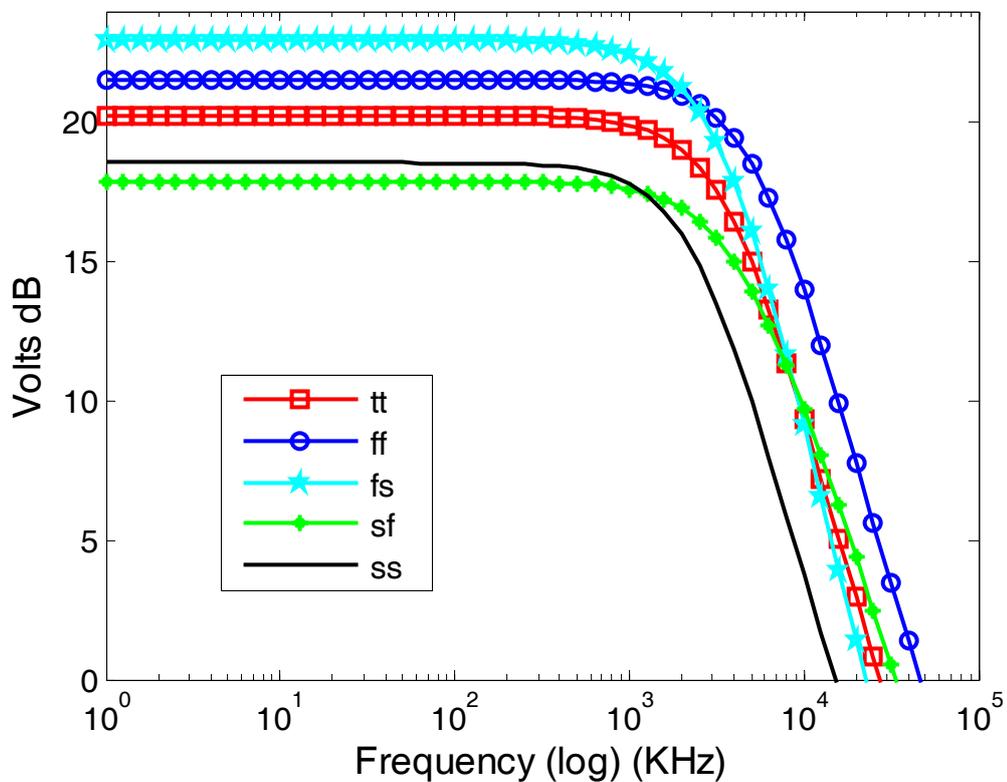


圖 3-19 供應電壓 0.9V 之 PA2 頻率響應

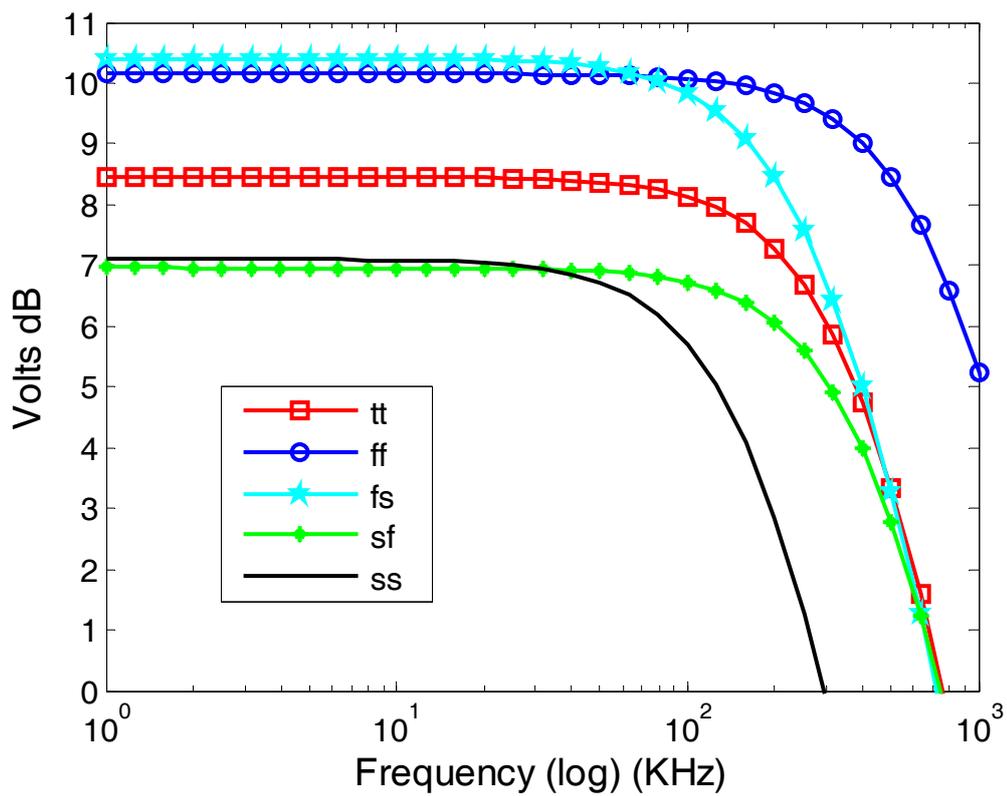


圖 3-20 供應電壓 0.55V 之 PA1 頻率響應

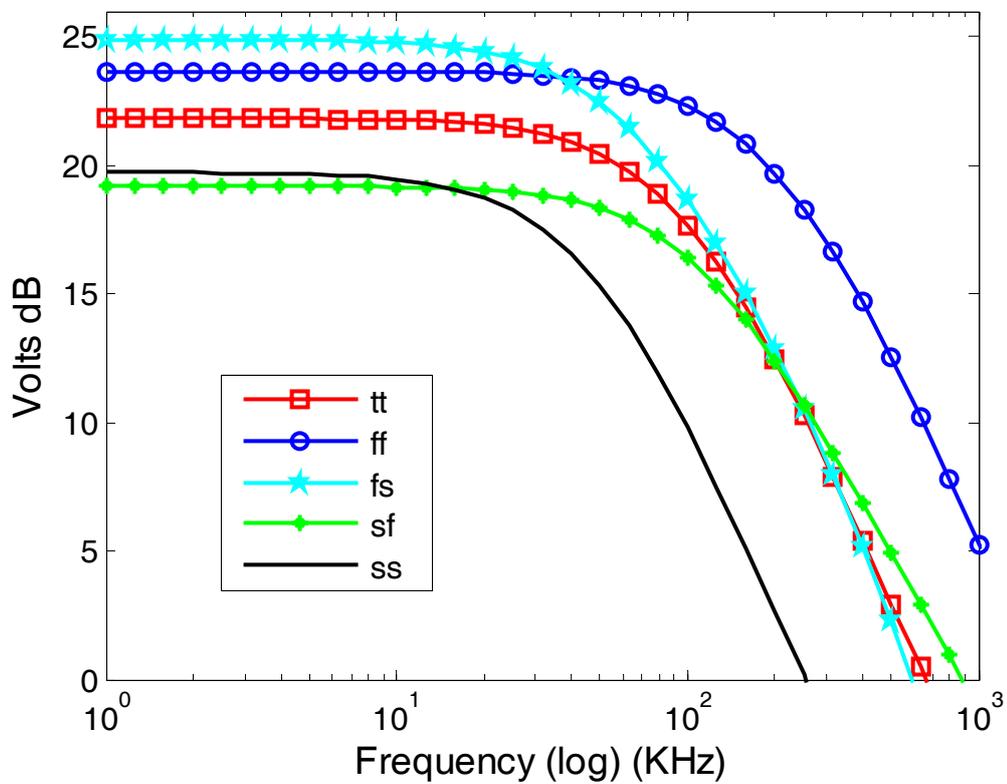


圖 3-21 供應電壓 0.55V 之 PA2 頻率響應

3.1.3.2 比較器 (Comparator)[4]

這個電路主要是由學長所提出之設計，其使用 N4 及 N6 來形成之門鎖 (Latch)，並且為了解決 Latch 磁滯的問題，所以加入了 reset MOS (N3、N5) 來減低磁滯的影響，而最後再加一反向器將訊號拉至數位訊號位準，其架構如圖 3-22 所示。

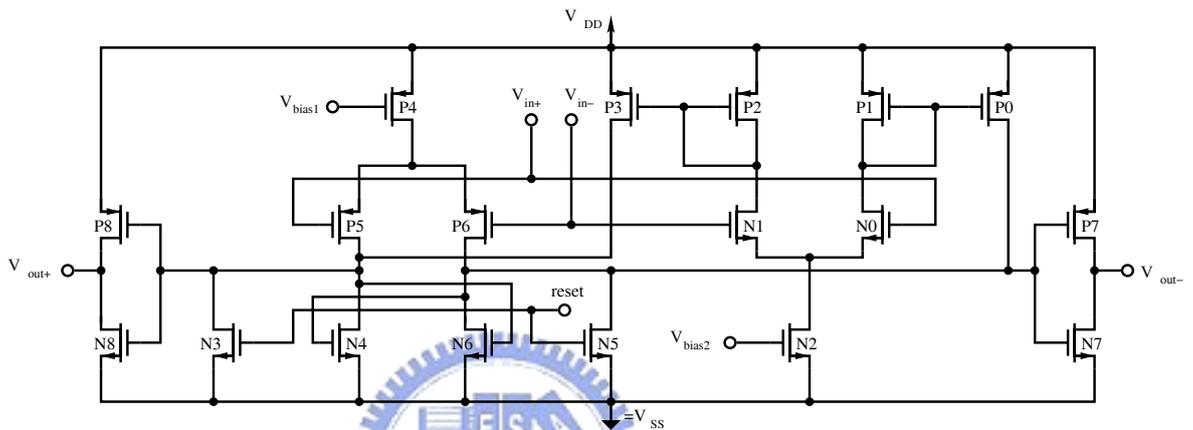


圖 3-22 軌對軌之比較器

3.1.4 連續近似暫存器(SAR)

連續近似暫存器使用了 CMOS 邏輯電路來實現，其對於 DAC 部份之電容下端控制線操作如表格 3-3 所示，由此表我們可知只要使用移位暫存器、多工器及此一邏輯電路即可完成。每次所儲存的偏移量都不一樣，所以要多一個循環來做清除上次所儲存的偏移量，另外要多一個循環來儲存這次轉換所需要的偏移量，並且對輸入訊號做取樣，所以共多加兩次的循環來做上述兩個動作，且要實現一個 12 位元的 ADC，故最少必須要有十二次循環來解出 12 位元，故要使用十四個循環來完成一次的轉換。整個連續近似式類比數位轉換器總共需十四個步驟，第一步先做清除偏移量的模式，第二步為取得所需的偏移量，並且取樣輸入信號，同時也對 DAC 部分做重置的動作，而第三步至第十四步做保持模式，並依序解出最高位元至最低位元，且在轉換的同時也將偏移量消除來做 S/H 及 DAC 的比較。

表 3-3 連續近似暫存器操作

P	C	DAC switch control signal												R
		S12	S11	S10	S9	S8	S7	S6	S5	S4	S3	S2	S1	
$\phi 1$	1	0	0	0	0	0	0	0	0	0	0	0	0	-
$\phi 2$	2	0	0	0	0	0	0	0	0	0	0	0	0	-
$\phi 3$	3	1	0	0	0	0	0	0	0	0	0	0	0	D_{12}
$\phi 3$	4	D_{12}	1	0	0	0	0	0	0	0	0	0	0	D_{11}
$\phi 3$	5	D_{12}	D_{11}	1	0	0	0	0	0	0	0	0	0	D_{10}
$\phi 3$	6	D_{12}	D_{11}	D_{10}	1	0	0	0	0	0	0	0	0	D_9
$\phi 3$	7	D_{12}	D_{11}	D_{10}	D_9	1	0	0	0	0	0	0	0	D_8
$\phi 3$	8	D_{12}	D_{11}	D_{10}	D_9	D_8	1	0	0	0	0	0	0	D_7
$\phi 3$	9	D_{12}	D_{11}	D_{10}	D_9	D_8	D_7	1	0	0	0	0	0	D_6
$\phi 3$	10	D_{12}	D_{11}	D_{10}	D_9	D_8	D_7	D_6	1	0	0	0	0	D_5
$\phi 3$	11	D_{12}	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	1	0	0	0	D_4
$\phi 3$	12	D_{12}	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	D_4	1	0	0	D_3
$\phi 3$	13	D_{12}	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	D_4	D_3	1	0	D_2
$\phi 3$	14	D_{12}	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	D_4	D_3	D_2	1	D_1

P : Phase of the ADC

C : Clock cycle

R : Comparator output

圖 3-23 為連續近似暫存器架構圖，其動作原理即是一開始先啟動整個系統之重置訊號(global reset)，以確保一開始 SAR 的正確性，再來內部的重置訊號(i_reset)產生，將前一次儲存的偏移量清除並且將所有的連續近似暫存器的值設為零，接著產生抓取偏移量的訊號(i_os_catch)，最後開始如表 3-3 的操作。圖 3-23 中每一個區塊(block)的接腳如圖 3-24 所示，其操作主要有三種模式，即右移、將比較器的輸出值儲存及將記憶目前暫存器的值，如表 3-4 所示。

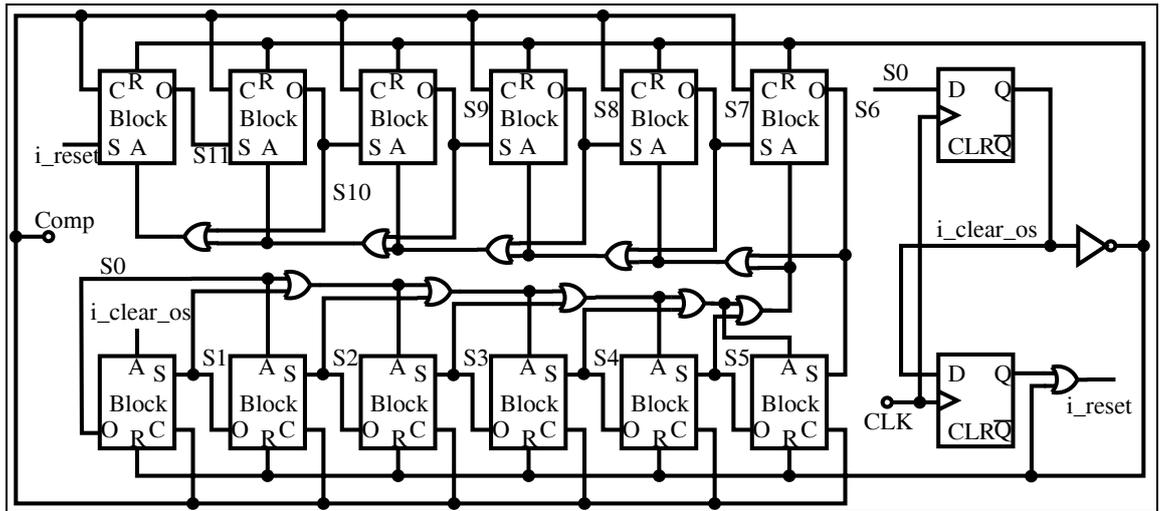


圖 3-23 連續近似暫存器架構

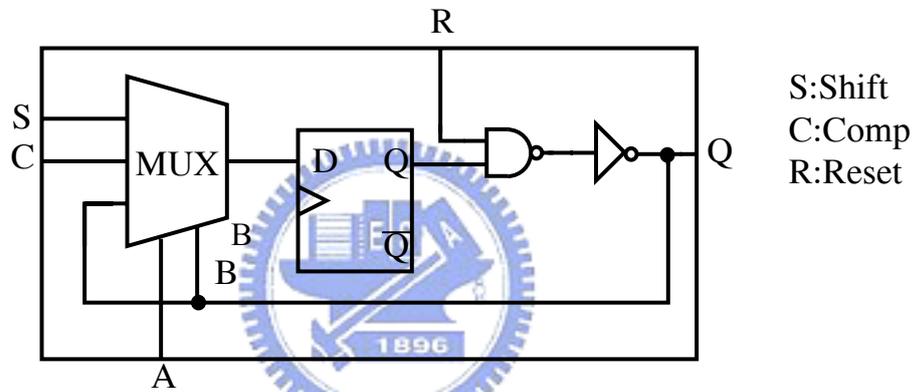


圖 3-24 區塊(block)接腳圖

表 3-4 block 之運作

Reset	A	B	Function
0	X	X	Clear
1	0	0	Shift
1	0	1	Memory_Comp
1	1	x	Memory b

3.2 ADC 佈局圖

此次提出的 SA ADC 使用 0.18 μ m 1P6M CMOS 製程來實現，圖 3-25

為 ADC 電路佈局圖，整個晶片(包含 PAD)的面積為 $0.983 \times 0.783\text{mm}^2$ ，而其各部分的面積列於表 3-5 中，此 ADC 之 active area 約為 0.104mm^2 。

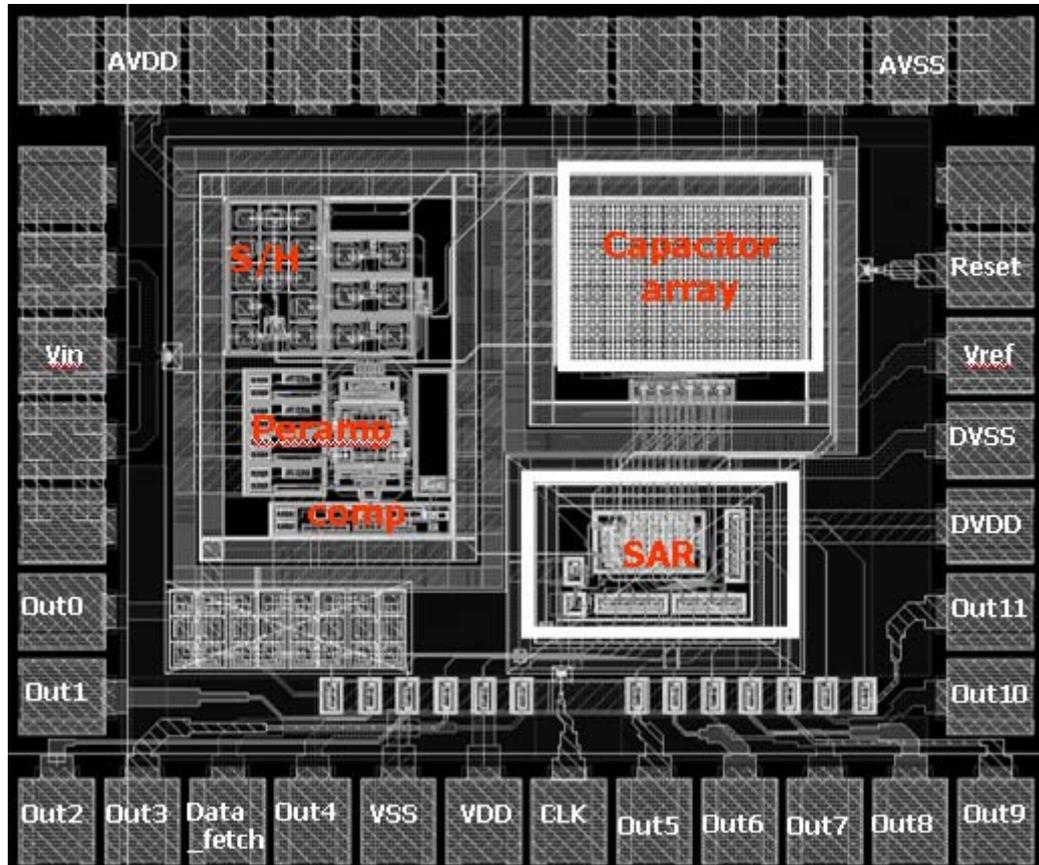


圖 3-25 SA ADC 佈局圖

表 3-5 ADC 各部分之面積

Component	Area($\mu\text{m} \times \mu\text{m}$)
S/H	90 x 145
Preamp & Comp	191 x 162
DAC	233 x 186
SAR	168 x 100
Total active area	104130

第四章 模擬與驗證

本章將呈現出對於整個 ADC 的 Post-Simulation 結果，而分別以供應電壓為 0.5V、0.55V、0.9V 及 1V 四種電壓來進行模擬。

4.1 供應電壓為 1V 之模擬結果

4.1.1 動態參數

圖 4-1 為在 TT, 1v, 25°C、取樣點數為 4096 點、時脈頻率 350KHz、輸入約為-1dBFS, 1KHz 正弦波訊號時的頻譜分析圖，由此模擬我們可以算出訊號對雜訊諧波比(Signal to noise and distortion ratio, SNDR)為 71.24dB，因此可以計算出有效位元(Effective number of bits, ENOB)約為 11.54 位元。接著我們模擬以不同條件下之效能分析，表 4-1 為各種角模擬(Corner simulation)的結果。

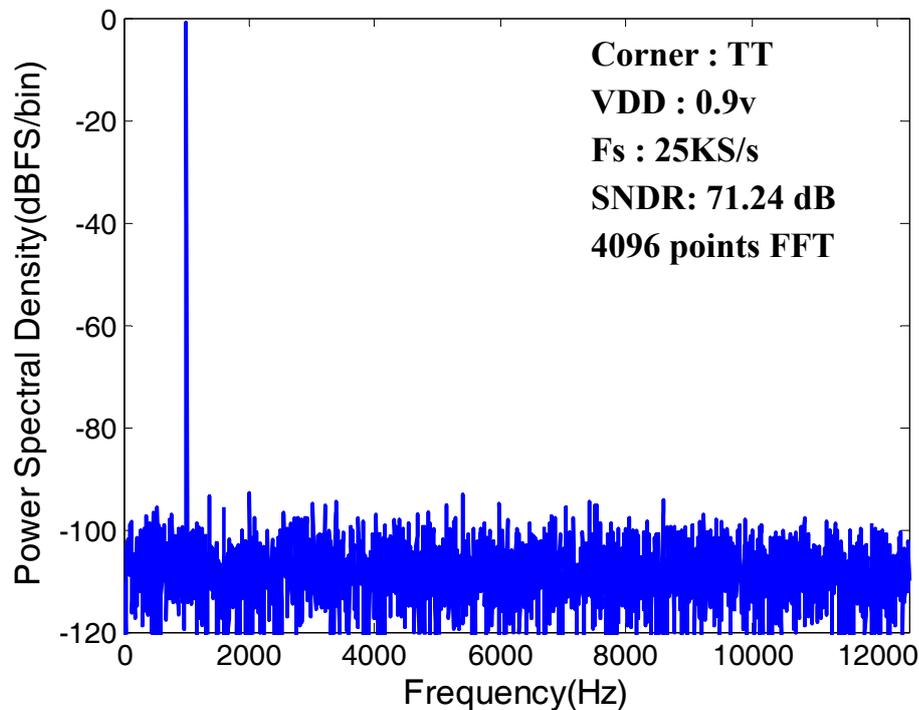


圖 4-1 TT, 1v, 25°C 時之頻譜分析圖

表 4-1 角模擬(供應電壓為 1V)

Process corner	SNDR(dB)	ENOB(bit)
TT, 1V, 25°C	71.24	11.54
FF, 1V, 25°C	68.19	11.03
FS, 1V, 25°C	69.48	11.25
SE, 1V, 25°C	71.66	11.61
SS, 1V, 25°C	70.95	11.49
FF, 1.1V, -40°C	68.03	11.01

表 4-2 為以不同之輸入頻率模擬所得到之 SNDR，用此一數據作成圖 4-2，並且觀察可發現在將近取樣頻率一半時，其 SNDR 仍有不錯的表現，故此設計之有效解析度頻寬(Effective resolution bandwidth, ERBW)可達到 Nyquist frequency。

表 4-2 不同輸入頻率之 SNDR(供應電壓為 1V)

F_{in} (Hz)	SNDR (dB)	ENOB (bit)
1k	71.24	11.54
2k	70.94	11.49
4k	71	11.5
6k	70.88	11.48
8k	71.02	11.51
10k	70.81	11.47
12.5k	70.57	11.43

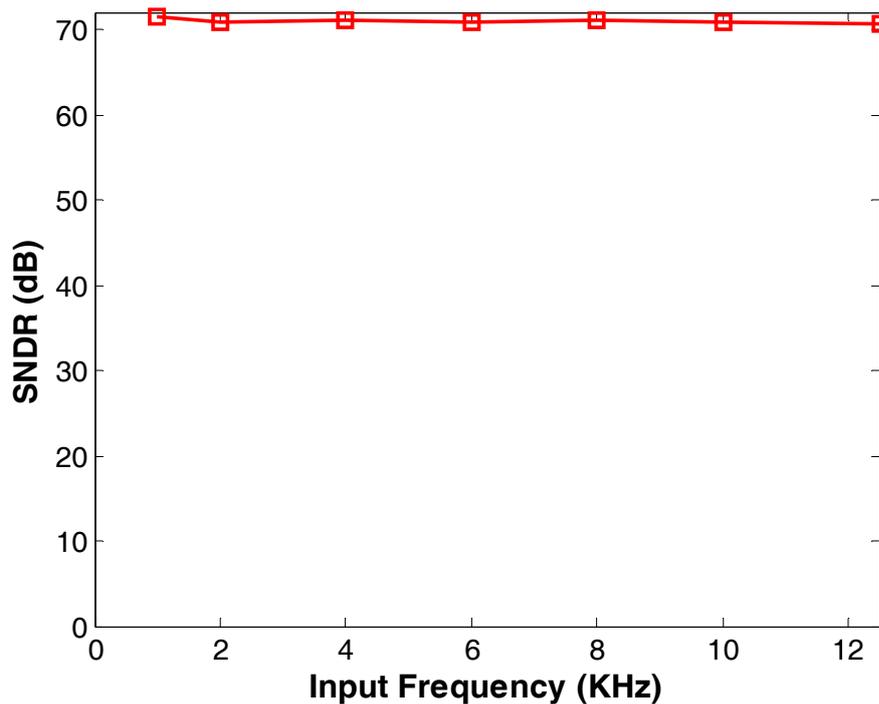


圖 4-2 不同輸入頻率與 SNDR 的關係(供應電壓為 1V)

4.1.2 功率消耗(Power dissipation)

HSPICE 模擬功率消耗主要有兩種：一是使用 RMS 的方法計算功率消耗，另外一種為使用平均的方式來計算功率消耗。而在超低耗能的設計中，因為功率相當小，再加上供應電壓與地之間除了有穩定電源所設計的 decoupling 電容，且也存在著 PAD 與 PAD 之間的電容，外加一些雜散電容，由於電容乃為儲能元件，故會提供給 ADC 功率，因此瞬間功率部分由供應電壓與地之間的電容所供給；且再加上量測儀器在量測功率時，乃是週期性取點，故使用平均功率的方式來模擬功率消耗較為合理。

由於功率消耗較小，再加上 decoupling 電容及一些雜散電容都為儲能元件，所以會提供給 ADC 功率，因此會產生瞬間功率，故使用平均功率的方式來模擬功率消耗較為適合，圖 4-3 為模擬各部分供應電壓對於每個 code 之消耗功率，從圖中可發現類比部分為主要消耗功率，而在此由於 V_{in} 所

消耗的功率太小，故忽略其功率消耗。圖 4-4 為 ADC 總消耗功率，計算出輸出碼從 0 至 4095 所消耗之功率取其平均，平均功率約為 $8.38\mu\text{W}$ 。表 4-3 為各部分供應電壓所消耗功率之平均表。

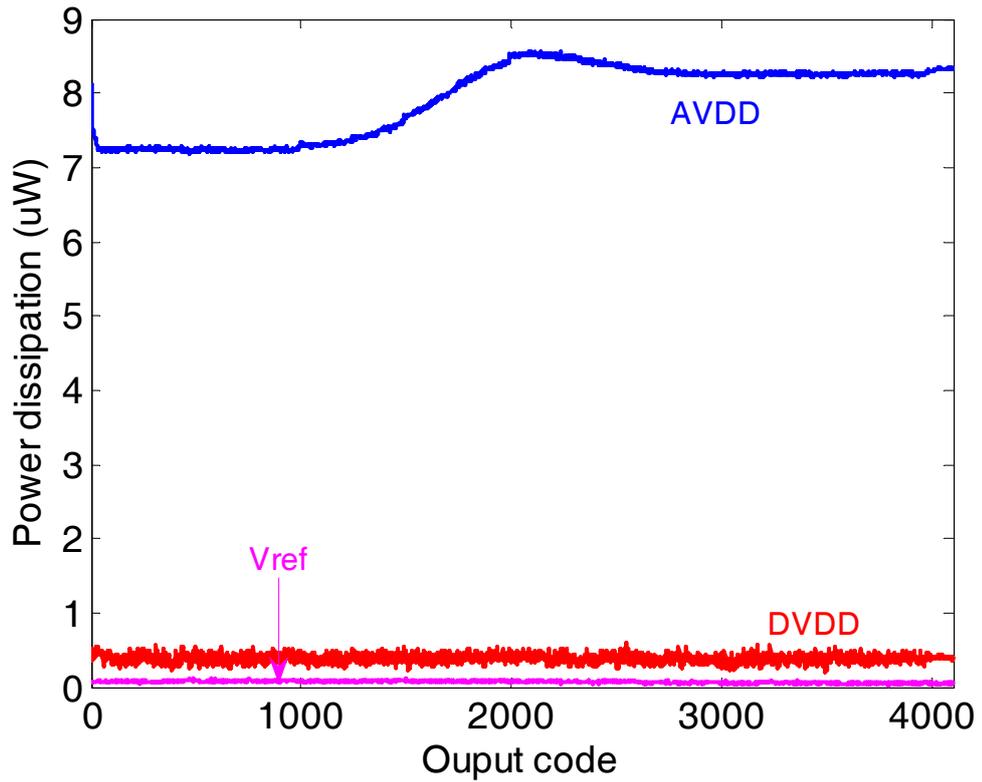


圖 4-3 ADC 各部分電壓所消耗之功率(供應電壓 1V)

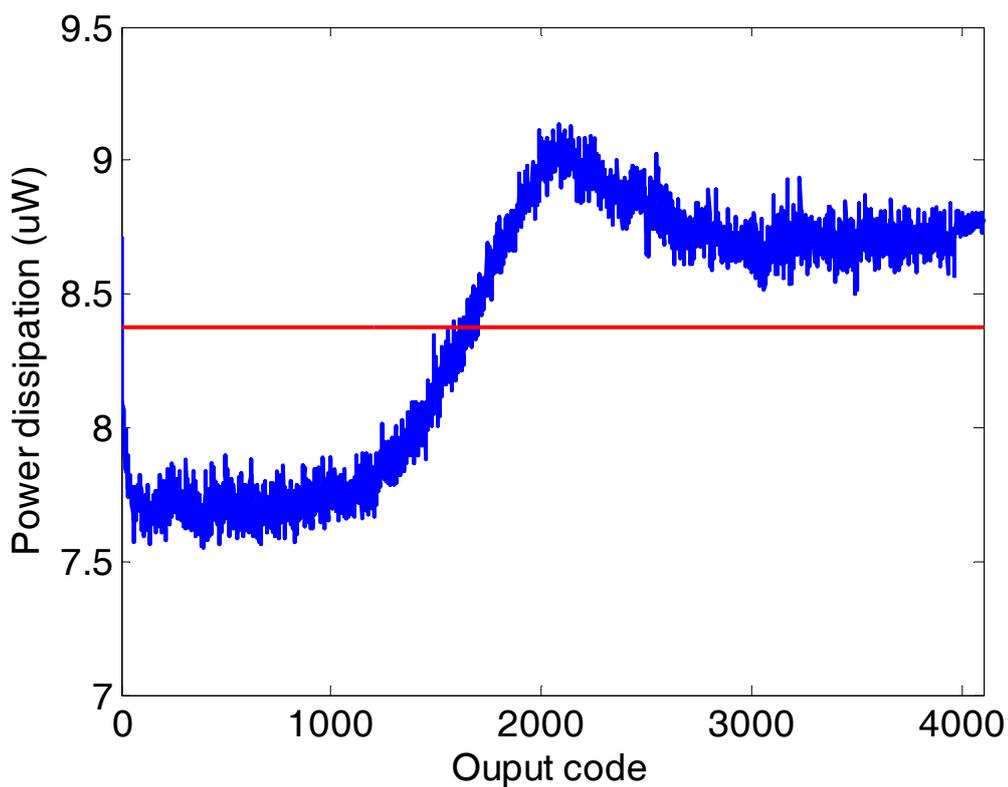


圖 4-4 ADC 整體所消耗的功率(供應電壓 1V)

表 4-3 ADC 各部分電壓所消耗之平均功率(供應電壓 1V)

	Mean power (μW)
P(AVDD)	7.92
P(DVDD)	0.39
P(Vref)	0.07
Total power	8.38

4.2 供應電壓為 0.9V 之模擬結果

4.2.1 動態參數

圖 4-5 為在 TT, 0.9v, 25°C、取樣點數為 4096 點、時脈頻率 210KHz、輸入約為-0.07dBFS, 1KHz 正弦波訊號時的頻譜分析圖，由此模擬我們可以算出訊號對雜訊諧波比(Signal to noise and distortion ratio, SNDR)為 71.4dB，因此可以計算出有效位元(Effective number of bits, ENOB)約為 11.56 位元。接

著我們模擬以不同條件下之效能分析，表 4-1 為角模擬(Corner simulation)的結果。

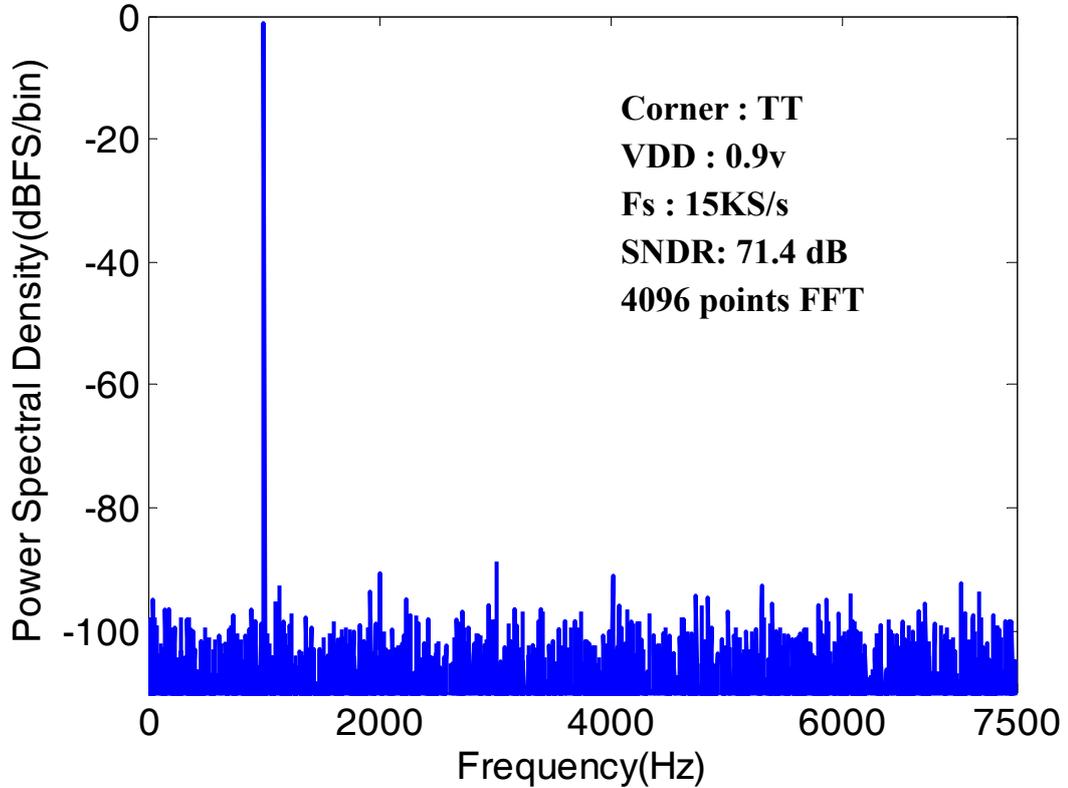


圖 4-5 TT, 0.9V, 25°C 時之頻譜分析圖

表 4-4 角模擬(供應電壓為 0.9V)

Process corner	SNDR(dB)	ENOB(bit)
TT, 0.9V, 25°C	71.4	11.56
FF, 0.9V, 25°C	68.5	11.09
FS, 0.9V, 25°C	68.6	11.11
SF, 0.9V, 25°C	71.3	11.55
SS, 0.9V, 25°C	70.2	11.37

表 4-5 為以不同之輸入頻率模擬所得到之 SNDR，用此一數據作成圖 4-6，並且觀察可發現在將近取樣頻率一半時，其 SNDR 仍有不錯的表現，故此設計之有效解析度頻寬(Effective resolution bandwidth, ERBW)可達到 Nyquist frequency。

表 4-5 不同輸入頻率之 SNDR(供應電壓為 0.9V)

Fin (Hz)	SNDR (dB)	ENOB (bit)
1k	71.4	11.56
2k	69.5	11.25
4k	69.3	11.21
6k	69.4	11.24
7.5k	69.3	11.23

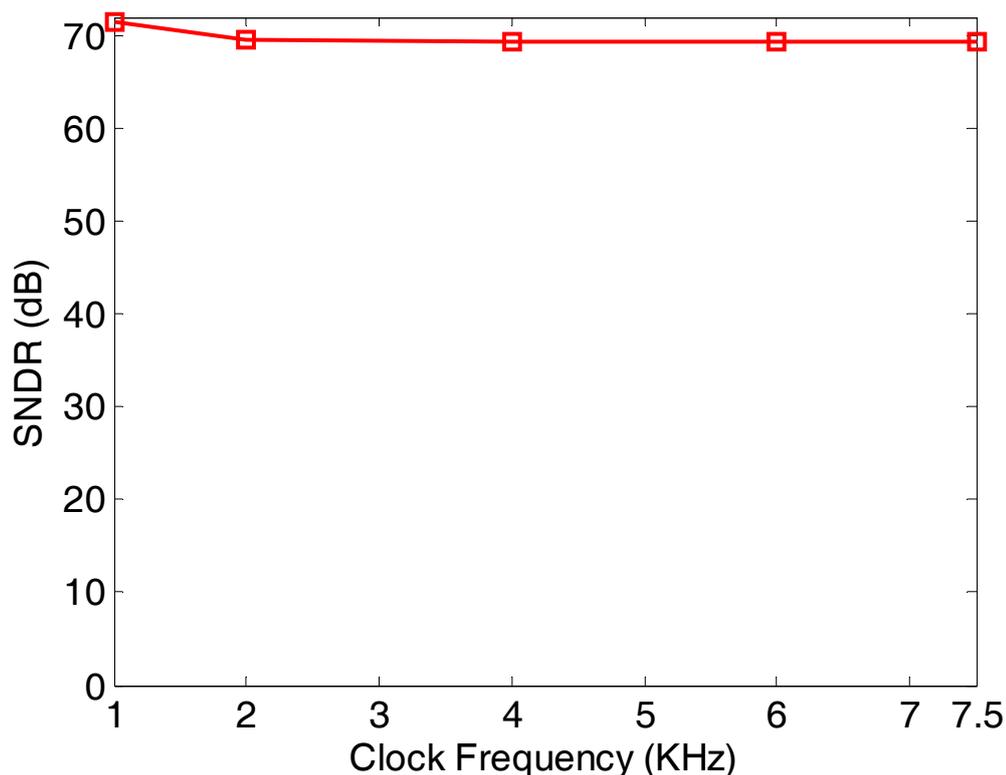


圖 4-6 不同輸入頻率與 SNDR 的關係(供應電壓為 0.9V)

4.2.2 功率消耗(Power dissipation)

圖 4-7 為模擬各部分供應電壓對於每個 code 之消耗功率，從圖中可發現類比部分為主要消耗功率，而在此由於 V_{in} 所消耗的功率太小，故忽略其功率消耗。圖 4-8 為 ADC 總消耗功率，計算出輸出碼從 0 至 4095 所消耗之功率取其平均，平均功率約為 3.49 μ W。表 4-6 為各部分供應電壓所消耗功率之平均表。

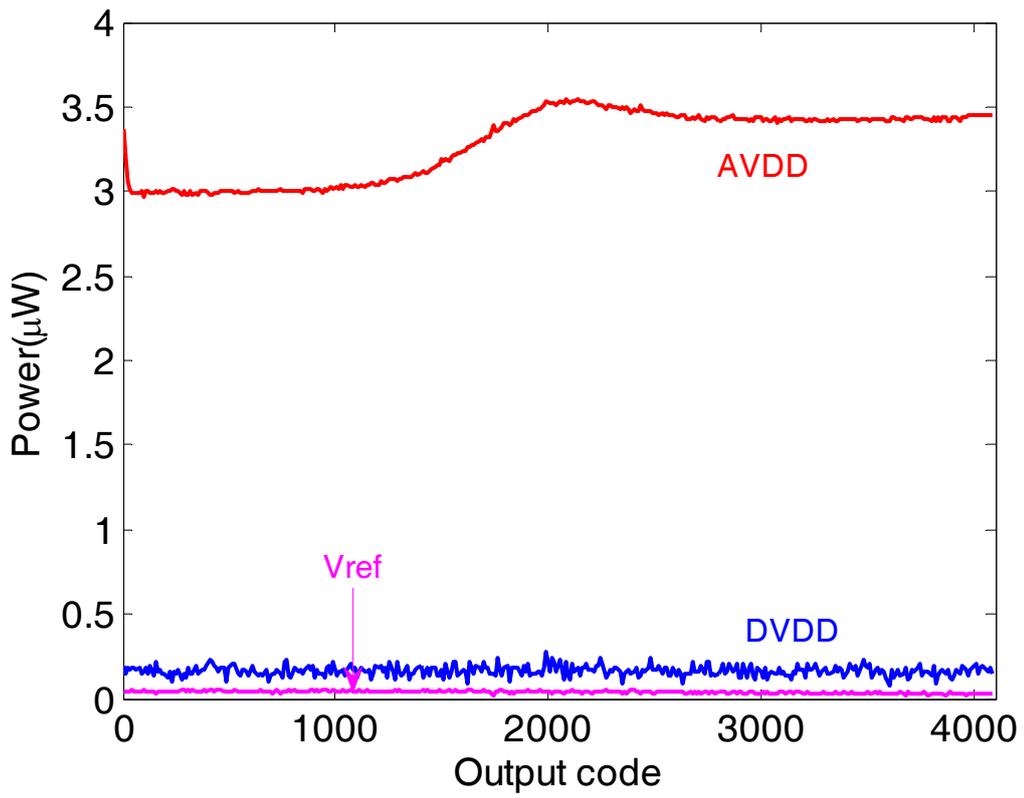


圖 4-7 ADC 各部分電壓所消耗之功率(供應電壓 0.9V)

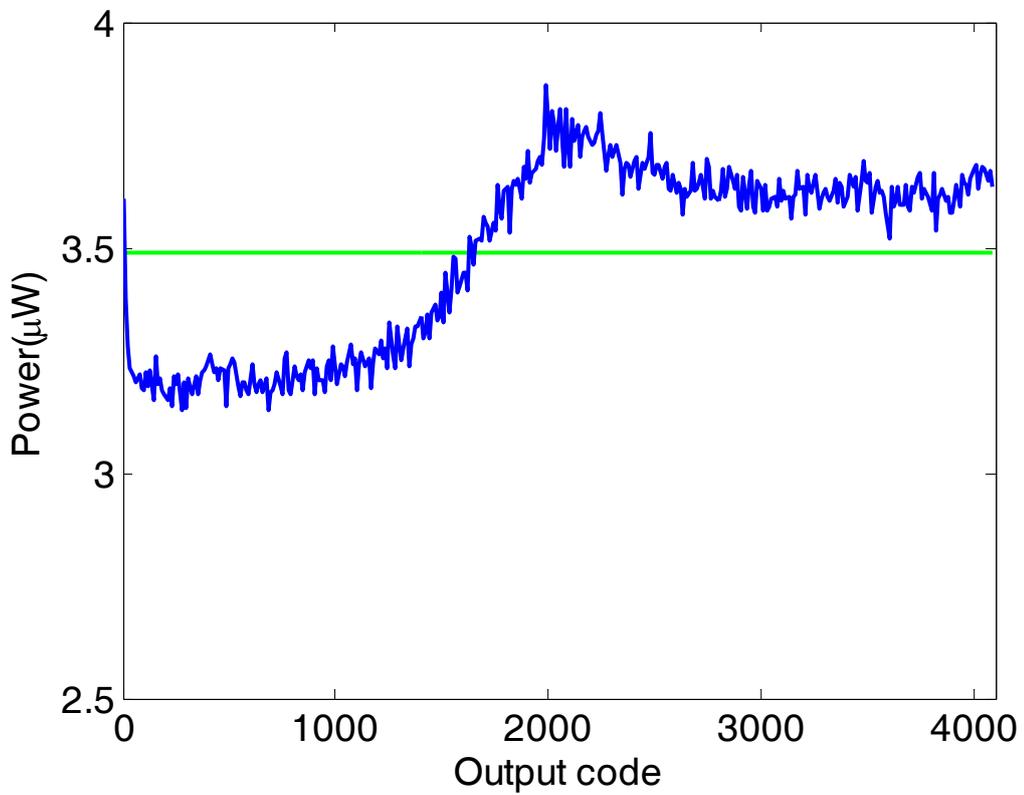


圖 4-8 ADC 整體所消耗的功率(供應電壓 0.9V)

表 4-6 ADC 各部分電壓所消耗之平均功率(供應電壓為 0.9V)

	Mean power (μW)
P(AVDD)	3.28
P(DVDD)	0.16
P(Vref)	0.04
Total power	3.49

4.3 供應電壓為 0.55V 之模擬結果

圖 4-9 為在 TT, 0.55v, 25°C、取樣點數為 512 點、時脈頻率 14KHz、輸入約為-0.36dBFS, 100Hz 正弦波訊號時的頻譜分析圖，由此模擬我們可以算出訊號對雜訊諧波比(Signal to noise and distortion ratio, SNDR)為 57.5dB，因此可以計算出有效位元(Effective number of bits, ENOB)約為 9.26 位元。表 4-7 為各種角模擬(Corner simulation)的結果。

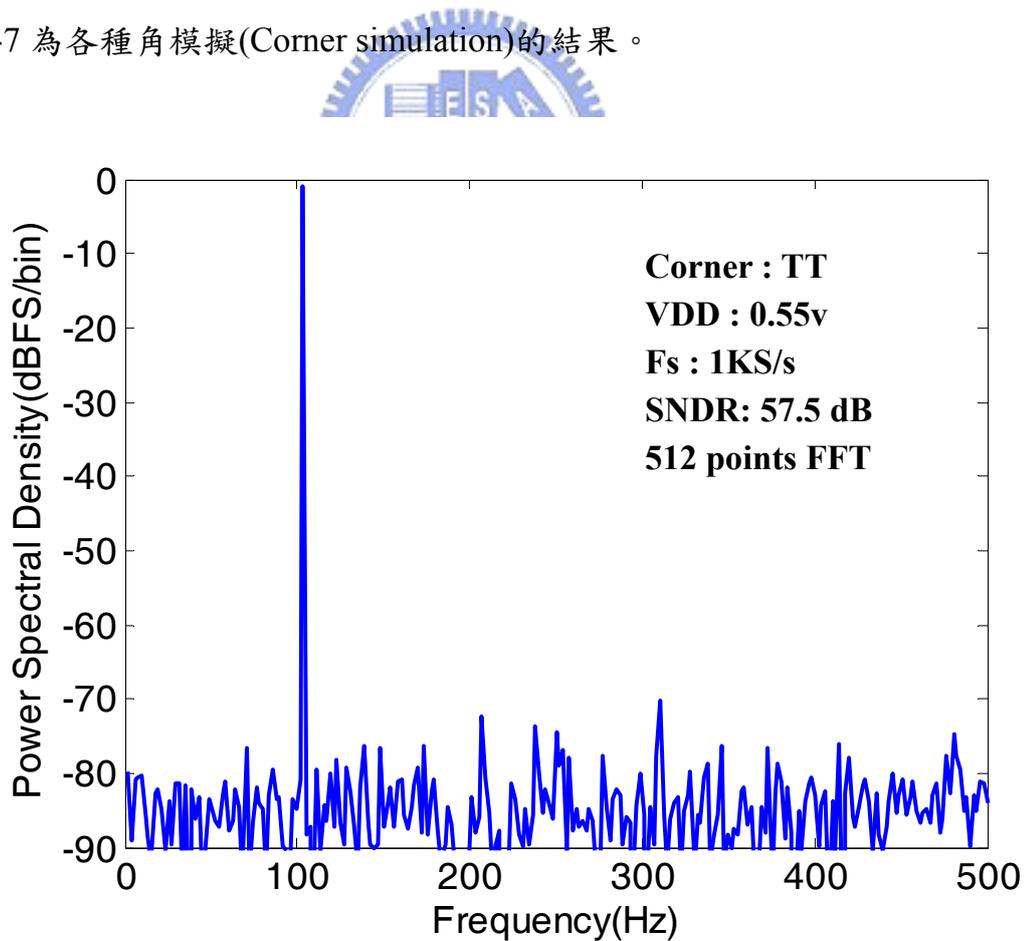


圖 4-9 TT, 0.55v, 25°C 時之頻譜分析圖

表 4-7 角模擬(供應電壓為 0.55V)

Process corner	SNDR(dB)	ENOB(bit)
TT, 0.55V, 25°C	57.5	9.26
FF, 0.55V, 25°C	41.23	6.55
FS, 0.55V, 25°C	47.28	7.56
SF, 0.55V, 25°C	57.89	9.32
SS, 0.55V, 25°C	41.37	6.58

表 4-8 為以不同之輸入頻率模擬所得到之 SNDR，用此一數據作成圖 4-10，並且觀察可發現在將近取樣頻率一半時，其 SNDR 仍有不錯的表現，故此設計之有效解析度頻寬(Effective resolution bandwidth, ERBW)可達到 Nyquist frequency。

表 4-8 不同輸入頻率之 SNDR(供應電壓為 0.55V)

Fin (Hz)	SNDR (dB)	ENOB (bit)
100	57.5	9.26
300	57.1	9.19
500	57.1	9.19

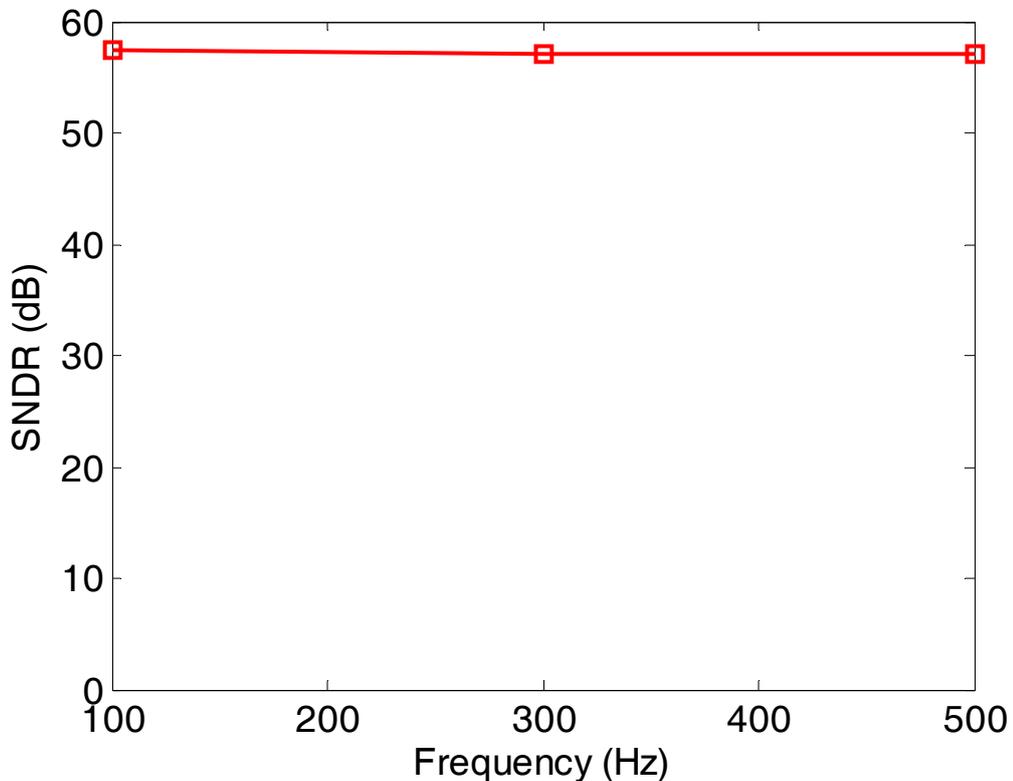


圖 4-10 不同輸入頻率與 SNDR 的關係(供應電壓為 0.55V)

圖 4-11 為模擬各部分供應電壓對於每個 code 之消耗功率，從圖中可發現類比部分為主要消耗功率，並且只消耗 41.33nW，總功率消耗為 45.78nW。表 4-9 為各部分供應電壓所消耗功率之平均表。

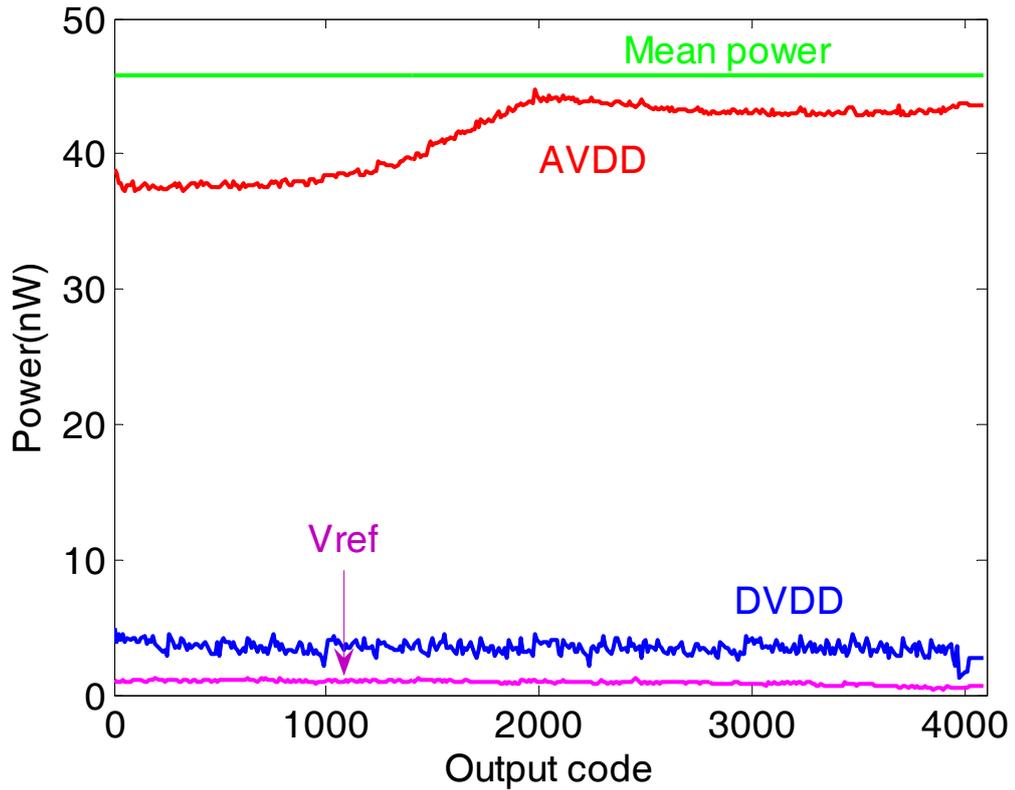


圖 4-11 ADC 各部分電壓所消耗之功率(供應電壓為 0.55V)

表 4-9 ADC 各部分電壓所消耗之平均功率(供應電壓為 0.55V)

	Mean power (nW)
P(AVDD)	41.33
P(DVDD)	3.49
P(Vref)	0.92
Total power	45.78

4.4 供應電壓為 0.5V 之模擬結果

圖 4-12 為在 TT, 0.5v, 25°C、取樣點數為 512 點、時脈頻率 7KHz、輸入約為-0.6dBFS, 100Hz 正弦波訊號時的頻譜分析圖，由此模擬我們可以算出訊號對雜訊諧波比(Signal to noise and distortion ratio, SNDR)為 53.3dB，因此可以計算出有效位元(Effective number of bits, ENOB)約為 8.55 位元。

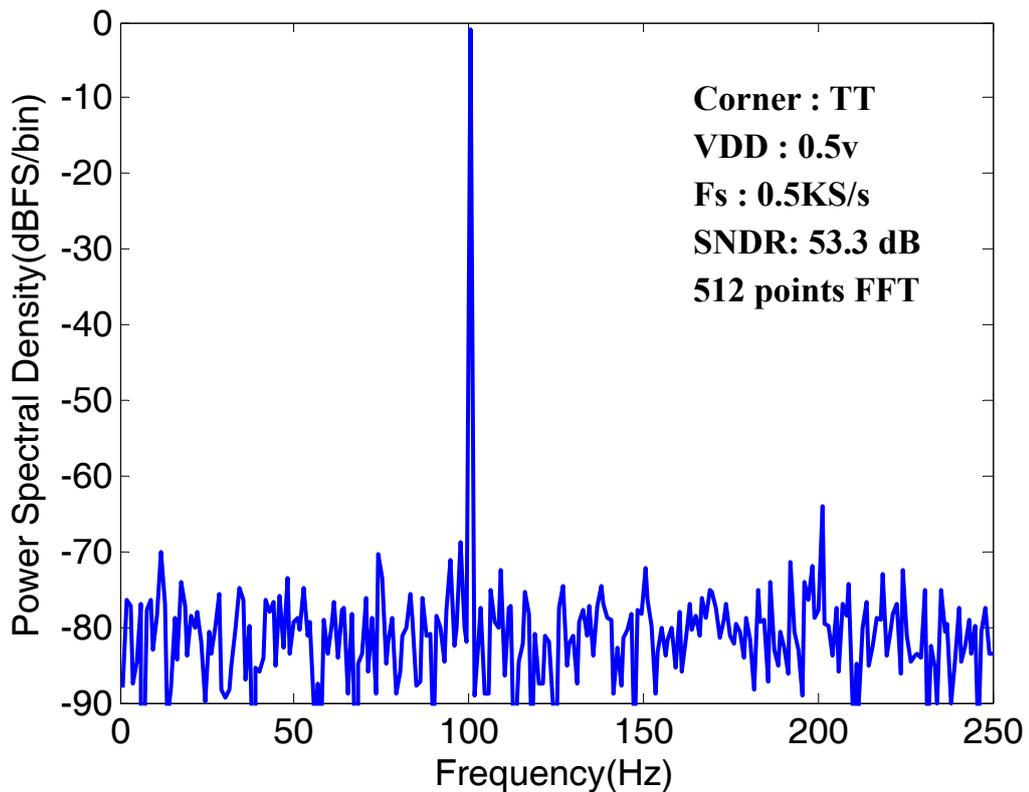


圖 4-12 TT, 0.5v, 25°C 時之頻譜分析圖

圖 4-13 為模擬各部分供應電壓對於每個 code 之消耗功率，從圖中可發現類比部分為主要消耗功率，並且只消耗 18.88nW，總功率消耗為 21.13nW。表 4-10 為各部分供應電壓所消耗功率之平均表。

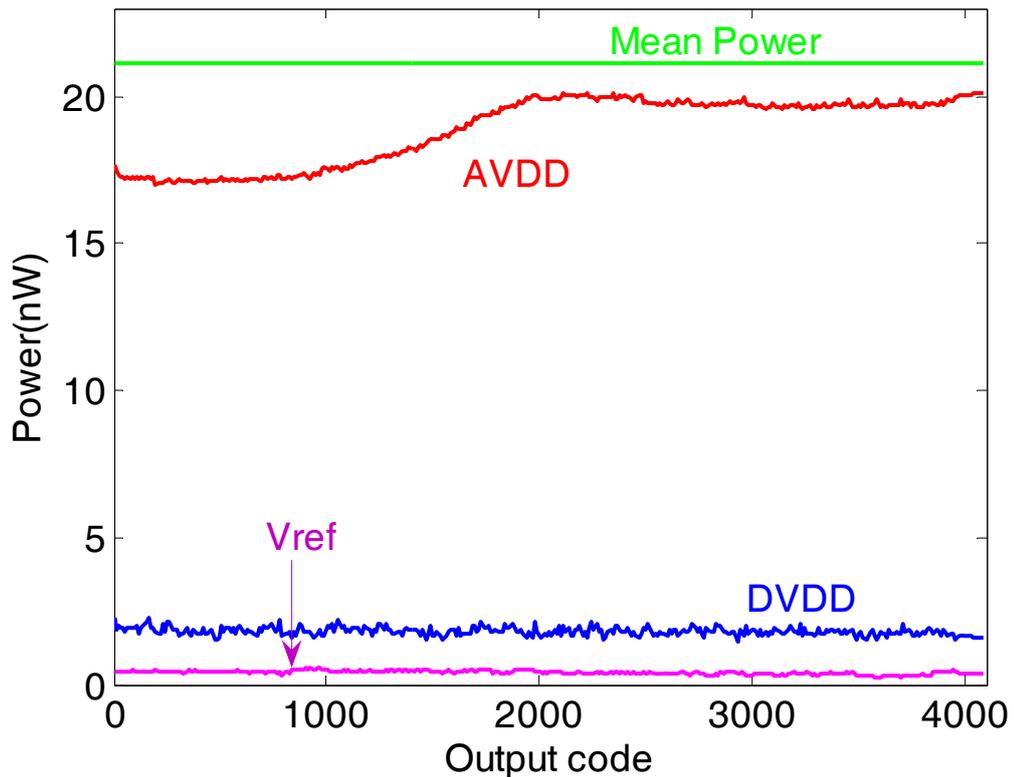


圖 4-13 ADC 各部分電壓所消耗之功率(供應電壓為 0.5V)

表 4-10 ADC 各部分電壓所消耗之平均功率(供應電壓為 0.5V)

	Mean power (nW)
P(AVDD)	18.88
P(DVDD)	1.8
P(Vref)	0.41
Total power	21.13

4.5 ADC 模擬結果與比較

在電壓為 0.55V 至 1V 對於 corner 的模擬結果，我們可以發現，在 corner 為 FF 和 FS 時，效能會較差於其它的 corner，而當我們將比較器以理想的比較器來取帶時，不同的 corner 所造成的影響將變小，但是當我們把比較器單獨拿出來做微小差動比較時，此時比較器能準確地比較出來，故可能要將比較器的部份在做一些修改，才能讓不同 corner 的影響變小。

表 4-11 為在不同電壓下 ADC 之模擬結果摘要，用此數據來與一些 IEEE 論文做比較[5][27][28]。而一般來說幾乎都是採用 FoM(Figure of merit)來比較 ADC 的好壞，其主要考量到解析度、有效頻寬及功率消耗，FOM 之式子[29][30]為

$$FOM = \frac{Power}{2^{ENOB@DC} \cdot 2 \cdot ERBW} \quad (4.1)$$

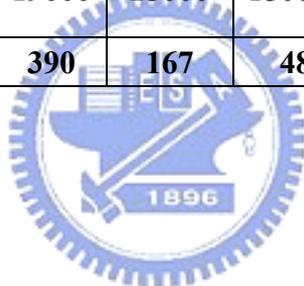
其中 ENOB@DC 為當輸入訊號接近 DC 頻率時所得之 ENOB，而 ERBW 為其從 DC 到 Nyquist frequency 增加頻率，所得之 SNDR 相較於 DC 3db 之頻率。表 4-12 為 ADC 效能與先前之文獻做比較，由表中可看出我們的 FoM 為最佳並且功率也為最低。

表 4-11 ADC 模擬結果

Parameters	Result			
Supply voltage	1V	0.9V	0.55V	0.5V
Clock rate	350K	210K	14K	7K
Sampling rate	25K	15K	1K	0.5K
Effective resolution bandwidth	12.5K	7.5K	0.5K	0.25K
SNDR @ DC	71.24	71.4	57.5	53.3
ENOB @ DC	11.54	11.56	9.26	8.55
Power dissipation (nW)	8380	3490	46	21
Process	0.18μm CMOS (1P6M)			

表 4-12 Benchmark

	Verma ISSCC 2006		Promitzer JSSC 2001	Sauerb -rey JSSC 2003	Gambini JSSC 2007	This work
Technology	0.18 μ m CMOS		0.6 μ m CMOS	0.18 μ m CMOS	90n CMOS	0.18 μ m CMOS
V_{DD}	1	1	3-5.5	0.5	0.5	0.9
Input swing / V_{DD}	1	1	1	0.25	N/A	1
Resolution (bits)	8	12	12	8	6	12
Sampling rate (KHz)	200	100	1000	4.1	1500	15
ENOB (bits)@DC	7.96	10.55	11.6	6.9	5.38	11.56
ENOB (bits) @ $F_s/2$	7.96	10.55	11.5	4.86	5.15	11.23
ERBW(KHz)	100	50	500	2	750	7.5
SFDR (dBc)	63.2	71	>81	58	N/A	87
Power dissipation (nW)	19000	25000	15000000	850	7000	3490
FOM (pJ/conv.step)	390	167	4832	1779	140	77



第五章 量測結果

圖 5-1 為使用 0.18 μm CMOS 製程下線回來的晶片圖。

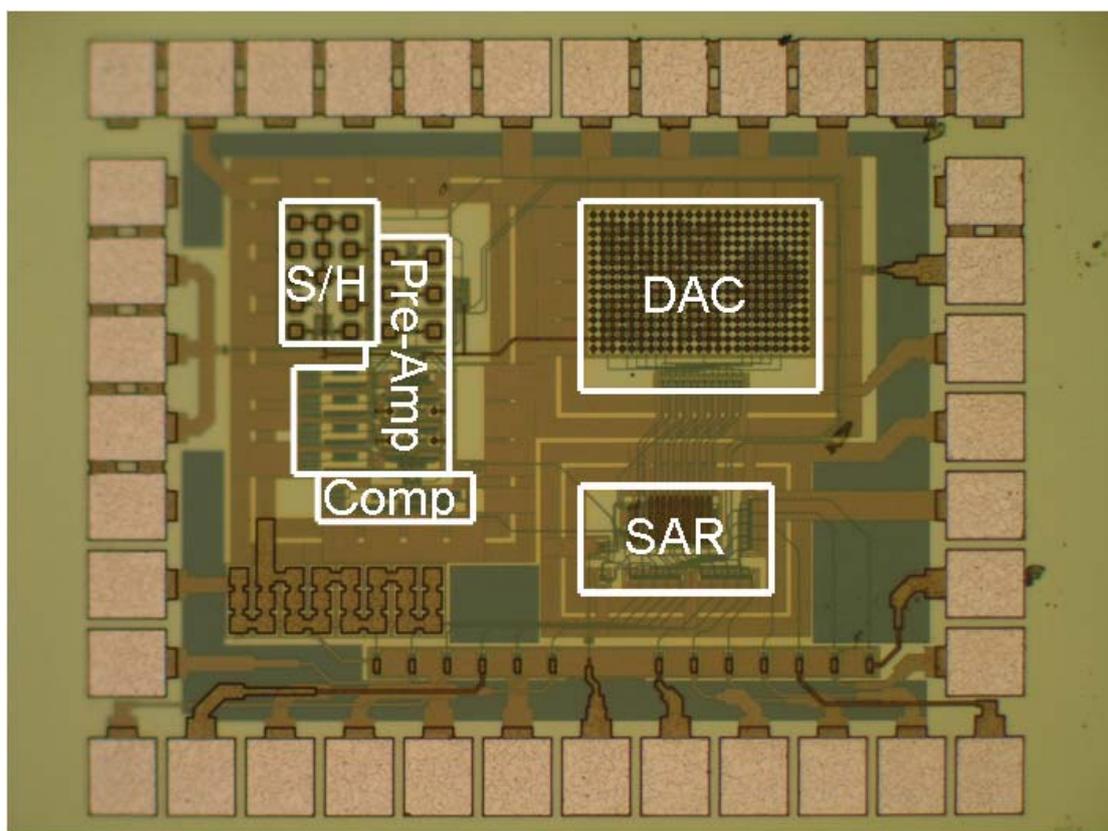


圖 5-1 晶片圖

5.1 量測環境設定

圖 5-2 為量測環境設定，待測物(DUT)的輸入訊號是由 Agilent 33220A 20MHz Function/Arbitrary Waveform Generator 所提供，而時脈訊號由 Agilent 33250A 80MHz Function/Arbitrary Waveform Generator 所提供，供應電壓及接腳(PAD)電壓是由 Keithley 2400 Source Meter 及 Agilent E3610A Power Supply 所供給，而類比數位轉換器採用 Agilent 16702B Logic Analysis System 將數位輸出值取出做分析。

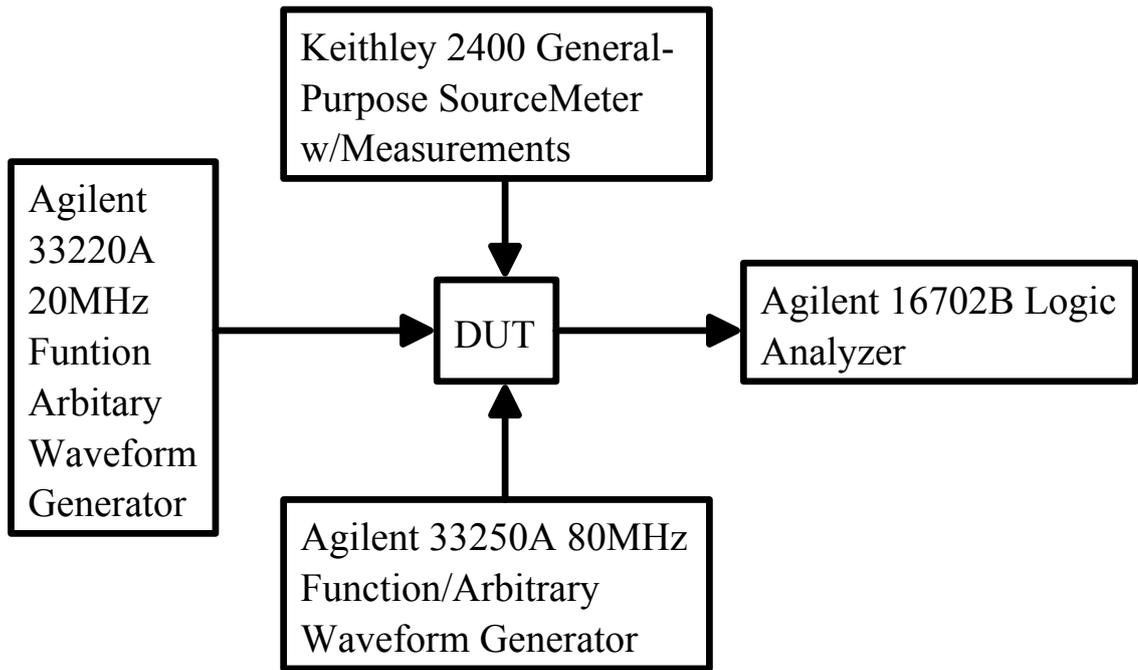


圖 5-2 量測環境設定

5.2 供應電壓為 0.55V 之量測結果

由以上之環境設定，當將供應電壓及 PAD 電壓設定為 0.55V 時，可得以下之量測結果。

5.2.1 動態參數

在量測動態參數的部分，為了避免可能造成 Spectral leakage 的問題，故使用了 blackman window。圖 5-3 為當輸入頻率接近 100Hz 且在不同的時脈頻率所得的 SNR、SNDR 及 SFDR。而為了找出最佳效能之時脈頻率，故我們可由 FoM 來找出此一頻率，而由其定義我們可知在時脈頻率為 14KHz 時，能有最佳的 FoM 值，故以下之量測都是以此一時脈為基準。

圖 5-4 為輸入頻率 100Hz、振幅-0.066dBFS、點數取 2^{19} 點時之頻譜圖，經由計算可得此時之 SNDR 為 50.7dB，ENOB 為 8.13bit，並且其最高的階波失真為 11 階。

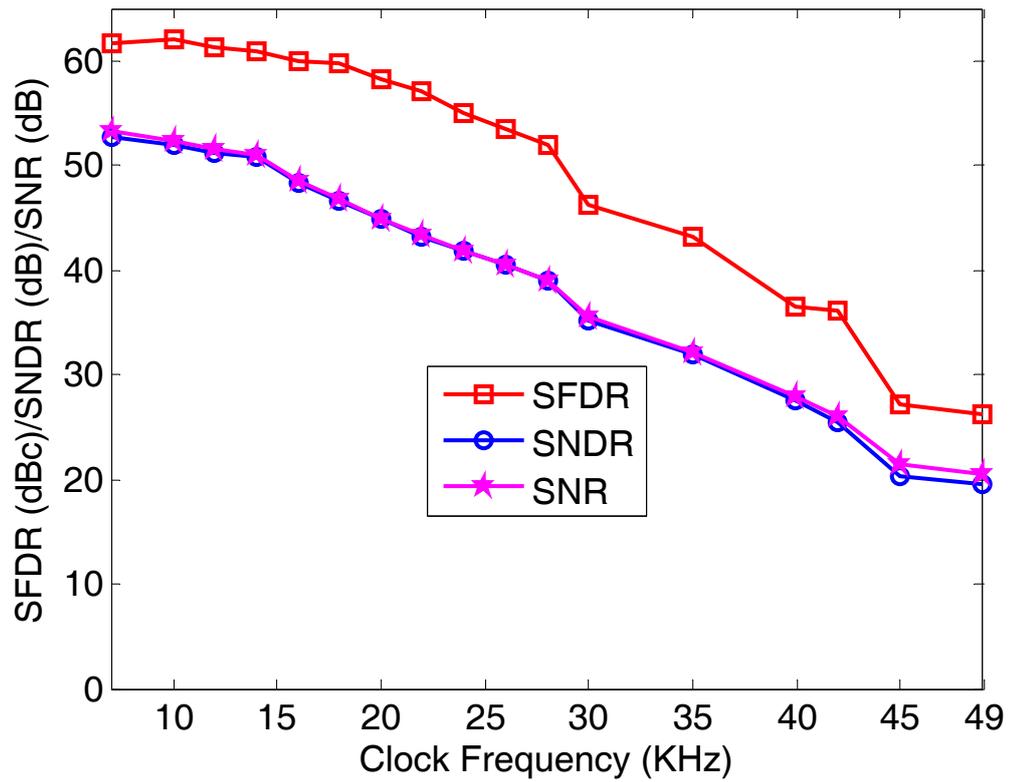


圖 5-3 Clock vs. SDR, SNDR and SFDR

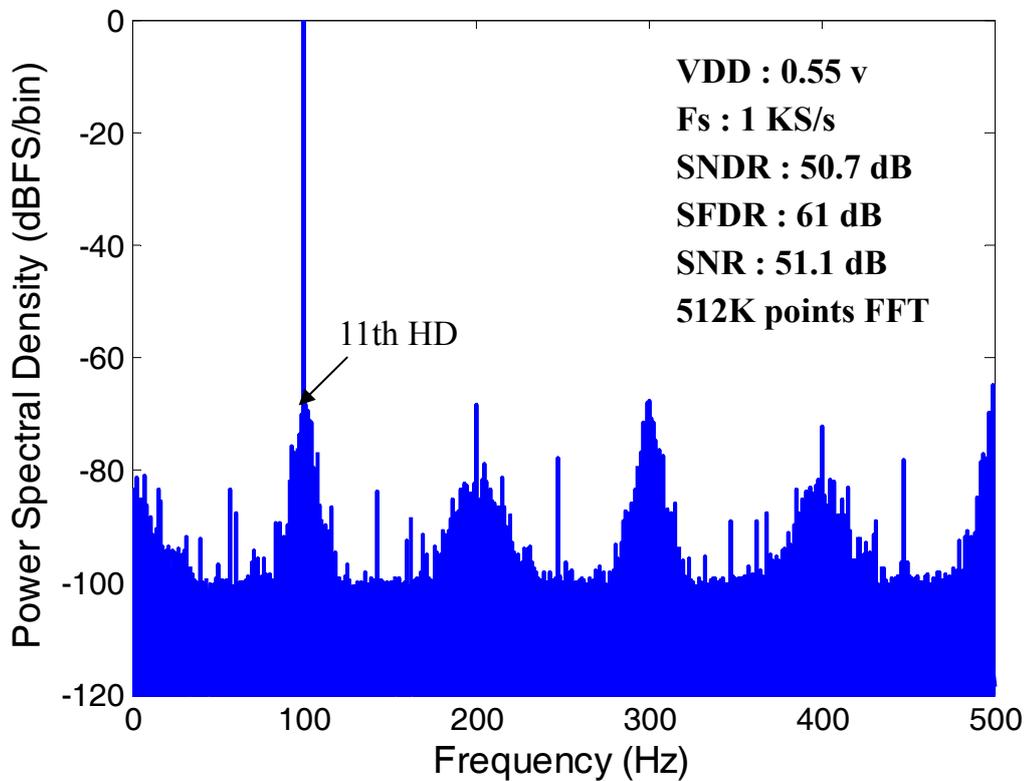


圖 5-4 頻譜分析圖

圖 5-5 為在不同之輸入頻率對 SNR、SNDR 及 SFDR 作圖，從此圖可觀察到當輸入頻率升高時，其幾乎沒有下降的情況，並且 ERBW 可達 Nyquist frequency。

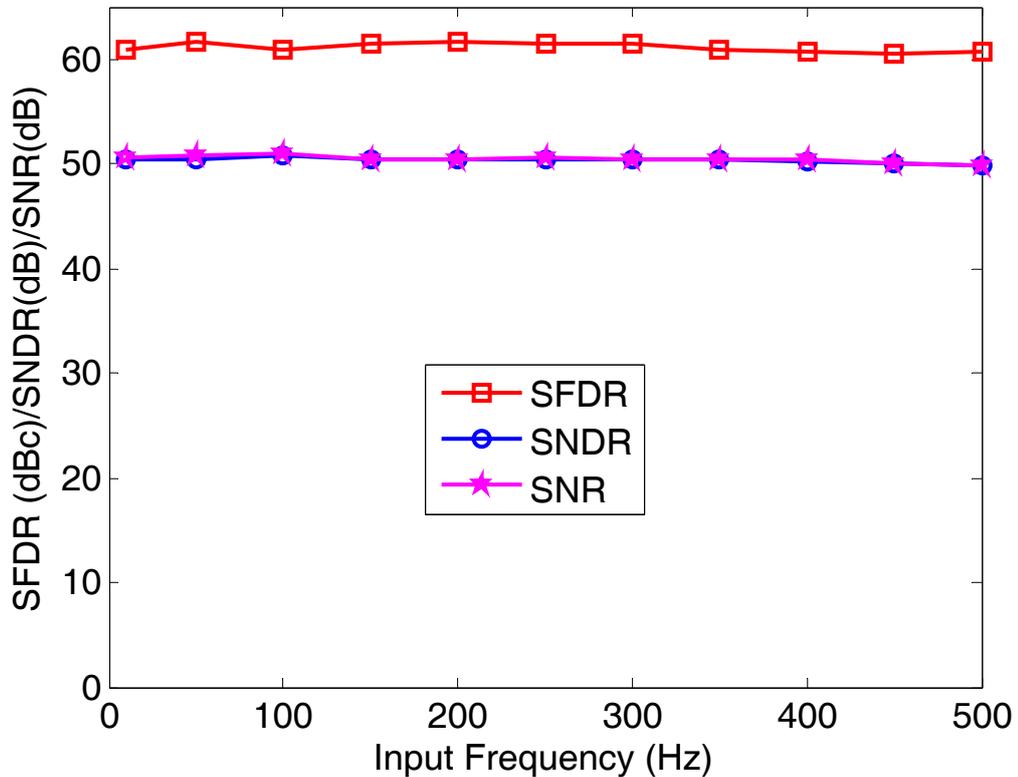


圖 5-5 Frequency vs. SNR、SNDR 及 SFDR (時脈頻率為 14KHz，供應電壓為 0.55V)

圖 5-6 即是在不同輸入振幅且不同的輸入頻率對 SNDR 作圖，從圖中可觀察到隨著輸入振幅的改變，其輸入頻率在將接 Nyquist frequency 時也沒有衰減的情形。而圖 5-7 為改變輸入振幅對 SNR、SNDR 及 SFDR 之結果，從此圖可發現從輸入振幅在接近 0dBFS 到 -40dBFS 說明了 SNDR 和輸入振幅的關係都非常的線性，並且能達到 rail-to-rail 的輸入範圍。

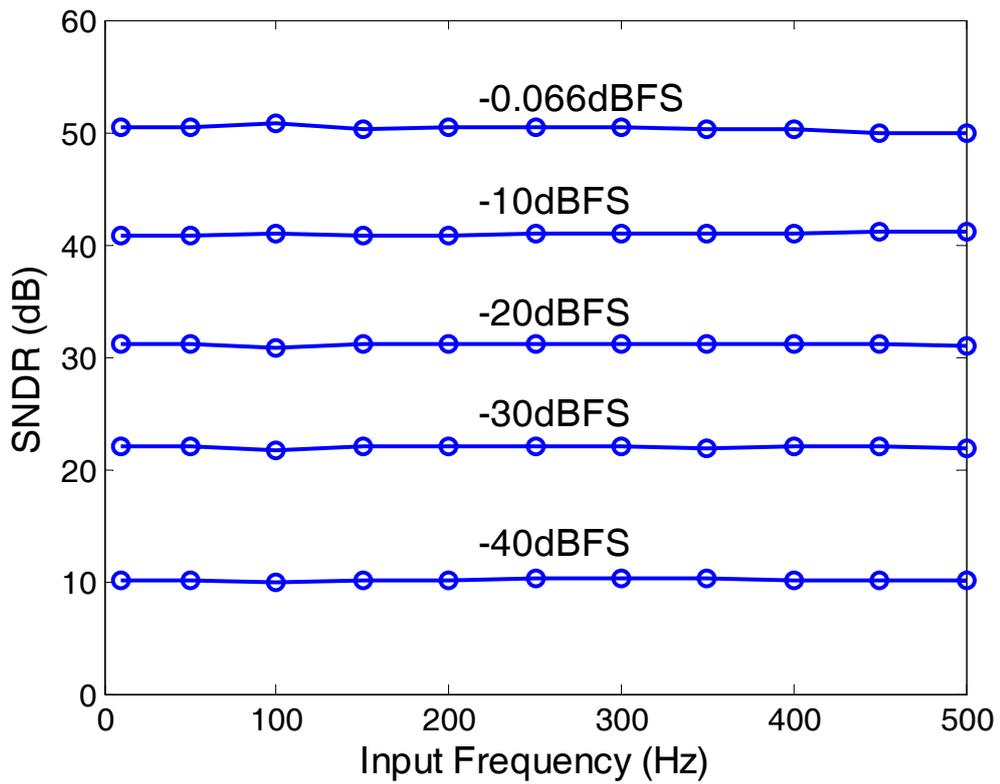


圖 5-6 不同輸入振幅情況下，不同輸入頻率與 SNDR 的關係

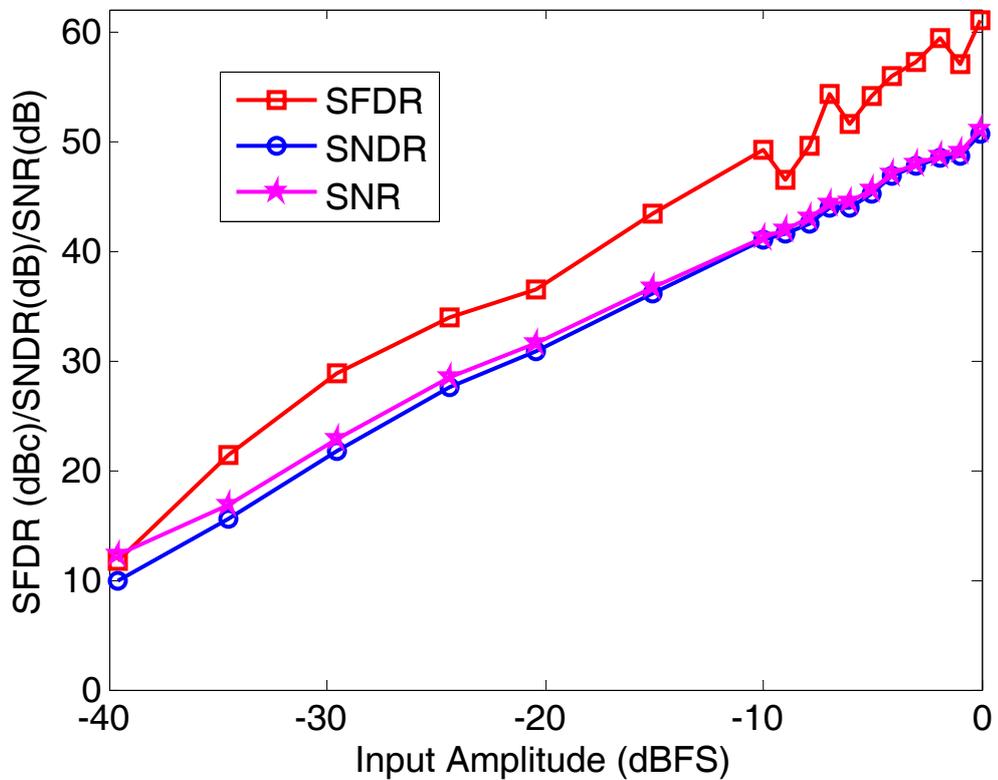


圖 5-7 不同輸入振幅與 SNR、SNDR 及 SFDR 的關係

5.2.2 靜態參數

我們使用 100Hz、-0.066dBFS 的弦波輸入信號，並且取樣點數取 2^{19} 點，將其弦波轉換成 DNL 及 INL 分別呈現於圖 5-8 及圖 5-9，從圖 5-8 中可觀察到 DNL 在 $5.9/-1.0 \text{ LSB}_{10}$ 之間，而從圖 5-9 可觀察到 INL 在 $4.7/-5.0 \text{ LSB}_{10}$ 之間。

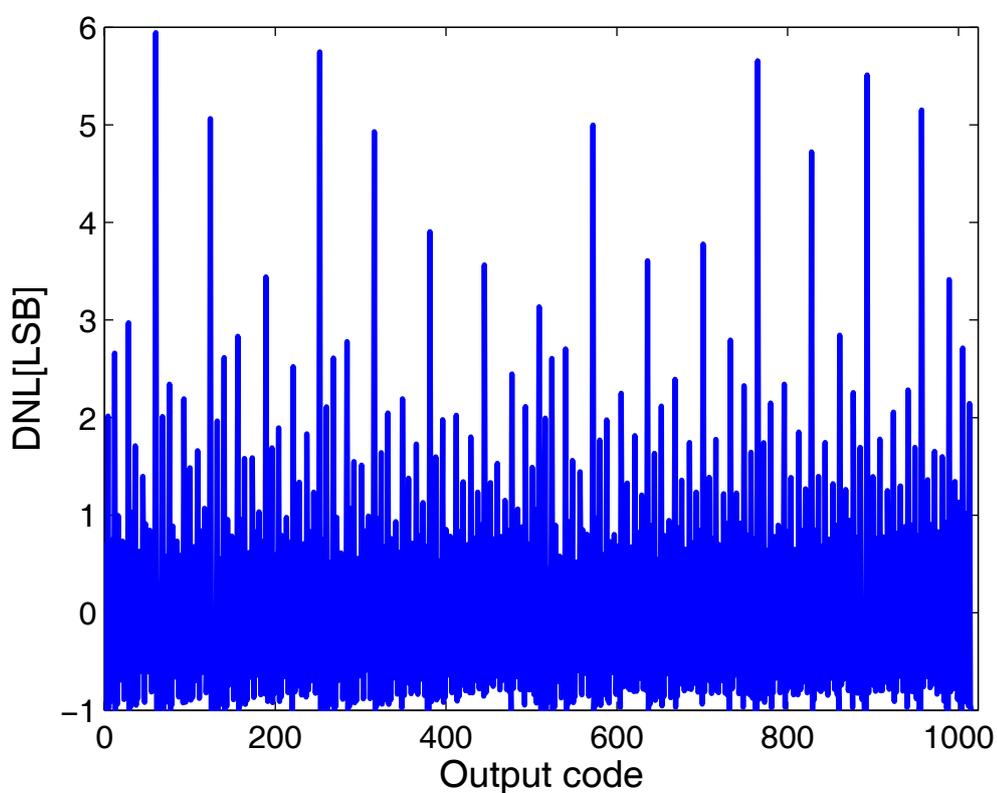


圖 5-8 DNL(供應電壓為 0.55V)

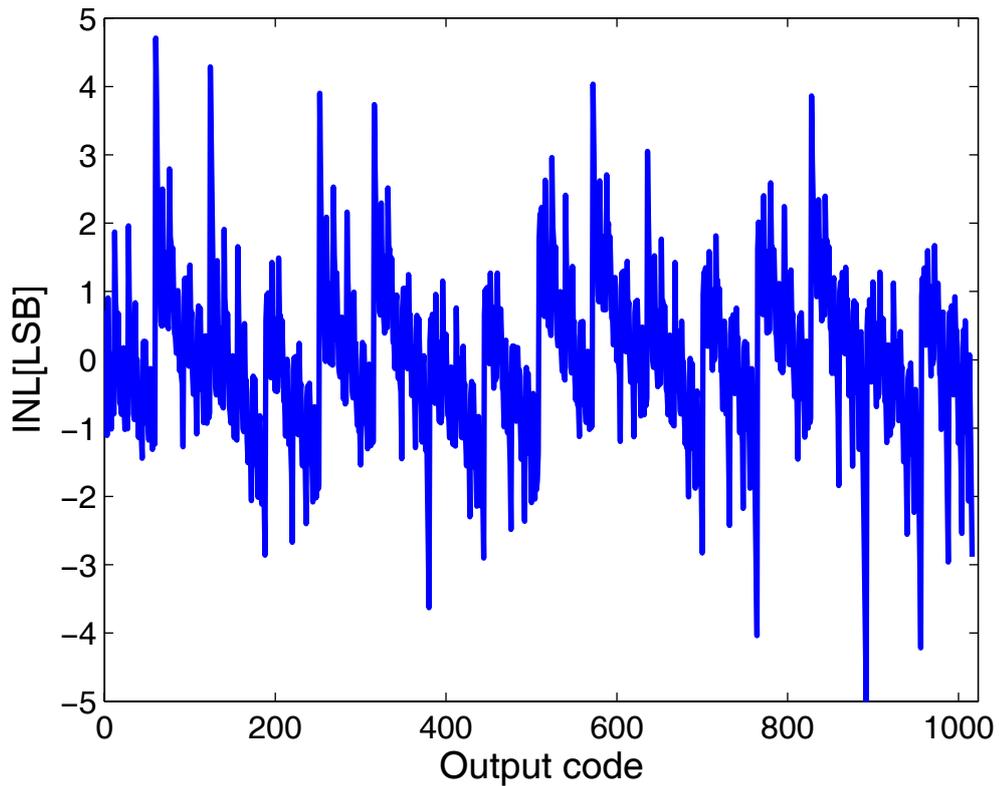


圖 5-9 INL(供應電壓為 0.55V)

5.2.3 功率消耗

圖 5-10 為當環境設定供應電壓及 PAD 電壓為 0.55V，輸入頻率為 100Hz 且在不同之時脈頻率下，其各供應電壓之功率消耗，而消耗最大之功率為類比電壓(AVDD)的部份，而時脈頻率為 14KHz 時，AVDD 消耗 30nW，DVDD 消耗 4nW，Vref 消耗 0.93nW，總消耗約 35nW。

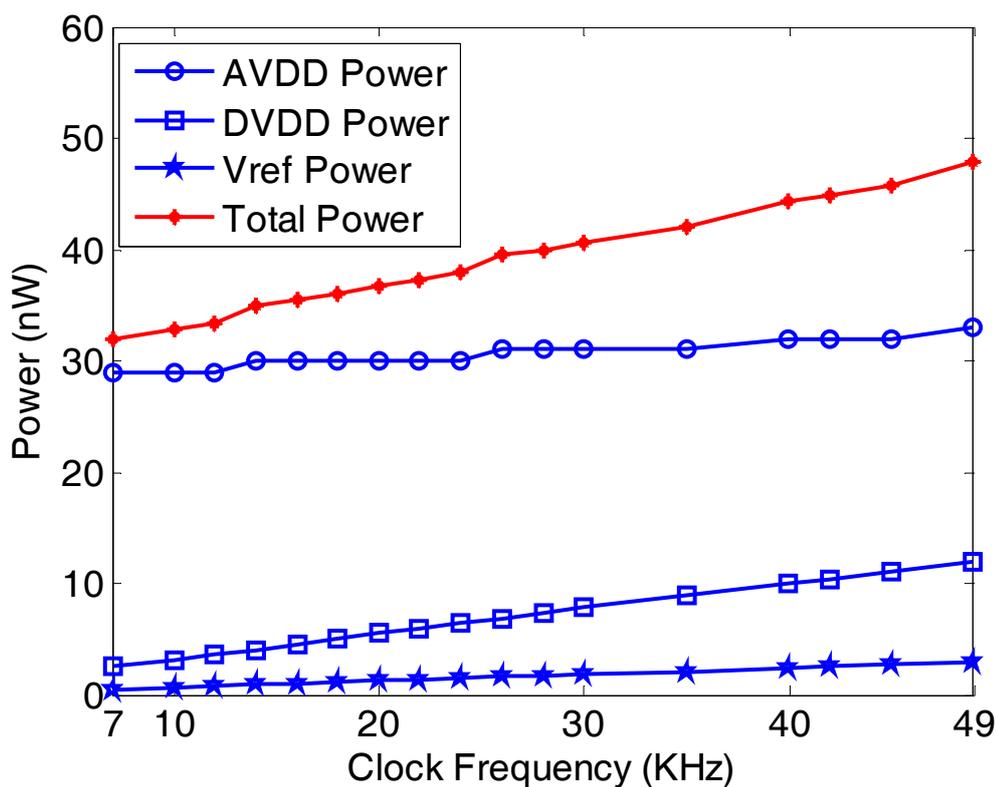


圖 5- 10 CLK vs. Power dissipation (供應電壓為 0.55V)

5.3 供應電壓為 0.5V 之量測結果

當將供應電壓及 PAD 電壓降至 0.5V 時，可得以下之量測結果。

5.3.1 動態參數

圖 5-11 為當輸入頻率接近 100Hz 且在不同的時脈頻率所得的 SNR、SNDR 及 SFDR。而由 FoM 的定義來找出最佳效能之時脈頻率為 7KHz，故以下之量測都是以此一時脈為基準。

圖 5-12 為輸入頻率 100Hz、振幅-0.2dBFS、點數取 2^{19} 點時之頻譜圖，經由計算可得此時之 SNDR 為 48.5dB，ENOB 為 7.76 bit，並且其最高的階波失真為 11 階。

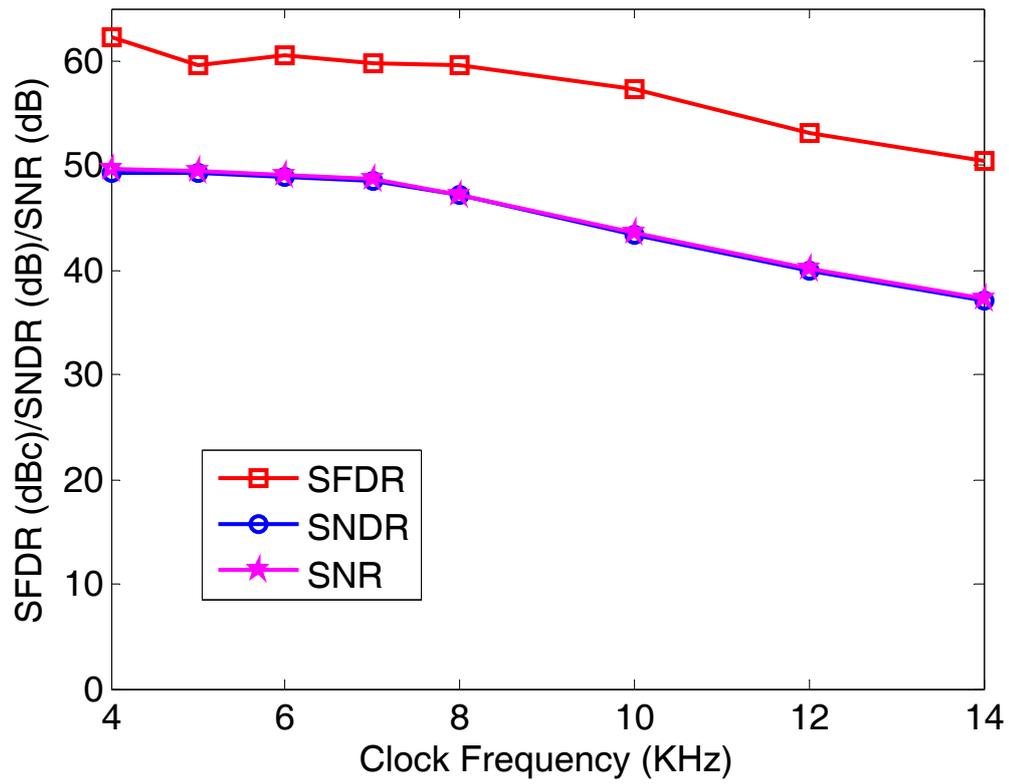


圖 5-11 Clock vs. SDR, SNDR and SFDR

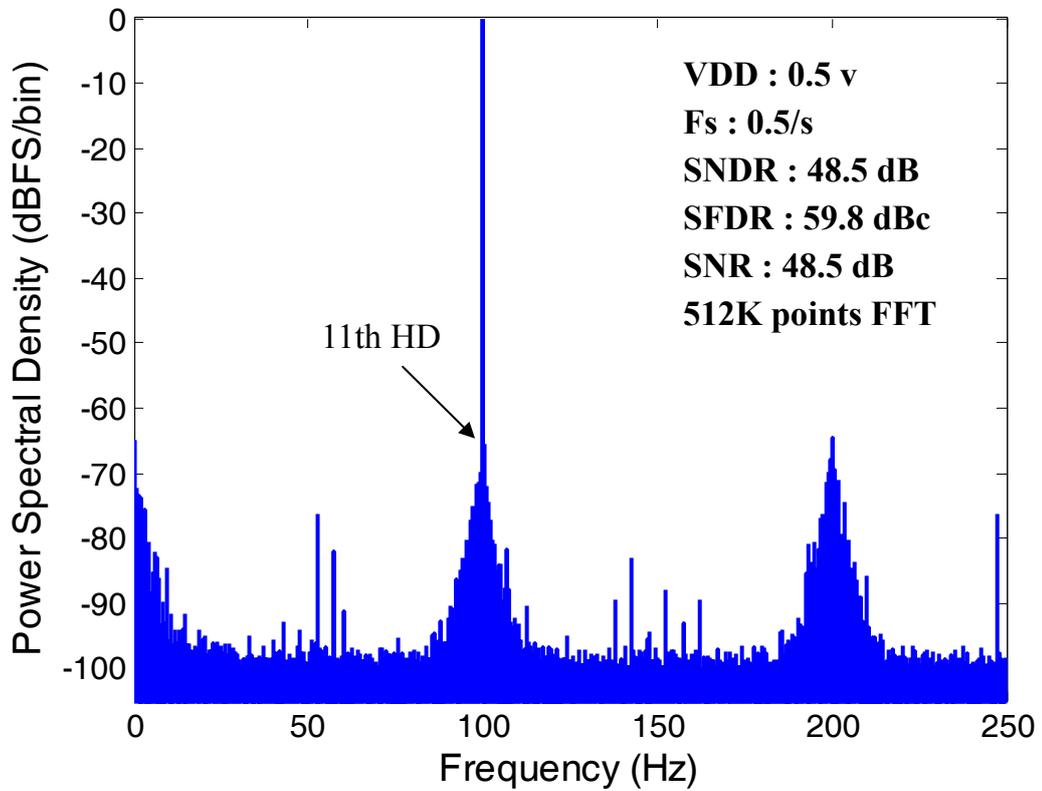


圖 5-12 頻譜分析圖

5.3.2 靜態參數

我們使用 100Hz、-0.2dBFS 的弦波輸入信號，並且取樣點數取 2^{19} 點，將其弦波轉換成 DNL 及 INL 分別呈現於圖 5-13 及圖 5-14，從圖 5-13 中可觀察到 DNL 在 $8.8/-1 \text{ LSB}_{10}$ 之間，而從圖 5-14 可觀察到 INL 在 $6.7/-6.0 \text{ LSB}_{10}$ 之間。

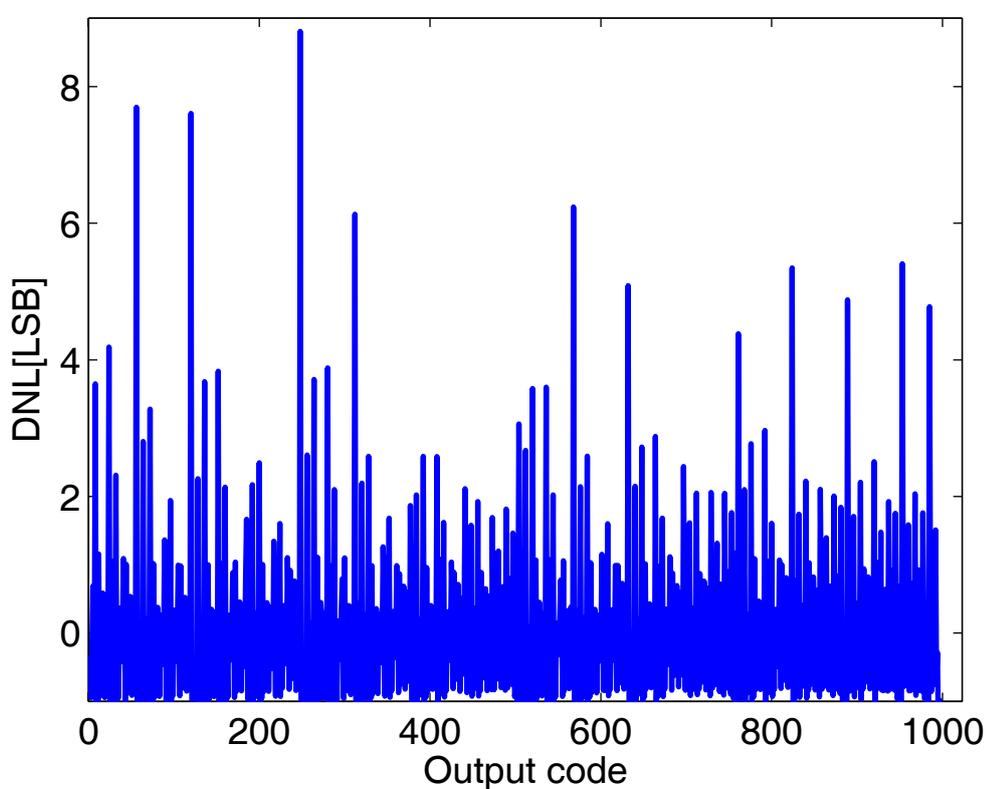


圖 5-13 DNL(供應電壓為 0.5V)

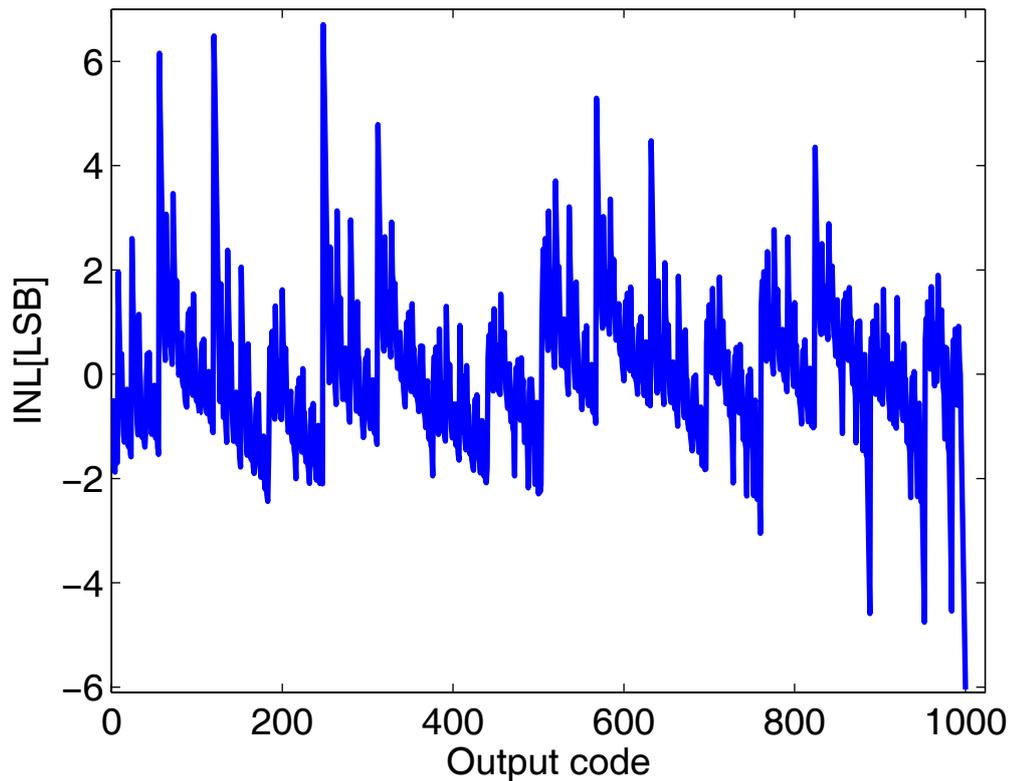


圖 5-14 INL(供應電壓為 0.5V)

5.4 供應電壓為 0.9V 之量測結果

此次設計為供應電壓在 0.9V，故在此顯示在最佳 FoM 時之時脈頻率 490KHz 以及模擬時所採用的時脈 210KHz 的其相關參數。

5.4.1 時脈頻率 490KHz

5.4.1.1 動態參數

圖 5-15 為當輸入頻率接近 1KHz 且在不同的時脈頻率所得的 SNR、SNDR 及 SFDR。而由 FoM 的定義來找出最佳效能之時脈頻率為 490KHz，故以下之量測都是以此一時脈為基準。

圖 5-16 為輸入頻率 1KHz、振幅-0.081dBFS、點數取 2^{19} 點時之頻譜圖，經由計算可得此時之 SNDR 為 52.2dB，ENOB 為 8.32bit，並且其最高的階波失真為 3 階。

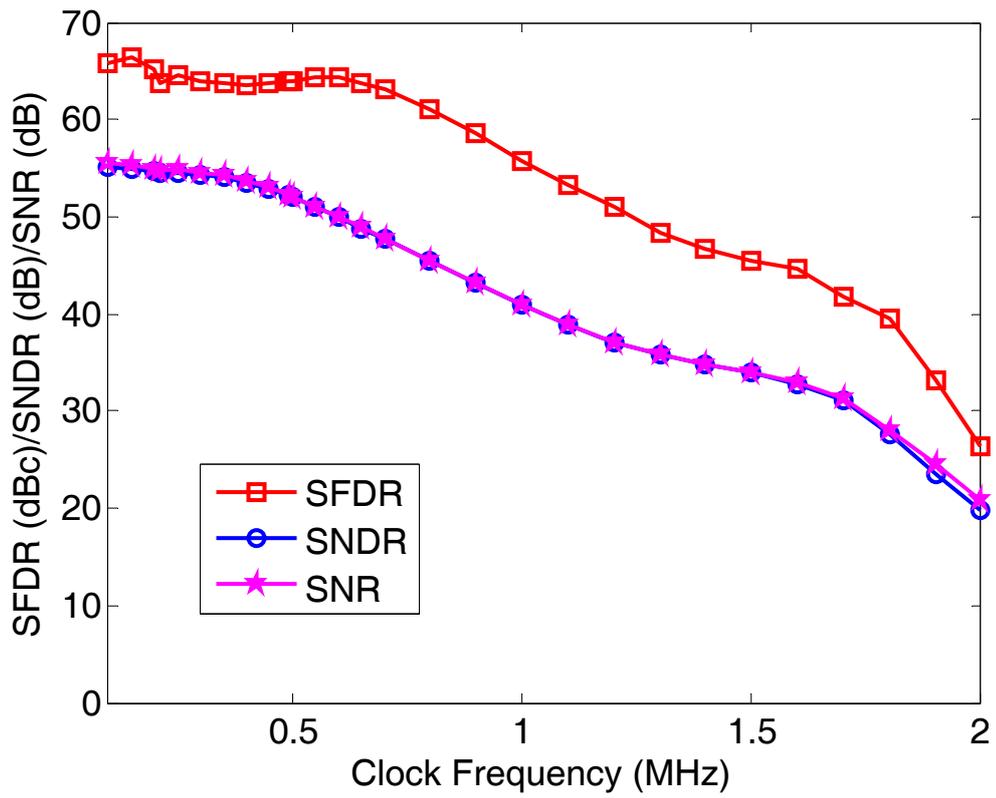


圖 5-15 Clock vs. SDR, SNDR and SFDR

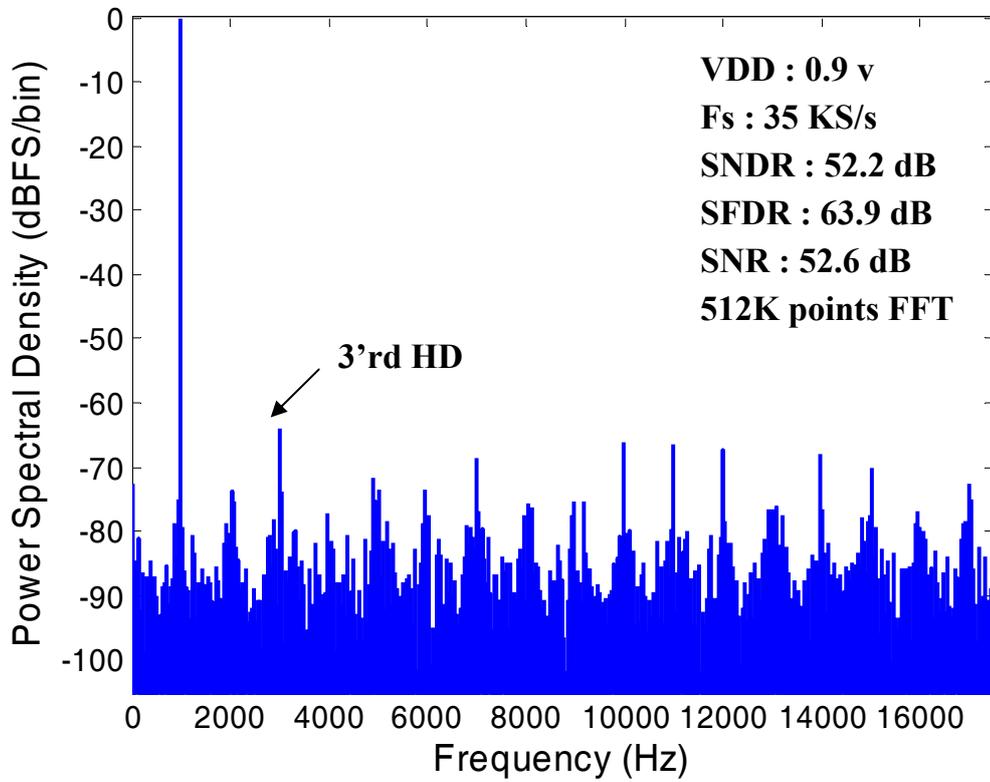


圖 5-16 頻譜分析圖

圖 5-17 為在不同之輸入頻率對 SNR、SNDR 及 SFDR 作圖，從此圖可觀察到當輸入頻率升高時，其幾乎沒有下降的情況，並且 ERBW 可達 Nyquist frequency，而最高的 SFDR 能達到 66dBc 以上，證明我們可以達到 12 位元的精準度。

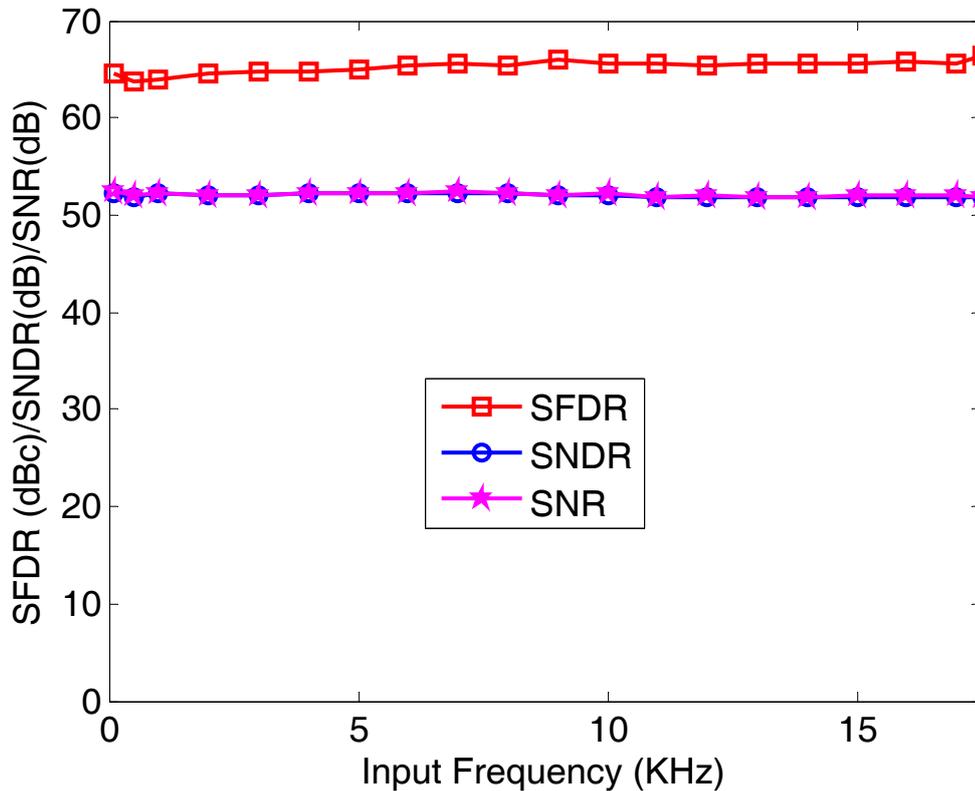


圖 5-17 Frequency vs. SNR、SNDR 及 SFDR (時脈頻率為 490KHz，供應電壓為 0.9V)

圖 5-18 即是在不同輸入振幅且不同的輸入頻率對 SNDR 作圖，從圖中可觀察到隨著輸入振幅的改變，其輸入頻率在將接 Nyquist frequency 時也沒有衰減的情形。而圖 5-19 為改變輸入振幅對 SNR、SNDR 及 SFDR 之結果，從此圖可發現從輸入振幅在接近 0dBFS 到 -40dBFS 說明了 SNDR 和輸入振幅的關係都非常的線性且能達到 rail-to-rail 的輸入範圍。

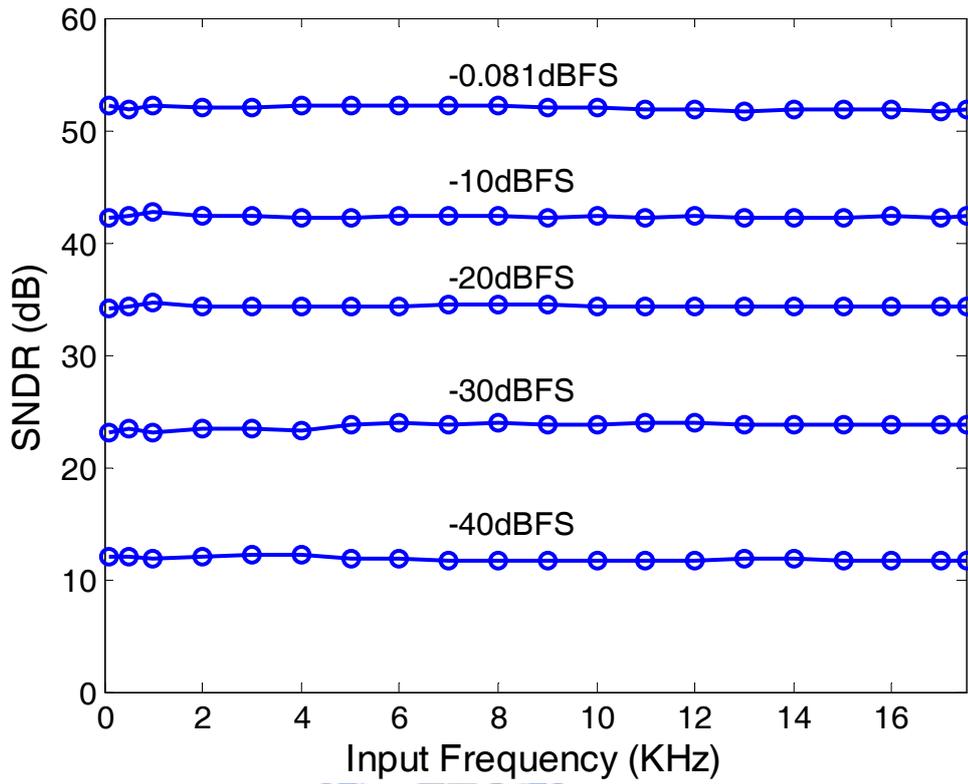


圖 5-18 不同輸入振幅情況下，不同輸入頻率與 SNDR 的關係

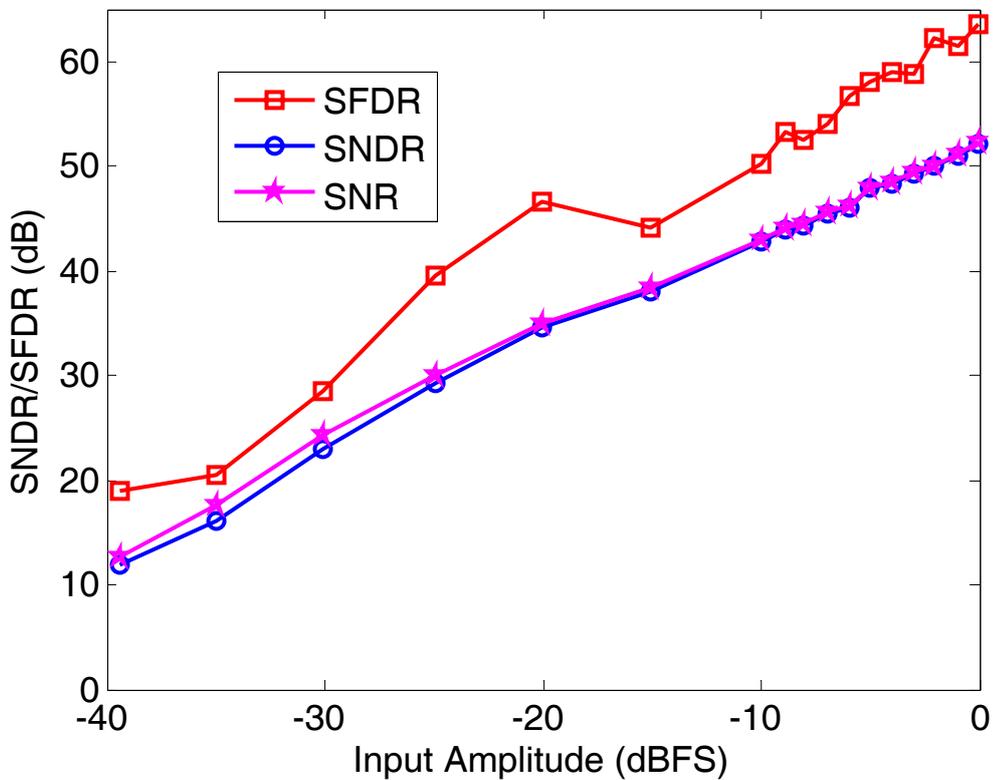


圖 5-19 不同輸入振幅與 SNR、SNDR 及 SFDR 的關係

5.4.1.2 靜態參數

我們採用 1KHz、-0.081dBFS 的弦波輸入信號，並且取樣點數取 2^{19} 點，將其弦波轉換成 DNL 及 INL 分別呈現於圖 5-20 及圖 5-21，從圖 5-20 中可觀察到 DNL 在 $13.9/-1 \text{ LSB}_{12}$ 之間，而從圖 5-21 可觀察到 INL 在 $12.1/-18 \text{ LSB}_{12}$ 之間。

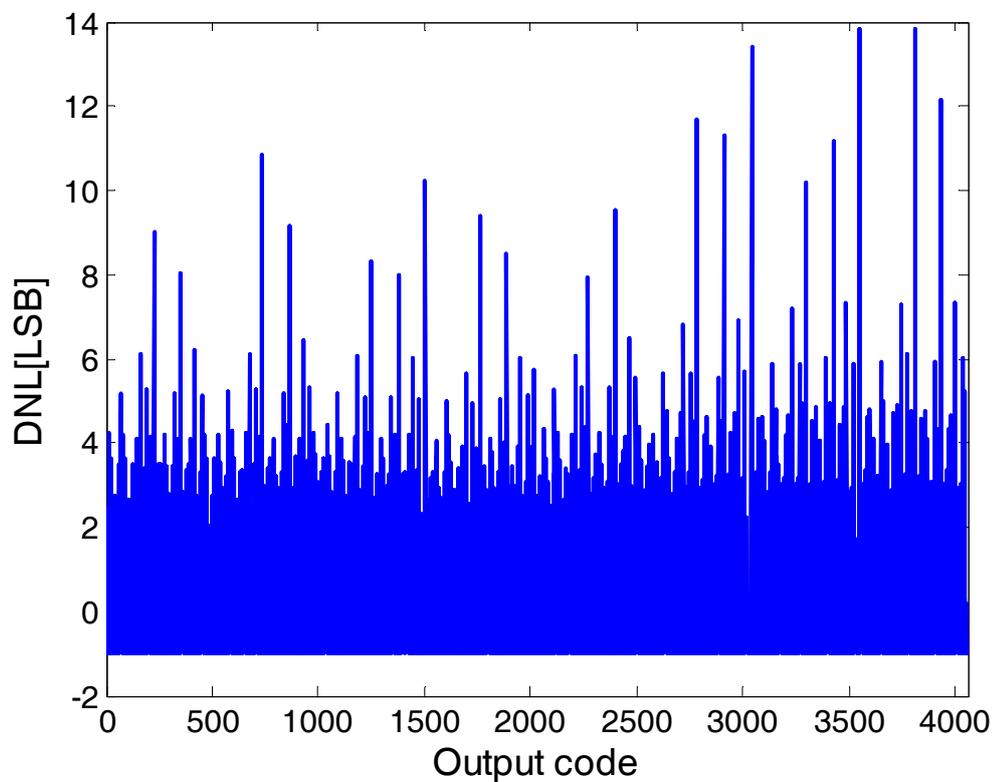


圖 5-20 DNL(供應電壓為 0.9V)

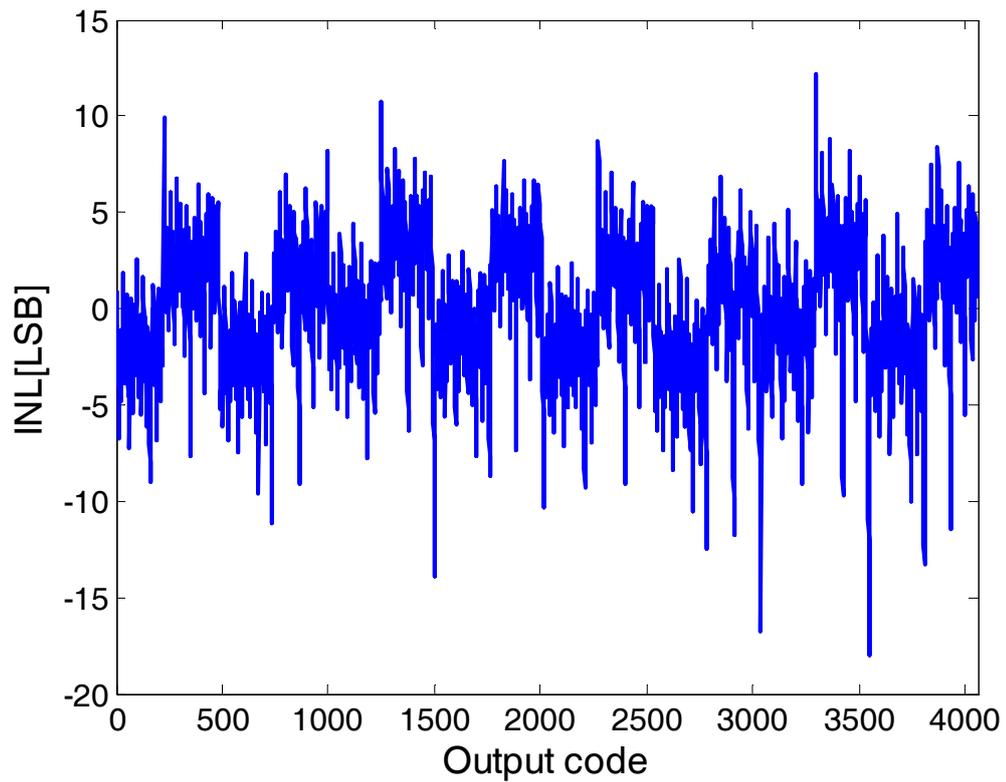


圖 5-21 INL(供應電壓為 0.9V)

5.4.2 時脈頻率 210KHz

5.4.2.1 動態參數

圖 5-22 為輸入頻率 1KHz、振幅-0.085dBFS、點數取 2^{16} 點時之頻譜圖，經由計算可得此時之 SNDR 為 54.4dB，ENOB 為 8.74bit，並且其最高的階波失真為 3 階。

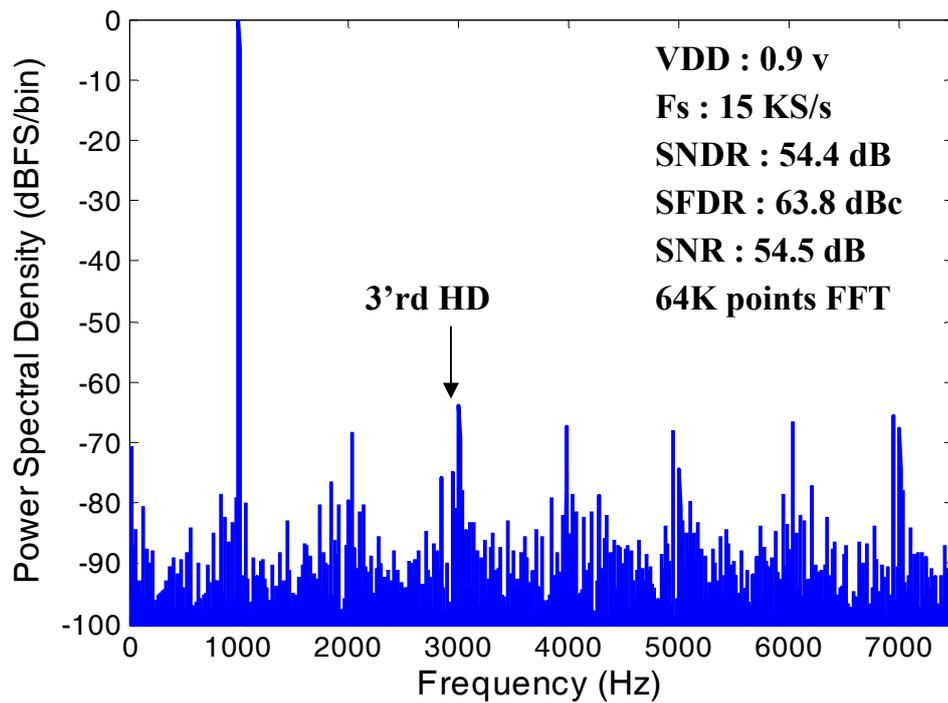


圖 5-22 頻譜分析圖

圖 5-23 為在不同之輸入頻率對 SNR、SNDR 及 SFDR 作圖，從此圖可觀察到當輸入頻率升高時，其幾乎沒有下降的情況，並且 ERBW 可達 Nyquist frequency。

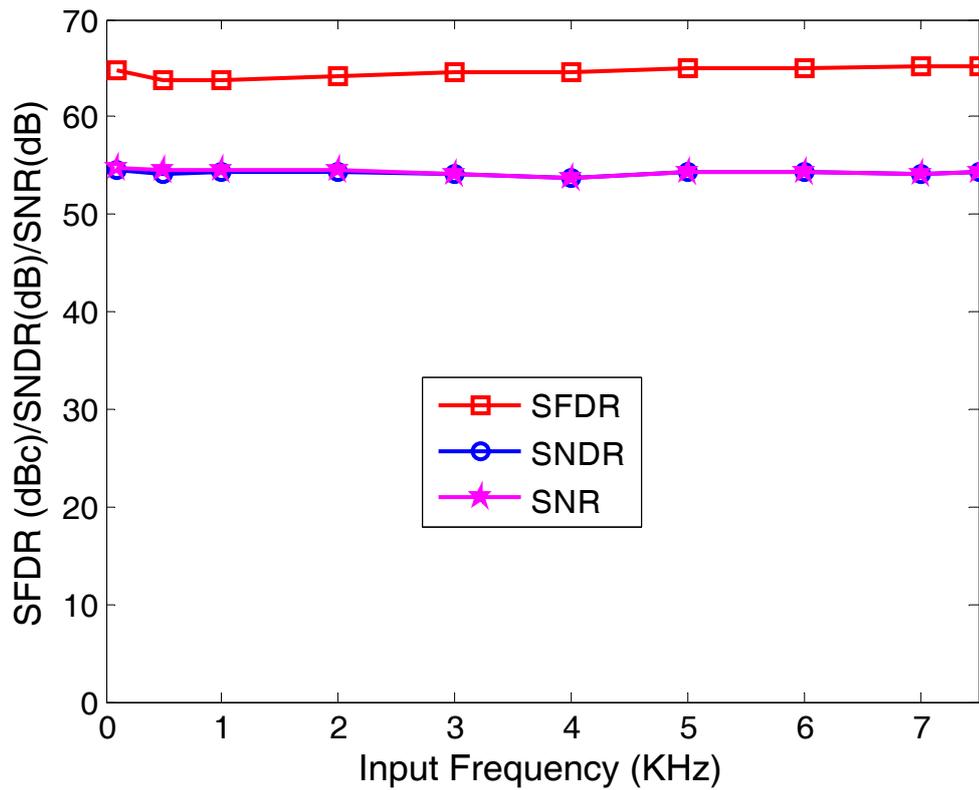


圖 5-23 Frequency vs. SNR、SNDR 及 SFDR (時脈頻率為 210KHz，供應電壓為 0.9V)

圖 5-24 即是在不同輸入振幅且不同的輸入頻率對 SNDR 作圖，從圖中可觀察到隨著輸入振幅的改變，其輸入頻率在將接 Nyquist frequency 時也沒有衰減的情形。而圖 5-25 為改變輸入振幅對 SNR、SNDR 及 SFDR 之結果，從此圖可發現從輸入振幅在接近 0dBFS 到 -40dBFS 說明了 SNDR 和輸入振幅的關係都非常的線性，並且能達到 rail-to-rail 的輸入範圍。

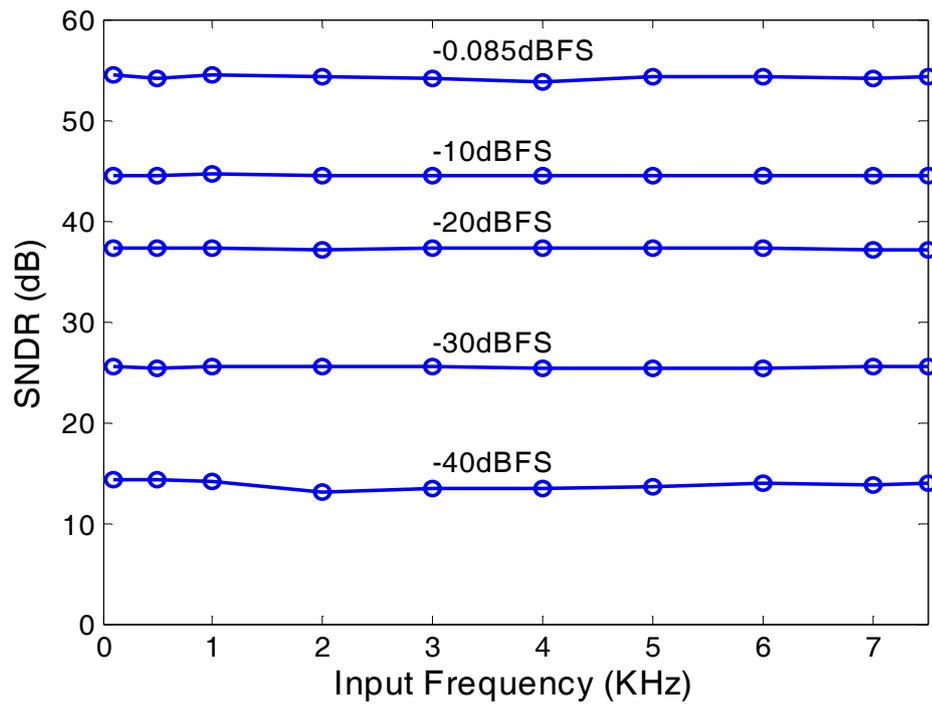


圖 5-24 不同輸入振幅情況下，不同輸入頻率與 SNDR 的關係

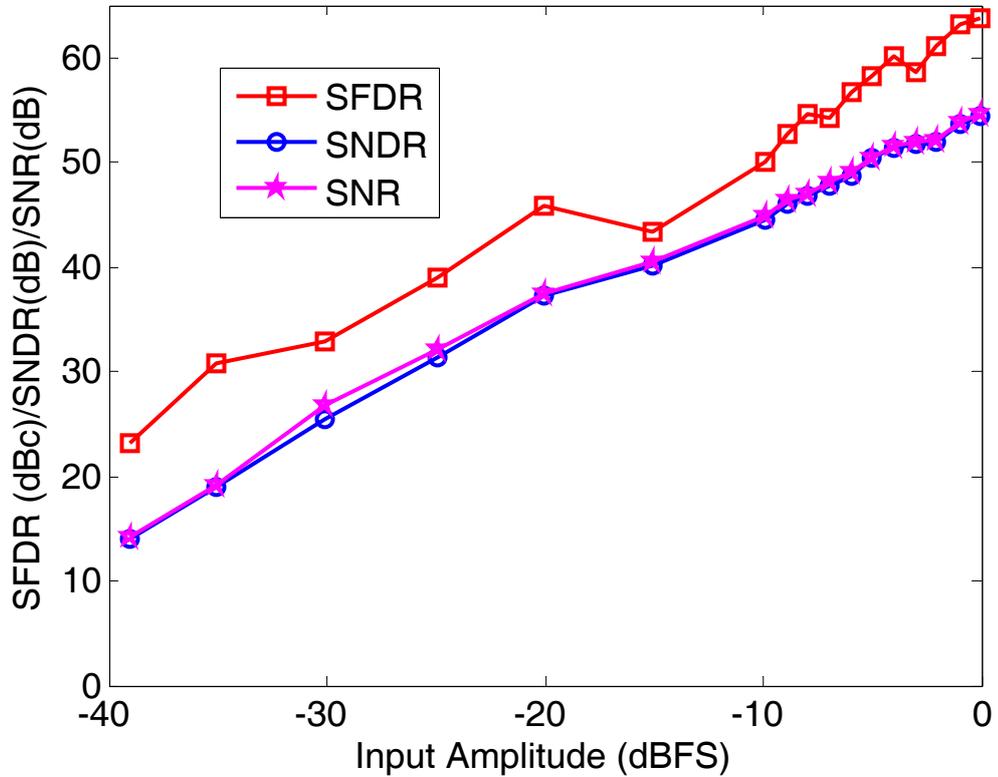


圖 5-25 不同輸入振幅與 SNR、SNDR 及 SFDR 的關係

5.4.2.2 靜態參數

我們採用 1KHz、-0.085dBFS 的弦波輸入信號，並且取樣點數取 2^{16} 點，將其弦波轉換成 DNL 及 INL 分別呈現於圖 5-26 及圖 5-27，從圖 5-26 中可觀察到 DNL 在 $4.7/-1 \text{ LSB}_{12}$ 之間，而從圖 5-27 可觀察到 INL 在 $5.9/-8.1 \text{ LSB}_{12}$ 之間。

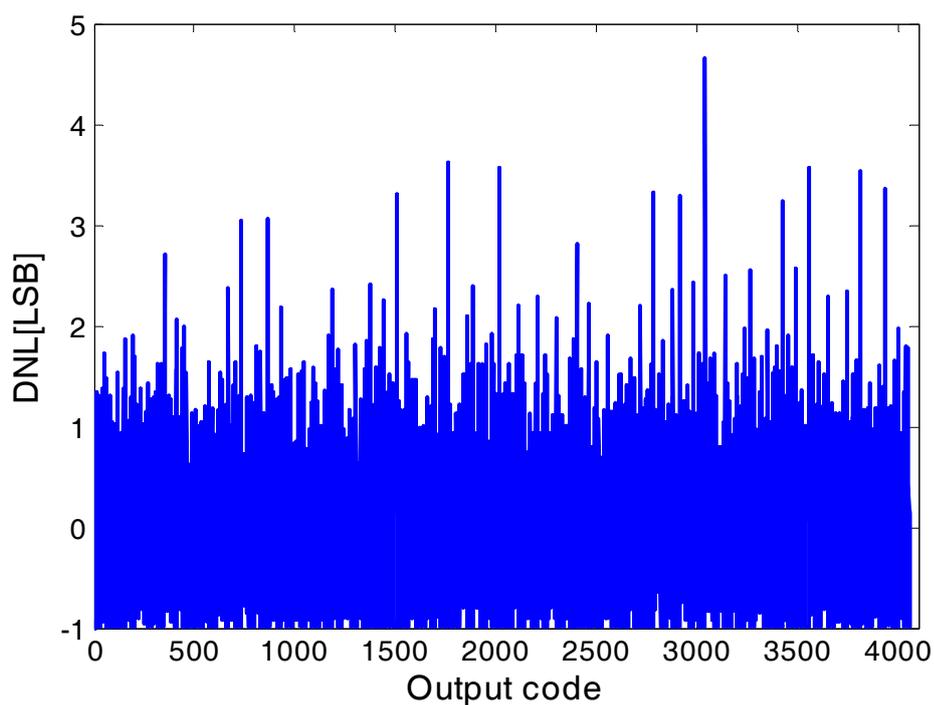


圖 5-26 DNL(供應電壓為 0.9V)

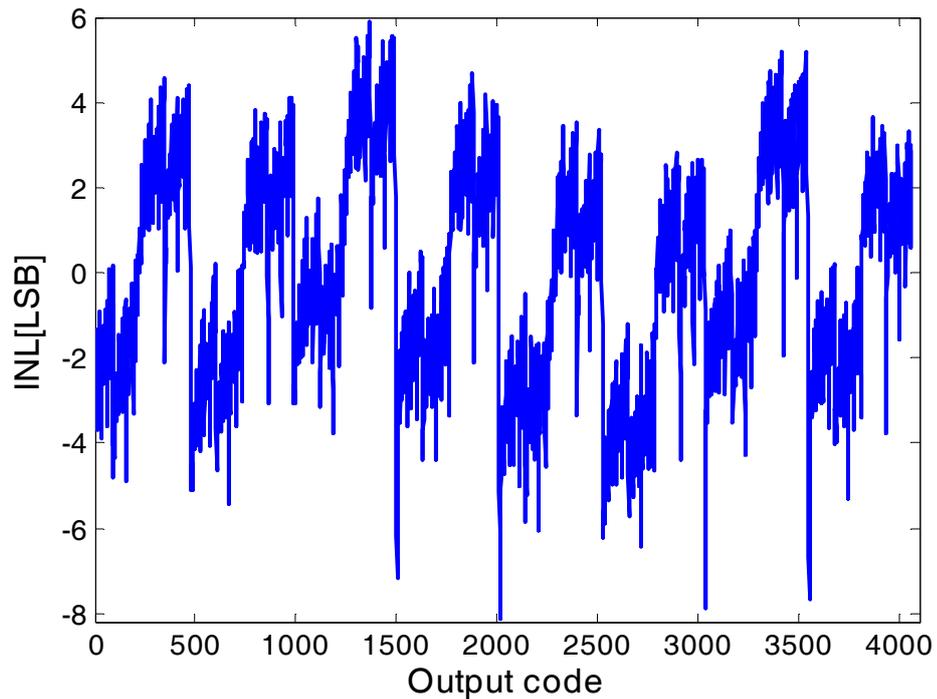


圖 5-27 INL(供應電壓為 0.9V)

5.4.3 功率消耗

圖 5-28 為在供應電壓 0.9V 且時脈頻率為 490KHz 時，參考電壓所對於每個 code 所消耗的功率，其量測出來的結果與(3.7)所推導之結果相似，圖 5-29 為當環境設定供應電壓及 PAD 電壓為 0.9V，輸入頻率為 100Hz 且在不同之時脈頻率下，其各供應電壓之功率消耗，而消耗最大之功率為類比電壓(AVDD)的部份，而時脈頻率為 210KHz 時，AVDD 消耗 3.46 μ W，DVDD 消耗 0.15 μ W，Vref 消耗 32nW，總消耗約 3.63 μ W。

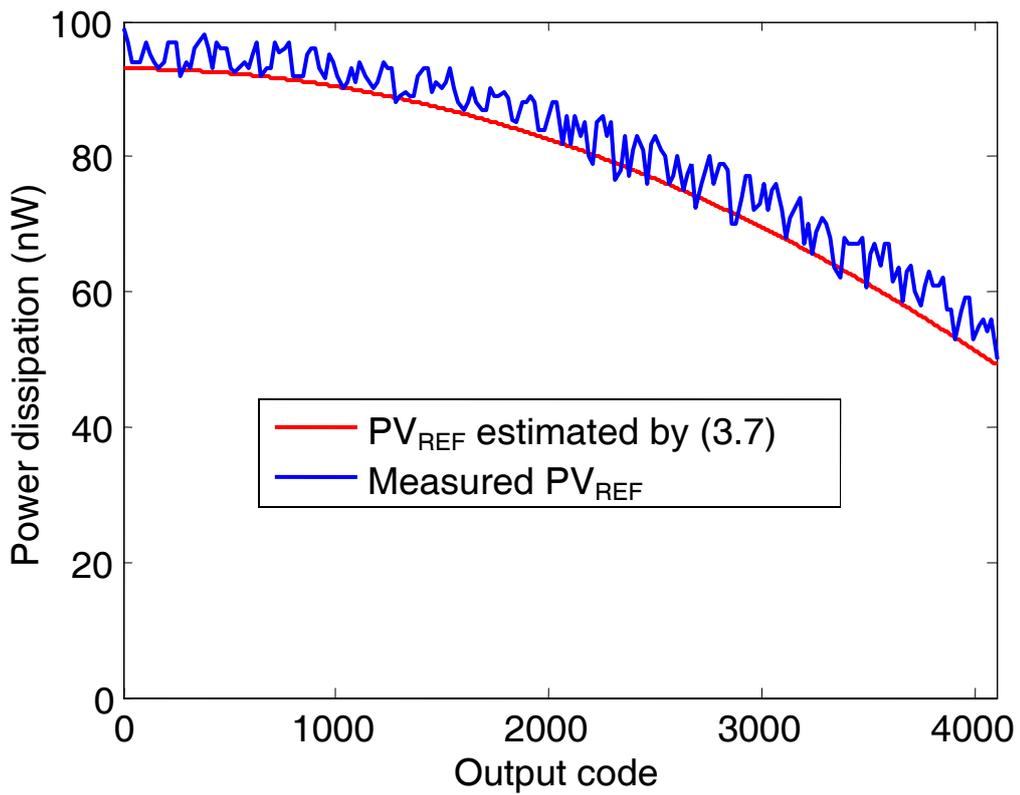


圖 5-28 參考電壓的供耗 vs. Output code (供應電壓為 0.9V)

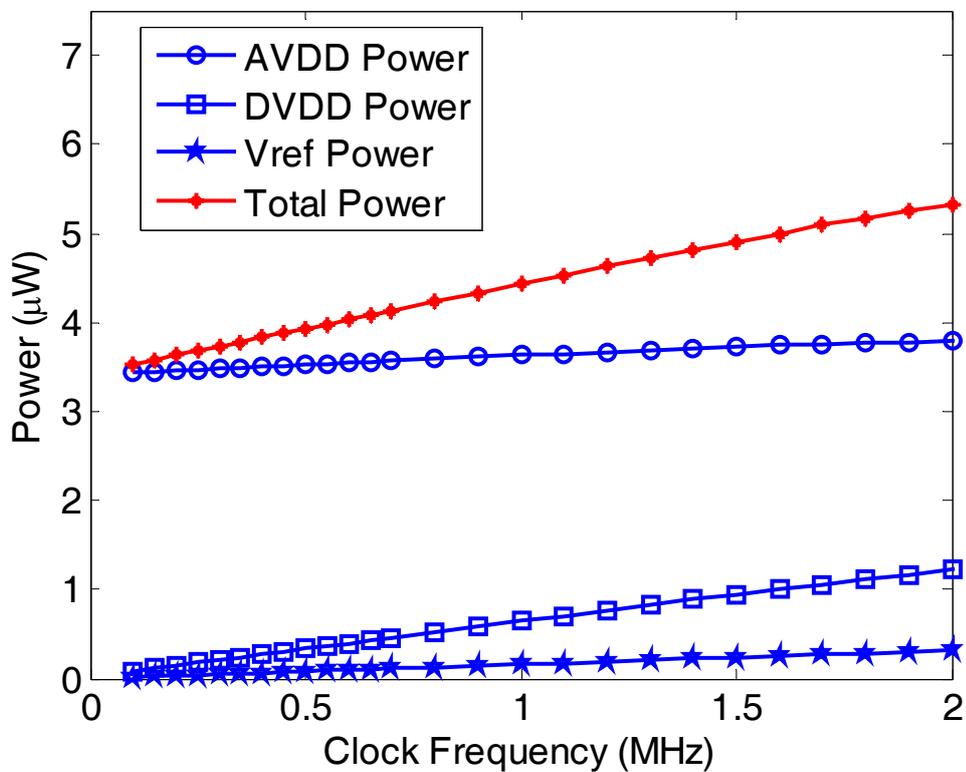


圖 5-29 CLK vs. Power dissipation (供應電壓為 0.9V)

5.5 供應電壓為 1V 之量測結果

相較於在電壓為 1V 之模擬結果，其在同樣時脈頻率 350KHz 下之效能分析，並藉以分析為何效能會下降。

5.5.1 動態參數

圖 5-30 為當輸入頻率接近 1KHz 且在不同的時脈頻率所得的 SNR、SNDR 及 SFDR。而由 FoM 的定義來找出最佳效能之時脈頻率為 900KHz，但是在 1V 主要是要比對於模擬結果，所以以下量測之時脈頻率都是為 350KHz。

圖 5-31 為輸入頻率 1KHz、振幅-0.053dBFS、點數取 2^{19} 點時之頻譜圖，經由計算可得此時之 SNDR 為 54.2dB，ENOB 為 8.71bit，並且其最高的階波失真為 3 階。

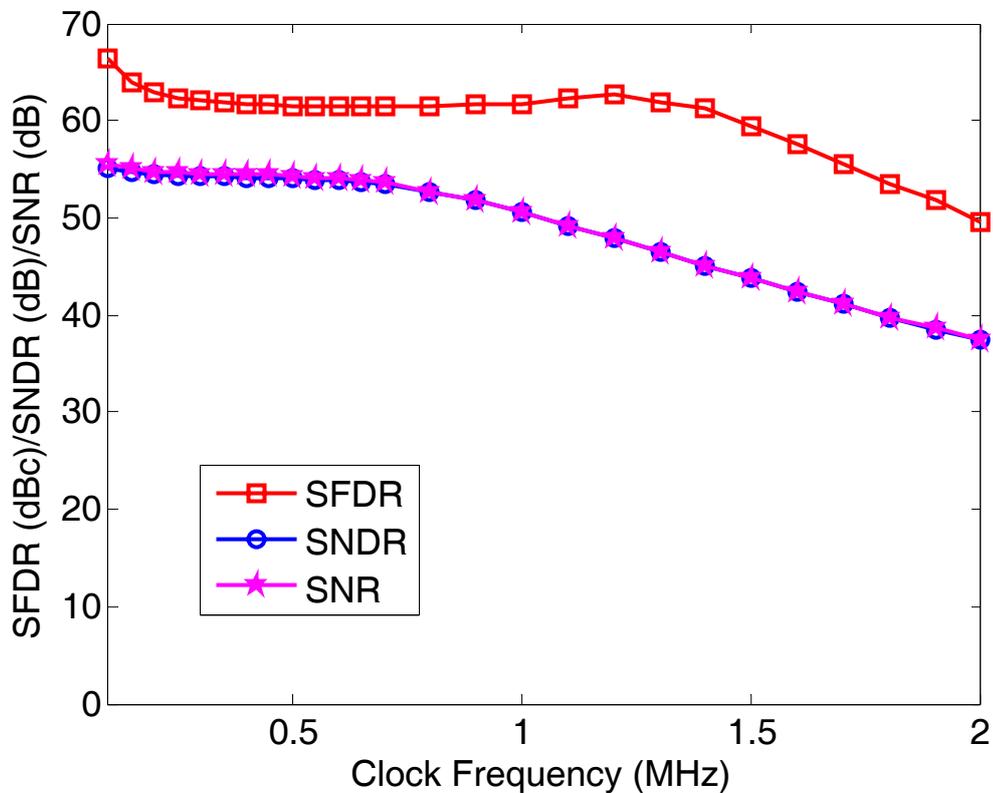


圖 5- 30 Clock vs. SDR,SNDR and SFDR

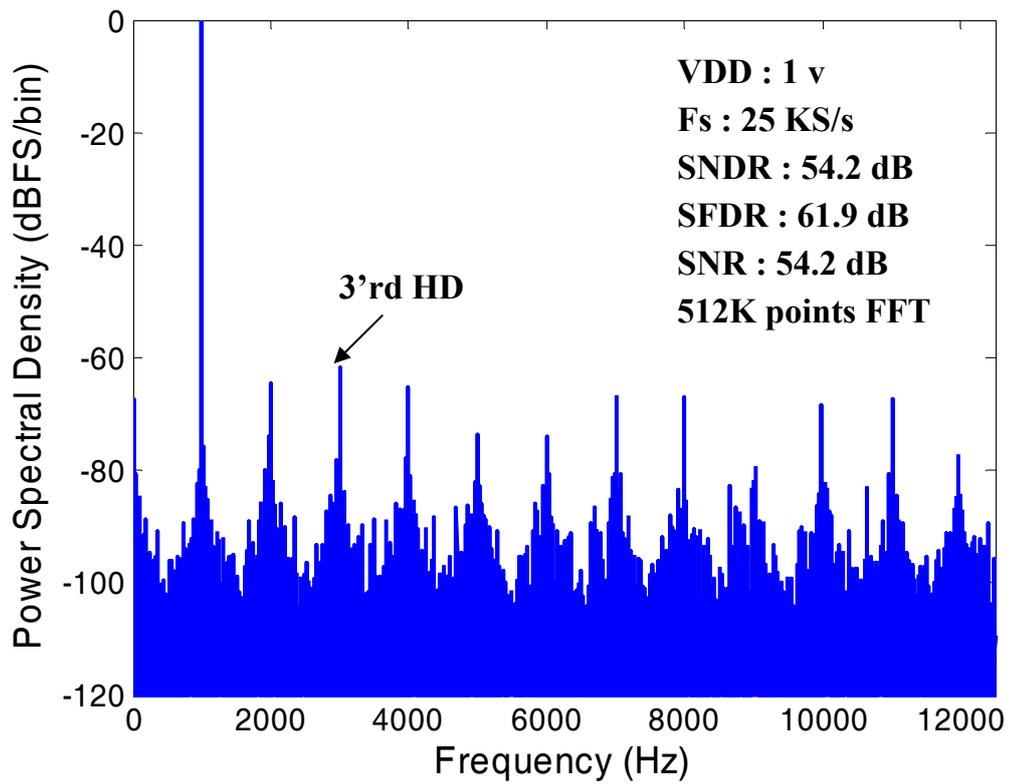


圖 5-31 頻譜分析圖

圖 5-32 為在不同之輸入頻率對 SNDR 及 SFDR 作圖，從此圖可觀察到當輸入頻率升高時時，其幾乎沒有衰減的情況，即 ERBW 可達 Nyquist frequency。

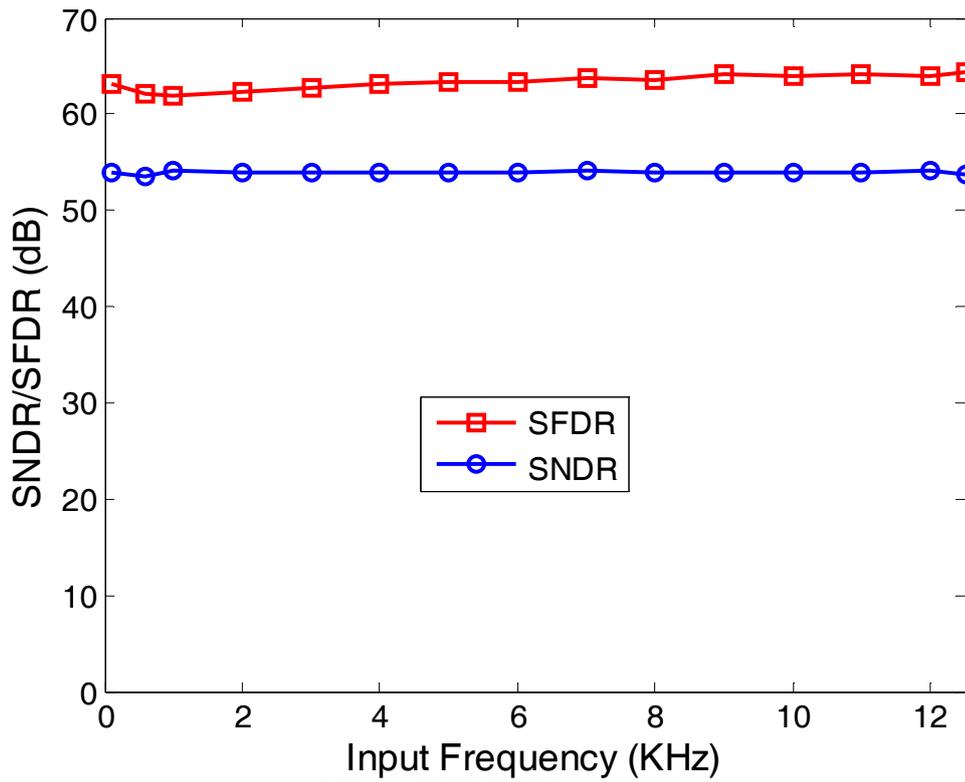


圖 5-32 Frequency vs. SNDR 及 SFDR (時脈頻率為 350KHz，供應電壓為 1V)

5.5.2 靜態參數

圖 5-33 及圖 5-34 分別 DNL 及 INL 的圖形，可發現 DNL 為 2.68/-1 LSB₁₂，INL 為 6.39/-7.55 LSB₁₂。

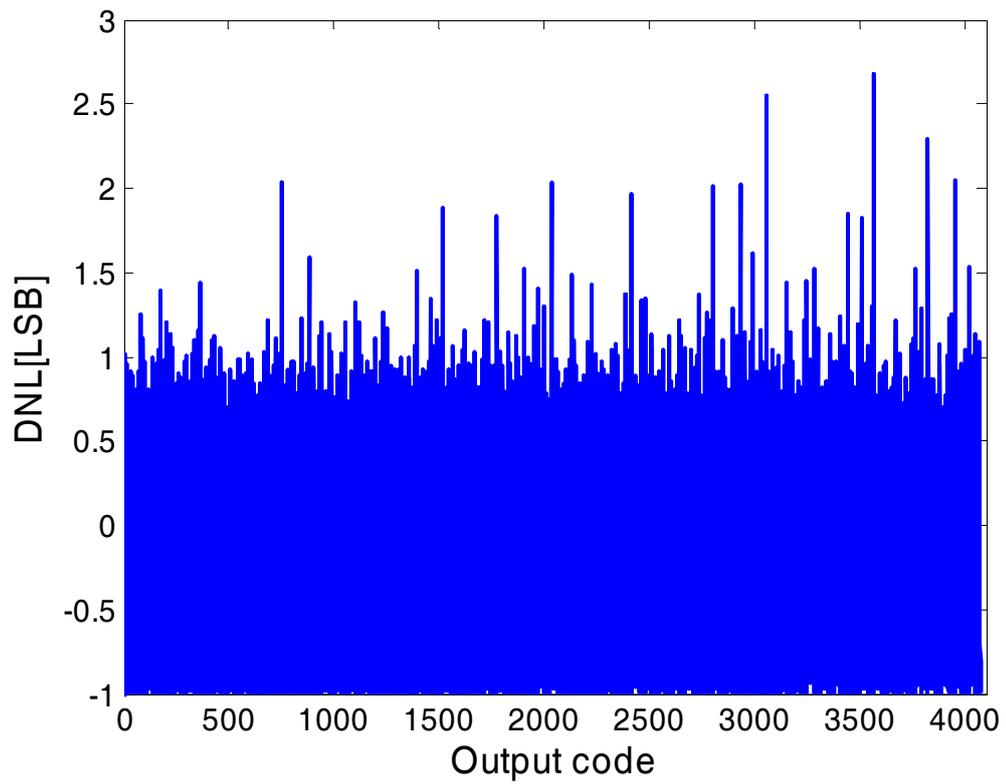


圖 5-33 DNL(供應電壓為 1V)

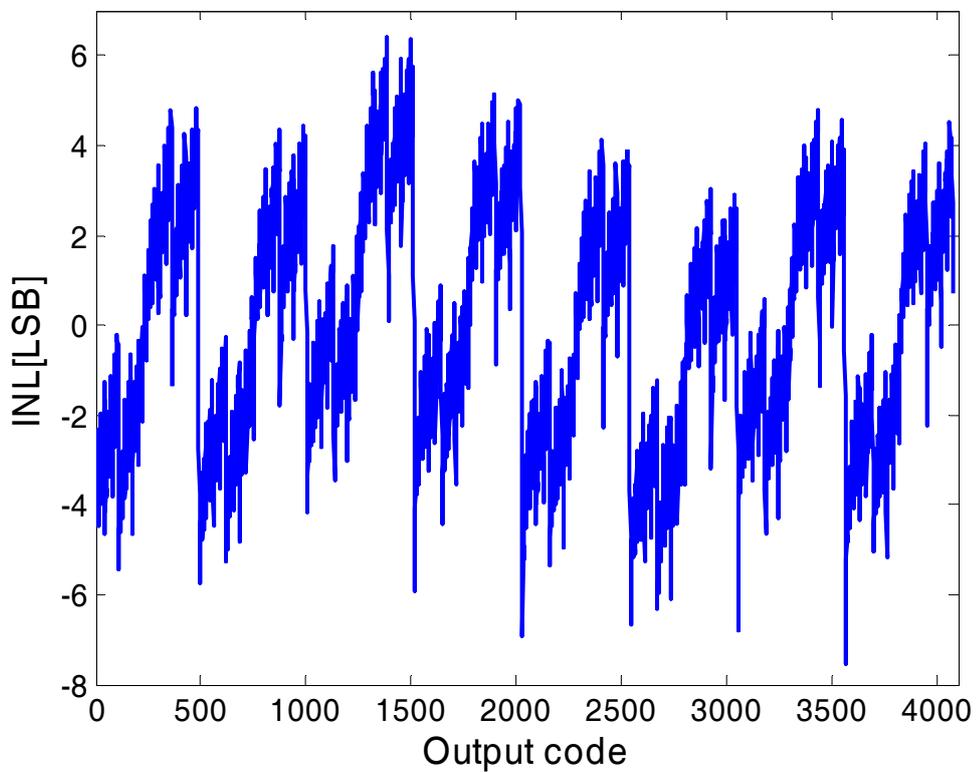


圖 5-34 INL(供應電壓為 1V)

5.5.3 功率消耗

表 5-1 為供應電壓為 1V 時，時脈在 350KHz 時的功率消耗。在此條件下其總功率消耗約為 8.43 μ W。

表 5-1 功率消耗(供應電壓為 1V)

	P(AVDD) (μ w)	P(DVDD) (μ w)	P(Vref) (μ w)	Total Power (μ w)
Clock=350KHz	7.99	0.37	0.07	8.43

5.6 效能分析

我們以供應電壓為 1V 來進行分析，先從 DNL 來看，由於其 DNL 有為 -1 的情形，所以會造成有些碼會不見(Missing code)，可由圖 5-35 之 DNL 放大圖中可看出當在要切換至 16 的倍數就會出現 Missing code 的情形，而在每當 32 倍數時，此情形會變的更加嚴重，所以我們將此一情況以 Matlab 的 Successive approximation ADC 之 Behavior model 來分析 16 及 32 的倍數發生 Missing code 的原因，主要原因為 Sub-DAC 中的電容以及連接 Sub-DAC 與 Main DAC 的之間電容。當我們加大在 C_4 兩端並聯的寄生電容，並且減少 C_5 預期並聯的寄生電容時，則將會造成每 16 倍數會出現 Missing code，而當我們加大 C_0 預期的並聯寄生電容時，則會出現在每 32 的倍數會更嚴重的情形，而 Missing code 只會讓我們的效能略為降低，並非主要影響 SNDR 不佳的因素，故分析 INL 來了解效能降低的主要原因。由圖 5-29 可知其每 2048 個 code 會出現相似的現象，並且在這 2048 個 code 中又每 1024 個 code 會出現相似的現象，且這 1024 個 code 中的每 512 個 code 也會有相似的情形，這些現象主要是 Main DAC 最大三顆電容 C_{12} 、 C_{11} 及 C_{10} 之並聯寄生電容比我們預期來得低所造成的，而造成 SNDR 下降的原因，圖 5-36 為以 Matlab 所跑出來相似於 INL 量測的結果，並且將其

以輸入弦波分析 ENOB 為 8.39bit，故應該是由 DAC 而造成整個 ADC 的 SNDR 不佳的因素。

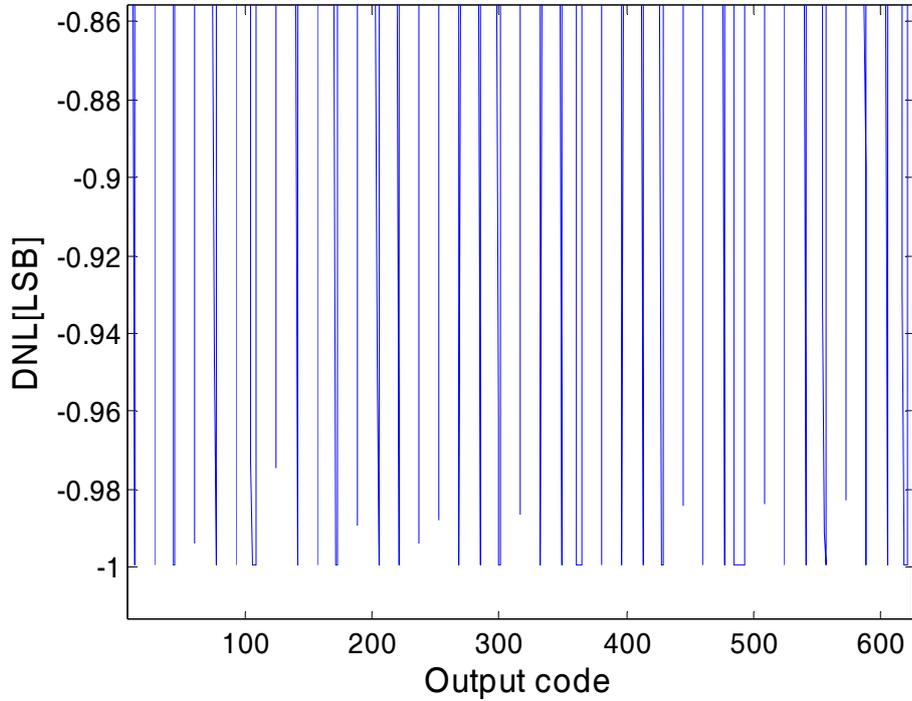


圖 5-35 DNL 之部份放大(供應電壓為 1V)

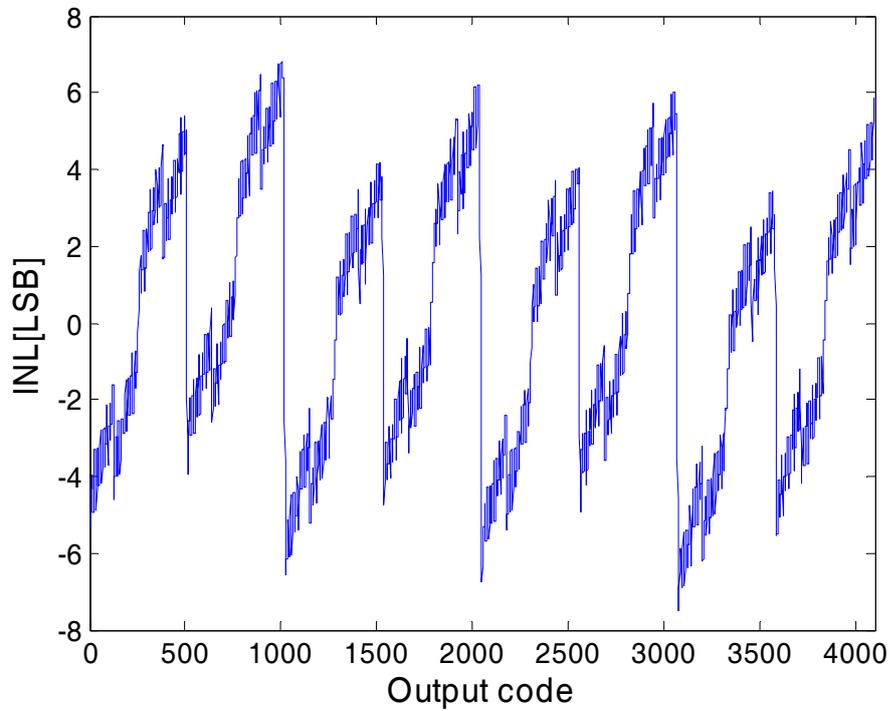


圖 5-36 Behavior model 之 INL

5.7 量測結果與比較

表 5-2 為在供應電壓 0.9V，時脈頻率 210KHz 下之模擬結果和量測結果之比較，由結果我們可以發現功率消耗跟我們模擬結果相差不遠，而 SNDR 不佳主要是由於前一章節所談到的 DAC 造成之影響，但由 SFDR 來看，我們的 ADC 可達到 11bit 的解析度，並且由圖 5-11 可知當我們選擇不同的時脈頻率更可以達到 12bit 的解析度。表 5-3 為在供應電壓 0.55V，時脈頻率 14KHz 下之模擬結果和量測結果之比較，由結果我們可以發現功率消耗比模擬結果還小，且都為 nW 等級的功率消耗，而 ENOB 也能達到 9bit 的解析度。我們就針對不同的電壓下，計算 FOM 所需要的參數產生表 5-4，從此表可發現當供應電壓在 0.55V，且時脈頻率在 14KHz 時，ERBW 可達 Nyquist frequency，而功率消耗為 35nW，FOM 為 124 fJ/conversion-step，並且當供應電壓為 0.5V 時 ADC 仍能正常工作，而功率只消耗 15nW。表 5-5 為本次設計與先前之文獻做比較，從表中可發現本論文之 ADC 有著最低的功率消耗，比先前之文獻好上 24 倍之多，為目前我們已知消耗功率最低之 ADC。

表 5-2 比較模擬結果及量測結果(供應電壓 0.9V)

	Simulation	Measurement	
Supply voltage	0.9V		
Clock rate (Hz)	210K		
Sampling rate (Hz)	15K		
ERBW (Hz)	7.5K	7.5K	
SFDR	87	65.1	
Peak SNDR @ $f_{in}=1\text{KHz}$	71.35 dB	54.5 dB	
Peak SNDR @ Nyquist rate	69.36 dB	54.25 dB	
Power dissipation (μW)	P(AVDD)	3.28	3.46
	P(DVDD)	0.16	0.15
	P(Vref)	0.04	0.032
	Total power	3.49	3.63

表 5-3 比較模擬結果及量測結果(供應電壓 0.55V)

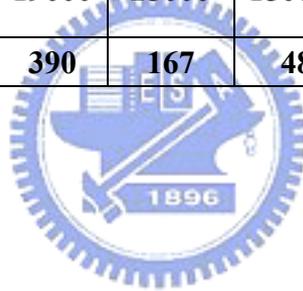
		Simulation	Measurement
Supply voltage		0.55V	
Clock rate (Hz)		14K	
Sampling rate (Hz)		1K	
ERBW (Hz)		0.5K	0.5K
Peak SNDR @ fin=1KHz		57.5 dB	50.7 dB
Peak SNDR @ Nyquist rate		57.1 dB	49.86 dB
Power dissipation (nW)	P(AVDD)	41.33	30
	P(DVDD)	3.49	4
	P(Vref)	0.92	0.93
	Total power	45.78	35

表 5-4 量測數據之 FOM

Supply voltage (V)	0.5	0.55	0.9	1
Clock (KHz)	7	14	210	350
SFDR (dBc)	59	61.7	65.1	64.35
ENOB (bit)@DC	7.64	8.13	8.76	8.71
ENOB (bit)@nyquist rate	7.57	7.99	8.72	8.64
ERBW (KHz)	0.25	0.5	7.5	12.5
Power dissipation (nW)	15	35	3580	8350
FOM(fJ/conv.step)	150	124	552	795

表 5-5 Benchmark

	Verma ISSCC 2006		Promitzer JSSC 2001	Sauerb -rey JSSC 2003	Gambini JSSC 2007	This work
Technology	0.18μm CMOS		0.6μm CMOS	0.18μm CMOS	90n CMOS	0.18μm CMOS
V_{DD}	1	1	3-5.5	0.5	0.5	0.55
Input swing / V_{DD}	1	1	1	0.25	N/A	1
Resolution (bits)	8	12	12	8	6	12
Sampling rate (KHz)	200	100	1000	4.1	1500	1
ENOB (bits)@DC	7.96	10.55	11.6	6.9	5.38	8.13
ENOB (bits) @ Fs/2	7.96	10.55	11.5	4.86	5.15	7.99
ERBW(KHz)	100	50	500	2	750	0.5
SFDR (dBc)	63.2	71	>81	58	N/A	61.7
Power dissipation (nW)	19000	25000	15000000	850	7000	35
FOM (pJ/conv.step)	390	167	4832	1779	140	124



第六章 結論與未來展望

本論文提出一個 0.55V, 12bit 之 SA ADC 設計，而量測結果顯示在輸出頻率為 1KS/s 時，此 SA ADC 有軌對軌的輸入範圍，且 SNDR 為 50.7dB，ERBW 可到 Nyquist frequency，而其功率消耗只有 35nW，此值比先前之文獻好上 24 倍之多，並且為目前我們已知耗能最低的 ADC。

由於我們所得之 SNDR 不佳，主要是 DAC 所造成，故有兩種方式能讓其效能更好，第一為改善我們 DAC 的走線佈局，讓我們走線所造成的寄生電容效應更接近想要數值，第二為加入一些 Calibration 的機制來判斷出錯誤量大小，並且將錯誤量修正回來。另外由於我們大部份的功率消耗為類比供應電壓，而類比的部份其主要是用來解決偏移量的問題，故可以參考 [31] 使用 DAC 來解決，如圖 6-1 所示即為此一架構架構。在接上電源時，其先將比較器的偏移量轉換成數位的型態並且存入 RAM 中，在之後每次要轉換時，使用 Offset DAC 將固定的偏移量消除，而由於其偏移量為固定量，所以不能用於我們的架構中，故只要可以想出一個方法將其改成能隨著不同的輸入共模電壓，而得到相對的偏移量並且將偏移量清除，則可大幅的降低類比的功率消耗。

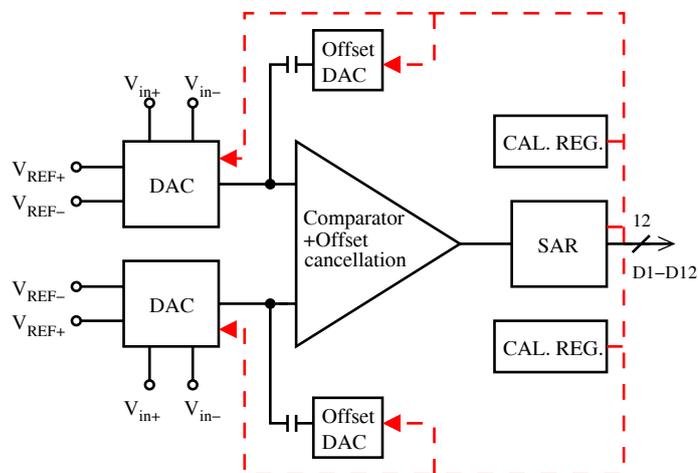


圖 6-1 使用 DAC 來消除偏移量之 SAR ADC

附錄 A

從圖 3-x 所提出的 SA ADC 架構中，由操作原理來推導 DAC 部分所消耗的功率，從 DAC 端可發現有兩個電流源，即地和 V_{ref} ，則其所消耗的功率即為電流再乘上 V_{ref} ，由於提出的 SA ADC 架構有 14 次循環，在此必須對此 14 次循環做功率的計算。

(1) 第一步為對 DAC 做重置動作，故 $P_1=0$ 。

(2) 第二步為儲存偏移量(Offset)和取樣，此時 DAC 一樣維持重置，故 $P_2=0$ 。

(3) 設定 D_{12} 控制 S_1 接至 V_{ref} ，則 $V_{dac12} = \frac{C_{12}V_{ref}}{C_{t1}}$ ，其中 $C_{t1} = \sum_{n=6}^{12} C_n + \frac{C_0 \times \sum_{n=1}^5 C_n}{\sum_{n=0}^5 C_n}$ ，

故功率為

$$P_3 = IV_{ref} = \frac{C_{12}[(V_{ref} - V_{dac12}) - 0]}{t} V_{ref} = fC_{12}V_{ref}(V_{ref} - V_{dac12})$$

(4) 設定 D_{11} 控制 S_2 接至 V_{ref} ，則 $V_{dac11} = \frac{C_{11}V_{ref} + D_{12}C_{12}}{C_{t1}}$ ，故功率

$$\begin{aligned} P_4 &= IV_{ref} = \left(\frac{C_{11}((V_{ref} - V_{dac11}) - (0 - V_{dac12}))}{t} - \frac{D_{12}C_{12}((V_{dac11} - V_{ref}) - (V_{dac12} - V_{ref}))}{t} \right) V_{ref} \\ &= fV_{ref}(C_{11}(V_{ref} - V_{dac11} + V_{dac12}) - D_{12}C_{12}(V_{dac11} - V_{dac12})) \end{aligned}$$

(5) 設定 D_{10} 控制 S_3 接至 V_{ref} ，則 $V_{dac10} = \frac{C_{10}V_{ref} + \sum_{i=11}^{12} D_i C_i}{C_{t1}}$ ，故功率

$$P_5 = IV_{ref} = \left(\frac{C_{10}((V_{ref} - V_{dac10}) - (0 - V_{dac11}))}{t} - \frac{\sum_{i=11}^{12} D_i C_i ((V_{dac10} - V_{ref}) - (V_{dac11} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_{10}(V_{ref} - V_{dac10} + V_{dac11}) - \sum_{i=11}^{12} D_i C_i (V_{dac10} - V_{dac11}))$$

(6) 設定 D_9 控制 S_4 接至 V_{ref} ，則 $V_{dac9} = \frac{C_9 V_{ref} + \sum_{i=10}^{12} D_i C_i}{C_{t1}}$ ，故功率

$$P_6 = IV_{ref} = \left(\frac{C_9((V_{ref} - V_{dac9}) - (0 - V_{dac10}))}{t} - \frac{\sum_{i=10}^{12} D_i C_i ((V_{dac9} - V_{ref}) - (V_{dac10} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_9(V_{ref} - V_{dac9} + V_{dac10}) - \sum_{i=10}^{12} D_i C_i (V_{dac9} - V_{dac10}))$$

(7) 設定 D_8 控制 S_5 接至 V_{ref} ，則 $V_{dac8} = \frac{C_8 V_{ref} + \sum_{i=9}^{12} D_i C_i}{C_{t1}}$ ，故功率

$$P_7 = IV_{ref} = \left(\frac{C_8((V_{ref} - V_{dac8}) - (0 - V_{dac9}))}{t} - \frac{\sum_{i=9}^{12} D_i C_i ((V_{dac8} - V_{ref}) - (V_{dac9} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_8(V_{ref} - V_{dac8} + V_{dac9}) - \sum_{i=9}^{12} D_i C_i (V_{dac8} - V_{dac9}))$$

(8) 設定 D_7 控制 S_6 接至 V_{ref} ，則 $V_{dac7} = \frac{C_7 V_{ref} + \sum_{i=8}^{12} D_i C_i}{C_{t1}}$ ，故功率

$$P_8 = IV_{ref} = \left(\frac{C_7((V_{ref} - V_{dac7}) - (0 - V_{dac8}))}{t} - \frac{\sum_{i=8}^{12} D_i C_i ((V_{dac7} - V_{ref}) - (V_{dac8} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_7(V_{ref} - V_{dac7} + V_{dac8}) - \sum_{i=8}^{12} D_i C_i (V_{dac7} - V_{dac8}))$$

(9) 設定 D_6 控制 S_7 接至 V_{ref} ，則 $V_{dac6} = \frac{C_6 V_{ref} + \sum_{i=7}^{12} D_i C_i}{C_{t1}}$ ，故功率

$$P_9 = IV_{ref} = \left(\frac{C_6 ((V_{ref} - V_{dac6}) - (0 - V_{dac7}))}{t} - \frac{\sum_{i=7}^{12} D_i C_i ((V_{dac6} - V_{ref}) - (V_{dac7} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_6 (V_{ref} - V_{dac6} + V_{dac7}) - \sum_{i=7}^{12} D_i C_i (V_{dac6} - V_{dac7}))$$

(10) 設定 D_5 控制 S_8 接至 V_{ref} ，則 $V_{dac5} = \frac{1}{2^7} \times \frac{C_5 V_{ref}}{C_{t2}} + \frac{\sum_{i=6}^{12} D_i C_i}{C_{t1}}$ ，其中

$$C_{t2} = \sum_{n=1}^5 C_n + \frac{C_0 \times \sum_{n=6}^{12} C_n}{C_0 + \sum_{n=6}^{12} C_n}，故功率$$

$$P_{10} = IV_{ref} = \left(\frac{C_5 ((V_{ref} - \frac{1}{2^5} V_{dac5}) - (0 - \frac{1}{2^5} V_{dac6}))}{t} - \frac{\sum_{i=6}^{12} D_i C_i ((V_{dac5} - V_{ref}) - (V_{dac6} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_5 (V_{ref} - \frac{1}{2^5} V_{dac5} + \frac{1}{2^5} V_{dac6}) - \sum_{i=6}^{12} D_i C_i (V_{dac5} - V_{dac6}))$$

(11) 設定 D_4 控制 S_9 接至 V_{ref} ，則 $V_{dac4} = \frac{1}{2^7} \times \frac{C_4 V_{ref} + D_5 C_5}{C_{t2}} + \frac{\sum_{i=6}^{12} D_i C_i}{C_{t1}}$ ，故功率

$$P_{11} = IV_{ref} = \left(\frac{C_4 ((V_{ref} - \frac{1}{2^5} V_{dac4}) - (0 - \frac{1}{2^5} V_{dac5}))}{t} - \frac{\sum_{i=6}^{12} D_i C_i ((V_{dac4} - V_{ref}) - (V_{dac5} - V_{ref}))}{t} - \frac{D_5 C_5 ((\frac{1}{2^5} V_{dac4} - V_{ref}) - (\frac{1}{2^5} V_{dac5} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_4 (V_{ref} - \frac{1}{2^5} V_{dac4} + \frac{1}{2^5} V_{dac5}) - \sum_{i=6}^{12} D_i C_i (V_{dac4} - V_{dac5}) - \frac{1}{2^5} D_5 C_5 (V_{dac4} - V_{dac5}))$$

(12) 設定 D_3 控制 S_{10} 接至 V_{ref} ，則 $V_{dac3} = \frac{1}{2^7} \times \frac{C_3 V_{ref} + \sum_{i=4}^5 D_i C_i}{C_{i2}} + \frac{\sum_{i=6}^{12} D_i C_i}{C_{i1}}$ ，故功

率

$$P_{12} = IV_{ref} = \left(\frac{C_3 \left((V_{ref} - \frac{1}{2^5} V_{dac3}) - (0 - \frac{1}{2^5} V_{dac4}) \right)}{t} - \frac{\sum_{i=6}^{12} D_i C_i \left((V_{dac3} - V_{ref}) - (V_{dac4} - V_{ref}) \right)}{t} - \frac{\sum_{i=4}^5 D_i C_i \left((\frac{1}{2^5} V_{dac3} - V_{ref}) - (\frac{1}{2^5} V_{dac4} - V_{ref}) \right)}{t} \right) V_{ref}$$

$$= fV_{ref} \left(C_3 \left(V_{ref} - \frac{1}{2^5} V_{dac3} + \frac{1}{2^5} V_{dac4} \right) - \sum_{i=6}^{12} D_i C_i (V_{dac3} - V_{dac4}) - \frac{1}{2^5} \sum_{i=4}^5 D_i C_i (V_{dac3} - V_{dac4}) \right)$$

(13) 設定 D_2 控制 S_{11} 接至 V_{ref} ，則 $V_{dac2} = \frac{1}{2^7} \times \frac{C_2 V_{ref} + \sum_{i=3}^5 D_i C_i}{C_{i2}} + \frac{\sum_{i=6}^{12} D_i C_i}{C_{i1}}$ ，故功

率

$$P_{13} = IV_{ref} = \left(\frac{C_2 \left((V_{ref} - \frac{1}{2^5} V_{dac2}) - (0 - \frac{1}{2^5} V_{dac3}) \right)}{t} - \frac{\sum_{i=6}^{12} D_i C_i \left((V_{dac2} - V_{ref}) - (V_{dac3} - V_{ref}) \right)}{t} - \frac{\sum_{i=3}^5 D_i C_i \left((\frac{1}{2^5} V_{dac2} - V_{ref}) - (\frac{1}{2^5} V_{dac3} - V_{ref}) \right)}{t} \right) V_{ref}$$

$$= fV_{ref} \left(C_2 \left(V_{ref} - \frac{1}{2^5} V_{dac2} + \frac{1}{2^5} V_{dac3} \right) - \sum_{i=6}^{12} D_i C_i (V_{dac2} - V_{dac3}) - \frac{1}{2^5} \sum_{i=3}^5 D_i C_i (V_{dac2} - V_{dac3}) \right)$$

(14) 設定 D_1 控制 S_{12} 接至 V_{ref} ，則 $V_{dac1} = \frac{1}{2^7} \times \frac{C_1 V_{ref} + \sum_{i=2}^5 D_i C_i}{C_{i2}} + \frac{\sum_{i=6}^{12} D_i C_i}{C_{i1}}$ ，故功

率

$$\begin{aligned}
P_{14} = IV_{ref} &= \left(\frac{C_1((V_{ref} - \frac{1}{2^5}V_{dac1}) - (0 - \frac{1}{2^5}V_{dac2}))}{t} - \frac{\sum_{i=6}^{12} D_i C_i ((V_{dac1} - V_{ref}) - (V_{dac2} - V_{ref}))}{t} \right) \\
&\quad - \frac{\sum_{i=2}^5 D_i C_i ((\frac{1}{2^5}V_{dac1} - V_{ref}) - (\frac{1}{2^5}V_{dac2} - V_{ref}))}{t} V_{ref} \\
&= fV_{ref} (C_1(V_{ref} - \frac{1}{2^5}V_{dac1} + \frac{1}{2^5}V_{dac2}) - \sum_{i=6}^{12} D_i C_i (V_{dac1} - V_{dac2}) - \frac{1}{2^5} \sum_{i=2}^5 D_i C_i (V_{dac1} - V_{dac2}))
\end{aligned}$$

將 P_1 至 P_{14} 的功率相加後做整合可得

$$P_{sum} = \sum_{i=1}^{14} P_i = fV_{ref} * \left\{ \begin{aligned}
&V_{ref} (\sum_{n=1}^{12} C_n) + \\
&V_{dac12} (-C_{12} + C_{11} + D_{12}C_{12}) + \\
&V_{dac11} (-C_{11} - D_{12}C_{12} + C_{10} + \sum_{n=11}^{12} D_n C_n) + \\
&V_{dac10} (-C_{10} - \sum_{m=11}^{12} D_m C_m + C_9 + \sum_{n=10}^{12} D_n C_n) + \\
&V_{dac9} (-C_9 - \sum_{m=10}^{12} D_m C_m + C_8 + \sum_{n=9}^{12} D_n C_n) + \\
&V_{dac8} (-C_8 - \sum_{m=9}^{12} D_m C_m + C_7 + \sum_{n=8}^{12} D_n C_n) + \\
&V_{dac7} (-C_7 - \sum_{m=8}^{12} D_m C_m + C_6 + \sum_{n=7}^{12} D_n C_n) + \\
&V_{dac6} (-C_6 - \sum_{m=7}^{12} D_m C_m + \frac{1}{2^5}C_5 + \sum_{n=6}^{12} D_n C_n) + \\
&V_{dac5} (-\frac{1}{2^5}C_5 - \sum_{m=6}^{12} D_m C_m + \frac{1}{2^5}C_4 + \sum_{n=6}^{12} D_n C_n + \frac{1}{2^5}D_5C_5) + \\
&V_{dac4} (-\frac{1}{2^5}C_4 - \frac{1}{2^5}D_5C_5 + \frac{1}{2^5}C_3 + \frac{1}{2^5}\sum_{n=4}^5 D_n C_n) + \\
&V_{dac3} (-\frac{1}{2^5}C_3 - \frac{1}{2^5}\sum_{m=4}^5 D_m C_m + \frac{1}{2^5}C_2 + \frac{1}{2^5}\sum_{n=3}^5 D_n C_n) + \\
&V_{dac2} (-\frac{1}{2^5}C_2 - \sum_{m=3}^5 D_m C_m + \frac{1}{2^5}C_1 + \frac{1}{2^5}\sum_{n=2}^5 D_n C_n) + \\
&V_{dac1} (-\frac{1}{2^5}C_1 - \sum_{n=6}^{12} D_n C_n - \frac{1}{2^5}\sum_{m=2}^5 D_m C_m)
\end{aligned} \right\}$$

假設 $C_0=C_1=C_6=C$ ，而 $C_i=2^{i-6}C$ ， i 從 12 至 6，且 $C_j=2^{j-1}C$ ， j 從 5 到 1，

將式子再重新整理可得

$$P_{sum} = \sum_{i=1}^{14} P_i = fV_{ref}^2 * \left\{ \begin{aligned} &(1)((2^7 - 1) + (2^5 - 1)) + \\ &V_{dac12}(-2^5 + 2^6 D_{12}) + \\ &V_{dac11}(-2^4 + 2^5 D_{11}) + \\ &V_{dac10}(-2^3 + 2^4 D_{10}) + \\ &V_{dac9}(-2^2 + 2^3 D_9) + \\ &V_{dac8}(-2^1 + 2^2 D_8) + \\ &V_{dac7}(-2^0 + 2^1 D_7) + \\ &V_{dac6}(-2^{-1} + 2^0 D_6) + \\ &V_{dac5}(-2^{-2} + 2^{-1} D_5) + \\ &V_{dac4}(-2^{-3} + 2^{-2} D_4) + \\ &V_{dac3}(-2^{-4} + 2^{-3} D_3) + \\ &V_{dac2}(-2^{-5} + 2^{-4} D_2) + \\ &V_{dac1}(-2^{-5} - \sum_{n=2}^{12} 2^{i-6} D_i) \end{aligned} \right\}$$

其中 $V_{daci} = \frac{2^{i-6} + \sum_{n=1}^{12-i} 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}}$ ， i 從 12 至 6，

$$V_{dacj} = \frac{\sum_{n=1}^7 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}} + \frac{1}{2^7} \frac{2^{j-1} + \sum_{m=1}^{5-j} 2^{5-m} D_{6-m}}{(2^5 - 1) + \frac{(2^7 - 1)}{2^7}}$$
， j 從 5 至 1，

從以上推導可將其整合成一式子

$$\begin{aligned}
P_{sum} = & F_{clk} C V_{ref}^2 [(2^7 - 1) + (2^5 - 1) + \sum_{i=1}^7 \left(\frac{2^{7-i} + \sum_{n=1}^{i-1} 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}} \right) (-2^{6-i} + 2^{7-i} D_{13-i}) + \\
& \sum_{i=8}^{11} \left[\left(\frac{1}{2^7} \times \frac{2^{12-i} + \sum_{n=1}^{i-8} 2^{5-n} D_{6-n}}{(2^5 - 1) + \frac{(2^7 - 1)}{2^7}} \right) + \frac{\sum_{n=1}^7 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}} \right] (-2^{6-i} + 2^{7-i} D_{13-i}) + \\
& \left(-\frac{1}{2^5} - \sum_{n=2}^{12} 2^{n-6} D_n \right) \left(\frac{1}{2^7} \times \frac{1 + \sum_{n=1}^4 2^{5-n} D_{6-n}}{(2^5 - 1) + \frac{(2^7 - 1)}{2^7}} + \frac{\sum_{n=1}^7 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}} \right)
\end{aligned}$$

where $\begin{cases} C \text{ 為單位電容,} \\ F_{clk} \text{ 為時脈頻率,} \\ D_1 \text{ 到 } D_{12} \text{ 為 DAC 的數位輸出.} \end{cases}$

由於因為每次轉換需 14 次循環，故 P_{sum} 需除以 14 則是完成一次轉換中 DAC 所耗的功率。



附錄 B

由學長的經驗來看，要決定熱雜訊(thermal noise)對於電容所造成的影響，可從解出最高位元的電容來著手，而在我們的 SA ADC 架構中之 DAC 分為 Main DAC 及 Sub-DAC 兩部份，故我們分別來探討其 MSB 電容之最小值。首先 Main DAC 控制 S_1 接至 V_{REF} ，但由於在電容陣列的下端不是連接 V_{REF} ，就是連接地，且對於 Main DAC 而言，Sub-DAC 可以看成約等效 C_u 的值，故我們可以將電路簡化成圖 B-1，其中 C_u 代表單位電容，R 為其控制開關之導通電阻。從圖中可發現從電容下端接 V_{REF} 或地，將其分成兩邊，而由於熱雜訊為交流訊號，故直流訊號對交流訊號來說乃屬接地，因此再將其電路合併為一，可得合併後的 C 值為 $C_a = \frac{C_1 * C_2}{C_1 + C_2} = 32C_u$ ，而此時

熱雜訊對於其 V_{dac} 端點之電位影響需小於 $\frac{1}{2}V_{LSB}$ 才能正確解出 12bit 的解析度，故可得 $\sqrt{\frac{KT}{C_a}} < \frac{1}{2}V_{LSB}$ ，其中 V_{LSB} 為 $\frac{0.9}{2^{12}}$ ，藉由其推導可知 C_a 需大於 343fF，故 C_u 需大於 10.7fF。

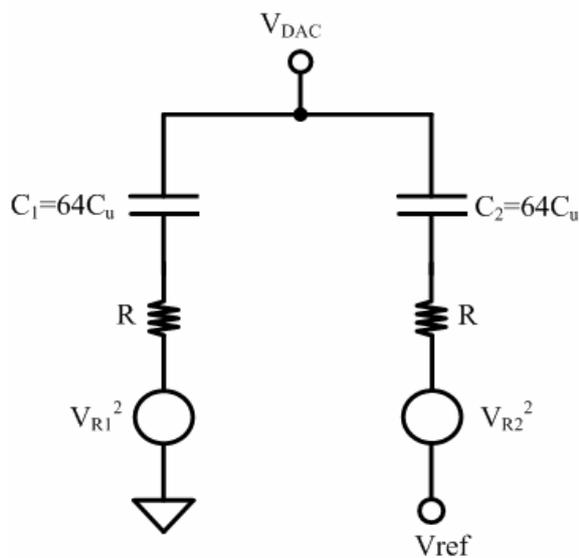


圖 B-1 當 Main DAC 的 MSB bit 設為 1 時之熱雜訊影響

當換成 Sub-DAC 動作時，則控制 S_8 接至 V_{ref} 時，其 $S_1 \sim S_7$ 可能會接 0 或是 V_{ref} ，其對於 Sub-DAC 而言，約等效成 C_u 值，故將 C_1 及 C_2 串聯後的 C_a 值為 $16C_u$ ，故我們可以將電路簡化成圖 B-2。此時 V_{dac} 需有 5bit 的解析度，所以 V_a 也需有 5bit 的解析度，故可得 C_u 需大於 $1.3aF$ 。

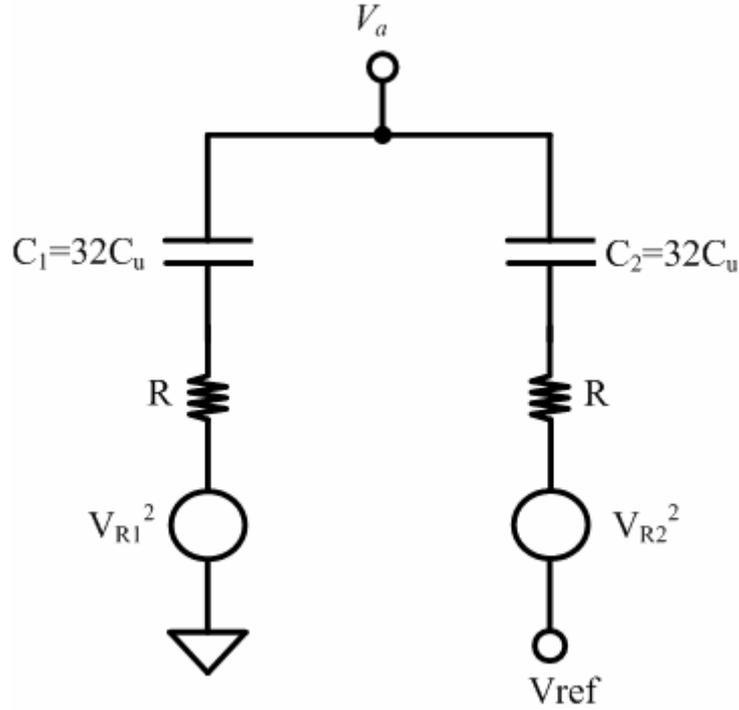


圖 B-2 當 Sub-DAC 的 MSB bit 設為 1 時之熱雜訊影響

循環越往後推，其 V_{dac} 所需的解析度就會越小，而對於 $\sqrt{\frac{KT}{Ca}} < \frac{1}{2}V_{LSB}$ ，每往後推一次循環，則 V_{LSB} 變為上升 2 倍，而將 DAC 分成兩個 DAC，其 C_u 的最小值是由解出最高位元的電容來決定，故主要在 Main DAC 的 MSB 位元設為 1 時，所採用的 C_u 值需大於 $10.7fF$ ，然而由於 $0.18\mu m$ CMOS 1P6M 製程的佈局規則(Design Rule)，使用 M5 及 M6 所形成之 CTM 電容最小約為 $24fF$ ，發現熱雜訊的影響小於此值，故忽略熱雜訊造成的影響。

參考文獻

- [1] J. C. Chiou, C. C. Su, H. C. Hong, K. H. Chen, and Y. Chiou, NSC-95-2221-E-009-344: The design and fabrication of an ultra low power micro-sensing module for wireless sensor networks. Supported by NSC, Taiwan, R.O.C., 2005.
- [2] David A. Johns, and Ken Martin, “*Analog Integrated Circuit Design*,” John Wiley & Sons, Inc., 1997
- [3] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 4th Ed., Oxford University Press, 1998.
- [4] H. C. Hong and G. M. Lee, “A 65fJ/Conversion-Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC,” *IEEE J. Solid-State Circuits*, vol. 42, no. 10, October 2007.
- [5] N. Verma and A. P. Chandrakasan, “A 25 μ W 100 kS/s 12b ADC for wireless micro-sensor applications,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, 2006, pp. 822–831.
- [6] M. D. Scott, B. E. Boser, K. S. J. Pister, “An ultralow-energy ADC for smart dust,” *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1123-1129, July 2003.
- [7] Sauerbrey J., Schmitt-Landsiedel D. & Thewes R., “A 0.5-V 1- μ W successive approximation ADC,” *IEEE J. Solid-State Circuits* 38(7), 1261- 1265, 2003.
- [8] S. Mortezapour and E. K. F. Lee, “A 1-V, 8-Bit Successive Approximation ADC in Standard CMOS Process,” *IEEE J. Solid-State Circuits*, vol. 35, no. 4, pp. 642-646, April 2000.
- [9] H. P. Le, J. Singh, L. Hiremath, V. Mallapur and A. Stojcevski, “Ultra-low-power variable-resolution successive approximation ADC for biomedical application,” *Electronics Letters*, vol. 41, no. 11, May 2005.
- [10] Hwang-Cherng Chow, Bo-Wei Chen, Hsiao-Chen Chen and Wu-Shiung Feng, “A 1.8V, 0.3mW, 10-Bit SA-ADC with new self-timed timing control for biomedical applications,” *IEEE International Symposium on Circuits and Systems*, vol. 1, pp. 736-739, May 2005.
- [11] J. Crols and M. Steyaert, “Switched-opamp: An approach to realize full CMOS switched-capacitor circuits at very low power supply voltages,” *IEEE J. Solid-State Circuits*, vol. 29, no. 8, pp. 936-942, August 1994.
- [12] T. Yoshida, M. Akagi, M. Sasaki, and A. Iwata, “A 1V supply successive approximation ADC with rail-to-rail input voltage range,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, Vol. 1, pp. 192-195, May 2005
- [13] B. J. Blalock, P. E. Allen, and G. A. Rincon-Mora, “Designing 1-V op amps using standard digital CMOS technology,” *IEEE Transactions on Circuits and Systems — II*, vol. 45, no. 7, July 1998.
- [14] L. H. de Carvalho Ferreira and T. C. Pimenta, “An ultra low-voltage CMOS OTA Miller with rail-to-rail operation,” in *Proceedings of the 16th International Conference on Microelectronics*, pp. 223-226, Dec. 2004.

- [15] Phillip E. Allen, and Douglas R. Holberg, “*CMOS Analog Circuit Design*,” New York Oxford, Second Edition, 2002
- [16] A. Rossi and G. Fucili, “Nonredundant successive approximation register for A/D converters,” *Electronics letters*, vol. 32, no. 12, June 1996.
- [17] E. Culurciello and A. Andreou, “An 8-bit, 1mW successive approximation ADC in SOI CMOS,” *Proceedings of the 2003 IEEE International Symposium on Circuits and Systems, (ISCAS 2003)*, vol. 1, pp. 301-304, June 2003.
- [18] K. Hadidi, V. S. Tso, and G. C. Temes, “An 8-b 1.3-MHz successive approximation A/D converter,” *IEEE J. Solid-State Circuits*, vol. 25, no. 3, pp. 880-885, June 1990.
- [19] H. Neubauer, T. Desel, and H. Hauer, “A successive approximation A/D converter with 16 bit 200 kS/s in 0.6 μ m CMOS using selfcalibration and low power techniques,” in *Proc. 8th IEEE Int. Conf. Electronics, Circuits and Systems*, Sep. 2001, pp. 859–862.
- [20] F. Kuttner, “A 1.2 V 10b 20 MSample/s non-binary successive approximation ADC in 0.13 μ m CMOS,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, 2002, pp. 136–137.
- [21] C.-S. Lin and B.-D. Liu, “A new successive approximation architecture for low-power low-cost CMOS A/D converter,” *IEEE J. Solid-State Circuits*, vol. 38, no. 1, pp. 54–62, Jan. 2003.
- [22] Behzad Razavi, “Design of Integrated Circuits for Optical Communications,”
- [23] L. H. de Carvalho Ferreira and T. C. Pimenta, “An ultra low-voltage CMOS OTA Miller with rail-to-rail operation,” in *Proceedings of the 16th International Conference on Microelectronics*, pp. 223-226, Dec. 2004.
- [24] B. J. Blalock, P. E. Allen, and G. A. Rincon-Mora, “Designing 1-V op amps using standard digital CMOS technology,” *IEEE Transactions on Circuits and Systems – II*, vol. 45, no. 7, July 1998.
- [25] A. L. Coban and P. E. Allen, “A 1.75V rail-to-rail CMOS op amp,” *IEEE Int. Symp. Circuits and Systems*, pp. 497-500, 1994.
- [26] R. Hogervorst, R. J. Wiegerink, P. A.L de Jong, J. Fonderie, R. F. Wassenaar, and J. H. Huijsing, “CMOS low-voltage operational amplifiers with constant-gm rail-to-rail input stage,” *IEEE International Symposium on Circuits and Systems*, vol. 6, pp. 2876-2879, May 1992.
- [27] J. Sauerbrey, D. Schmitt-Landsiedel, and R. Thewes, “A 0.5-V 1- μ W successive approximation ADC,” *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1261–1265, Jul. 2003.
- [28] S. Gambini and J. Rabaey, “Low-Power Successive Approximation Converter With 0.5 V Supply in 90nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 42, no. 11, November 2007.
- [29] X. Jiang, Z. Wang, and M. F. Chang, “A 2GS/s 6b ADC in 0.18 μ m CMOS,” *IEEE International Solid-State Circuits Conference*, pp. 322-323, Feb. 2003.
- [30] C. Sandner, M. Clara, A. Santner, T. Hartig, and F. Kuttner, “A 6bit, 1.2GSps Low-Power Flash-ADC in 0.13- μ m Digital CMOS,” *IEEE J. Solid-State Circuits*,

- vol. 40, no. 7, pp. 1499-1505, July 2005.
- [31] K.S Tan, S. Kiriaki, M.D. Wit, J.W. Fattaruso, C.Y. Tsay, W.E. Matthews, R.K. Hester, "Error Correction Techniques for High-Performance Differential A/D Converters," *IEEE J. Solid-State Circuits*, vol. 25, no. 6, pp. December 1990.
- [32] Y. Matsuya and J. Yamada, "1 V power supply, low-power consumption A/D conversion technique with swing-suppression noise shaping," *IEEE J. Solid-State Circuits*, vol. 29, no. 12, December 1994.
- [33] D. Aksin, M. Al-Shyoukh, and F. Maloberti, "Switch bootstrapping for precise sampling beyond supply voltage," *IEEE J. Solid-State Circuits*, vol 41, no. 8, Aug. 2006.
- [34] M. Waltari and K. A. I. Halonen, "1-V 9-Bit Pipelined Switched-Opamp ADC," *IEEE J. Solid-State Circuits*, vol. 36, no. 1, January 2001.
- [35] 蔡振宇, "Low Power Techniques for Digital IC Design," *CICeNEWS*, vol 86, Dec. 15th, 2007.
- [36] http://members.tripod.com/~x_zhou/MSM2000/sld011.htm
- [37] S. Y. Chin and C. Y. Wu, "A CMOS ratio-independent and gain-insensitive algorithmic analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 31, no. 8, August 1996.
- [38] G. Promitzer, "12-bit Low-Power Fully Differential Switched Capacitor Noncalibrating Successive Approximation ADC with 1 MS/s," *IEEE J. Solid-State Circuits*, vol 36, no. 7, Jul. 1995.
- [39] J. A. M. Jarvinen, M. Saukoski and K. Halonen, "A 12-bit 32 μ W Ratio-Independent Algorithmic ADC," *Symposium on VLSI Circuits Digest*, 2006.
- [40] 鄭國順, 醫療儀器設計與應用上課投影片.