

國立交通大學

電機與控制工程學系

碩士論文

一個以弦波最小誤差為基礎適用於混合訊號
電路之自我測試系統設計

A Sinusoidal Minimum Error Method Based BIST
System for Mixed Signal Circuits



研究生：蘇芳毅

指導教授：洪浩喬 教授

中華民國九十六年六月



國立交通大學

電機與控制工程學系

碩士論文

一個以弦波最小誤差為基礎適用於混合訊號
電路之自我測試系統設計

A Sinusoidal Minimum Error Method Based BIST
System for Mixed Signal Circuits

研究生：蘇芳毅

指導教授：洪浩喬 教授

中華民國九十六年六月

一個以弦波最小誤差為基礎適用於混合訊號
電路之自我測試系統設計

A Sinusoidal Minimum Error Method Based BIST
System for Mixed Signal Circuits

研究生：蘇芳毅

Student : Fang-Yi Su

指導教授：洪浩喬

Advisor : Hao-Chiao Hong



Submitted to Department of Electrical and control Engineering College
of Electrical Engineering and Computer Science

National Chiao-Tung University

In Partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and control Engineering

June 2007

Hsinchu, Taiwan, R.O.C

中華民國九十六年六月

國立交通大學

博碩士論文全文電子檔著作權授權書

(提供授權人裝訂於紙本論文書名頁之次頁用)

本授權書所授權之學位論文，為本人於國立交通大學電機與控制工程系所乙組，95學年度第二學期取得碩士學位之論文。
論文題目：一個以弦波最小誤差為基礎適用於混合訊號電路之自我測試系統設計

指導教授：洪浩喬

■不同意

本人茲將本著作，以非專屬、無償授權國立交通大學與台灣聯合大學系統圖書館：基於推動讀者間「資源共享、互惠合作」之理念，與回饋社會與學術研究之目的，國立交通大學及台灣聯合大學系統圖書館得不限地域、時間與次數，以紙本、光碟或數位化等各種方法收錄、重製與利用；於著作權法合理使用範圍內，讀者得進行線上檢索、閱覽、下載或列印。

論文全文上載網路公開之範圍及時間：六年內不公開	
本校及台灣聯合大學系統區域網路	■ 不公開
校外網際網路	■ 不公開

授權人：蘇芳毅

親筆簽名：_____

中華民國 年 月 日

國立交通大學

博碩士紙本論文著作權授權書

(提供授權人裝訂於全文電子檔授權書之次頁用)

本授權書所授權之學位論文，為本人於國立交通大學電機與控制工程系所乙組，95學年度第二學期取得碩士學位之論文。

論文題目：一個以弦波最小誤差為基礎適用於混合訊號電路之自我測試系統設計

指導教授：洪浩喬

■ 不同意

本人茲將本著作，以非專屬、無償授權國立交通大學，基於推動讀者間「資源共享、互惠合作」之理念，與回饋社會與學術研究之目的，國立交通大學圖書館得以紙本收錄、重製與利用；於著作權法合理使用範圍內，讀者得進行閱覽或列印。

本論文為保護本人權利，請將論文延至 102 年 9 月 7 日再公開。

授權人：蘇芳毅

親筆簽名：_____

中華民國 年 月 日

一個以弦波最小誤差為基礎適用於混合訊號電路之 自我測試系統設計

研究生：蘇芳毅

指導教授：洪浩喬 博士

國立交通大學電機與控制工程學系碩士班

摘要

本論文的研究分為兩部分。首先，我們提出一個使用三階 $\Sigma-\Delta$ 調變器於數位震盪器的設計，以改善以最佳符合控制弦波(Control sine wave fitting)方法為基礎之自我測試設計 $\Sigma-\Delta$ 調變器的測試頻寬。該設計已經利用 0.35um 製程完成下線。經測量結果驗證所提出之設計確實可以將原有的 6KHz 測試頻寬提高至 16KHz。此外，我們提出一個以弦波最小誤差為基礎適用於混合訊號電路之自我測試設計方法，其最大的優勢為能自動地補償相位誤差，使得此自我測試設計可以應用在一般的混合訊號電路設計上。再搭配使用所提出的寬頻域極點補償型數位弦波產生器，便可以提供更精準的測試結果與更寬的測試頻寬。我們採用一個具可數位測試設計的 $\Sigma-\Delta$ 類比數位轉換器作為待測電路，並利用 FPGA 實現了一個完整的混合訊號自我測試電路。量測結果顯示，所提出之自我測試電路設計方法可以測得 76 dB 的 SNDR 峰值，且其測試頻寬可高達 24KHz。所需的額外硬體成本僅 23.1K 個邏輯閘。

A Sinusoidal Minimum Error Method Based BIST System for Mixed Signal Circuits

student : Fang-Yi Su

Advisor : Dr. Hao-Chiao Hong

Institute of Electrical and control Engineering

National Chiao-Tung University

Abstract

This thesis is divided into two parts. First, we propose the 3rd-order $\Sigma-\Delta$ modulator based digital oscillator to improve testing bandwidth of the BIST $\Sigma-\Delta$ modulator based on the control sine wave fitting (CSWF) method. A test chip has been tapouted using a 0.35 μm CMOS process. The measurement results show that with the proposed digital oscillator, the testing bandwidth can be enhanced from 6 KHz to 16 KHz. On the other hand, we also proposed the sinusoidal minimum error method based (SME) BIST scheme for mixed signal circuits. The major advantage of the SME BIST scheme is that it automatically compensates the circuit under test for its phase delay. With the help of the proposed novel wide-band compensation type digital oscillator, the SME BIST $\Sigma-\Delta$ modulator can achieves a wider testing bandwidth. We use the same circuit under test and FPGA to verify

our design. The measurement results show that the testing bandwidth can be higher than 24KHz and a 76 dB peak SNDR can be measured. The hardware overhead is as low as 23.1K gates.

目錄

中文提要	I
英文提要	II
目錄	III
圖目錄	VI
表目錄	X II
第一章 緒論	1
1.1 研究動機與目的	1
1.2 基本概念	2
1.2.1 Σ - Δ 調變法	2
1.2.2 降頻濾波	7
1.2.3 超頻取樣	9

1.3 自我測試電路概念及系統架構與規格·····	10
1.4 論文章節組織·····	13
第二章 以Σ-Δ調變為基礎的自我測試電路·····	15
2.1 自我測試電路類型介紹及分析優缺點·····	15
2.2 數位弦波產生器·····	22
2.3 輸出響應分析器·····	28
2.4 系統模擬結果·····	30
2.5 電路優缺點分析·····	35
第三章 改良型以Σ-Δ調變為基礎的自我測試系統·····	36
3.1 使用二階 Σ - Δ 調變器的數位弦波產生器的缺點·····	36
3.2 三階零點分散數位弦波產生器·····	39
3.2.1 數位弦波產生器之模擬結果·····	40
3.2.2 硬體成本比較·····	42
3.3 系統模擬結果·····	42
3.4 硬體實現與自動化佈局及下線·····	45
3.5 晶片量測結果·····	46
第四章 以弦波最小誤差為基礎的自我測試方法·····	52

4.1 自動相位補償型自我測試法介紹.....	52
4.2 系統分析.....	55
4.3 分析架構之優缺點.....	59
第五章 以弦波最小誤差為基礎的自我測試電路設計.....	60
5.1 寬頻域極點補償型數位弦波產生器設計.....	60
5.1.1 寬頻域極點補償型數位弦波產生器.....	60
5.1.2 數位弦波產生器硬體成本比較.....	63
5.1.3 數位弦波產生器模擬結果.....	64
5.2 響應分析電路設計.....	66
5.3 系統電路模擬結果.....	73
第六章 以弦波最小誤差為基礎的自我測試系統量測.....	78
6.1 硬體實現及 FPGA 驗證(合成後邏輯匝數比較及優缺點分析).....	78
6.2 量測結果(FPGA).....	79
6.3 自動化佈局(APR).....	83
第七章 結論與未來研究方向.....	84
參考文獻.....	85



圖目錄

圖 1-1 自我測試電路與類比、數位電路關係圖.....	1
圖 1-2 五位元量化前與量化後的訊號示意圖.....	3
圖 1-3 量化雜訊(Quantization Noise)示意圖.....	3
圖 1-4 一階 $\Sigma-\Delta$ 調變器.....	5
圖 1-5 二階 $\Sigma-\Delta$ 調變器.....	6
圖 1-6 以-6dB 弦波出入三階 $\Sigma-\Delta$ 調變器之輸出頻譜圖.....	7
圖 1-7 以-6dB 弦波出入三階 $\Sigma-\Delta$ 調變器經過降頻濾波器之輸出頻譜圖.....	8
圖 1-8 取樣頻率為 48 KHz 振幅 0 dBFS、輸入頻率 1 KHz 的正弦波...	9
圖 1-9 取樣頻率為 6.144 MHz 振幅 0 dBFS、輸入頻率 1 KHz 的正弦波.....	10
圖 1-10 系統架構方塊圖.....	11
圖 2-1 兩點時域簡化快速富利葉轉換表示圖.....	16
圖 2-2 八點時域簡化快速富利葉轉換(Decimation in time FFT)表示圖...	17
圖 2-3 控制弦波最佳密合法時域表示圖.....	18
圖 2-4 密合前輸出響應頻譜圖.....	19
圖 2-5 密合後雜訊及諧波頻譜圖.....	19
圖 2-6 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路架構圖.....	20

圖 2-7 輸出響應偏移誤差計算圖·····	21
圖 2-8 輸出響應振幅計算圖·····	21
圖 2-9 輸出響應雜訊及諧波能量計算圖·····	22
圖 2-10 二階數位弦波產生器·····	23
圖 2-11 二階數位弦波產生器所產生之 5 KHz 弦波頻譜圖·····	24
圖 2-12 經過 Σ - Δ 調變器的二階數位弦波產生器之 5 KHz 弦波頻譜·····	25
圖 2-13 經過 Σ - Δ 調變器的二階數位弦波產生器之 10 KHz 弦波頻譜·····	26
圖 2-14 使用超頻取樣之二階振盪器·····	26
圖 2-15 使用超頻取樣之二階振盪器產生之 5 KHz 弦波頻譜·····	27
圖 2-16 以 Σ - Δ 調變器為基礎的自我測試電路的偏移誤差估算電路·····	28
圖 2-17 以 Σ - Δ 調變器為基礎的自我測試電路的增益誤差估算電路·····	29
圖 2-18 以 Σ - Δ 調變器為基礎的自我測試電路的雜訊與諧波估算電路·····	30
圖 2-19 以 Σ - Δ 調變器為基礎的自我測試電路模擬結果(1 KHz) ·····	31
圖 2-20 以 Σ - Δ 調變器為基礎的自我測試電路模擬結果(2 KHz) ·····	31
圖 2-21 以 Σ - Δ 調變器為基礎的自我測試電路模擬結果(3 KHz) ·····	32
圖 2-22 以 Σ - Δ 調變器為基礎的自我測試電路模擬結果(4KHz) ·····	32
圖 2-23 以 Σ - Δ 調變器為基礎的自我測試電路模擬結果(4KHz) ·····	33

圖 2-24 以 Σ - Δ 調變器為基礎的自我測試電路模擬結果(4KHz)	33
圖 2-25 以 Σ - Δ 調變器為基礎的自我測試電路量測結果.....	34
圖 3-1 二階 Σ - Δ 調變器架構圖.....	36
圖 3-2 二階 Σ - Δ 數位調變弦波振盪器 1 KHz 到 23 KHz 頻率分析圖.....	38
圖 3-3 二階與三階零點分離的 Σ - Δ 調變器的頻譜分析圖.....	39
圖 3-4 三階零點分離 Σ - Δ 調變器構架圖.....	40
圖 3-5 三階 Σ - Δ 調變器單位圓上零點分離圖.....	40
圖 3-6 二、三階及三階零點分離 Σ - Δ 調變器的數位弦波產生器效能比較圖	41
圖 3-8 改良型以 Σ - Δ 調變器為基礎的自我測試電路模擬結果(1 KHz).....	43
圖 3-8 改良型以 Σ - Δ 調變器為基礎的自我測試電路模擬結果(1 to 18 KHz)	44
圖 3-9 晶片照相圖.....	46
圖 3-10 改良型以 Σ - Δ 調變器為基礎的自我測試電路量測結果(1KHz).....	47
圖 3-11 改良型以 Σ - Δ 調變器為基礎的自我測試電路量測結果(2KHz).....	47
圖 3-12 改良型以 Σ - Δ 調變器為基礎的自我測試電路量測結果(3KHz).....	48
圖 3-13 改良型以 Σ - Δ 調變器為基礎的自我測試電路量測結果(5KHz).....	48
圖 3-14 改良型以 Σ - Δ 調變器為基礎的自我測試電路量測結果(10KHz).....	49
圖 3-15 改良型以 Σ - Δ 調變器為基礎的自我測試電路量測結果(16KHz).....	49

圖 3-16 改良型以 Σ - Δ 調變器為基礎的自我測試電路量測結果比較圖.....	50
圖 3-17 改良型以 Σ - Δ 調變器為基礎的自我測試電路動態範圍 (1 KHz)...	50
圖 4-1 類比濾波器量測目的圖.....	52
圖 4-2 類比數位轉換器量測目的圖.....	53
圖 4-3 自動相位補償型自我測試法振幅誤差與總雜訊諧波比較圖.....	56
圖 4-4 二階數位弦波產生器經過三階 Σ - Δ 調變器.....	57
圖 4-5 數位三階 Σ - Δ 調變弦波產生器.....	57
圖 4-6 數位弦波產生器的時域及頻域圖.....	58
圖 5-1 寬頻域數位弦波產生器架構圖.....	60
圖 5-2 寬頻域數位弦波產生器產生頻率 22 KHz 振幅-6 dBFS 時域與頻譜圖	62
圖 5-3 極點補償示意圖.....	63
圖 5-4 三階補償型 Σ - Δ 調變器架構圖.....	63
圖 5-5 寬頻域極點補償型數位弦波產生器產生之頻率 22 KHz 振幅-6 dBFS 時域與頻譜圖.....	65
圖 5-6 寬頻域極點補償型數位弦波產生器產生之頻率 1 KHz 至 24 KHz 與振 幅關係圖.....	65
圖 5-7 自動相位補償型自我測試系統架構圖.....	66

圖 5-8 自動相位補償型自我測試系統運算步驟一.....	67
圖 5-9 自動相位補償型自我測試系統運算步驟二.....	67
圖 5-10 自動相位補償型自我測試系統運算步驟三.....	68
圖 5-11 自動相位補償型自我測試系統運算步驟四之一.....	68
圖 5-12 自動相位補償型自我測試系統運算步驟四之二.....	69
圖 5-13 自動相位補償型自我測試系統運算步驟四之三.....	69
圖 5-14 自動相位補償型自我測試系統狀態表.....	70
圖 5-15 串列乘法器架構圖及 Radix-4 布斯編碼方式.....	71
圖 5-16 計算器(Estimator)架構圖.....	72
圖 5-17 以弦波最小誤差為基礎的自我測試系統模擬結果(1 KHz).....	73
圖 5-18 以弦波最小誤差為基礎的自我測試系統模擬結果(10 KHz).....	74
圖 5-19 以弦波最小誤差為基礎的自我測試系統模擬結果(22 KHz).....	74
圖 5-20 以弦波最小誤差為基礎的自我測試系統動態範圍模擬結果(1 KHz)	75
圖 5-21 以弦波最小誤差為基礎的自我測試系統動態範圍模擬結果(5 KHz)	75
圖 5-22 以弦波最小誤差為基礎的自我測試系統動態範圍模擬結果(10 KHz)	76
圖 5-23 以弦波最小誤差為基礎的自我測試系統動態範圍模擬結果(22 KHz)	76
圖 5-24 以弦波最小誤差為基礎的自我測試系圍模擬結果(1~24 KHz).....	77

圖 6-1 雜訊及總諧波訊號(輸入頻率 10 KHz 振幅-6 dBFS).....	80
圖 6-2 雜訊及總諧波訊號(輸入頻率 22 KHz 振幅-6 dBFS).....	80
圖 6-3 自我測試系統訊號對雜訊及總諧波比與輸入頻率比較圖.....	81
圖 6-4 自我測試系統動態範圍量測結果(1 KHz).....	81
圖 6-5 自我測試系統動態範圍量測結果(10 KHz).....	82
圖 6-6 自我測試系統動態範圍量測結果(22 KHz).....	82
圖 6-7 數位電路 layout 圖.....	83



表目錄

表 1-1 自我測試電路系統規格表·····	12
表 2-1 常見計算訊號對雜訊比之技術比較表·····	15
表 2-2 以 Σ - Δ 調變器為基礎的自我測試電路模擬結果比較表·····	34
表 3-1 二階與三階零點分離 Σ - Δ 調變器的數位弦波產生器之成本比較表	42
表 3-2 未改良與改良型以 Σ - Δ 調變器為基礎的自我·····	45
表 5-1 二階、三階零點分離 Σ - Δ 調變器型與寬頻域極點補償型數位弦波產生器之 硬體成本比較表·····	64
表 6-1 系統合成邏輯匣數比較表·····	78

第一章 緒論

1.1 研究動機與目的

在目前的積體電路 (Integrated Circuit) 設計裡，大約將會有佔百分之二十至百分之四十的成本是花費在測試積體電路上，這也就意味著如果可以有效地降低積體電路的測試費用將可以大幅的降低整個積體電路成本。然而，隨著目前的積體電路製程的進步，每個晶片上面的邏輯數目越來越多，在功能上也同時朝著系統單晶片(system on a chip, SoC)的趨勢整合，不同功用的設計包括類比電路以及數位電路等將會整合在同一個積體電路上面，這代表著積體電路的功能將越來越強大，同時也為測試帶來更多的困難。由於上述的兩點而使得自我測試 (Built-In Self Test, BIST) 技術所扮演的角色變得更加重要，何謂可自我測試電路以下將由圖 1-1 來做簡單的說明。

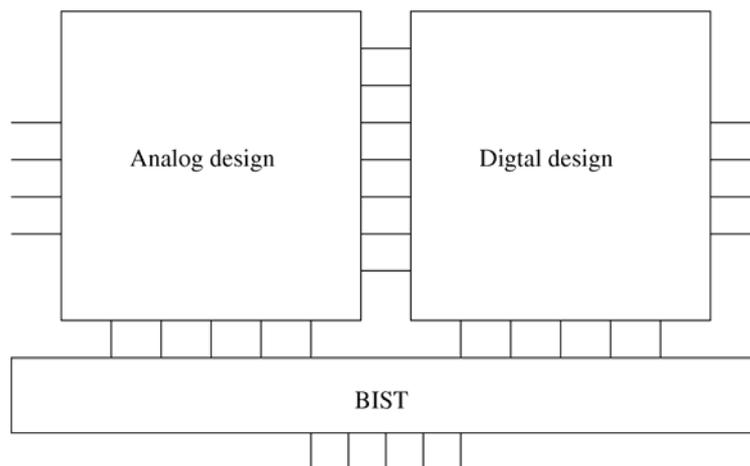


圖 1-1 自我測試電路與類比、數位電路關係圖

在上圖 1.1 之中可分為三個部份，分別為類比電路、數位電路及自我測試電路。三個部份之間皆可能有輸入輸出的連接，然而自我測試技術主要目的為使用數位的方式來測量類比電路，讓整個晶片能以全數位的方式來做測試不需要使用到昂貴混合式訊號測試基台(Mixed Signal ATE)。進而減少測試所花費的成本並且提供精準的測量結果。

1.2 基本概念

在這個章節將會對 Σ - Δ 調變法(Sigma-Delta Modulation)[4]、超頻取樣(Over-Sampling)[5]、降頻(decimation)[5]做一個基本的介紹，以便在之後的章節中能更迅速的閱讀。



1.2.1 Σ - Δ 調變法

所謂的 Σ - Δ 調變法是一種利用超頻取樣以及雜訊塑型(Noise Shaping)以提高訊號對雜訊比(Signal to Noise Ratio, SNR)的技術，這種技術可以將量化雜訊(Quantization Noise)轉移到高頻的部分，其後，再經過一個降頻濾波器去除掉不屬於頻寬內的高頻訊號，如此一來，即可大幅的減少頻寬內的量化雜訊，進而增加系統的訊號對雜訊比。接下來首先要來解釋何謂量化雜訊及訊號對雜訊比。我們可以想像把量化雜訊(Quantization Noise)當作是一個無條件捨去的機制如同下圖 1-2 所示。假設有一個正負零點五伏特的類比訊號我們要將其做五位

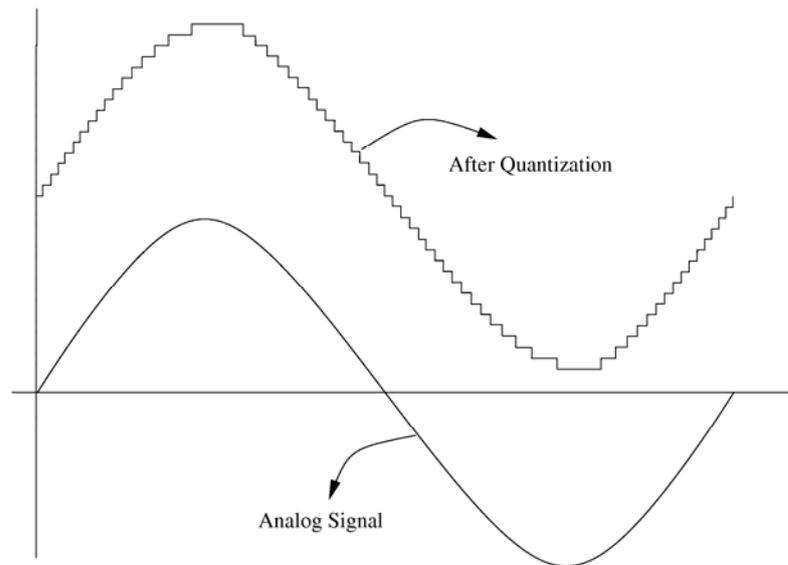


圖 1-2 五位元量化前與量化後的訊號示意圖

元的量化(Quantization)，我們可以知道五位元的可以表示的數值有二的五次方種，也就是說我們要將峰對峰值為一伏特的類比訊號表示成三十二種的數位訊號，將其相除我們得知每個數位訊號相隔了三十二分之一伏特，若不為三十二分之一的倍數即無條件捨去，我們所捨去的部份即為量化雜訊。由此可知，我們也

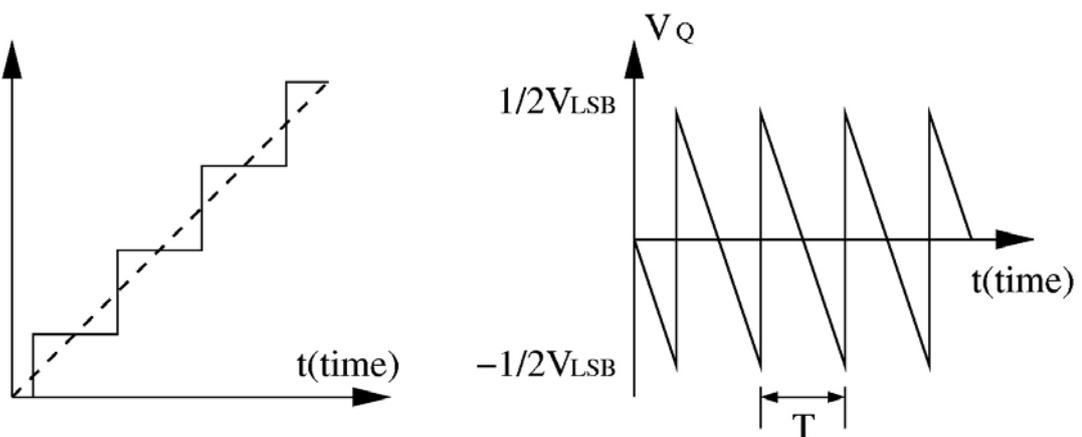


圖 1-3 量化雜訊(Quantization Noise)示意圖

能知道量化雜訊的大小將由量化的位元數所決定。上圖 1-3 所示量化雜訊呈現鋸齒波狀經由計算量化雜訊的均方根值即可得式(1)。其中 V_{LSB} 為每兩鄰近數位碼之間的距離。

$$V_{Q(rms)} = \left[\frac{1}{T} \int_{-T/2}^{T/2} V^2_Q dt \right]^{\frac{1}{2}} = \left[\frac{1}{T} \int_{-T/2}^{T/2} V^2_{LSB} \left(\frac{-t}{T} \right)^2 dt \right]^{\frac{1}{2}} = \frac{V_{LSB}}{\sqrt{12}} \quad (1)$$

訊號對雜訊比為測量一個調變器時決定效能的重要數據，若需要得到良好的效能必需要有好的訊號對雜訊比。假設我們輸入的訊號為一鋸齒波其大小為 0 到 V_{ref} 然而雜訊即為式(1)所求我們可以經由式(2)計算得到訊號對雜訊比，其中 N 即為量化位元數。



$$SNR = 20 \log \left(\frac{V_{in(rms)}}{V_{Q(rms)}} \right) = 20 \log \left(\frac{V_{ref} / \sqrt{12}}{V_{LSB} / \sqrt{12}} \right) = 20 \log (2^N) = 6.02 N dB \quad (2)$$

若我們將輸入的訊號改變成為一其大小為 0 到 V_{ref} 的正弦波，可以經由式(3)計算得到訊號對雜訊比，其中 N 即為量化位元數。

$$SNR = 20 \log \left(\frac{V_{in(rms)}}{V_{Q(rms)}} \right) = 20 \log \left(\frac{V_{ref} / 2\sqrt{2}}{V_{LSB} / \sqrt{12}} \right) = 20 \log \left(\sqrt{\frac{3}{2}} 2^N \right) = 6.02 N + 1.76 dB \quad (3)$$

$\Sigma-\Delta$ 調變器之所以能夠將量化雜訊轉移到高頻是由於在輸入輸出關係式 (Input-Output Relationship) 中的雜訊轉移函數 (Noise Transfer Function,

NTF) 為高通函數使得量化雜訊呈現出由低頻逐漸往高頻遞增的效果，然而雜訊轉移函數的階數則決定了遞增的斜率。

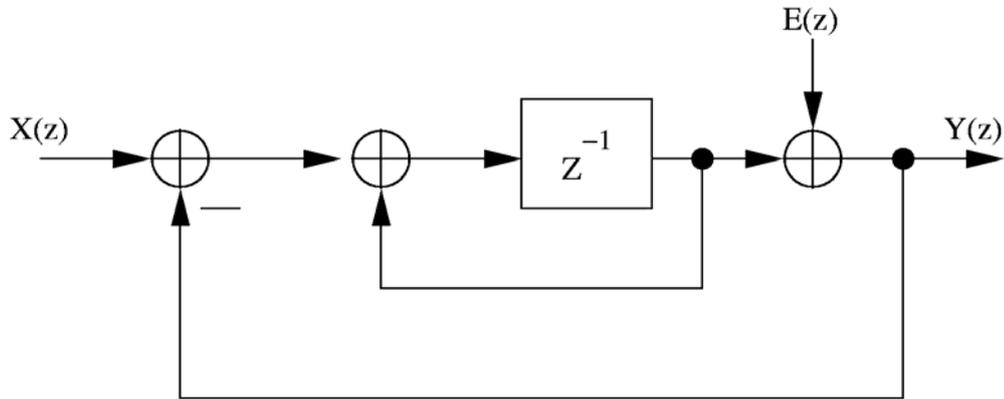


圖 1- 4 一階 Σ - Δ 調變器

上圖 1-4 所示為一階 Σ - Δ 調變器 (Sigma-Delta Modulation)，其中 $E(z)$ 為量化雜訊， $X(z)$ 和 $Y(z)$ 分別為此調變器的輸入及輸出經由推導可得此調變器的輸入輸出關係式即為下式(4)。

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z) \quad (4)$$

其中 $(1 - z^{-1})$ 即為一階高通的雜訊轉移函數然而則可以再進一步求得頻寬內的雜訊功率 (Noise Power) 即為式(5)。

$$P_{\text{Noise}} = \int_{-f_{BW}}^{f_{BW}} e^{2_{RMS}} |1 - z^{-1}|^2 df = \frac{V_{LSB}^2}{12} \frac{\pi^2}{3} \left(\frac{2f_b}{f_s}\right)^3 = \frac{V_{LSB}^2}{12} \frac{\pi^3}{3} \left(\frac{1}{OSR}\right)^3 \quad (5)$$

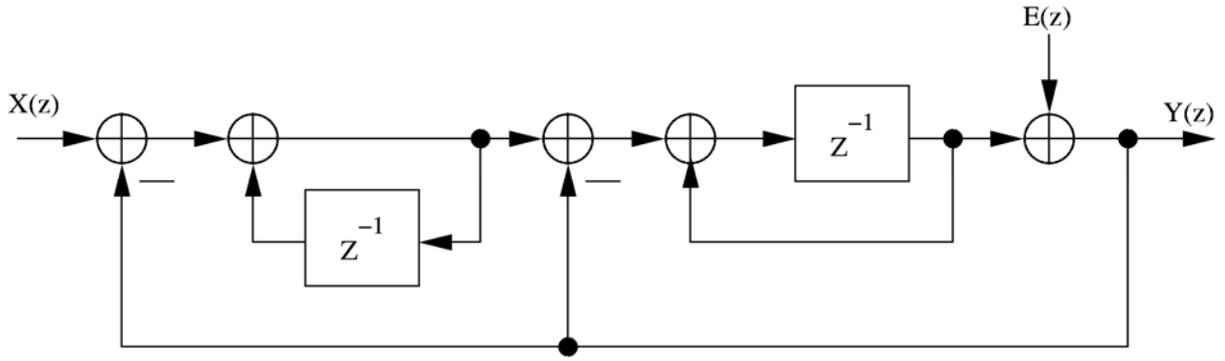


圖 1-5 二階 Σ - Δ 調變器

上圖 1-5 為二階 Σ - Δ 調變器，其中 $E(z)$ 為量化雜訊， $X(z)$ 和 $Y(z)$ 分別為此調變器的輸入及輸出經由推導可得此調變器的輸入輸出關係式為式(6)。

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})^2 E(z) \quad (6)$$

其中 $(1 - z^{-1})^2$ 即為二階高通的雜訊轉移函數然而則可以再進一步求得頻寬內的雜訊功率即為式(7)。

$$P_{\text{Noise}} = \int_{-f_{BW}}^{f_{BW}} e^2_{RMS} \left| (1 - z^{-1})^2 \right| df = \frac{V_{LSB}^2}{12} \frac{\pi^4}{5} \left(\frac{2f_b}{f_s} \right)^5 = \frac{V_{LSB}^2}{12} \frac{\pi^4}{5} \left(\frac{1}{OSR} \right)^5 \quad (7)$$

再進而推導出以 $(1 - z^{-1})^n$ 為 n 階高通的雜訊轉移函數的頻寬內雜訊功率可得

$$P_{\text{Noise}} = \int_{-f_{BW}}^{f_{BW}} e^2_{RMS} \left| (1 - z^{-1})^n \right| df = \frac{V_{LSB}^2}{12} \frac{\pi^{2n}}{2n+1} \left(\frac{2f_b}{f_s} \right)^{2n+1} = \frac{V_{LSB}^2}{12} \frac{\pi^{2n}}{2n+1} \left(\frac{1}{OSR} \right)^{2n+1} \quad (8)$$

式(8)由式中可得知頻寬內雜訊功率由雜訊轉移函數的階數 n 、量化最小間距

(V_{LSB}) 以及超頻取樣比(Over-Sampling Ratio, OSR)所決定。所以理論上調變器

雜訊轉移函數的階數、量化位元數以及超頻取樣比越高將可得到更好的效能。

1.2.2 降頻濾波

在上節中提到一個 Σ - Δ 調變器通常會在其後面加上降頻濾波器(Decimation Filter)用來濾掉高頻的訊號。其原因是經由 Σ - Δ 調變器中雜訊轉移函數將部份量化雜訊轉移到高頻的，但是在所有頻率的量化雜訊總和是固定不變的並不能提升效能，所以在 Σ - Δ 調變器中會使用到降頻濾波器以及超頻取樣(Over-Sampling)的技術，而降頻濾波可以直接從字面上來解釋即為做降低取樣頻率以及做濾波的

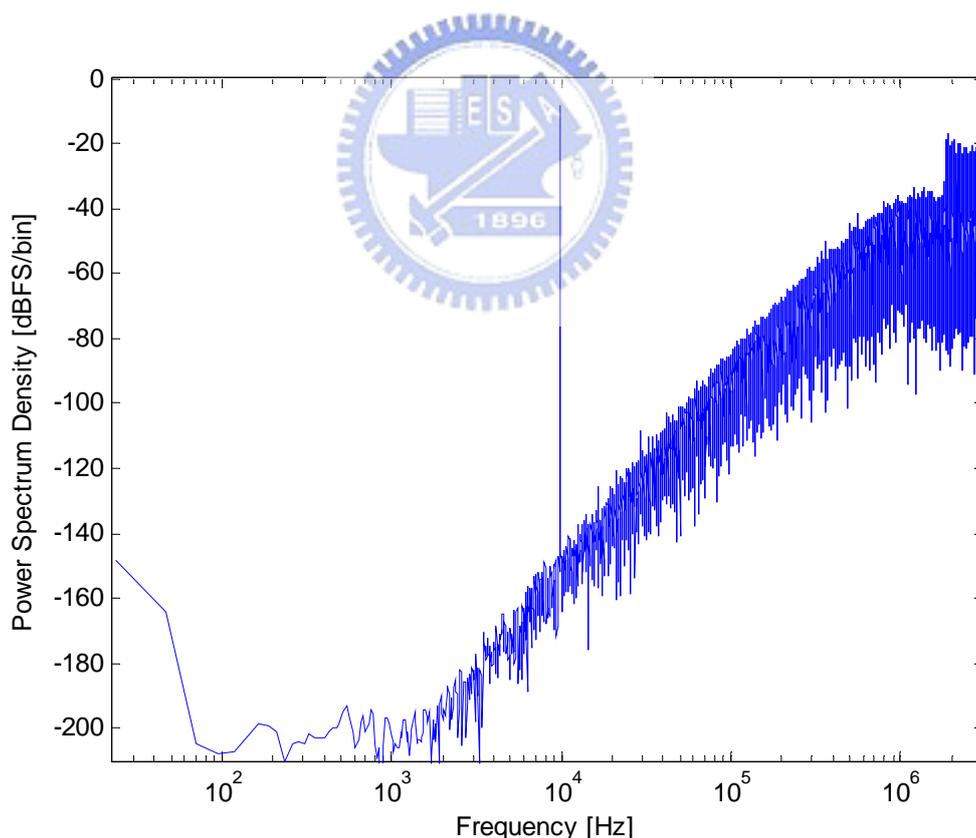


圖 1-6 以-6dB 弦波出入三階 Σ - Δ 調變器之輸出頻譜圖

動作也就是將超出降低後取樣頻率的量化雜訊去除而提升訊號對雜訊比，上圖 1-6 為輸入一個振幅為-6dB 頻率約為 10KHz 的弦波進入到一個三階 $\Sigma-\Delta$ 調變器，其中取樣頻率(Sampling Rate)為 6.144 MH，將其結果以快速富利葉轉換(Fast Fourier Transfer, FFT)所得到的頻譜圖，頻譜圖中訊號的頻率位置以及振幅大小皆與輸入相同。

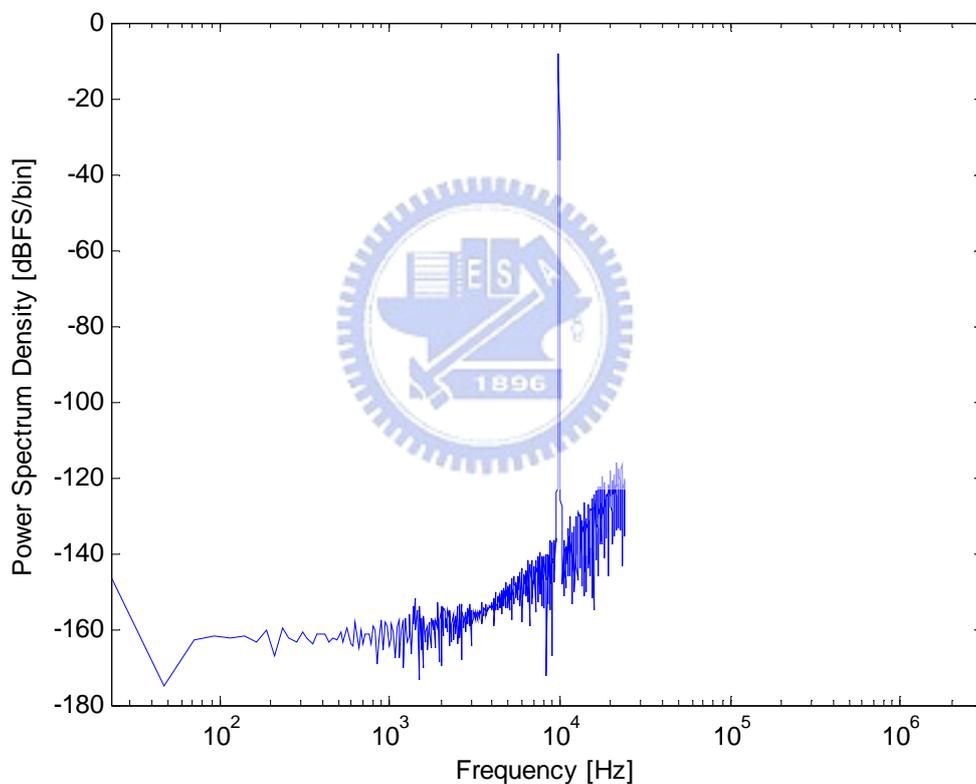


圖 1-7 以-6dB 弦波出入三階 $\Sigma-\Delta$ 調變器經過降頻濾波器之輸出頻譜圖

如上圖 1-7 所示，將振幅為-6dB 頻率約為 10KHz 的弦波經過三階 $\Sigma-\Delta$ 調變器再經過超頻取樣比為 128 倍的降頻濾波器之後將大於 24 KHz 的量化雜訊濾除

即可達到提高訊號對雜訊比之目的。

1.2.3 超頻取樣

在此章節中將要來定義何謂超頻取樣比為 $f_s/(2f_o)$ ，其中 f_s 為取樣頻率， f_o 為訊號頻寬。簡單的說明，超頻取樣也是同樣以減少頻寬內的量化雜訊為目的。假設在相同的量化雜訊之下使用不同的取樣頻率，能得知較高的取樣頻率因為取樣的點數較多，則能使得平均量化雜訊降底。超頻取樣則基於這樣特性讓取樣頻率提高減少頻寬內量化雜訊，如此一來即能提升訊號對雜訊比。假設如圖 1-8 所示有一頻率響應其輸入訊號振幅為 0 dBFS 輸入頻率為 1 KHz 的正弦波，取樣頻率

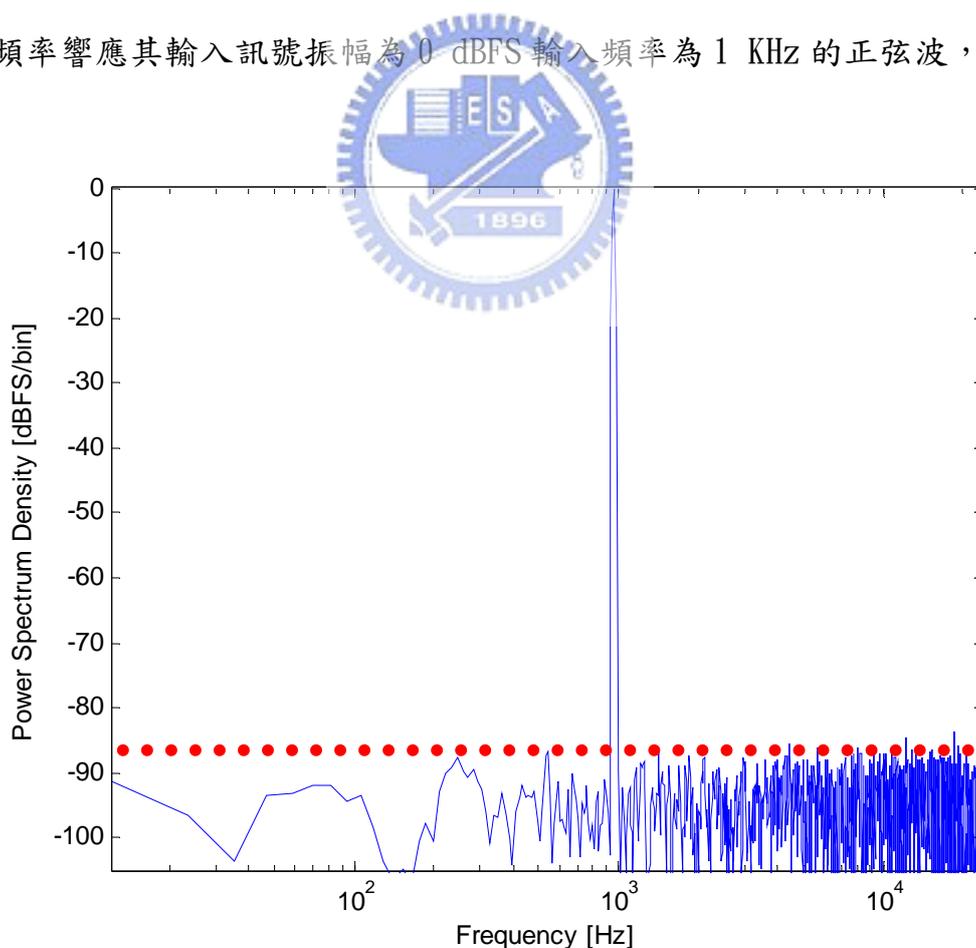


圖 1-8 取樣頻率為 48 KHz 振幅 0 dBFS、輸入頻率 1 KHz 的正弦波

為 48 KHz。所得知的平均雜訊層(Average Noise Floor)大約為 -87 dB。然而如圖 1-9 所示在相同的量化雜訊之下將超頻取樣比設定為 128 倍，即取樣頻率為 6.144 MHz，可發現平均雜訊層大約為 -109 dB。由此可知使用超頻取樣技巧是可以改善訊號對雜訊比。

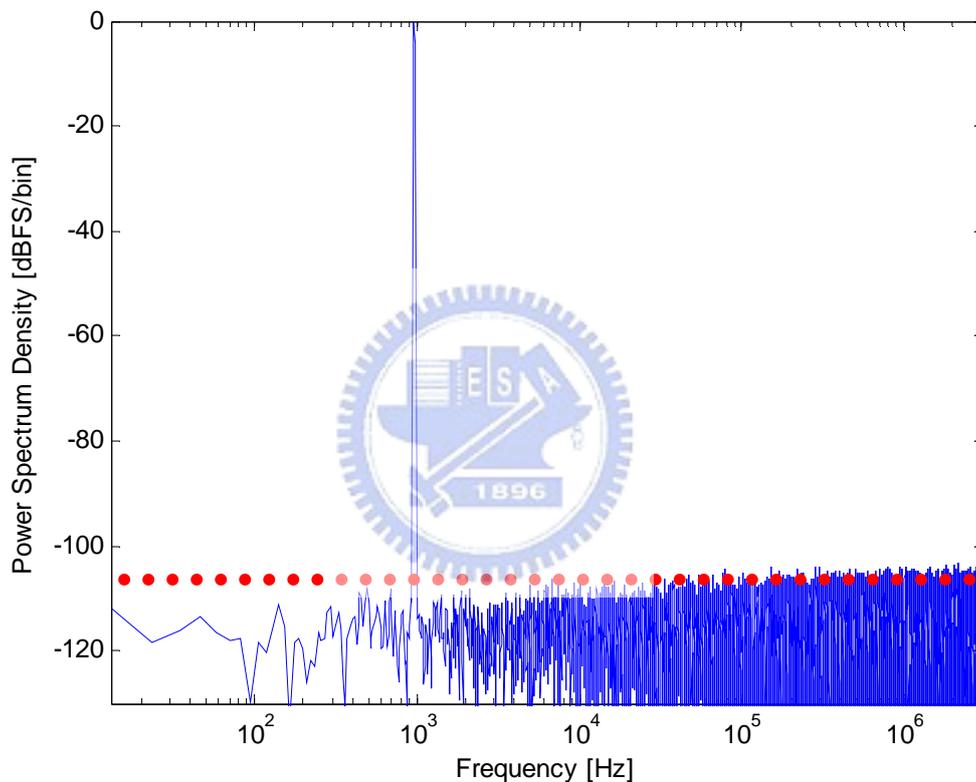


圖 1-9 取樣頻率為 6.144 MHz 振幅 0 dBFS、輸入頻率 1 KHz 的正弦波

1.3 自我測試電路概念及系統架構與規格

本章節要先單簡的介紹所提出的自我測試(Built-In Self Test)系統，其基本架構如下圖 1-10 所示，系統架構方塊圖中包含待測物類比數位轉換器(Analog

to Digital Converter, ADC)[1]、一位元數位弦波產生器(Bit-Stream Generator)[2]及輸出響應分析器(Output Response Analyzer)與串列轉換並列及並列轉串列的輸入輸出介面(Serial to parallel and parallel to serial I/O)。

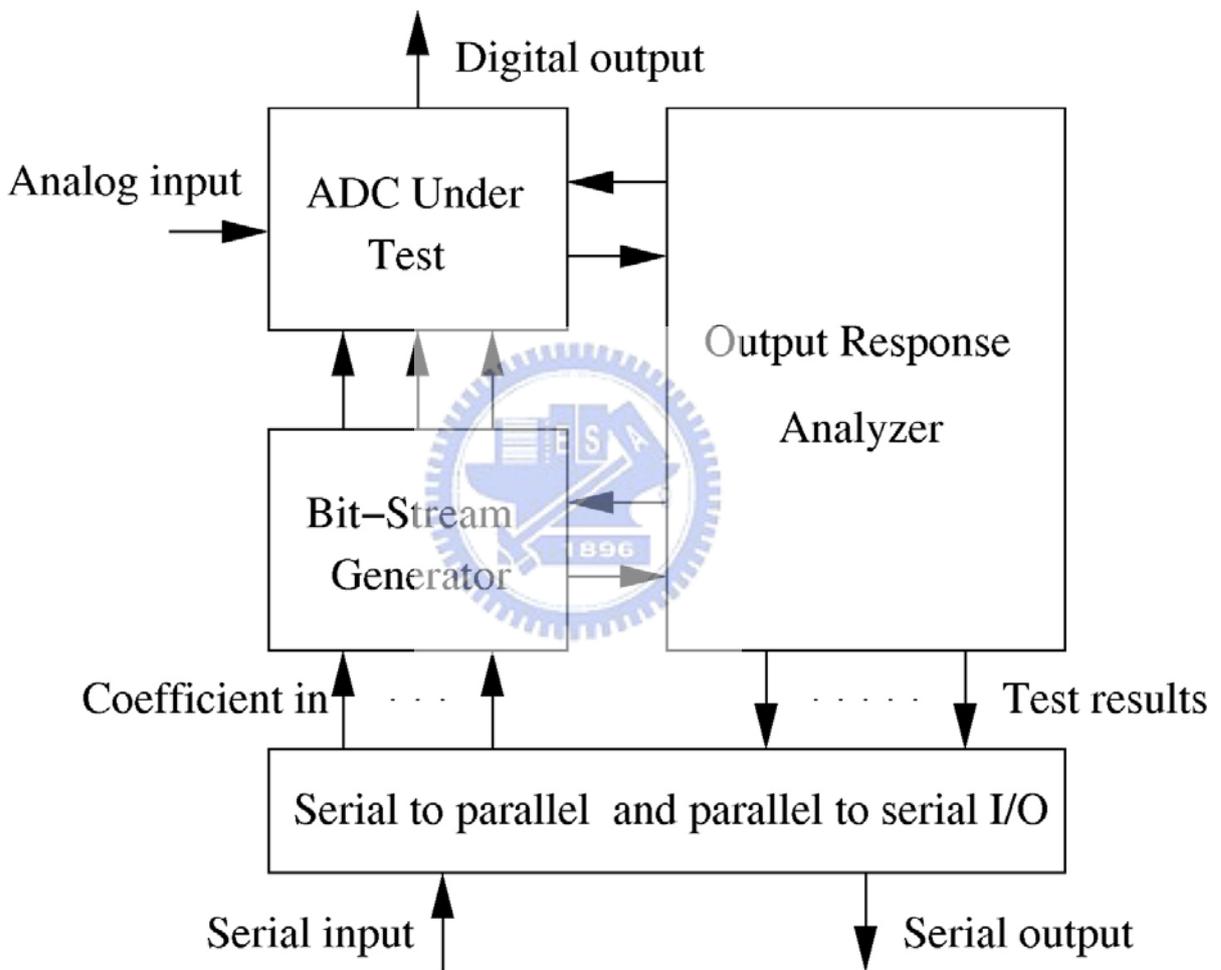


圖 1-10 系統架構方塊圖

系統的運作可以分成正常模式(Normal mode)與測試模式(Test mode)，當運作在正常模式之下類比數位轉換器即正常運作，接收類比訊號(Analog signal)輸入將其轉換成數位訊號(Digital signal)。此時，自我測試電路不會影響轉

換器的運作，所得之數位輸出(Digital output)訊號將經由串列轉換並列及並列轉串列的輸入輸出介面傳送出來做資料分析。而當系統運作在測試模式之下時，類比數位轉換器切換至測試模式，同時啟動內建一位元數位類比轉換器，使得類比數位轉換器能使用一位元的數位弦波來當作測試輸入訊號。所得輸出訊號再經由輸出響應分析器來計算振幅誤差(Amplitude error)、偏移誤差(Offset error)、相位誤差(Phase error)。最後再求出量化訊雜能量即可得到我們所關心的訊號對雜訊比(Signal-to-noise ratio)。由於自我測試電路是額外增加的設計，故會增加整體的面積而使得面積增加。然而，增加之晶片成本必需小於相對於所省下的測試成本才能使得總成本下降。為達此目的，所額外設計的自我測試電路邏輯匣數必須越少越好，以減少晶片面積進而降低總成本。下表 1-1 為本論文之自我測試電路系統規格，其中類比數位轉換器的訊號對雜訊比為 75 dB，頻寬為音頻訊號所使用的 20 KHz，超頻取樣比為 128 倍，而系統的操作頻率為 6.144 MHz。

表 1-1 自我測試電路系統規格表

系統操作頻率(System clock frequency)	6.144 MHz
--------------------------------	-----------

超頻取樣比	128
類比數位轉換器頻寬	24 KHz
類比數位轉換器解析度	< 75 dB

1.4 論文章節組織

本章節已經說明了本論文之目標及簡略的介紹了 Σ - Δ 調變器、降頻濾波、超頻取樣等基本概念，以及說明了自我測試電路基本概念及系統架構規格。接下來，第二章即將先討論自我測試電路的類型以及分析這些類型的優缺點，然後介紹自我測試電路所使用到的基本型數位弦波產生器與推導此數位弦波產生器，再討論輸出響應分析器並且經由模擬和分析其系統優缺點。第三章中所首先討論如何改良以基本型以 Σ - Δ 調變器為基礎的自我測試電路及提出改良型的三階零點分散數位弦波產生器與比較改良前後數位弦波器的優缺點及模擬結果的比較。再以硬體描述語言實現，最後使用自動化佈局及驗證再經使用 0.35 μm 製程下線再附上其量測結果。第四章一開始先討論自動相位補償型自我測試電路再分析給類比濾波器的自我測試電路所使用的寬頻域數位弦波產生器，然後提出寬頻域極點補償型數位弦波產生器來討論及分析改善前後的寬頻域數位弦波，然後再經由模擬分析其效能。然後將寬頻域極點補償型數位弦波產生器搭配自動相位補償型自

我測試電路做系統分析，再以硬體描述語言實現及 FPGA 驗證，最後附上 FPGA 量測結果。最後第五章則為本論文做總結。



第二章 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路

2.1 自我測試電路類型介紹及分析優缺點

在測量類比電路時依照不相同的設計不同的應用所要量測的參數各不相同，主要量測包括使用統計法(Histogram)[15][16]的方式計算非線性誤差(Differential Non-Linearity, DNL)、積分非線性誤差(Integral Non-Linearity, INL)及計算訊號對雜訊比等等，但其中以訊號對雜訊比最為重要，不管是量測類比數位轉換器或是數位類比轉換器(Digital to analog converter, DAC)的解析度等訊號對雜訊比都是最重要參數指標。常見用來計算訊號對雜訊比的方法有如下表2-1所出來的兩種及針對其特性做出比較。



表 2-1 常見計算訊號對雜訊比之技術比較表

	快速富利葉轉換(Fast Fourier Transfer, FFT)	控制弦波最佳密合法(Control Sine Wave Fitting, CSWF)
準確度	高	中
所需硬體	中央處理器(CPU)或數位訊號處理器(DSP)及龐大的記憶體	單簡的數位電路及些許乘法器
測試機台需求	昂貴的混合訊號自動測試機台(Automated Test Equipment, ATE)	昂貴的混合訊號自動測試機台(Automated Test Equipment, ATE)
運算速度	較慢	較快
是否適合做為自我測試電路	面積很大，不適合於自我測試電路	面積大，不適合於自我測試電路

經由上表 2-1 我們得知不管是快速富利葉轉換(Fast Fourier Transfer, FFT)[5] 來計算訊號對雜訊比，或是使用控制弦波最佳密合法(Control Sine Wave Fitting, CSWF)[7]來計算，皆需要使用到昂貴的混合訊號自動測試機台(Automated Test Equipment, ATE)。電路中也使用到一些大面積的中央處理器(CPU)或數位訊號處理器(DSP)及龐大的記憶體或者是乘法器。由於所需的額外電路面積太大，限制住以上兩種方法在自我測試電路方面的應用。

接下來簡單的介紹快速富利葉轉換及控制弦波最佳密合法的操作原理。先以兩點的時域簡化快速富利葉轉換來說明，並且以下列式(9)表示。

$$X(k) = \sum_{n=0}^1 x(n) \times W_2^{kn}, \quad W_2 = e^{-j\frac{2\pi}{2}} = -1 \quad (9)$$

然而由上式可得知亦能用矩陣的方法來表示下列式(10)。

$$\begin{pmatrix} X_2(0) \\ X_2(1) \end{pmatrix} = \begin{pmatrix} 1 & 1 \\ 1 & -1 \end{pmatrix} \begin{pmatrix} x(0) \\ x(1) \end{pmatrix} \quad \mathbf{W}_2 = \begin{pmatrix} 1 & 1 \\ 1 & -1 \end{pmatrix} \quad (10)$$

並且可以使用下圖 2-1 來清楚的表示兩點時域簡化快速富利葉轉換 (Decimation in time FFT)。

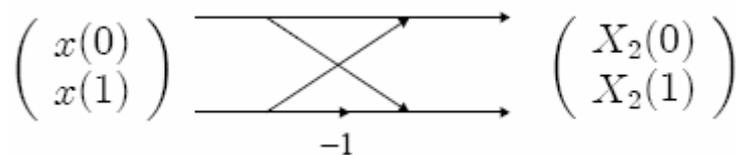


圖 2-1 兩點時域簡化快速富利葉轉換表示圖

由兩點的時域簡化快速富利葉轉換可以再推廣成為八點的轉換，可以整理成

下列式(11)。

$$X_8(k) = [x(0) + x(2)W_4^k + x(4)W_4^{2k} + x(6)W_4^{3k}] + W_8^k [x(1) + x(3)W_4^k + x(5)W_4^{2k} + x(7)W_4^{3k}]$$

$$\text{其中 } W_8 = e^{-j\frac{2\pi}{8}}, \quad W_8^2 = e^{-j\frac{2\pi}{4}} = W_4, \quad X_8(k) = \sum_{n=0}^7 x(n)W_8^{kn}, \quad k = 0, 1, \dots, 7 \quad (11)$$

並且再經過整理過後可以使用下圖 2-2 來清楚的表示八點的時域簡化快速富利葉轉換。

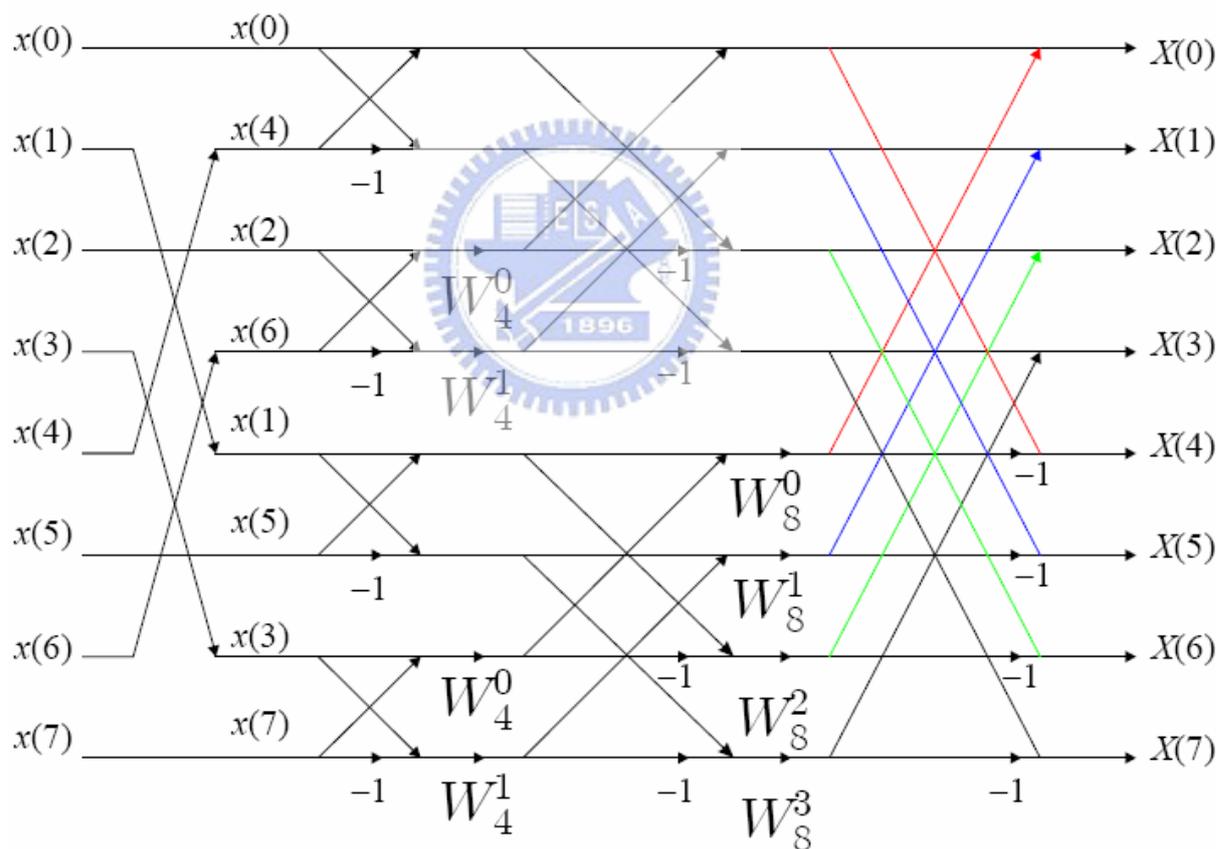


圖 2-2 八點時域簡化快速富利葉轉換(Decimation in time FFT)表示圖

接下來介紹的為控制弦波最佳密合法，它利用弦波輸入到待測物所產生的輸

出響應與基準弦波密合的技巧，將輸出響應中之訊號部分去除，最終只剩下雜訊

及諧波，由於輸入到待測物的訊號功率是已知的，再求出雜訊及諧波的功率即可得知待測物之訊號對雜訊比。然而要如何使輸出響應與基準弦波密合?可由下圖 2-3 來解釋。

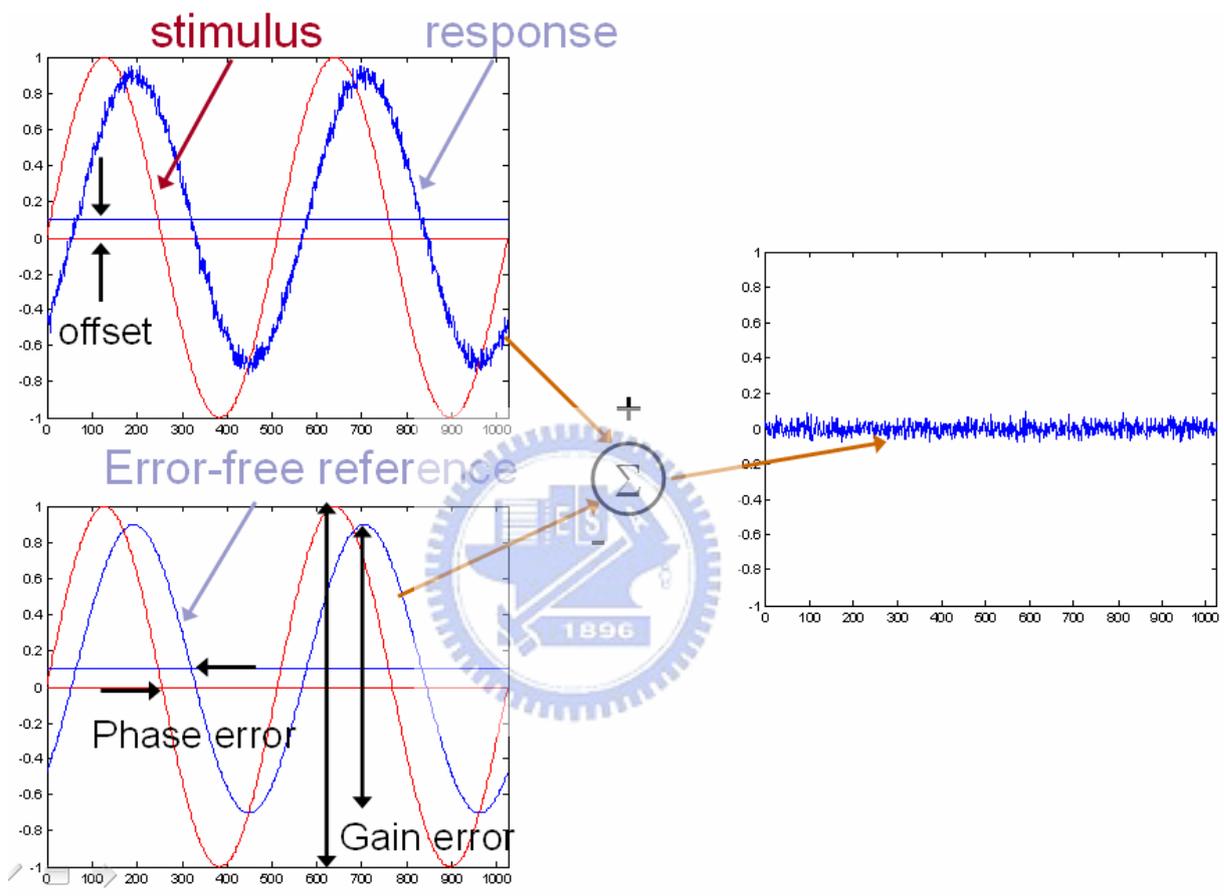


圖 2-3 控制弦波最佳密合法時域表示圖

要使輸出響應與基準弦波密合，必需依序找出輸出響應的偏移誤差、增益誤差(Gain error)及相位誤差(Phase error)，再讓基準弦波也有著相同的上述三種誤差後，便能使得輸出響應與基準弦波密合。最後，將二者相減後就能得到雜訊及諧波。以下再附上密合前與密合後的頻域圖，讓說明即能更清楚表示。

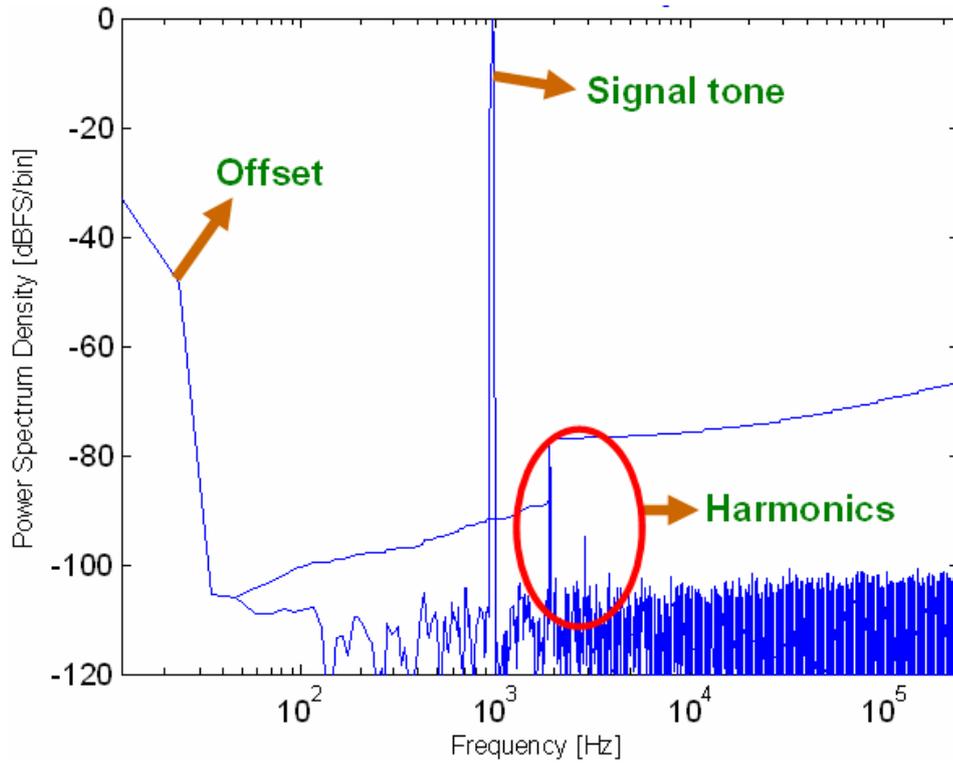


圖 2-4 密合前輸出響應頻譜圖

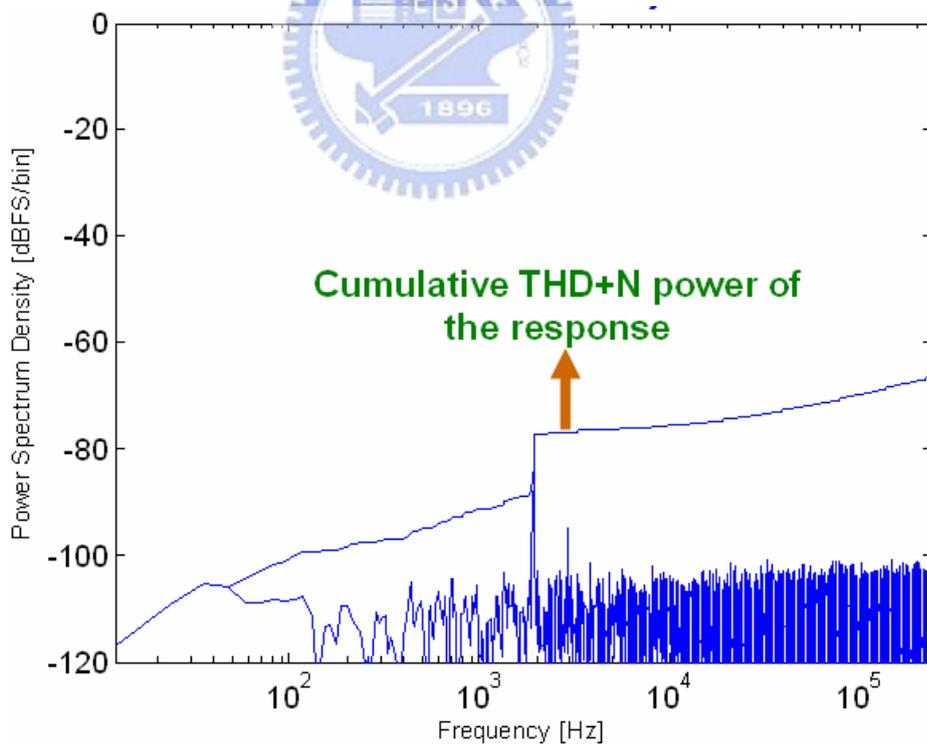


圖 2-5 密合後雜訊及谐波頻譜圖

文獻中另一種低成本、簡化控制弦波最佳密合法的自我測試設計為以 $\Sigma-\Delta$ 調

變器為基礎的自我測試電路(Sigma-Delta Modulation Based Built-In Self Test, SDMB BIST)[3]。其操作與控制弦波最佳密合法相同，且配合著將待測物作可測試化設計(Design for testability)[1]，讓原本必需要使用類比訊號輸入的待測物能使用數位弦波產生器當作輸入訊號。此設計不需要昂貴的混合訊號自動測試機台(Mixed-signal Automated Test Equipment, MATE)，只需使用較便宜的純數位訊號自動測試機台(Digital Automated Test Equipment, DATE)即可，故能有效地降低測試成本。此外在該設計中並且沒有使用到任何的並列乘法器，只使用到一個串列乘法器。相較之下，比快速富利葉轉換及控制弦波最佳密合法更適合於自我測試設計的應用。

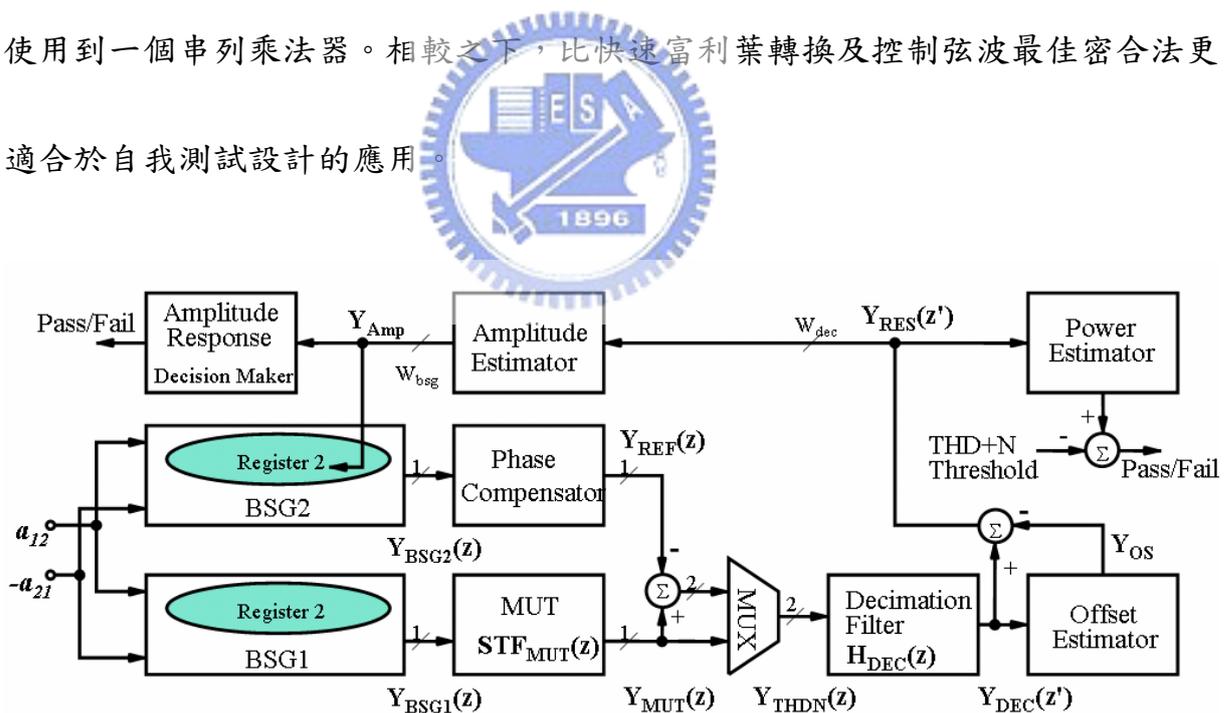


圖 2-6 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路架構圖

上圖 2-6 為以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路，其中待測物為一具可測試設計的類比數位轉換器。它可以接收一位元數位弦波的輸入當作測試訊號。由於

待測物為使用在音頻上之類比數位轉換器，在相位補償時可以使用固定數值的相位補償以簡化其系統電路。其操作大致上可分為三個步驟，第一步驟為計算輸出響應的偏移誤差，其輸入輸出關係(I/O relationship)可以由下式(12)及圖 2-7 來表示。

$$Y_{OS} = \frac{1}{N} \sum_{n'=1}^N y_{DEC}(n') = OS_{MUT} + \frac{1}{N} \sum_{n'=1}^N thdn_{MUT}(n') \cong OS_{MUT} \quad (12)$$

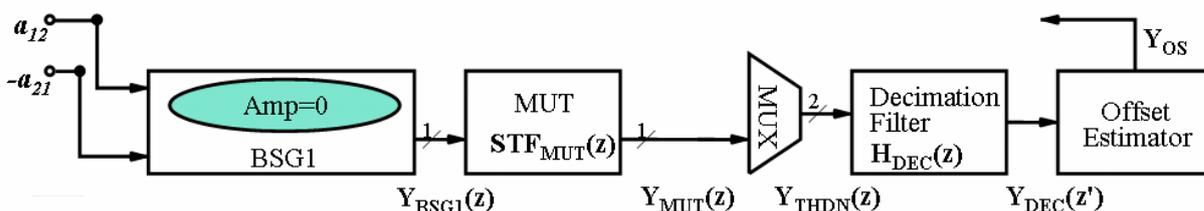


圖 2-7 輸出響應偏移誤差計算圖

第二步驟為計算輸出響應的振幅大小。據此即可得知與輸入訊號之間的增益誤差。其輸入輸出關係可以由下式(13)及圖 2-8 來表示。

$$Y_{Amp} = \frac{1}{N} \sum_{n'=1}^N |y'_{RES}(n')| \cong A0 |STF_{MUT}(z_s') H_{DEC}(z_s')| \quad (13)$$

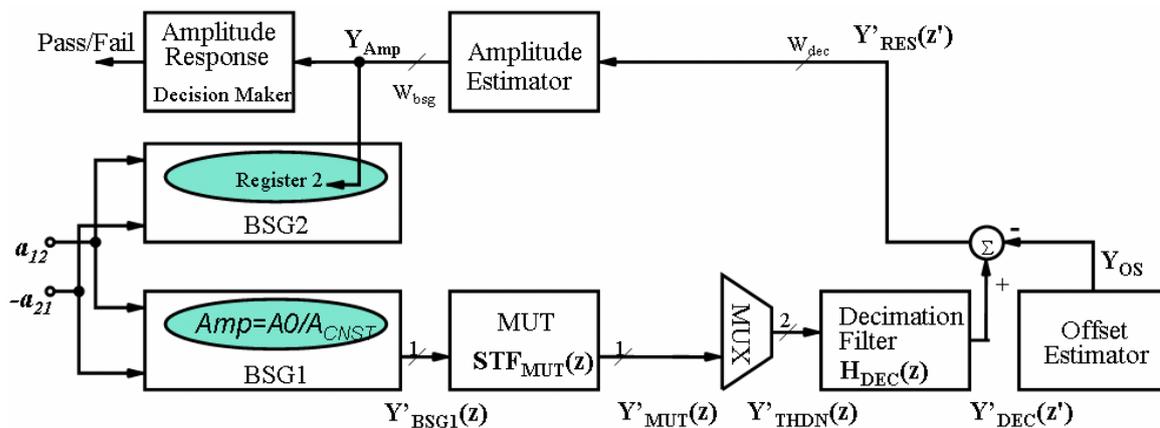


圖 2-8 輸出響應振幅計算圖

第三步驟為計算輸出響應與經過偏移誤差、增益誤差、相位誤差補償後相減

所得到的雜訊及諧波後，再求其功率，其輸入輸出關係可以由下式(14)及圖 2-9 來表示。

$$Y''_{RES}(z') \cong THDN_{MUT}(z'), \quad P_{THDN} = \frac{1}{N} \sum_{n'=1}^N y''_{RES}(n')^2 \quad (14)$$

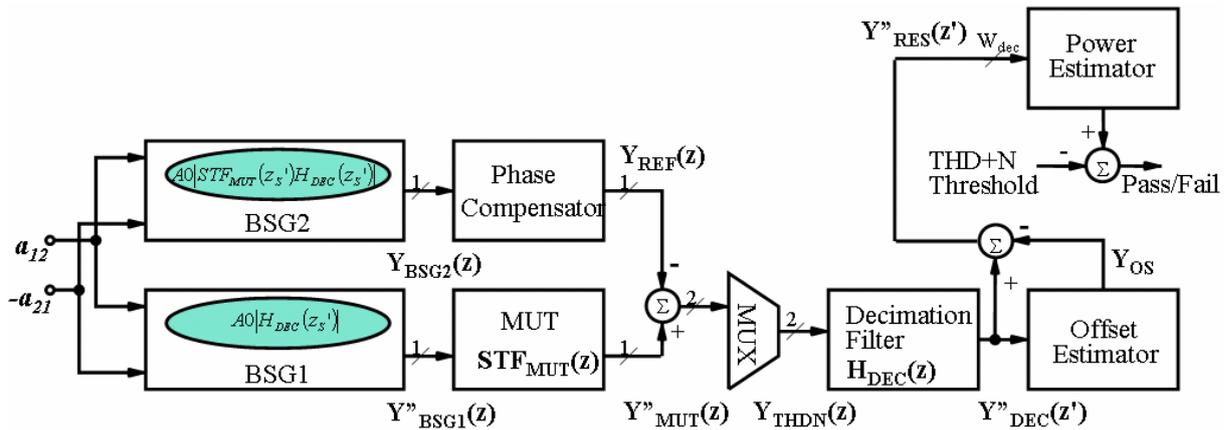


圖 2-9 輸出響應雜訊及諧波能量計算圖

此章節介紹了三種計算訊號對雜訊比的方法分別為快速富利葉轉換、控制弦波最佳密合法及以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路。由於前兩種方法必須使用到中央處理器、數位訊號處理器及龐大的記憶體或是乘法器，讓面積無法降低，故不適合使用在自我測試電路之中。相較之下，第三種方法以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路較適合自我測試電路應用。但此方法是否具有有良好的準確度及測試頻寬，將在之後章節中做分析。

2.2 數位弦波產生器

在此章節介紹在自我測試電路中扮演著相當重要角色的輸入訊號產生器。一般在測量類比電路如濾波器、類比數位轉換器所輸入的訊號為類比訊號。若我們

具有類比訊號產生器便能直接地將產生的訊號輸入到待測物之中，但是我們無法保證此類比訊號產生器是否符合我們的規格。此時便需要另一個測試電路來測量該類比訊號產生器。該測試電路又需要其他電路來測試如此一來將陷入雞生蛋蛋生雞的迷思之中。所幸，在可測試設計的設計之中，使用到極少的開關電路就能讓類比電路能夠接收數位訊號的輸入當作為測試訊號。

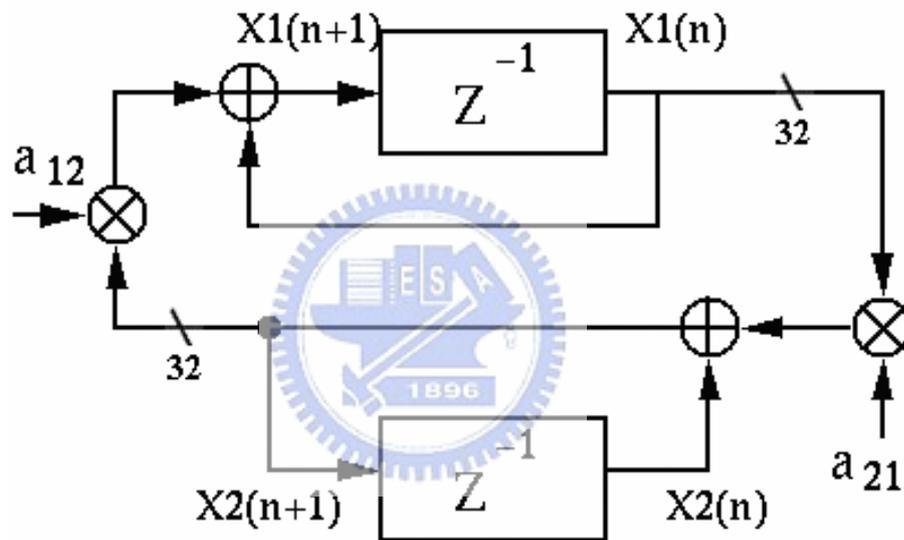


圖 2-10 二階數位弦波產生器

接下來介紹的是一個二階的數位弦波振盪器如上圖 2-10 所示。此二階數位弦波振盪器能由輸入兩個暫存器的初始值來決定振盪器的振幅，以及利用改變係數 a_{12} 與 a_{21} 即能控制振盪頻率。下列式(15)即為控制振幅 A 及控制振盪頻率 f 與相位角 ϕ 。

$$A = \frac{(1 - a_{12}a_{21})x_1(0) + a_{21}x_2(0)}{\sin(\omega_0 T + \phi)}, \quad f = \frac{f_s \cos^{-1}(1 - a_{12}a_{21} / 2)}{2\pi}$$

$$\phi = \tan^{-1} \left(\frac{x_1(0) \sin(\omega_0 T)}{(1 - a_{12}a_{21} - \cos(\omega_0 T))x_1(0) + a_{12}x_2(0)} \right) \quad (15)$$

當振盪器設定成產生振幅為 0.5 振盪頻率約為 5 KHz 的弦波後，將其輸出經

由 MATLAB 分析頻譜圖即可得到下圖 2-11。

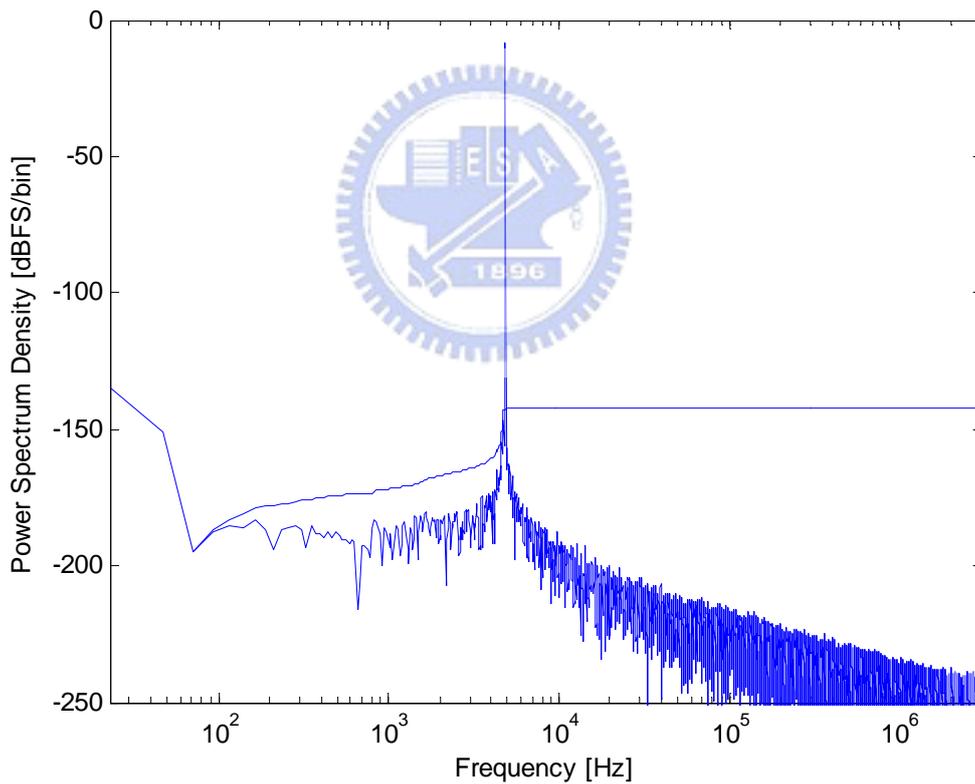


圖 2-11 二階數位弦波產生器所產生之 5 KHz 弦波頻譜圖

振盪器所產生振盪頻率為 5 KHz 的弦波由頻譜圖可以計算出其訊號對雜訊比

約為 131 dB 有效位元數(Effective Numbers of Bits, ENOB)約 21.6 Bit。但由

於待測物的可測試化設計只能接收一位元的數位弦波訊號，所以必須將其產生的多位元數位弦波訊經過一個 $\Sigma-\Delta$ 調變器轉變成一位元的數位弦波。若將其訊號經

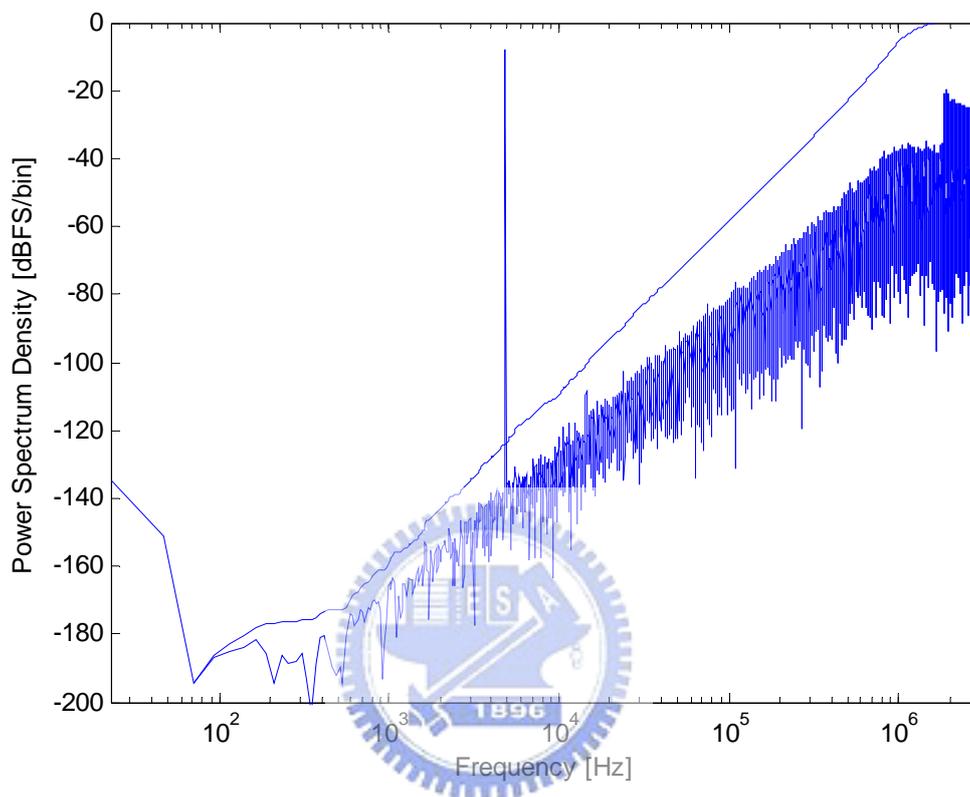


圖 2-12 經過 $\Sigma-\Delta$ 調變器的二階數位弦波產生器之 5 KHz 弦波頻譜

過 MATLAB 轉換成頻譜即可得到上圖 2-12，依頻譜可計算出其訊號對雜訊比約為 85 dB，有效位元數約為 13.8 Bit。同理，我們輸入不同係數產生約 10 KHz 的弦波經過 $\Sigma-\Delta$ 調變器後，其頻譜圖為下圖 2-13 所示。而其訊號對雜訊比約為 85.1 dB 有效位元數約 13.8 Bit。但是這樣的振盪器設計需要使用到一個以上之並列乘法器，將會使得增加許多的面積。另一種不需要用到乘法器的二階數位弦波產生器如圖 2-14 所示[2]，由圖中可發現原先迴路之中並沒有使用到 $\Sigma-\Delta$ 調變器，

而是將振盪器產生出來的訊號經過 Σ - Δ 調變器後，再輸入至具有可測試設計之待

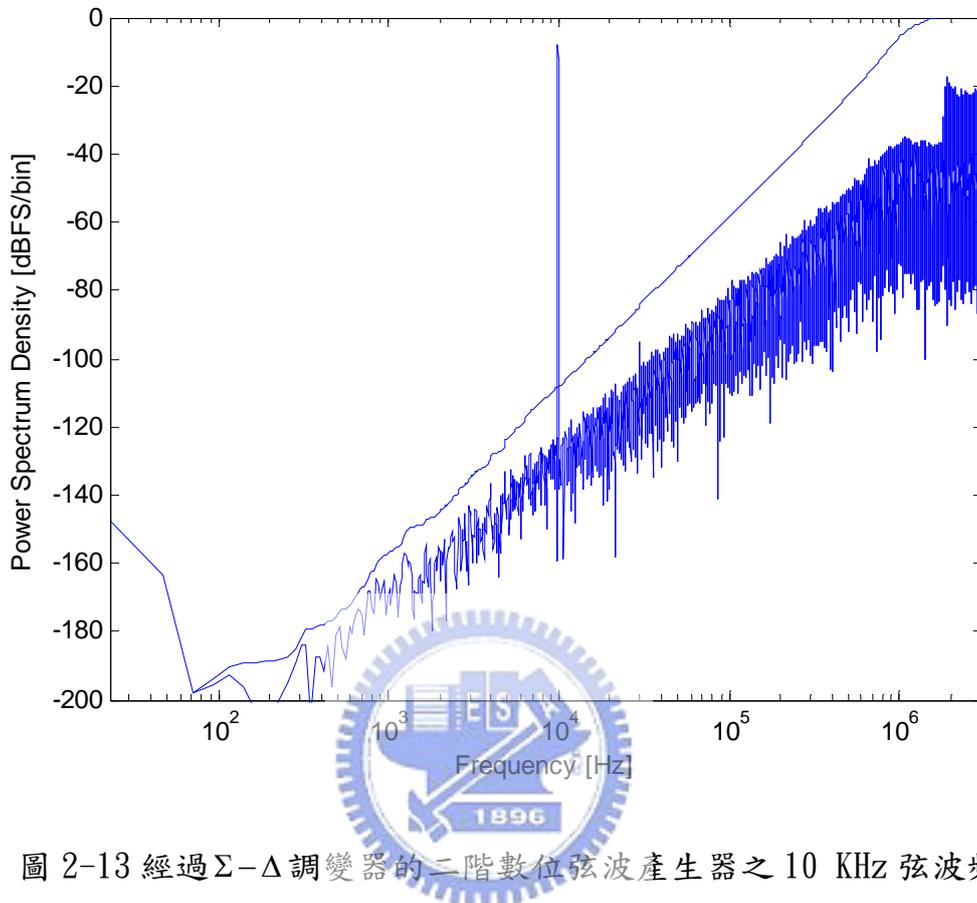


圖 2-13 經過 Σ - Δ 調變器的二階數位弦波產生器之 10 KHz 弦波頻譜

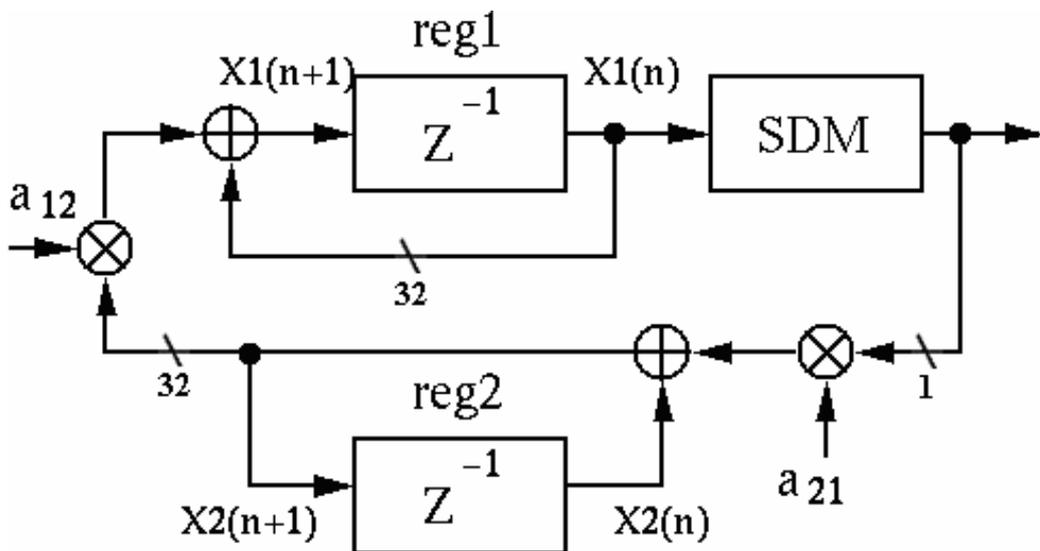


圖 2-14 使用超頻取樣之二階振盪器

測電路，這裡最大改變為將一個訊號轉移函數(Signal transfer function, STF)

為一的 $\Sigma-\Delta$ 調變器加入到振盪器的迴路中，讓其與原先電路同時運作，並且 $\Sigma-\Delta$ 調變器輸出為一位元的弦波訊號便能直接輸入給具有可測試化設計的待測物使用，此設計最大的優點為當其中係數 a_{12} 設定為二的冪次方，此時只需讓係數 a_{21} 與一位元的資料做乘法，亦即使用一個多工器取代乘法器，便可省下大量的晶片面

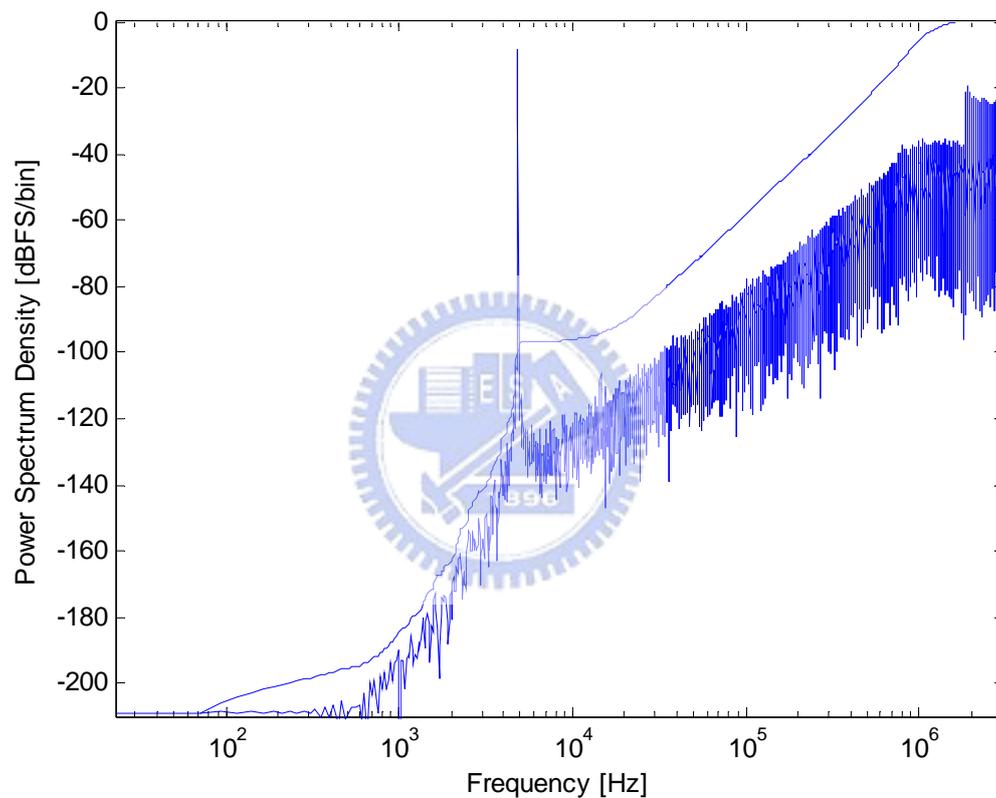


圖 2-15 使用超頻取樣之二階振盪器產生之 5 KHz 弦波頻譜

積。上圖 2-15 為將超頻取樣之二階振盪器的一位元數位弦波輸出轉換成頻譜圖，再計算出其訊號對雜訊比約為 83.3 dB，有效位元數約為 13.5 Bit。

2.3 輸出響應分析器

此章節要簡單的討論以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路的輸出響應分析器，其主要包含了偏移誤差估算電路、增益誤差估算電路、相位誤差補償電路、雜訊及諧波(THD+N)能量估算電路四個部份。以下則將依序來做介紹。偏移誤差估算電路顧名思義即為要計算出測試訊號進入到待測物後所輸出響應訊號所帶有的偏移誤差。計算的方法可由下列式(16)來表示。若以電路實現則可表示成下圖 2-16。

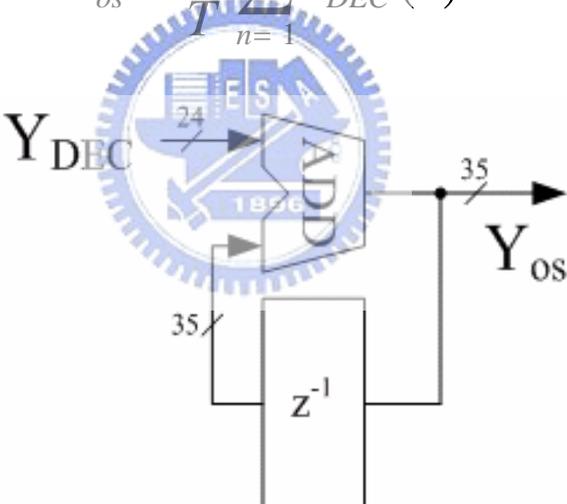
$$Y_{os} = \frac{1}{T} \sum_{n=1}^{2048} Y_{DEC}(n) \quad (16)$$


圖 2-16 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路的偏移誤差估算電路

增益誤差估算電路則為計算出經過待測物後所輸出響應訊號的振幅與所輸入訊號之差異量，亦即為增益誤差。計算的方法可由下列式(17)來表示。若以電路實現則可表示成下圖 2-17。

$$Y_{Amp} = \sum_{n=1}^{2048} |Y_{RES}(n)| \quad (17)$$

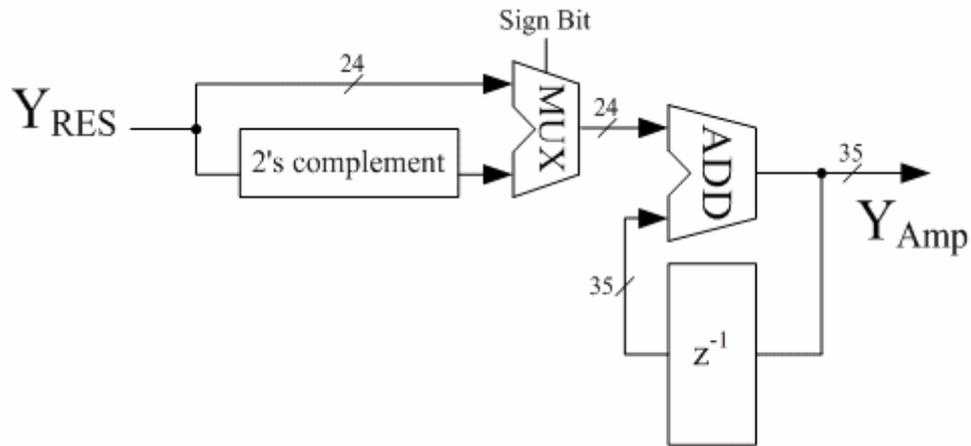


圖 2-17 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路的增益誤差估算電路

接下來討論是相位誤差，相同的將輸入訊號經過待測物之後會產生帶著有相位誤差的響應，此處之待測物為二階類比數位轉換器，其頻寬約為 20 KHz 屬於較低的頻域，相較之下製程漂移的影響低頻域來得比高頻域輕微，故能使用二個暫存器的延遲來做相位補償。最後為雜訊及諧波功率估算電路，其主要功能為將輸出響應訊號去除已經補償偏移誤差、增益誤差、以及相位誤差的參考訊號，只留下雜訊與諧波，再經由雜訊及諧波功率估算電路計算出其功率大小，計算的方法可由下列式(18)來表示，由於待測物為超頻取樣之電路，即我們具有超頻取樣比大小的系統運時脈倍數來做乘法，故能使用串列乘法器以節省成本。若以電路實現則可表示成下圖 2-18。

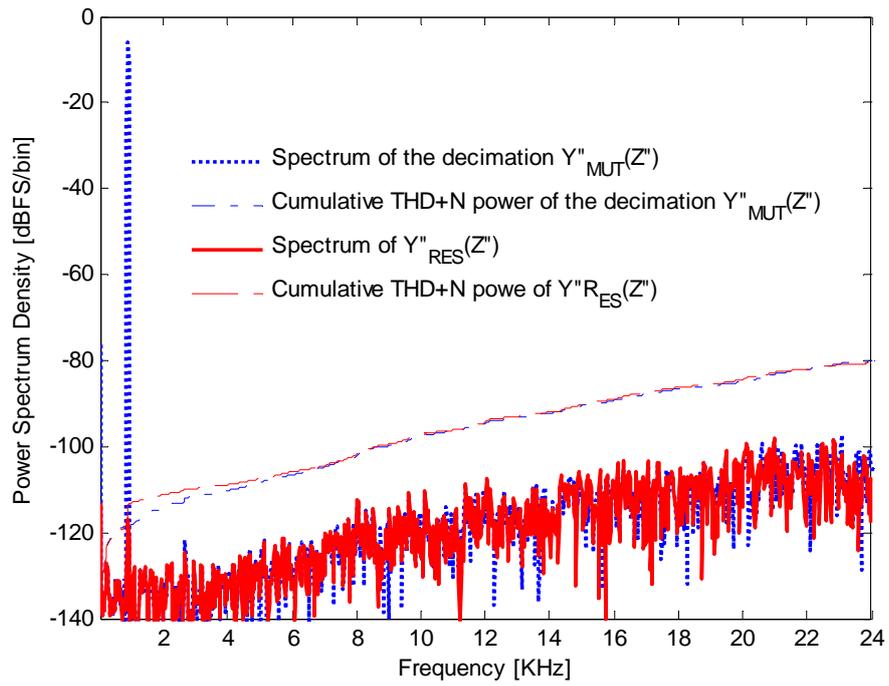


圖 2-19 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路模擬結果(1 KHz)

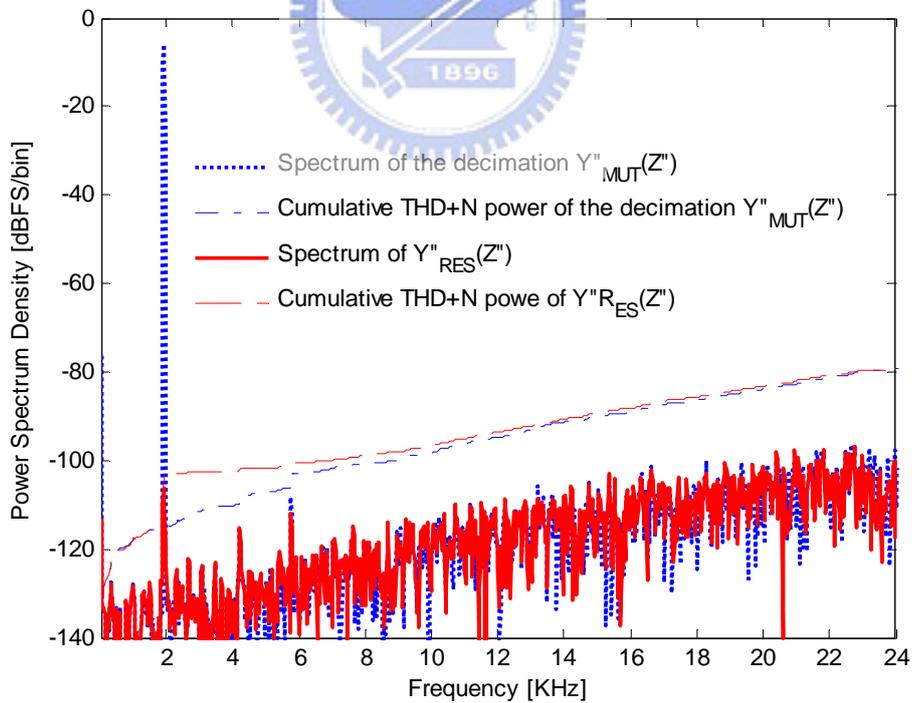


圖 2-20 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路模擬結果(2 KHz)

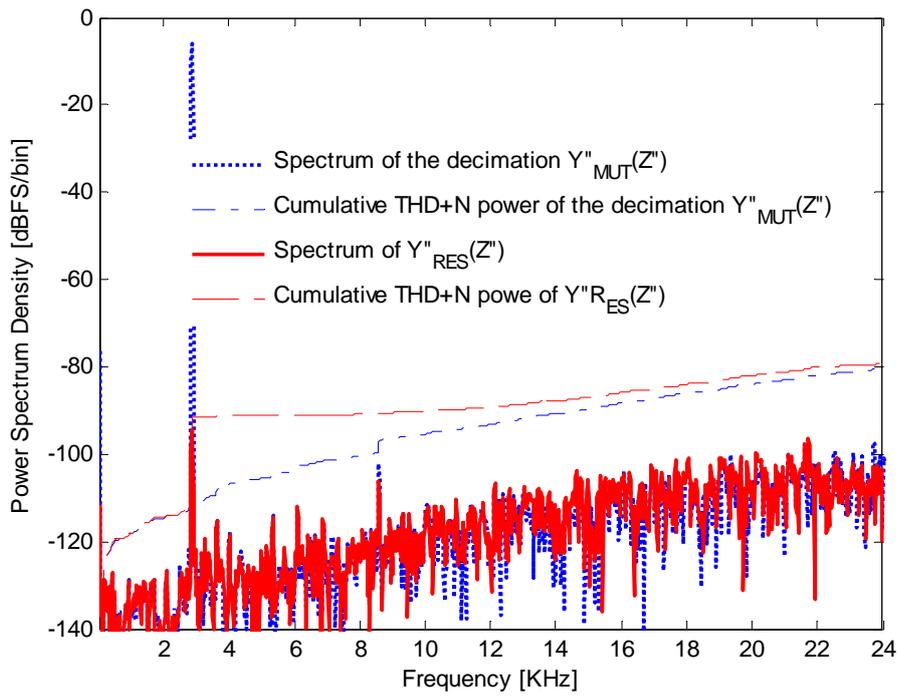


圖 2-21 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路模擬結果(3 KHz)

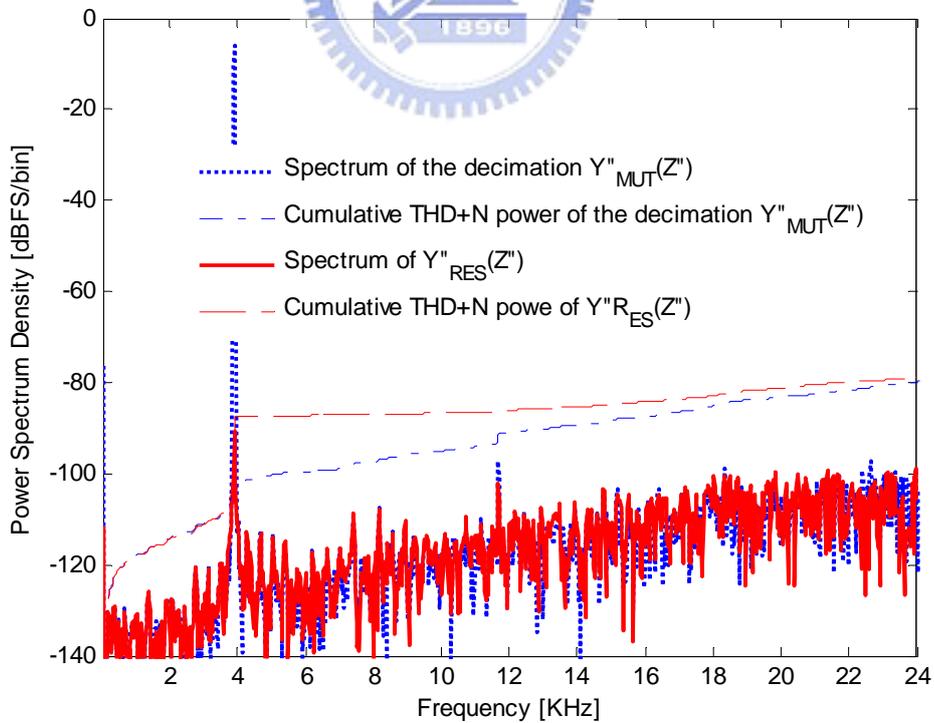


圖 2-22 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路模擬結果(4KHz)

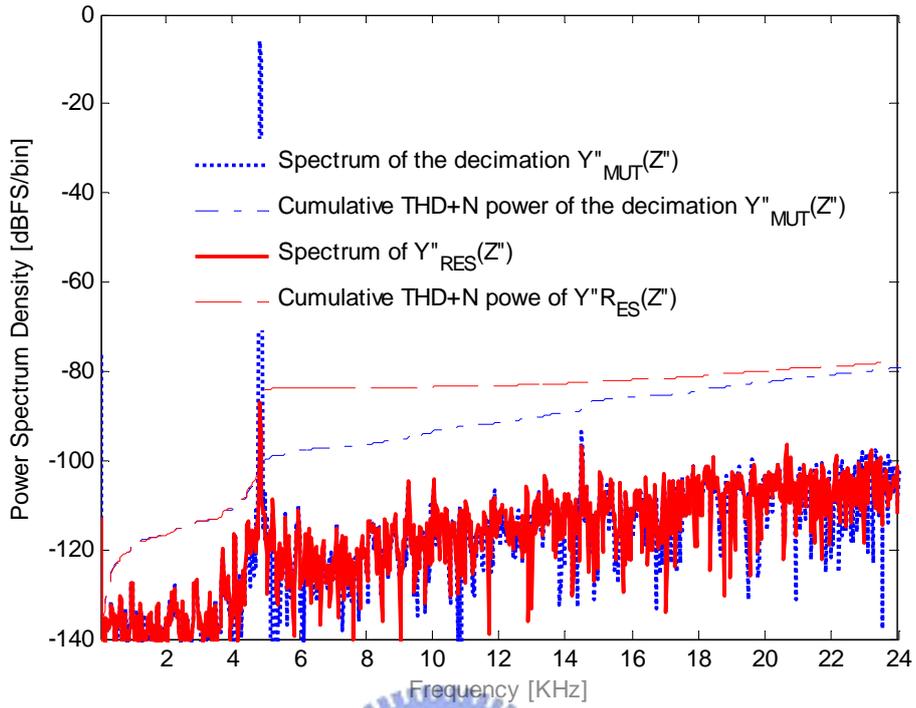


圖 2-23 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路模擬結果(5KHz)

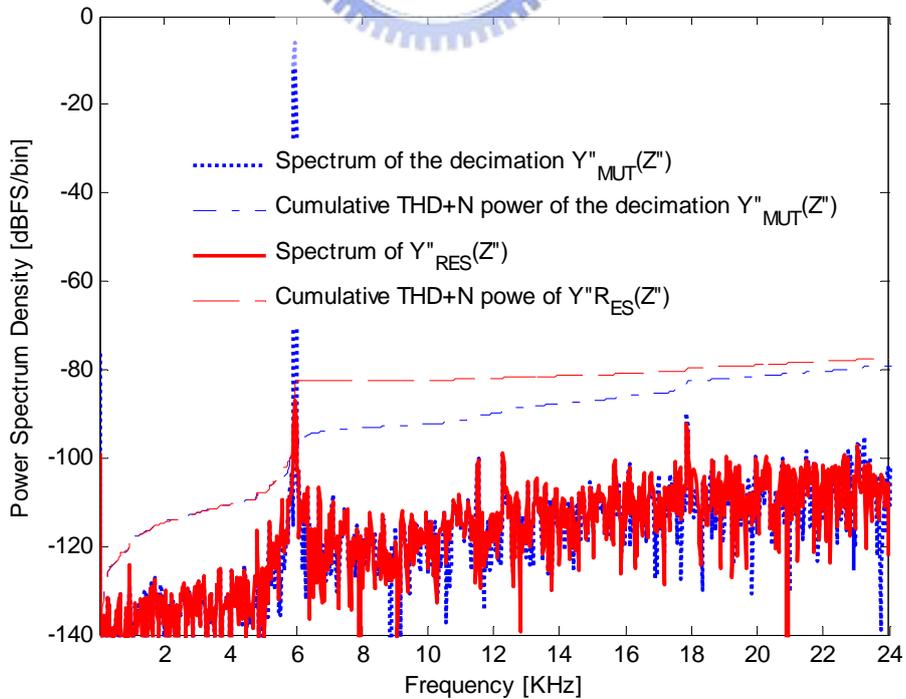


圖 2-24 以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路模擬結果(6KHz)

表 2-2 以 Σ - Δ 調變器為基礎的自我測試電路模擬結果比較表

Frequency \ Result	1 KHz	2KHz	3KHz	4KHz	5KHz	6KHz
BIST result	77.12 dB	75.92 dB	75.70 dB	75.20 dB	75.11 dB	73.88 dB
FFT result	76.53 dB	76.58 dB	76.37 dB	75.78 dB	75.78 dB	75.28 dB
Differency	0.59 dB	0.66 dB	0.67 dB	0.68 dB	0.67 dB	1.40 dB

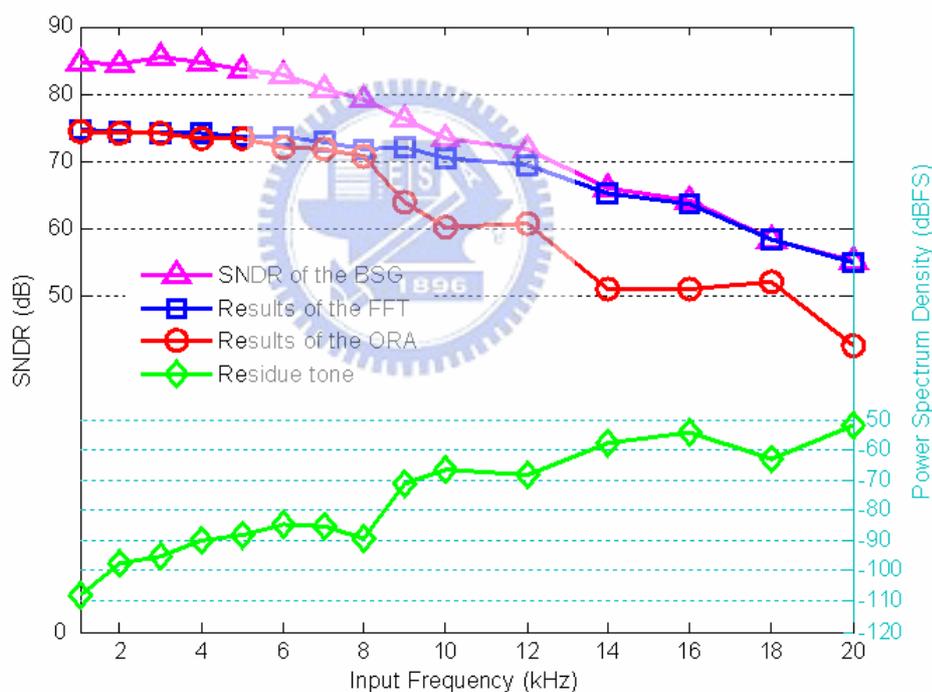


圖 2-25 以 Σ - Δ 調變器為基礎的自我測試電路量測結果

上圖 2-25 為宋宏慶學長論文中，將以 Σ - Δ 調變器為基礎的自我測試電路燒錄至 FPGA 所得之量測結果。如同預期，由於數位弦波產生器效能隨頻率增加而下降，當輸入頻率大於 6 KHz 自我測試電路的精準度同樣地隨頻率增加而下降。

2.5 系統優缺點分析

此章節中，主要介紹了以 $\Sigma-\Delta$ 調變法為基礎的自我測試電路設計，搭配簡化後之控制弦波最佳密合法，可以讓所使用的面積更精簡，以達到自我測試系統低額外面積的要求。但如同 2.4 小節所模擬結果得知，當測試頻率由 1 KHz 上升到 6 KHz 時，可發現皆測量的誤差越來越大，使得系統的測量頻寬有所限制，其中原因也就是我們能加以改進的地方，將會在下章節介紹。



器所推導出的迴路增益(Loop gain)及特徵方程式(Characteristic equation)

$$\text{Loop gain, } \frac{z^{-1}}{(1-z^{-1})^2}(-a_{12}a_{21})$$

$$\text{Characteristic equation, } \left[(z^{-2} + (a_{12}a_{21} - 2) \cdot z^{-1} + 1) \right] = 0 \quad (19)$$

下式(20)則為數位二階 Σ - Δ 調變弦波振盪器所推導出的迴路增益及特徵方程式。

$$\text{Loop gain, } \frac{z^{-1}}{(1-z^{-1})^2}(-a_{12}a_{21}) + \frac{z^{-1}}{(1-z^{-1})^2}(-a_{12}a_{21}) \frac{NTF(z)Q(z)}{X_1(z)}$$

Characteristic equation,

$$\left[(z^{-2} + (a_{12}a_{21} - 2) \cdot z^{-1} + 1) + \frac{a_{12}a_{21}z^{-1} \cdot NTF(z)Q(z)}{X_1(z)} \right] = 0 \quad (20)$$

在特徵方程式中 Q 為量化雜訊、 $a_{12}a_{21}$ 為振盪器迴路係數用來控制所振盪的頻率、 X_1 為暫存器值、 NTF 為二階 Σ - Δ 調變器之雜訊轉移函數。由式子中可以發現數位二階 Σ - Δ 調變弦波振盪器的特徵方程式較二階數位弦波振盪器的式子多出一項，因特徵方程式不同將可能造成振盪迴路的不穩定及使得輸出的訊號對雜訊及總諧波比下降，下式(21)即為我們所不希望存在的分項。

$$\frac{a_{12}a_{21}z_o^{-1} \cdot Q(z_o) \cdot NTF(z_o)}{X_1(z_o)} \quad (21)$$

接下來對數位二階 Σ - Δ 調變弦波振盪器做整理及分析，從振盪頻率 1 KHz 到

23 KHz 模擬得到各個訊號對雜訊及總諧波比可整理得到下圖 3-2。

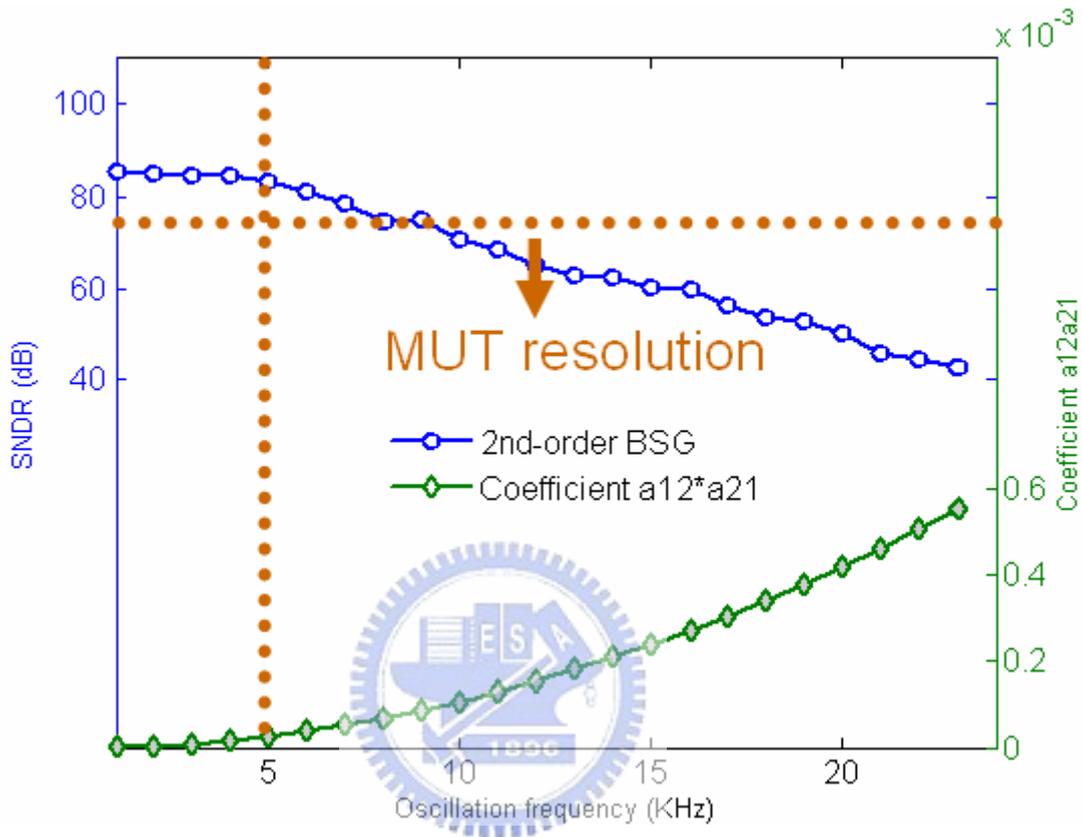


圖 3-2 二階 Σ - Δ 數位調變弦波振盪器 1 KHz 到 23 KHz 頻率分析圖

由 1 KHz 到 23 KHz 頻率分析圖中可發現假設待測物的訊號對雜訊及總諧波比約為 70 dB，二階 Σ - Δ 調變器數位弦波振盪器的訊號對雜訊及總諧波比在大於待測物約 12 dB 的情況之下只能夠測量到約 6 KHz 的輸入頻率。下式(22)為數位二階 Σ - Δ 調變弦波振盪器特徵方程式中不希望出現的分項。若此項之值越小則越能夠保證振盪器持續穩定的振盪。如果使用三階的 Σ - Δ 調變器其在頻寬內的雜訊轉移函數將會來得比二階更小，所以能使得振盪器相對穩定。下圖 3-3 表示當數

$$\frac{a_{12}a_{21}z_o^{-1} \cdot Q(z_o) \cdot NTF(z_o)}{X_1(z_o)} \rightarrow 0, \begin{cases} X_1(z_o): \text{oscillator output} \\ z_o: \text{oscillation frequency} \end{cases} \quad (22)$$

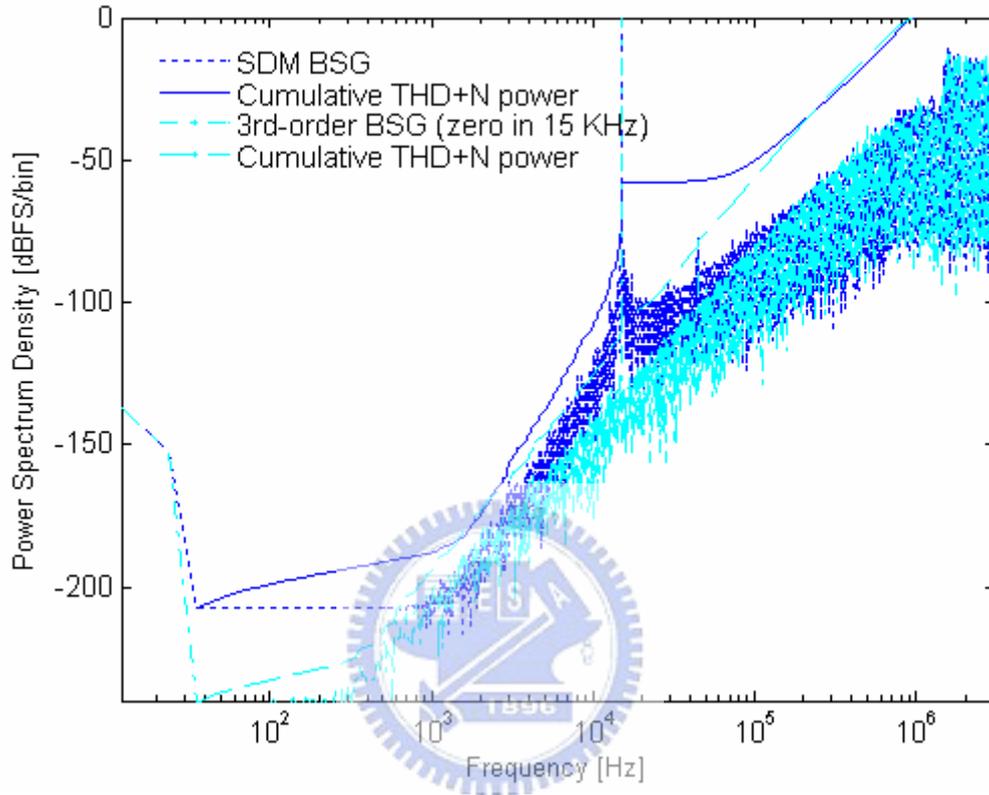


圖 3-3 二階與三階零點分離的 Σ - Δ 調變器的頻譜分析圖

位 Σ - Δ 調變弦波振盪器使用二階及三階零點分離 Σ - Δ 調變器時所得之輸出頻譜圖。由圖得知，使用三階零點分離 Σ - Δ 調變器且零點在 15KHz 時能在頻寬內有更小雜訊轉移函數。

3.2 三階零點分散數位弦波產生器

在 3.1 小節得知使用三階零點分離 Σ - Δ 調變器的數位弦波產生器能夠有更好的振盪穩定性及能提高振盪頻率，此章節即介紹此弦波產生器。下圖 3-4 為弦

波產生器中三階零點分離 Σ - Δ 調變器之架構圖。其訊號轉移函數為一，其中 $g1$ 係數能改變此三階 Σ - Δ 調變器中兩個零點的位置如同下圖 3-5 所示。

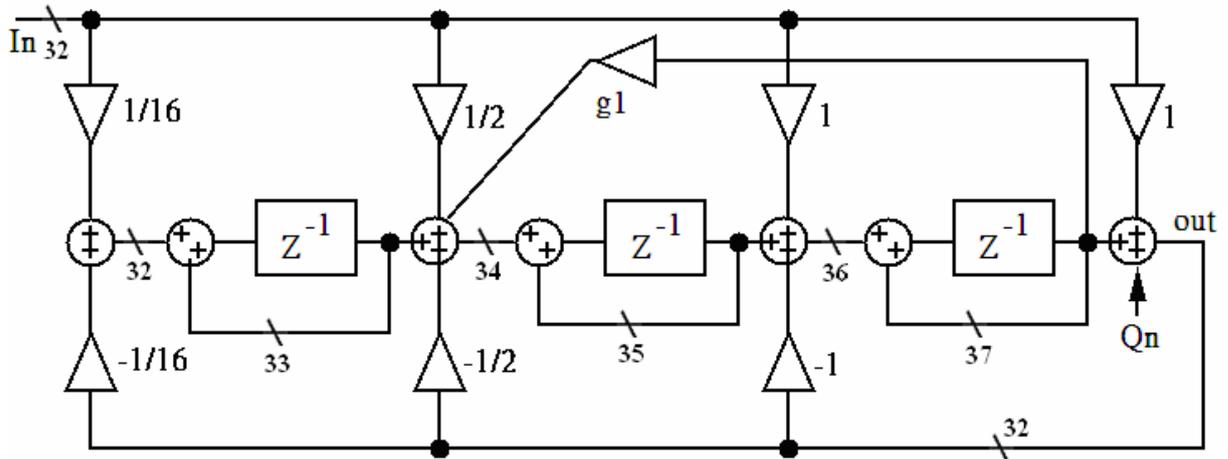


圖 3-4 三階零點分離 Σ - Δ 調變器構架圖

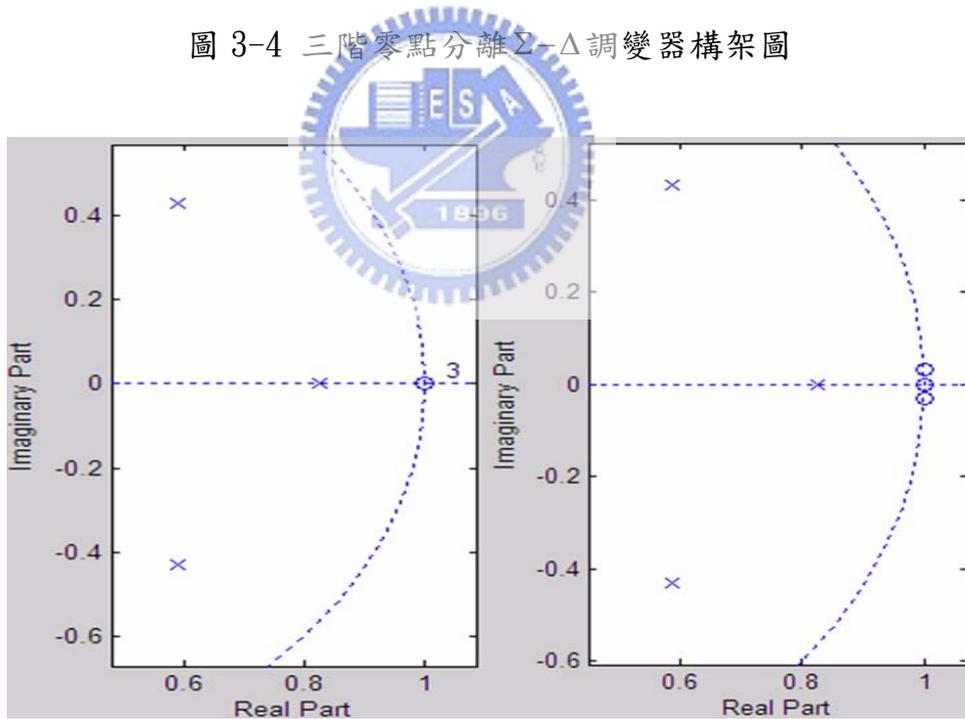


圖 3-5 三階 Σ - Δ 調變器單位圓上零點分離圖

3.2.1 數位弦波產生器之模擬結果

調變器中零點分離的作用為將零點移至頻寬內，而使得讓三階 Σ - Δ 調變器在

頻寬內有更好的訊號對雜訊及總諧波比，進而讓自我測試電路能夠量測到更高的頻寬。接下來，我們比較在不同頻率所量到的訊號對雜訊及總諧波比，所使用的數位 Σ - Δ 調變弦波產生器分別為使用二階與三階及三階零點分離 Σ - Δ 調變器，整理之後可得到下圖 3-6 效能比較圖。

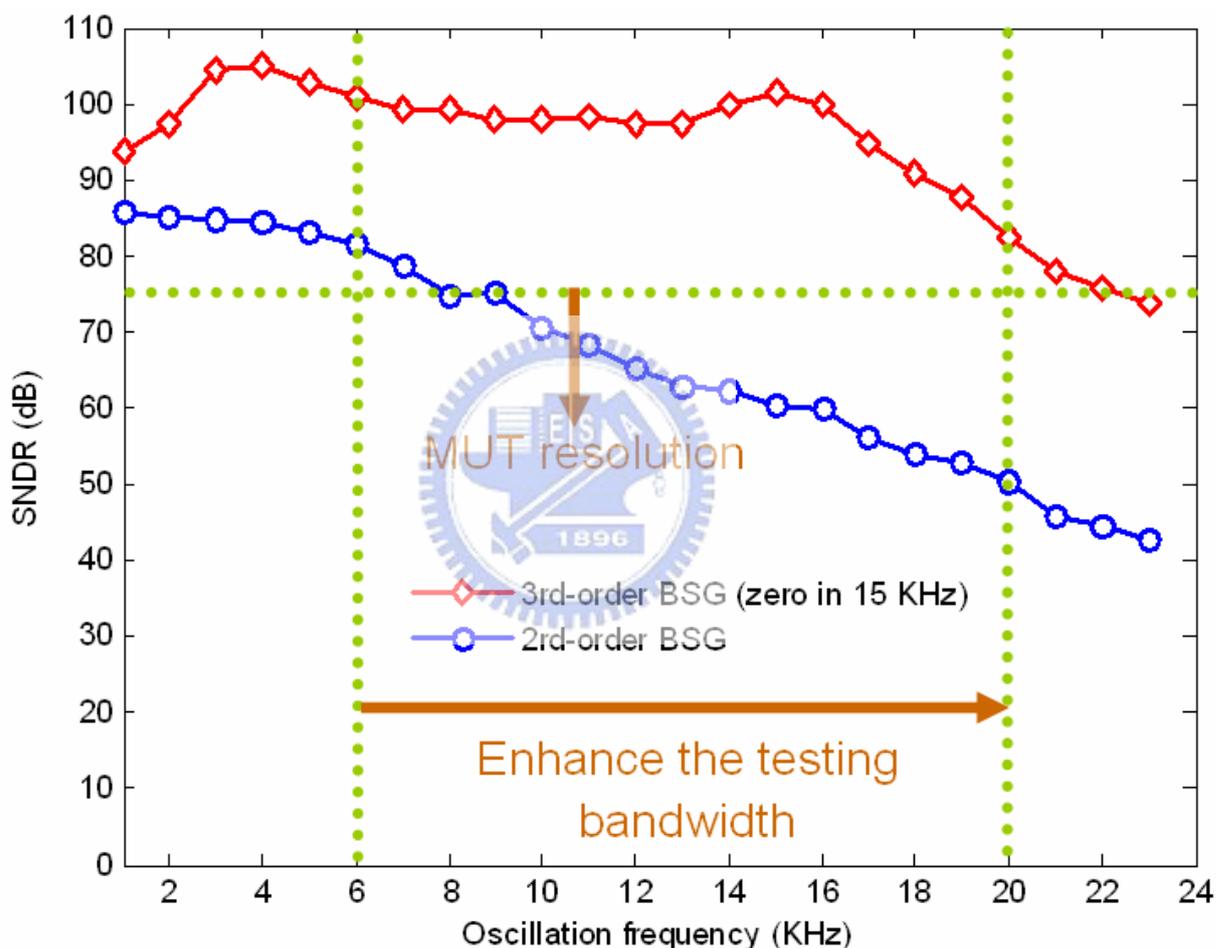


圖 3-6 二、三階及三階零點分離 Σ - Δ 調變器的數位弦波產生器效能比較圖

由圖 3-6 中可得知假設待測物的訊號對雜訊及總諧波比約為 75 dB，數位二階 Σ - Δ 調變弦波振盪器的訊號對雜訊及總諧波比在大於待測物約 12 dB 的情況之下，只能夠測量到約 6 KHz 的輸入頻率。然而使用三階零點分離 Σ - Δ 調變器的數

位弦波產生器，在相同大於待測物約 12 dB 的情況之下，估計能夠測量到約 20 KHz 的頻寬，大幅改進了測量頻寬。

3.2.2 硬體成本比較

由上一小節可知使用三階零點分離 Σ - Δ 調變器的數位弦波產生器，能較原先使用二階 Σ - Δ 調變器增加 14 KHz 的測量頻寬，但相對的硬體面積也會增加。以下使用 0.18 μ m 製程來做電路合成，以比較二階與三階零點分離 Σ - Δ 調變器的數位弦波產生器的硬體成本的差異，整理成下表 3-1。

表 3-1 二階與三階零點分離 Σ - Δ 調變器的數位弦波產生器之成本比較表

	2nd-order	3rd-order with zero	overhead
BSG	2.35 k	3.05 k	29.79 %

3.3 系統模擬結果

分析完硬體成本的比較與數位弦波產生器的效能後，這裡對使用數位三階零點分離 Σ - Δ 調變弦波產生器的整個自我測試系統做模擬。下圖 3-7 為當激發源為振幅是-6dBFS 頻率為 1 KHz 之弦波時之模擬結果。圖中藍實線為測試訊號經過待

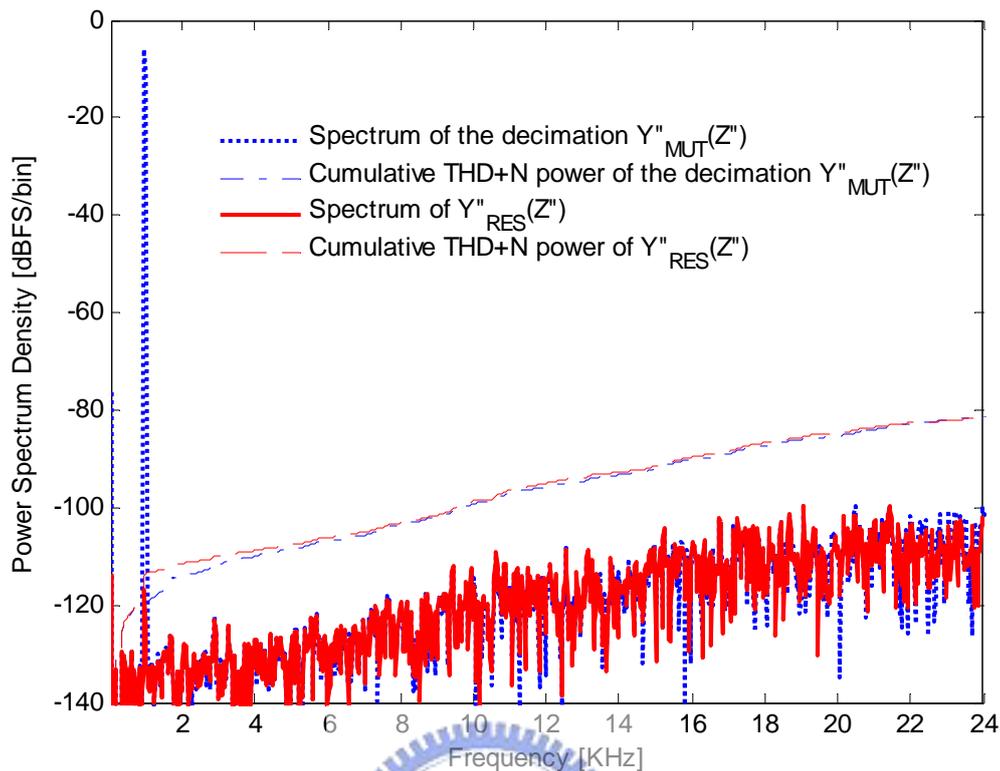


圖 3-7 改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路模擬結果(1 KHz)

測物 $\Sigma-\Delta$ 類比數位轉換器的輸出響應頻譜圖，紅實線為將輸出響應訊號去除偏移誤差以及主訊號頻率之所剩下的雜訊及諧波(THD+N)。與第二章中改良前以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路模擬結果比較，能發現改良型的雜訊密合度較高，即表示能有較好的測量準確度。接下來，以相同的弦波振幅改變其頻率，測量改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路。經個整理後能得到下圖 3-9。由圖中可發現，當測試頻率超過 16 KHz 之後準確度下降，主要由於製程的偏移會對類比電路造成相位偏移誤差，當頻率越高影響越嚴重。在此架構中採用固定相位延

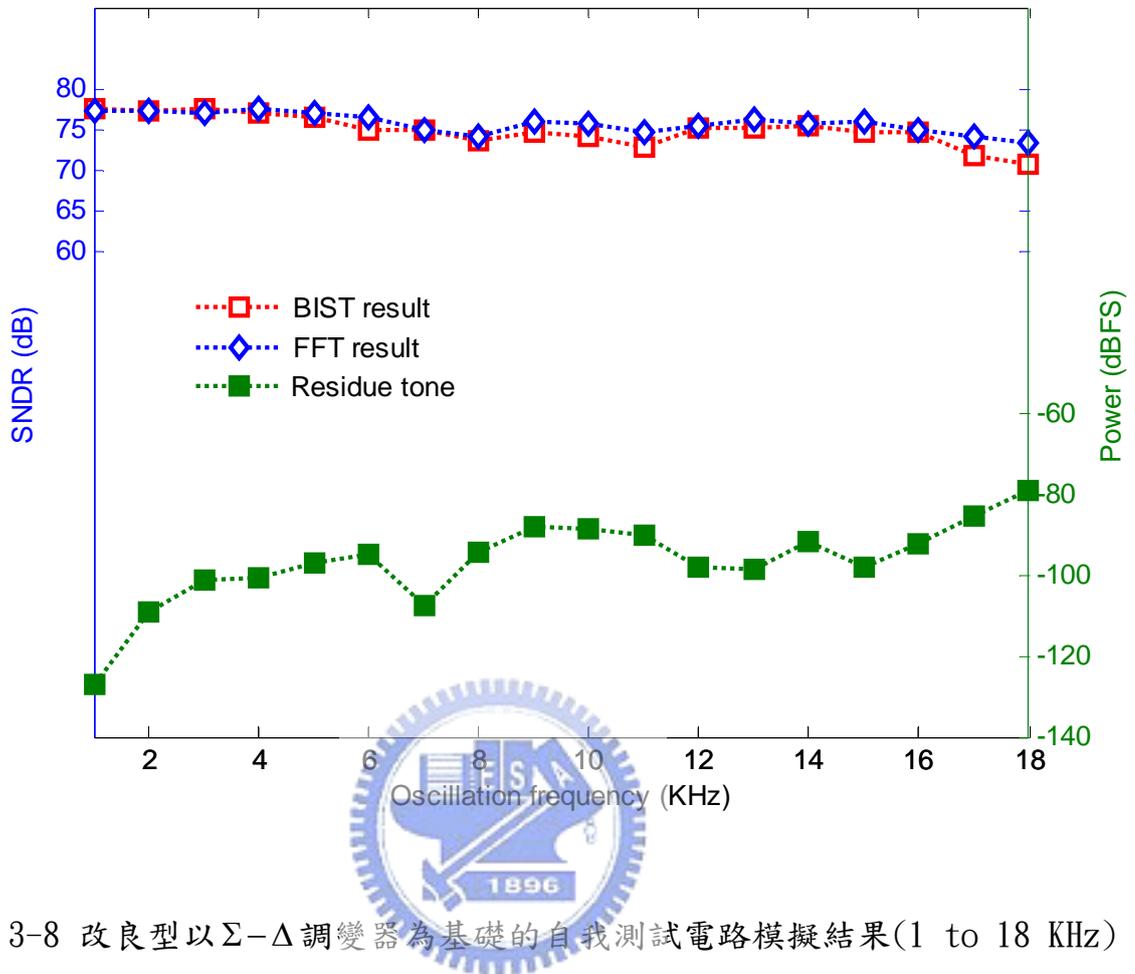


圖 3-8 改良型以 Σ - Δ 調變器為基礎的自我測試電路模擬結果(1 to 18 KHz)

遲之相位補償器，因此限制住測試頻寬而非數位弦波產生器。使得自我測試系統所量測頻寬約為 16 KHz，與預期的結果有些微的不同，但結果也大幅的提升自我測試系統的量測頻寬。經過模擬結果的計算，從測試頻率 1 KHz 到 16 KHz 所測量到結果與使用快速富利葉轉換的平均誤差為 0.74 dB，最大誤差為在 11 KHz 的 1.87 dB。

3.4 硬體實現與自動化佈局及下線

經過實驗模擬之後，我們將整個數位部分包含降頻濾波器以及自我測試電路以高階硬體描述語言編寫出程式碼，之後經過 Cadence 公司之 Verilog 硬體描述語言模擬器(NC-Verilog)模擬無誤後，再使用 SYNOPSIS 公司所發展的合成軟體 Design Compiler 來合成。以下表 3-2 為系統合成後系統成本比較表，同樣再以硬體描述語言模擬器(NC-Verilog)模擬

表 3-2 未改良與改良型以 $\Sigma-\Delta$ 調變器為基礎的自我

測試電路硬體成本比較表(0.18um 製程)

	2nd-order	3rd-order with zero	overhead
Total BIST System	11.9k	13.3k	11.76%

邏輯匣層(Gate level)無誤後即可使用 Cadence 公司的自動化佈局軟體 SoC Encounter (RTL to GDS2)自動佈局和驗證。再與類比待測電路整合以 0.35um 2P4M CMOS 製程下線，下圖為晶片照相圖。總晶片面積包含待測物類比數位轉換器、數位降頻濾波器、以及自我測試電路面積大小約為 $2.335 \times 2.722 \text{ mm}^2$ 。

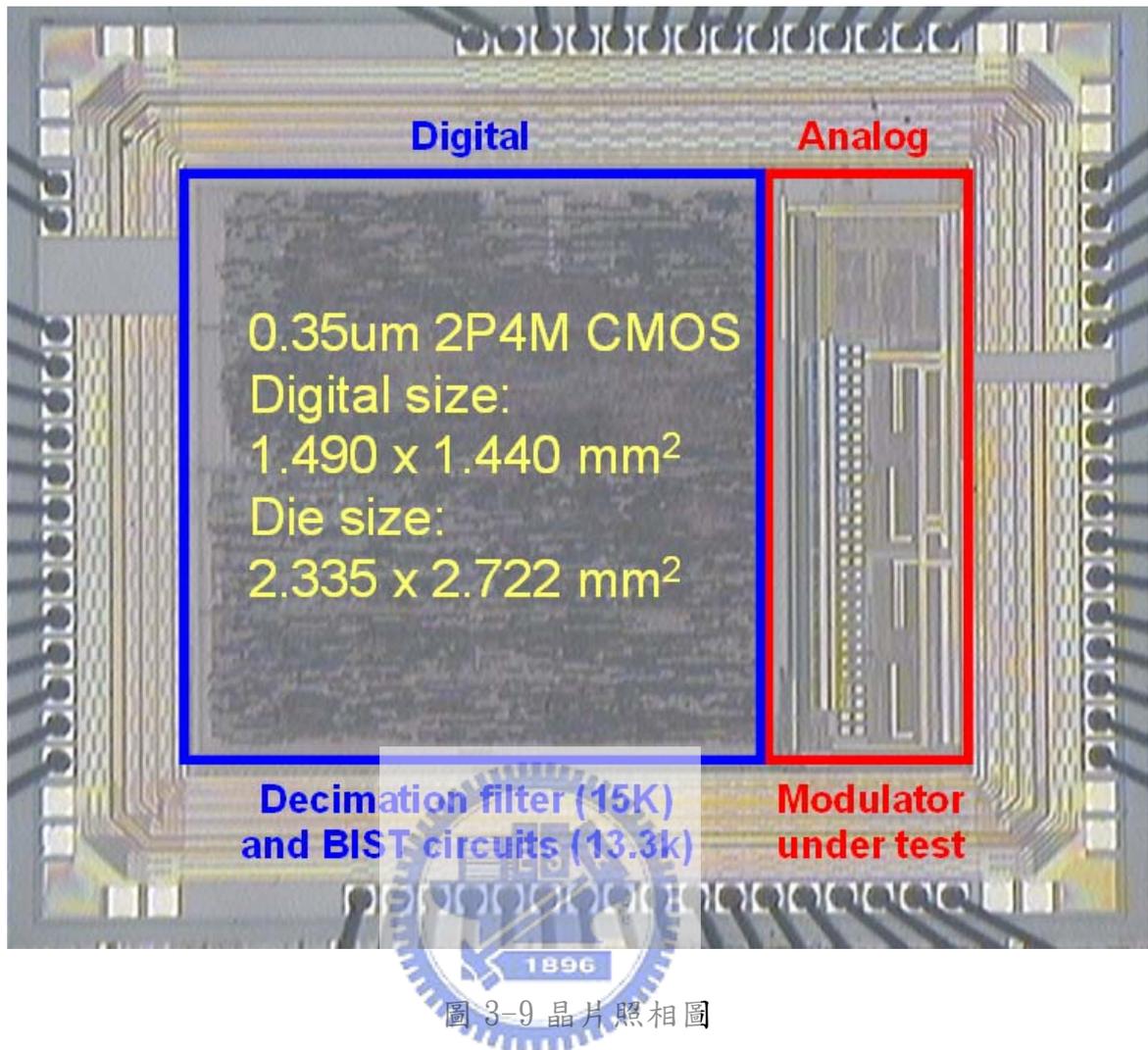


圖 3-9 晶片照相圖

3.5 晶片量測結果

晶片經過以封裝規格 QFP100(20x14)封裝後，及使用安捷倫邏輯分析儀 (Agilent 16702B Logic analysis System)、安捷倫訊號產生器(Agilent 33250A 80 MHz AWG)、安捷倫電源供應器(Agilent E3610A power supply)、安捷倫示波器(Agilent 54832D 1 GHz Mixed-signal Oscilloscope)等儀器做晶片量測。其中，由邏輯分析儀輸入係數與接收資料，再經過 MATLAB 分析，能得到下圖 3-10 至 3-15 為不同頻率之下的測量結果。經過量測結果統計整理後可得圖 3-16 為

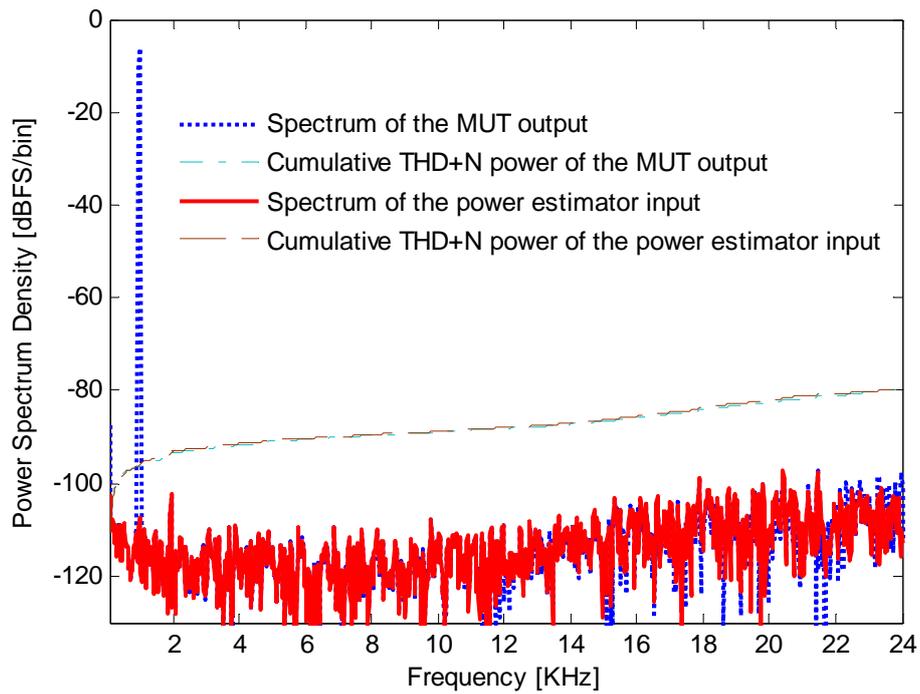


圖 3-10 改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路量測結果(1KHz)

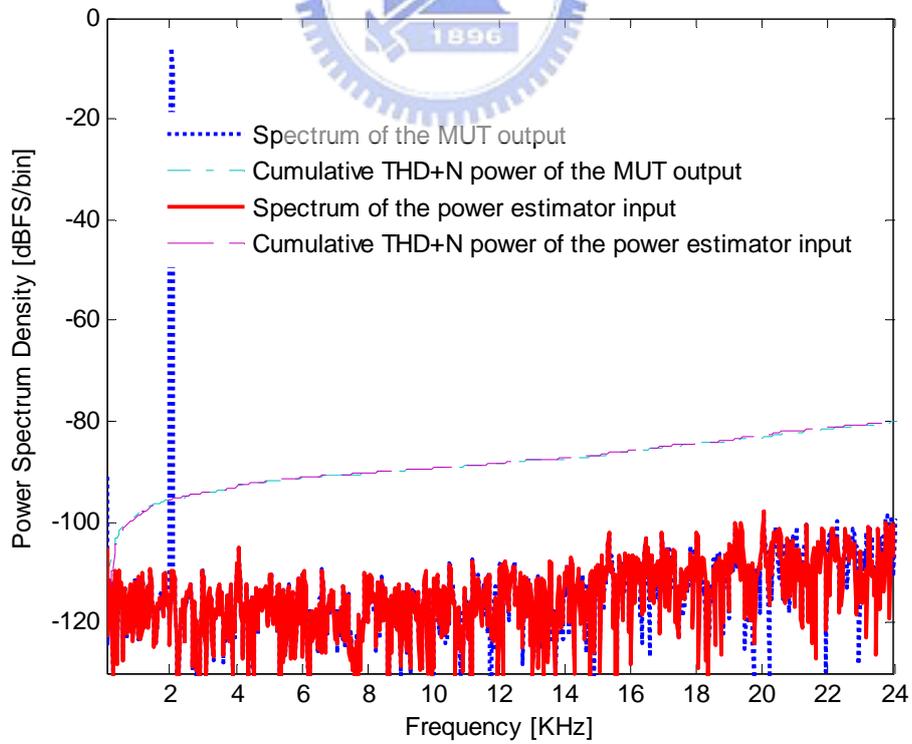


圖 3-11 改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路量測結果(2KHz)

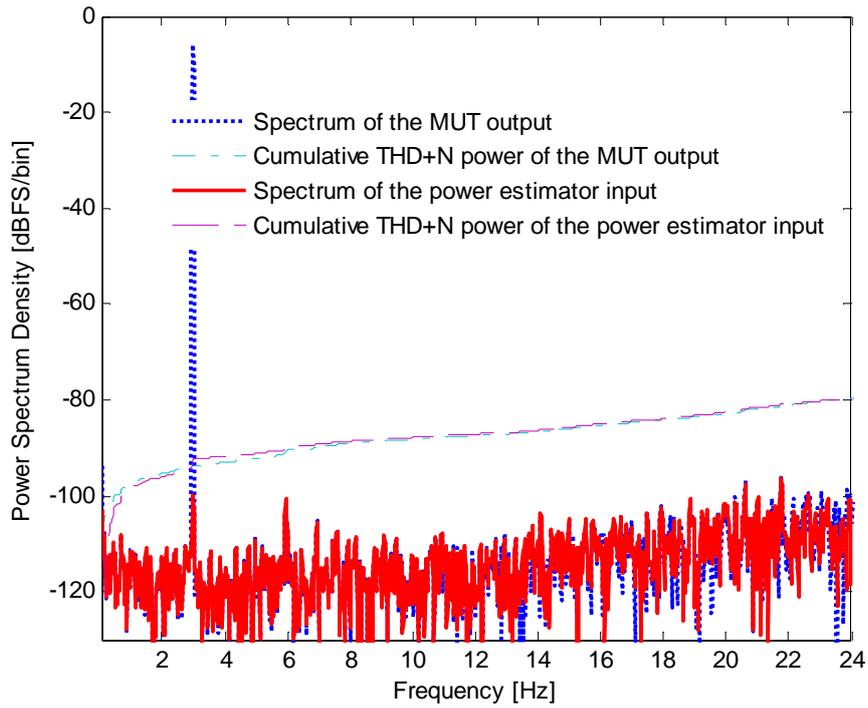


圖 3-12 改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路量測結果(3KHz)

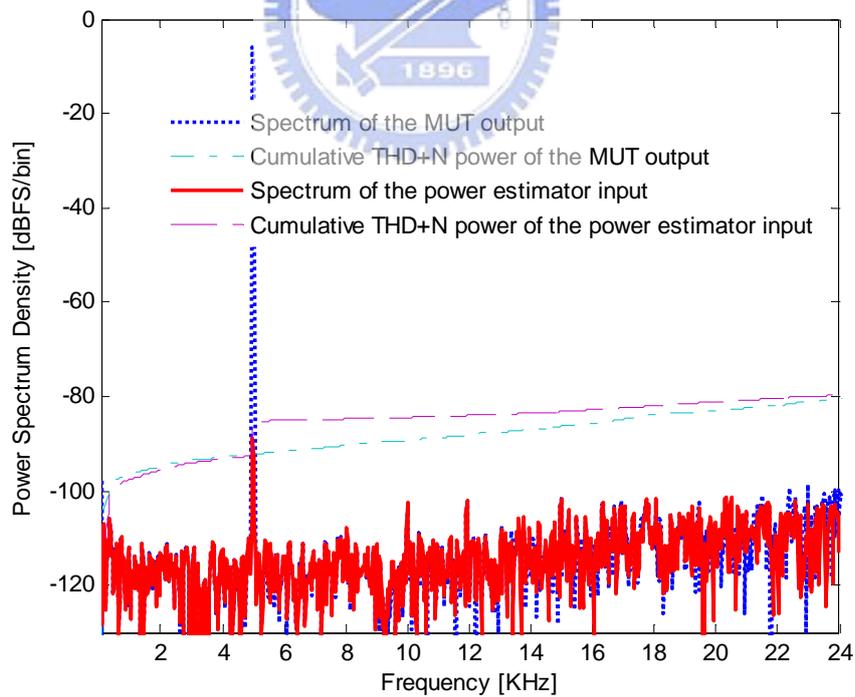


圖 3-13 改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路量測結果(5KHz)

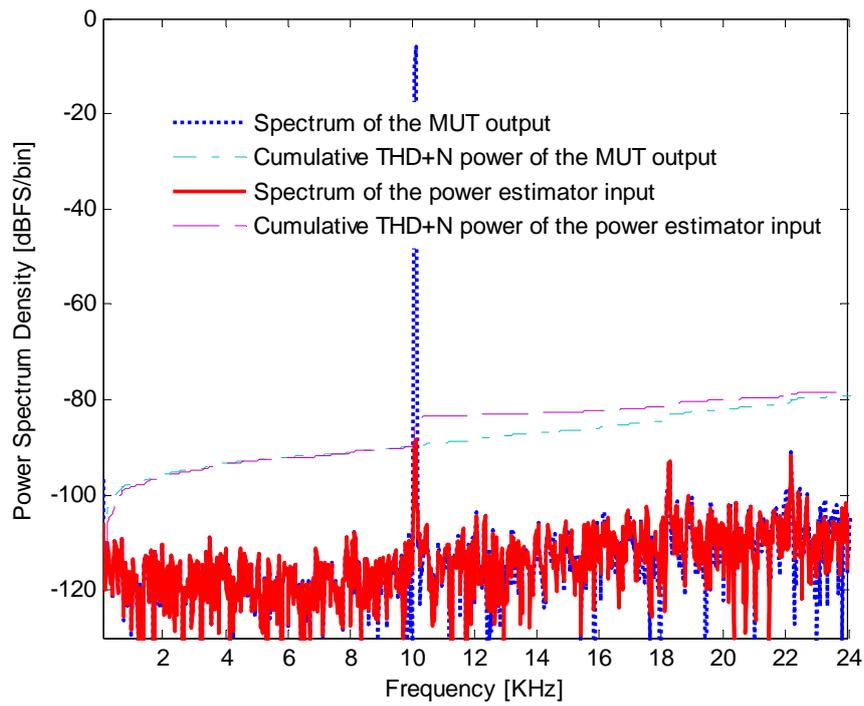


圖 3-14 改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路量測結果(10KHz)

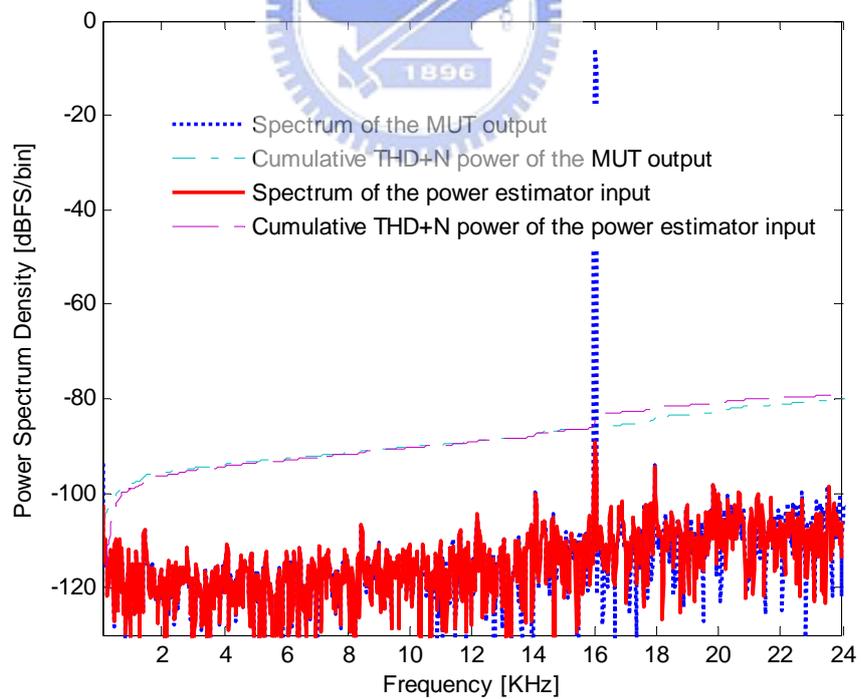


圖 3-15 改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路量測結果(16KHz)

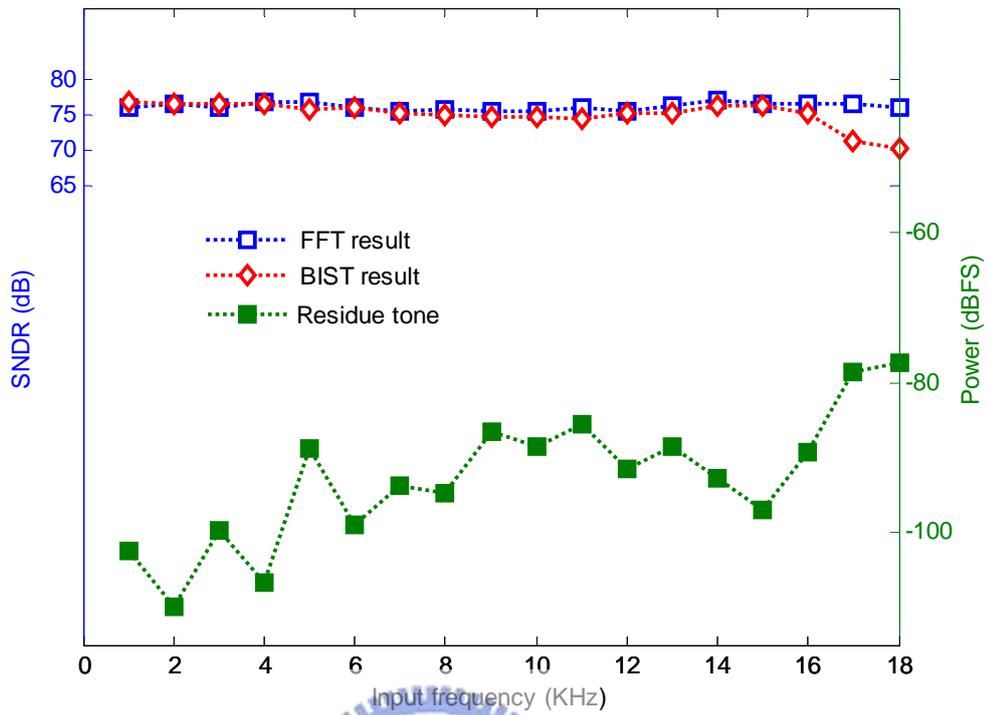


圖 3-16 改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路量測結果比較圖

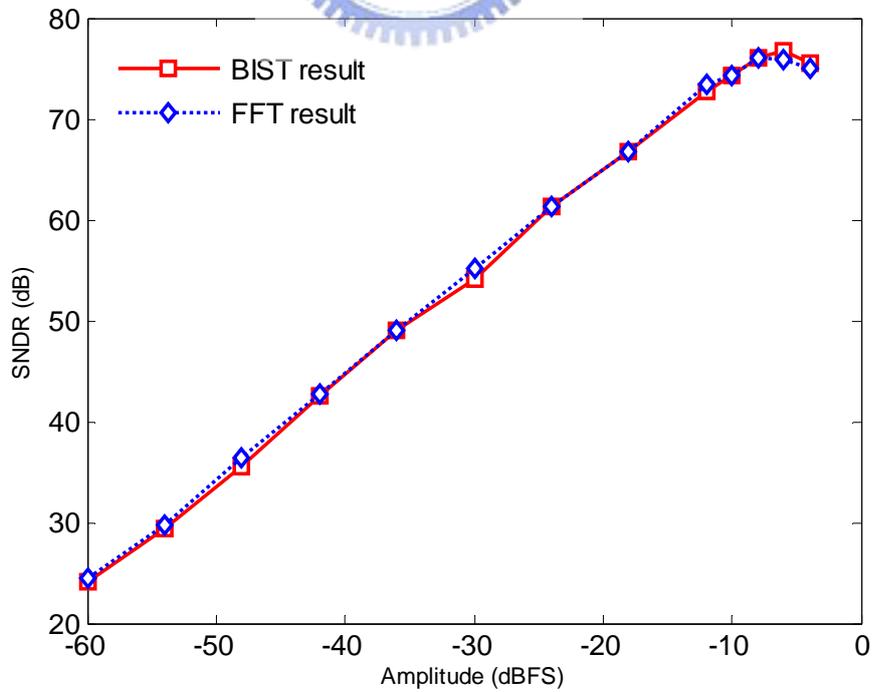


圖 3-17 改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試電路動態範圍 (1 KHz)

輸入頻率從 1 KHz 到 18 KHz 所測量到的殘留的訊號值與訊號對雜訊及總諧波比，可發現頻率從 1 KHz 到 16 KHz 皆能測量到精準的結果，其平均的誤差為 0.65 dB，最大誤差為在 11 KHz 的 1.39 dB，與實驗模擬的結果大致上相符，證實確有改進的效果。圖 3-17 為輸入頻率為 1 KHz 時所量測到的動態範圍(Dynamic range)其平均誤差為 0.39 dB，最大差誤為 1.16 dB 其振幅為-30 dB。



第四章 以弦波最小誤差為基礎的自我測試方法

4.1 自動相位補償型自我測試法介紹

在第二章與第三章中所使用的以 Σ - Δ 調變為基礎的自我測試系統只能適用於超頻取樣類型與固定相位延遲的類比電路如 Σ - Δ 類比數位轉換器，因此而提出適用於部份混合訊號電路的自我測試電路，如類比濾波器及類比數位轉換器此自我測試電路與 Σ - Δ 調變為基礎的自我測試系統最大不同在於其能夠有自動相位補償的特性，故能測量具有不固定相位延遲的電路如類比濾波器。此章節將詳細地介紹自動相位補償型自我測試法[9]。下圖 4-1 即表示著測量類比濾波器最主要必需測量出濾波器的頻率響應圖。經由產生不同頻率相同振幅的弦波訊號輸入到類

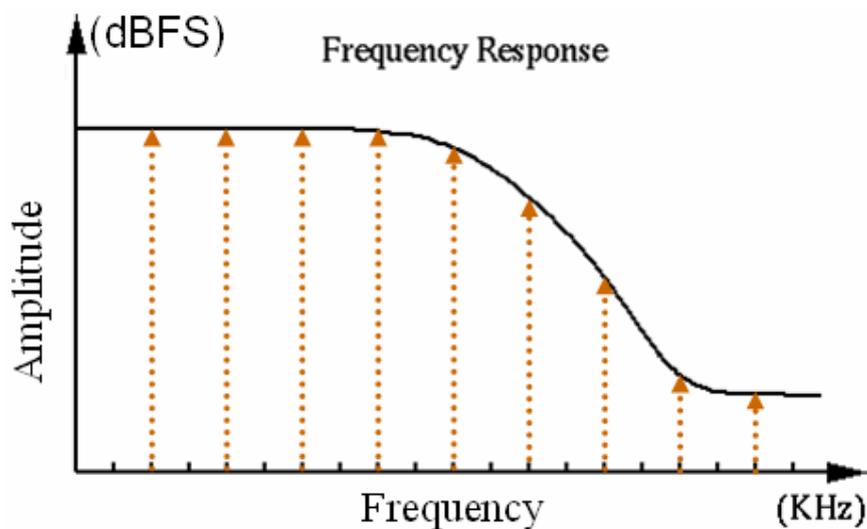


圖 4-1 類比濾波器量測目的圖

比濾波器會產生相對應頻率的響應，如此一來便可描繪出類比濾波器的頻率響應圖，得知是否能夠符合規格的要求。下圖 4-2 則是為測量類比數位轉換器目的圖，

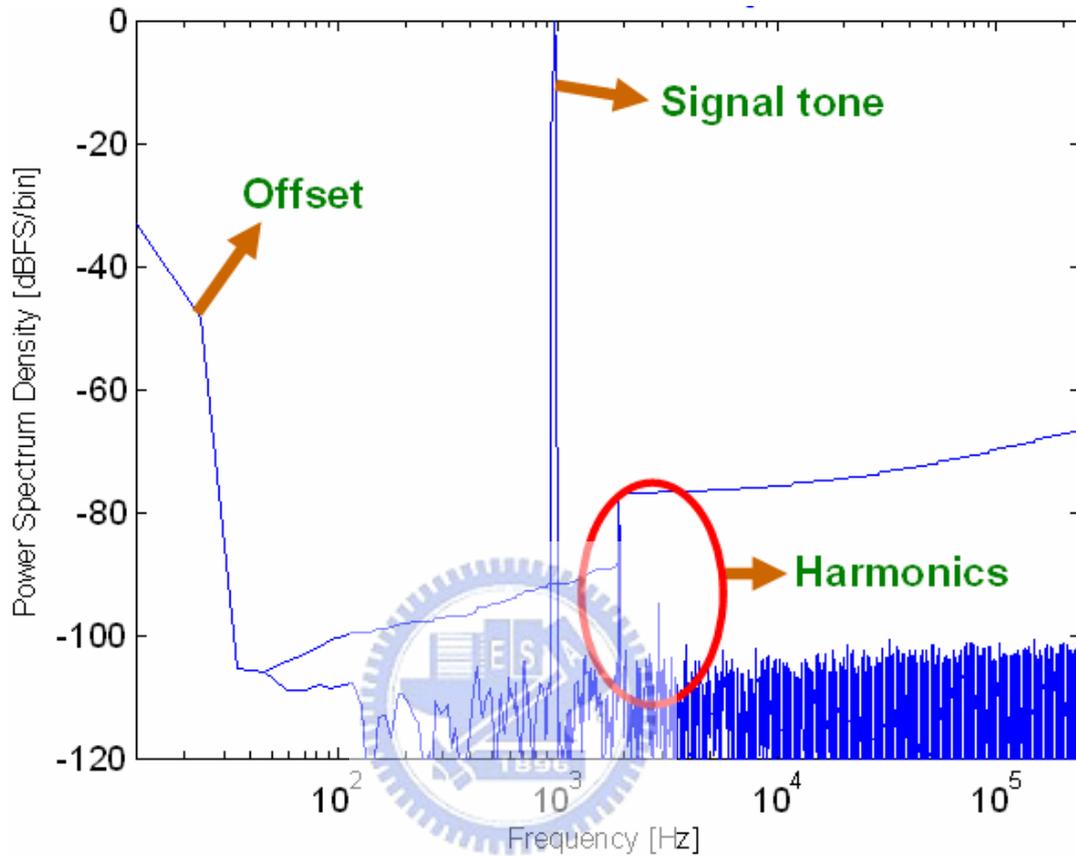


圖 4-2 類比數位轉換器量測目的圖

其主要目的為計算出訊號對雜訊及總諧波比，所以必需將待測物所產生的偏移誤差補償後再將主頻率訊號去除，再進而求得雜訊及諧波功率。然而自動相位補償型自我測試法為將待測物的輸出響應轉換成不連續的富利葉級數形式表示再以求解不連續的富利葉係數(Discrete time Fourier Coefficient)的方法找出主訊號的相位以及振幅大小將其去除，將可如同以下式(23)表示。

頻率響應 = 偏移誤差 + 主訊號 + 總諧波

Response = offset + signal + harmonics

$$x(n) = a_0 + a_1 \sin(\omega_{in} n + \phi_1) + \sum_{k=2}^n [a_k \sin(\omega_{in} n \cdot k) + \phi_k] \quad (23)$$

下式(24)為頻率響應的不連續富利葉級數表示。

Discrete time Fourier Series of the response

$$x(n) = A_0 + \sum_{k=1}^n [A_k \sin(\omega_{in} nk) + B_k \cos(\omega_{in} nk)] \quad (24)$$

假若 k 為 1，式(25)中的 A1 與 B1 即為主訊號的富利葉係數。

If k =1, then A1 and B1 are Fourier coefficients of the signal tone

$$A_1 = A_s = \frac{2}{N} \sum_{n=0}^{N-1} \sin(\omega_{in} n) \cdot x[n], \quad B_1 = A_c = \frac{2}{N} \sum_{n=0}^{N-1} \cos(\omega_{in} n) \cdot x[n] \quad (25)$$

雜訊與總諧波即為響應去除偏移誤差及主訊號。

THD+N = Response - offset - signal

$$r[n] = X[n] - A_0 - [A_s \sin(\omega_{in} n) + A_c \cos(\omega_{in} n)] \quad (26)$$

由以上式(26)能發現使用自動相位補償型自我測試法，需能同時產生正弦波

及餘弦波所以如用於測量類比濾波器頻率響應所輸入的振幅為固定值則只需要

有二組數位弦波產生器產生正弦波以及餘弦波，若測量於類比數位轉換器則需使用三組數位弦波產生器其中一組為可輸入不同振幅的測試訊號另二組即用於產生正弦波以及餘弦波訊號。

4.2 系統分析

經由 4.1 節的介紹使用自動相位補償型自我測試法必需能同時產生正弦波及餘弦波，由於正弦波與餘弦波的相位差九十度，故由第二章所介紹使用二階數位弦波產生器，以及調整其暫存器初始值即可產生餘弦波達到自動相位補償型自我測試法的要求。此方法中需計算主頻率之係數 A_s 及 A_c ，然而由公式中可發現使用到的正弦波及餘弦波振幅為滿刻度值(Full scale)會造成二階數位弦波產生器溢位，故亦可使用半滿刻度值(-6 dBFS)的正弦波及餘弦波加上移位取代即可改寫成下列式(27)及(28)。式(29)中也可得知若正弦波及餘弦波振幅有誤差則會影

$$A_1 = A_s = \frac{4}{N} \sum_{n=0}^{N-1} 0.5 \sin(\omega_{in} n) \cdot x[n] \quad (27)$$

$$B_1 = A_c = \frac{4}{N} \sum_{n=0}^{N-1} 0.5 \cos(\omega_{in} n) \cdot x[n] \quad (28)$$

$$\text{Signal tone} = A_s \times \sin(\omega_{in} \times n) + A_c \times \cos(\omega_{in} \times n) \quad (29)$$

響到所計算出主訊號係數 A_S 及 A_C 與預期不同，造成由係數 A_S 及 A_C 組成的訊號無法與主訊號相同，然而計算雜訊及諧波時有殘餘的主訊號，也相同影響最後計算訊號對雜訊及總諧波比的精準度。下圖 4-3 為使用自動相位補償型自我測試法及使用純弦波訊號加上振幅誤差所得到的雜訊及諧波能量。由圖中能得知當弦波振

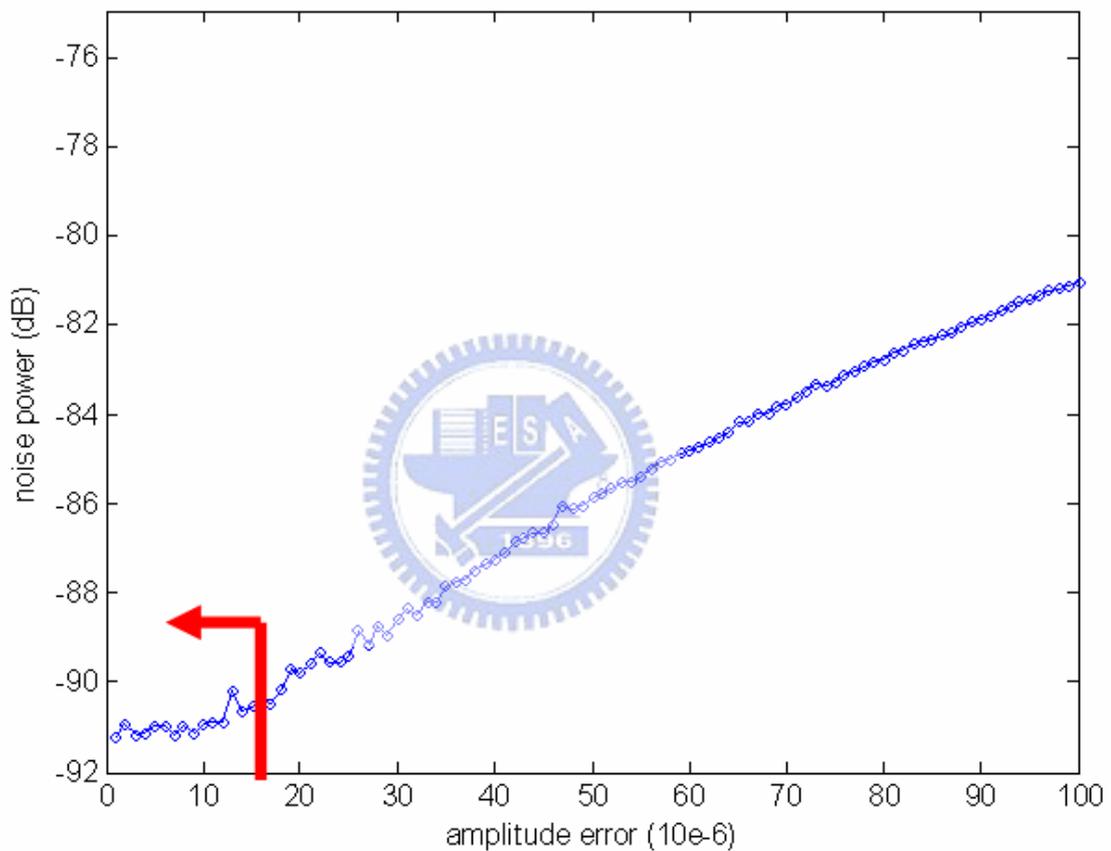


圖 4-3 自動相位補償型自我測試法振幅誤差與總雜訊諧波比較圖

幅沒有誤差之下總雜訊及諧波能量約為 -91.3 dB，然而隨著振幅誤差的增加總雜訊及諧波能量也相同的增加。若使用自動相位補償型自我測試法要得到精準的測量結果則必需使得振幅誤差如圖中所示約小於 0.000017 。然而則對於前章節所討論的數位弦波產生器作進一步的分析，是否能符合使用自動相位補償型自我測試

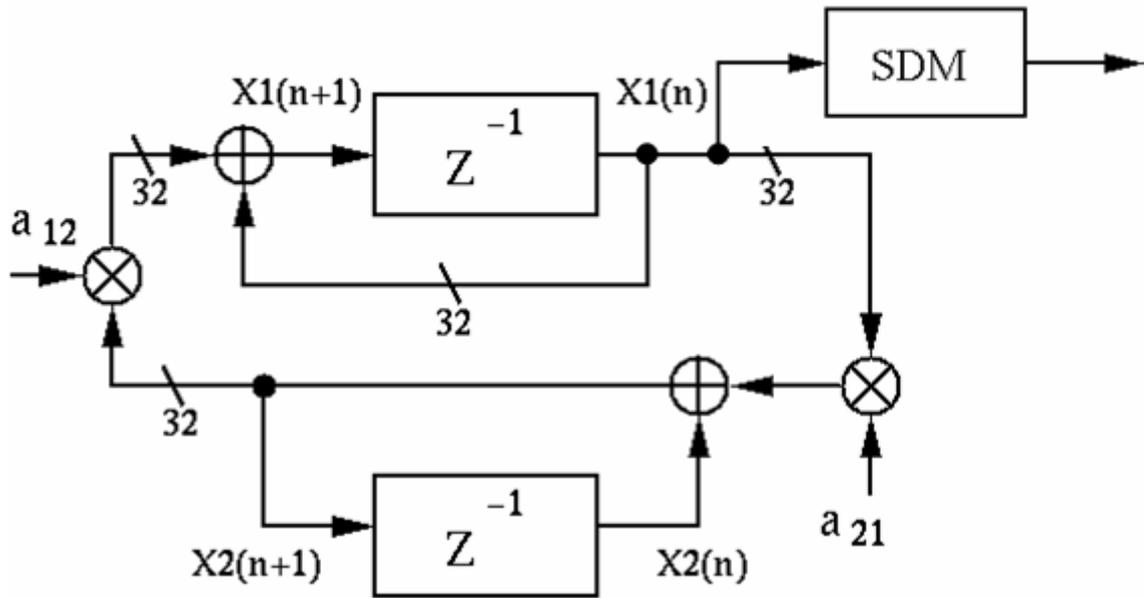


圖 4-4 二階數位弦波產生器經過三階 Σ - Δ 調變器

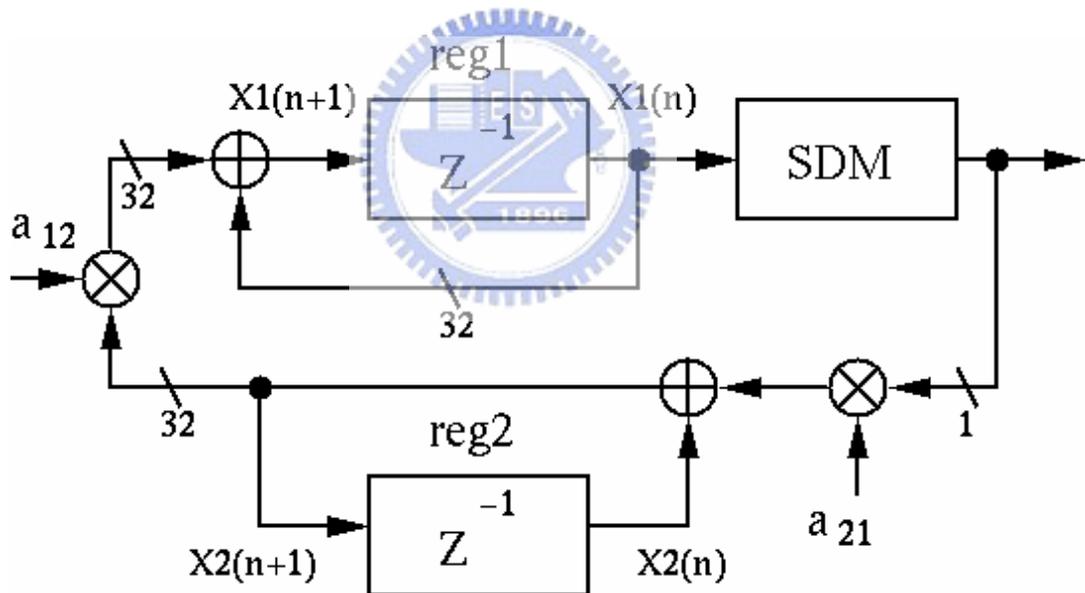


圖 4-5 數位三階 Σ - Δ 調變弦波產生器

法的要求。上圖 4-3 與 4-4 分別為二階數位弦波產生器再經過三階 Σ - Δ 調變器與數位三階 Σ - Δ 調變弦波產生器針對這兩種弦波產生器觀察其產生的弦波訊號時域上振幅之誤差以及頻域上計算總雜訊及諧波能量可得到下圖 4-5，其圖左方為

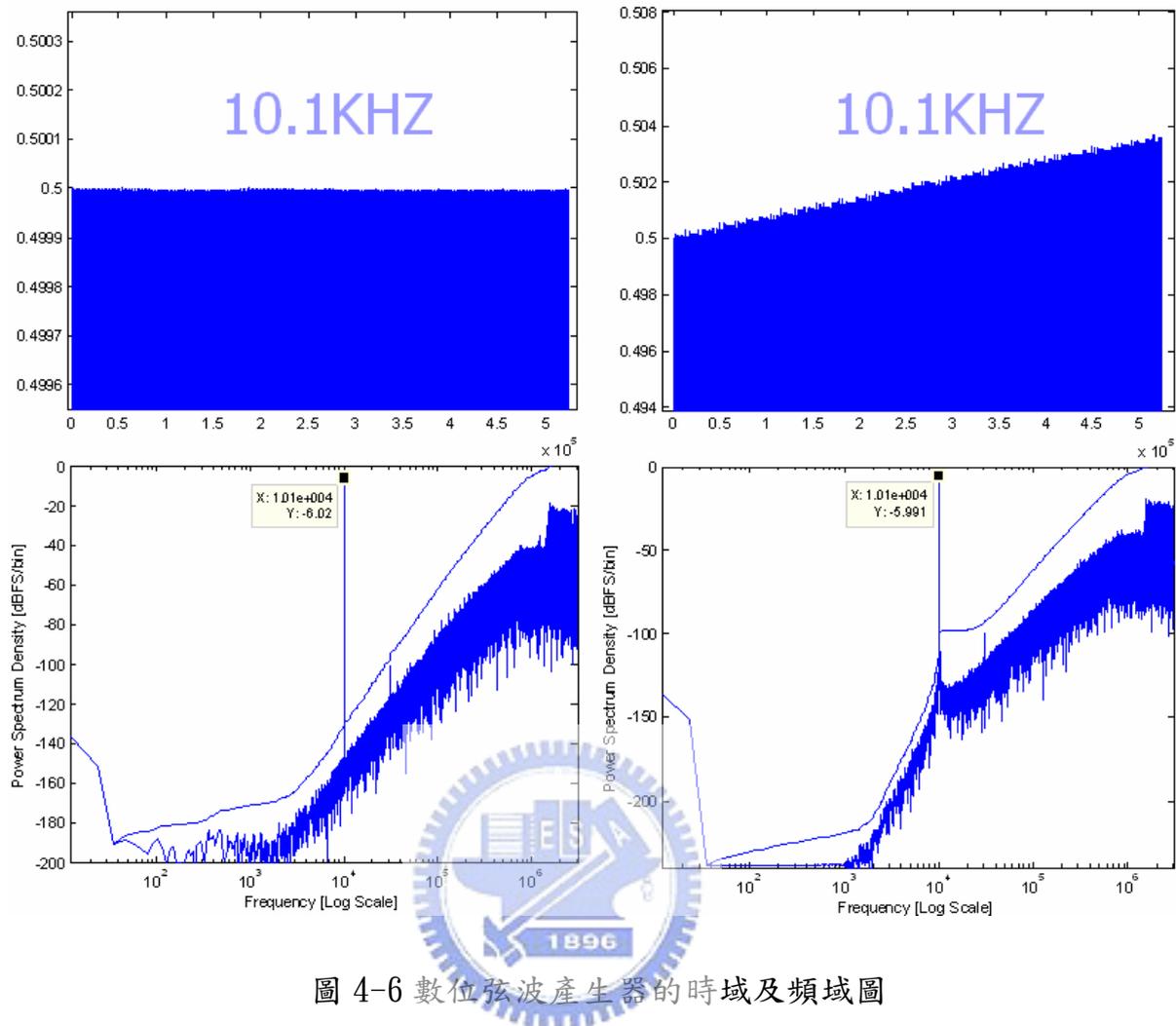


圖 4-6 數位弦波產生器的時域及頻域圖

使用二階數位弦波產生器再經過三階 $\Sigma-\Delta$ 調變器階能從時域圖發現振盪器因為迴路沒有 $\Sigma-\Delta$ 調變器所以穩定振盪在-6 dBFS，然而圖右方為使用數位三階 $\Sigma-\Delta$ 調變弦波產生器因迴路裡有 $\Sigma-\Delta$ 調變器使得振盪器極點位置偏離單位圓上而無法持續的穩定振盪，即可從時域上發現振盪器振幅隨著時間而遞增，也相對的造成訊號對雜訊及總諧波比的下降，如此一來將無法使用數位三階 $\Sigma-\Delta$ 調變弦波產生器於自動相位補償型自我測試法。

4.3 分析架構之優缺點

若使用自動相位補償型自我測試法量測類比數位轉換器由 4.1 節中可得知此方法需要使用三組數位弦波產生器相較於使用以 $\Sigma-\Delta$ 調變器為基礎的自我測試法增加了一組數位弦波產生器使得硬體成本增加。由於自動相位補償型自我測試法能有自動相位補償的功能使得其適合於不固定相位的混合訊號電路如類比濾波器、類比數位轉換器等等，其特點讓自動相位補償型自我測試法能有更廣泛的運用。



第五章 以弦波最小誤差為基礎的自我測試電路設計

5.1 寬頻域極點補償型數位弦波產生器設計

由第四章中系統的分析結果可得知在數位弦波產生器迴路中，若加入 $\Sigma-\Delta$ 調變器會因為 $\Sigma-\Delta$ 調變器不為零的雜訊轉移函數造成振盪器不穩定，使得振幅改變而無法使用在自動相位補償型自我測試法上。

5.1.1 寬頻域極點補償型數位弦波產生器

此章節將介紹一種稱為寬頻域極點補償型數位弦波產生器，它能改善振盪不穩定的現象，因而適用於自動相位補償型自我測試系統的設計上。Roberts 在[10]中提出了名為寬頻域數位弦波產生器，其架構圖如下圖 5-1 所示。利用在振盪迴路中增加了一個增益 A 的分支(branch)，讓數位震盪器的特徵方程式中因雜訊轉移函數所產生的項抵消，使得振盪器可以維持穩定的振盪。

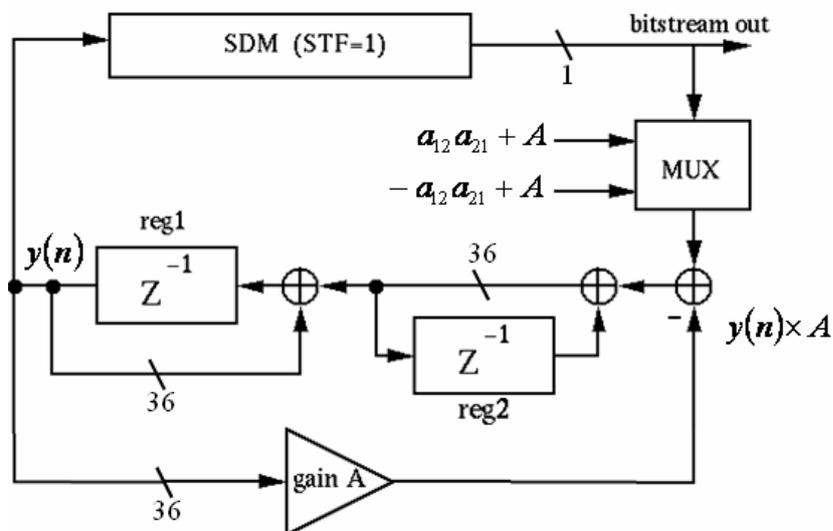


圖 5-1 寬頻域數位弦波產生器架構圖

經由架構圖即能推導出此寬頻域數位弦波產生器的迴路增益(Loop gain)與特徵方程式如下式(30)及(31)所示。

Loop gain =

$$\frac{z}{(z-1)^2}(-a_{12}a_{21} + A - A) + \frac{z}{(z-1)^2}(-a_{12}a_{21} + A)\frac{Q(z)}{X(z)}NTF(z) \quad (30)$$

Characteristic equation =

$$\left[(z^2 + (a_{12}a_{21} - 2) \cdot z + 1) \right] + \frac{(a_{12}a_{21} - A) \cdot z \cdot Q(z) \cdot NTF(z)}{X(z)} = 0 \quad (31)$$

由特徵方程式中可以發現當增益 A 與迴路係數 $a_{12}a_{21}$ 相同時，特徵方程式可改寫成下式(32)，觀察上式能發現由於抵消了由雜訊轉移函數所產生的分項，此

Characteristic equation =

$$\left[(z^2 + (a_{12}a_{21} - 2) \cdot z + 1) \right] = 0 \quad (32)$$

振盪器能穩定的振盪。但要使增益等於迴路係數 $a_{12}a_{21}$ 我們需要使用一個額外的乘法器，亦即失去了在迴路中使用 $\Sigma-\Delta$ 調變器的意義。既然無法使用乘法器讓增益與迴路係數 $a_{12}a_{21}$ 相等，我們可以將增益 A 改用四位元的移位器、三個加法器、與些許多工器，讓增益 A 在不使用乘法器的情況下仍能趨近迴路係數 $a_{12}a_{21}$ 。同時達到低成本與較穩定的效果。既然增益 A 只使用四位元來表示，那麼在絕大多

數的情況下迴路係數 $a_{12}a_{21}$ 不會完全等於增益 A ，也就是說迴路的特徵方程式中可能還留有殘餘的分項，造成極點的位置些許的偏移。下圖 5-2 為使用寬頻域數位弦波產生器產生 22.05 KHz 的振盪頻率時的輸出結果。我們發現弦波產生器振盪出的弦波振幅會隨著時間而遞增，雖然其振幅的遞增相對於第二章所介紹的弦波產生器已有明顯的改善，但仍未能達到使用自動相位補償型自我測試法的要求。

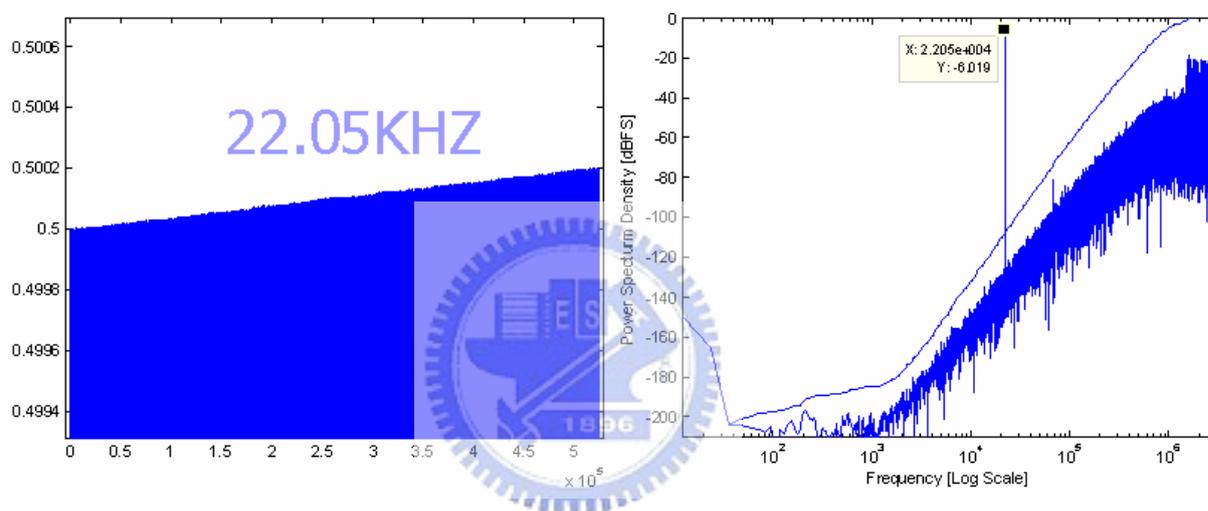


圖 5-2 寬頻域數位弦波產生器產生頻率 22.05 KHz 振幅-6 dBFS 時域與頻譜圖

為了滿足使用自動相位補償型自我測試法的要求，我們提出了新的數位弦波產生器稱為寬頻域極點補償型數位弦波產生器，其主體架構與寬頻域數位弦波產生器相同。然而，因為振盪迴路無法完全抵消 Σ - Δ 調變器產生的雜訊轉移函數，可能造成些微的極點偏移，故利用調整雜訊轉移函數的極點位置，使得兩者的影響可以相互抵消，產生幾乎穩定振盪的數位弦波產生器。下圖 5-3 為調整 Σ - Δ 調變器極點位置來補償振盪器極點偏移的示意圖。圖左方為未經過極點調整的極點

位置，圖右方顯示經過極點調整後能改變極點的頻率。

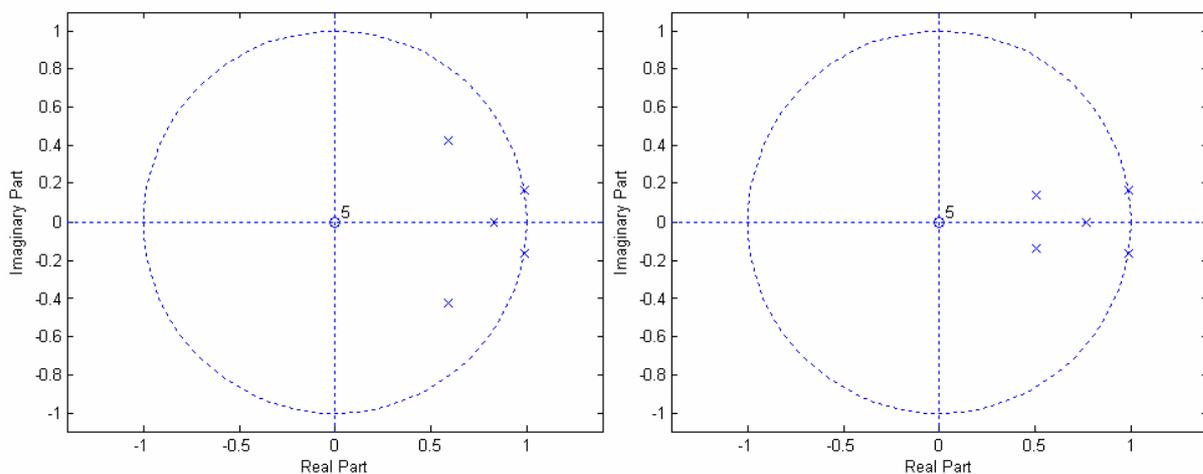


圖 5-3 極點補償示意圖

為了調整 Σ - Δ 調變器極點的位置，調變器中的係數將無法全部使用二的冪次方，因而可能會增加 Σ - Δ 調變器的成本。我們所提出之三階補償型 Σ - Δ 調變器如圖 5-4 所示。由圖可知需要額外增加兩個加法器以及兩個移位器與多工器。

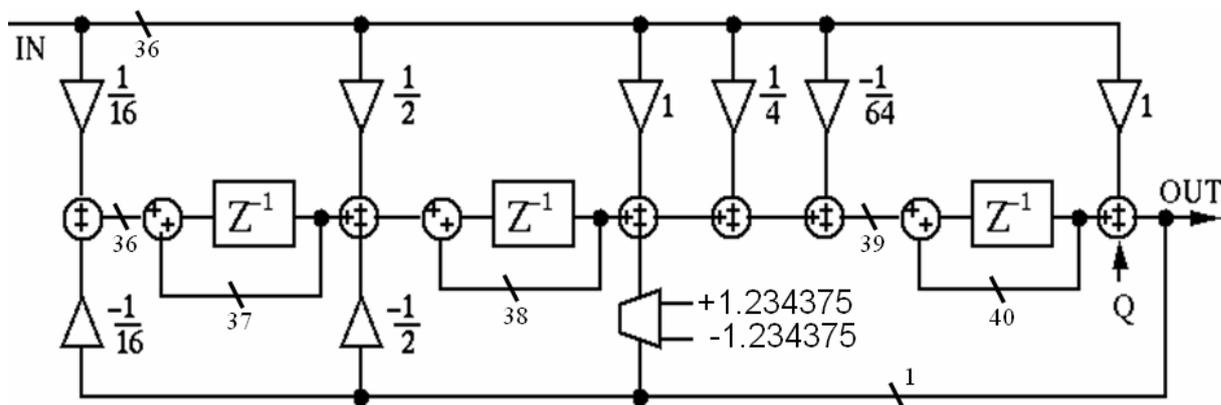


圖 5-4 三階補償型 Σ - Δ 調變器架構圖

5.1.2 數位弦波產生器硬體成本比較

經由上一小節的介紹可知，為了使用自動相位補償型自我測試法而提出的寬

頻域極點補償型數位弦波產生器，相較於第二章所介紹的數位弦波產生器，增加了額外的硬體以期讓振盪器更穩定。這一小節則將對二階 $\Sigma-\Delta$ 調變器數位弦波產生器、三階零點分離數位弦波產生器、與寬頻域極點補償型數位弦波產生器作硬體成本的比較。下表 5-1 為各個弦波產生器經由 0.18 μm 製程標準元件庫合成後所得到邏輯匝數。由表中能發現使用二階的硬體成本最小，當然穩定性也最差。如需使用到自動相位補償型自我測試法，則可以使用穩定性最好的寬頻域極點補償型數位弦波產生器。

表 5-1 二階、三階零點分離 $\Sigma-\Delta$ 調變器型與寬頻域極點補償型

數位弦波產生器之硬體成本比較表

	2nd-order	3rd-order with zero	The proposed
BSG	2.35 k	3.05 k	6.32 k

5.1.3 數位弦波產生器模擬結果

圖 5-5 為使用寬頻域極點補償型數位弦波產生器所產生的 22.05 KHz 輸出。與 5.1.1 小節的模擬結果作比較，能發現當使用新的數位弦波產生器時，能產生相對的穩定的訊號，且能符合使用自動相位補償型自我測試法的要求。假設待測物為一使用於音頻訊號的類比數位轉換器，其測試頻寬為 1 KHz 到 24KHz。我們

分別使用寬頻域數位弦波產生器與寬頻域極點補償型數位弦波產生器產生弦

波訊號由經模擬可得到下圖 5-6。由圖中能發現使用了寬頻域極點補償型數位弦

波產生器產生的訊號皆能較穩定的振盪在振幅為-6 dBFS。

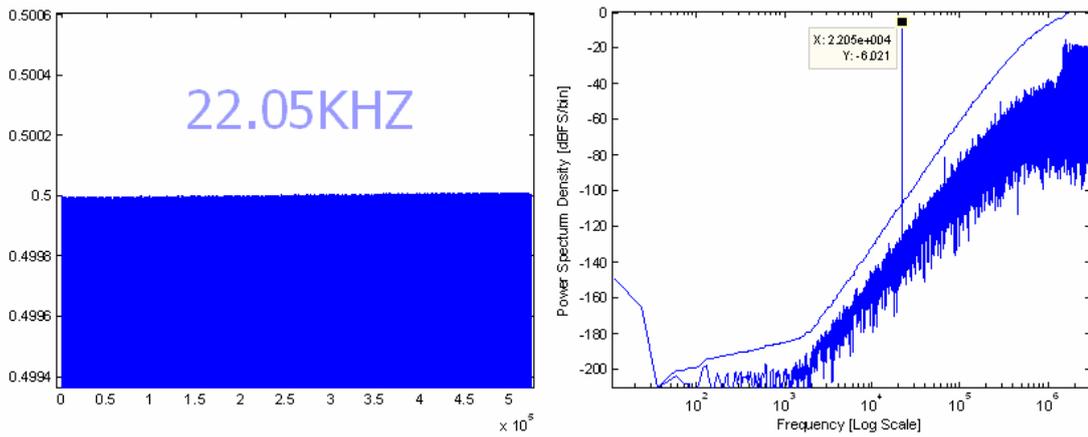


圖 5-5 寬頻域極點補償型數位弦波產生器產生之頻率

22.05 KHz 振幅-6 dBFS 時域與頻譜圖

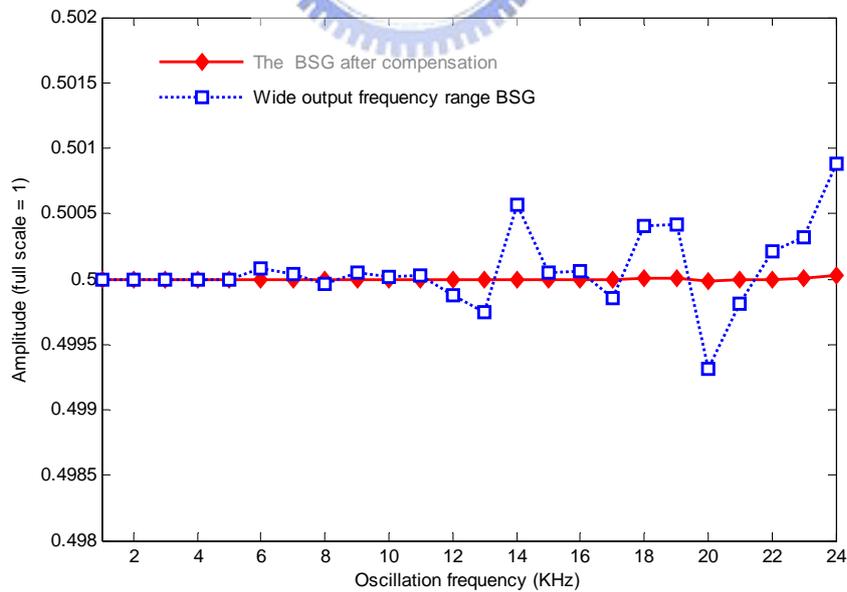


圖 5-6 寬頻域極點補償型數位弦波產生器產生之頻率

1 KHz 至 24 KHz 與振幅關係圖

5.2 系統運作及響應分析電路設計

此節將介紹設計使用於 Σ - Δ 類比數位轉換器自動相位補償型自我測試法的系統運作及響應分析電路，下圖 5-7 為自動相位補償型自我測試系統架構圖。其中包含待測物(AUT)、一位元數位弦波產生器以及包含串列乘法器、資料暫存器、計算器、偏移補償器的輸出響應分析器。由於我們的設計以 Σ - Δ 類比數位轉換器

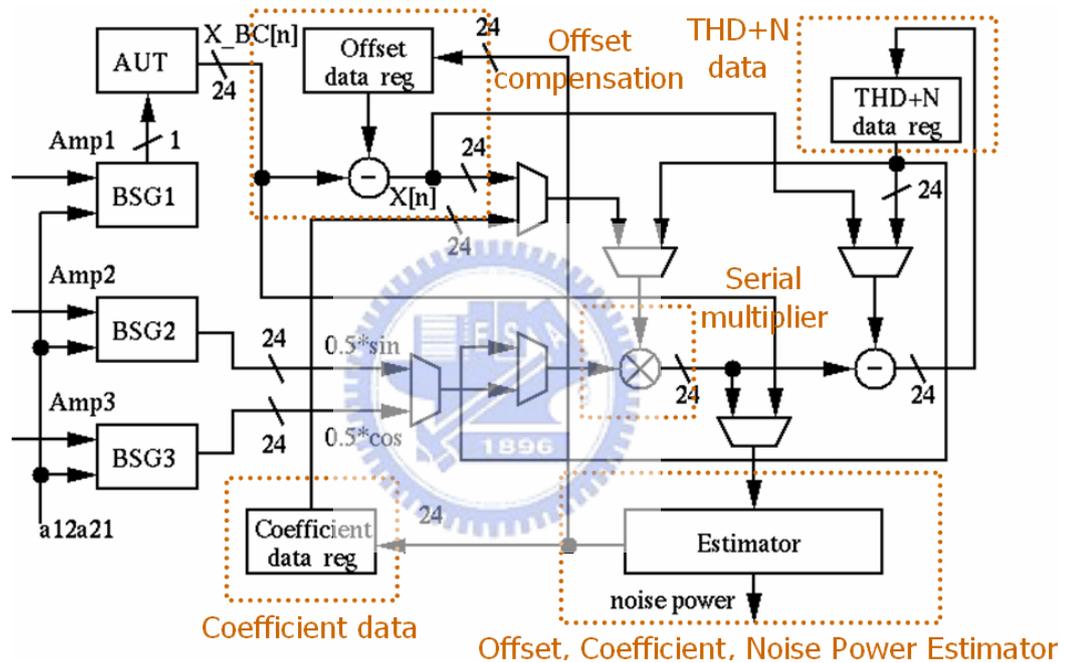


圖 5-7 自動相位補償型自我測試系統架構圖

為待測電路且以自動相位補償型自我測試法為基礎，所以必需使用到三組的寬頻域極點補償型數位弦波產生器。整個系統運作先將計算出偏位誤差，再將其去除。然後再計算出主訊號的係數 A_S 及 A_C 。利用 A_S 及 A_C 即可將主訊號去除。最後計算出總雜訊及諧波能量後，即能得到訊號對雜訊及總諧波比。其運算步驟可由圖 5-8 至圖 5-13 表示。

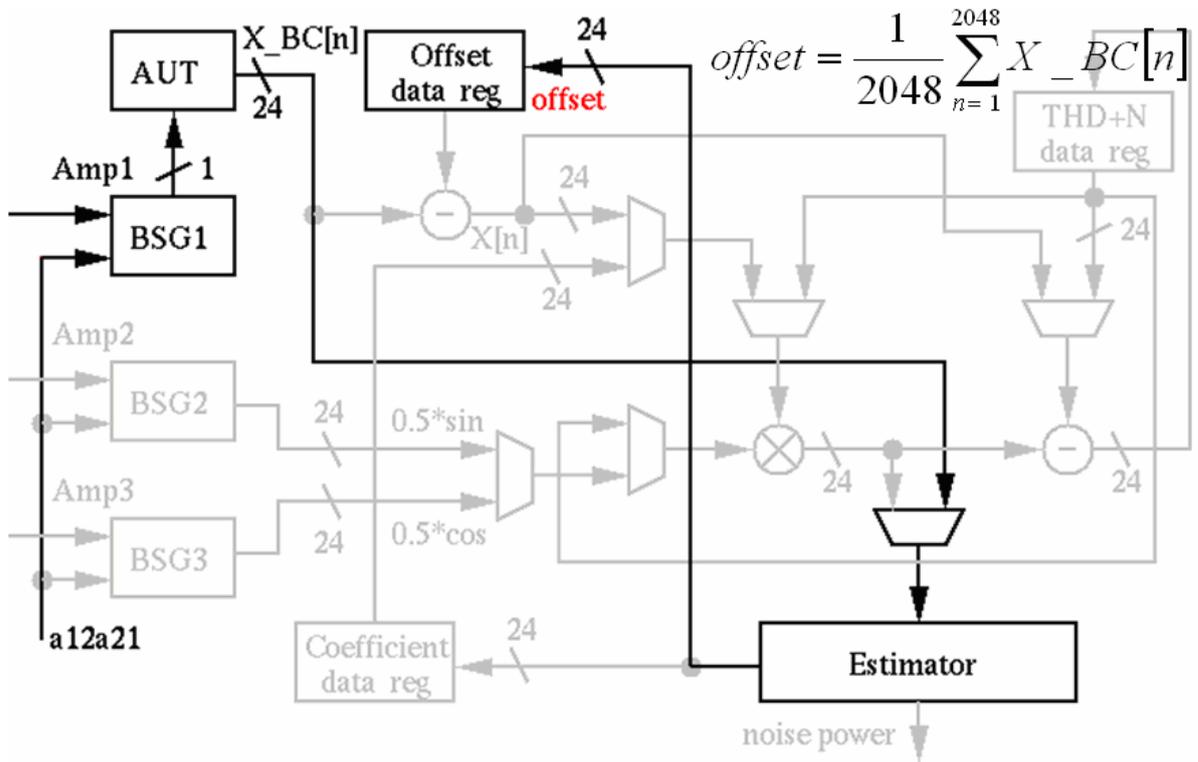


圖 5-8 自動相位補償型自我測試系統運算步驟一

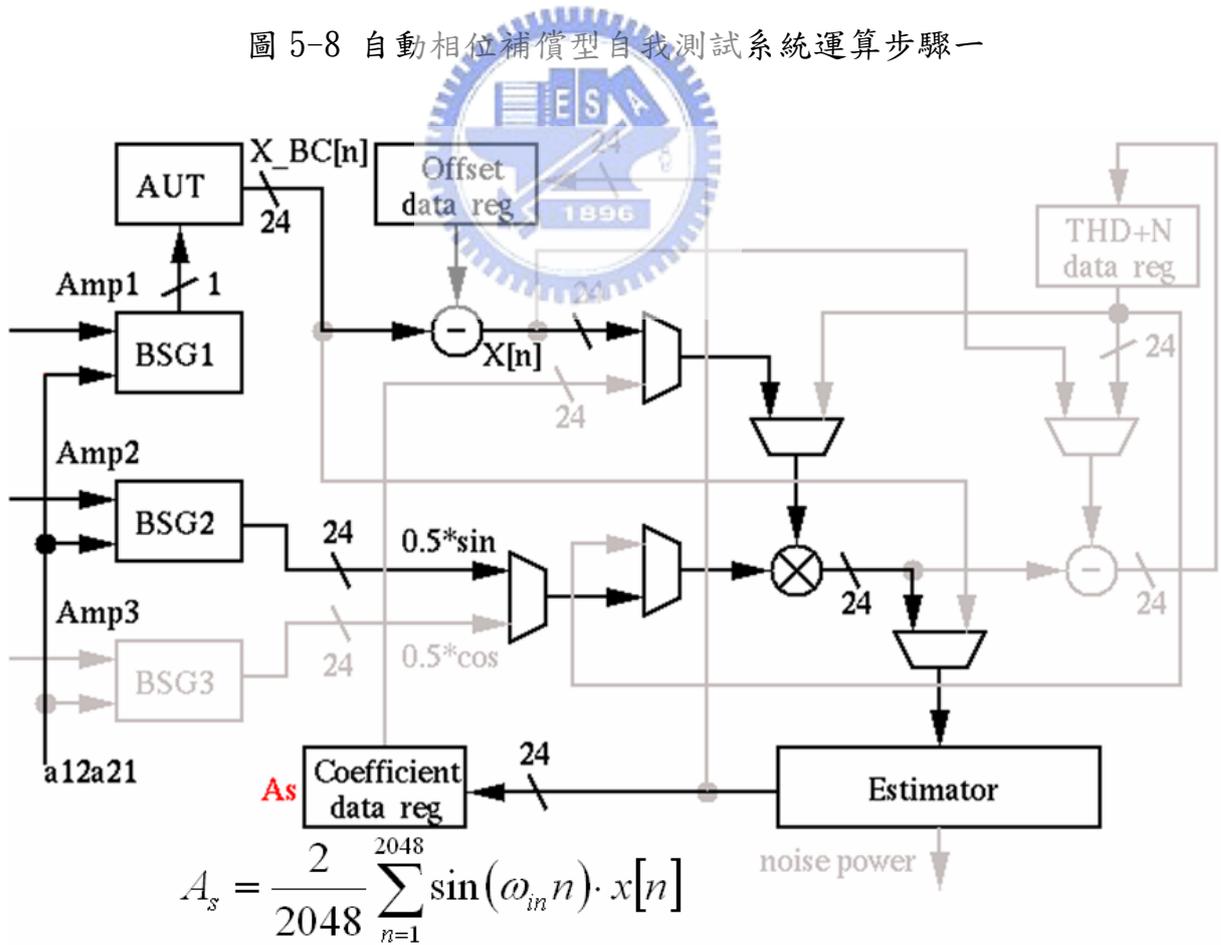


圖 5-9 自動相位補償型自我測試系統運算步驟二

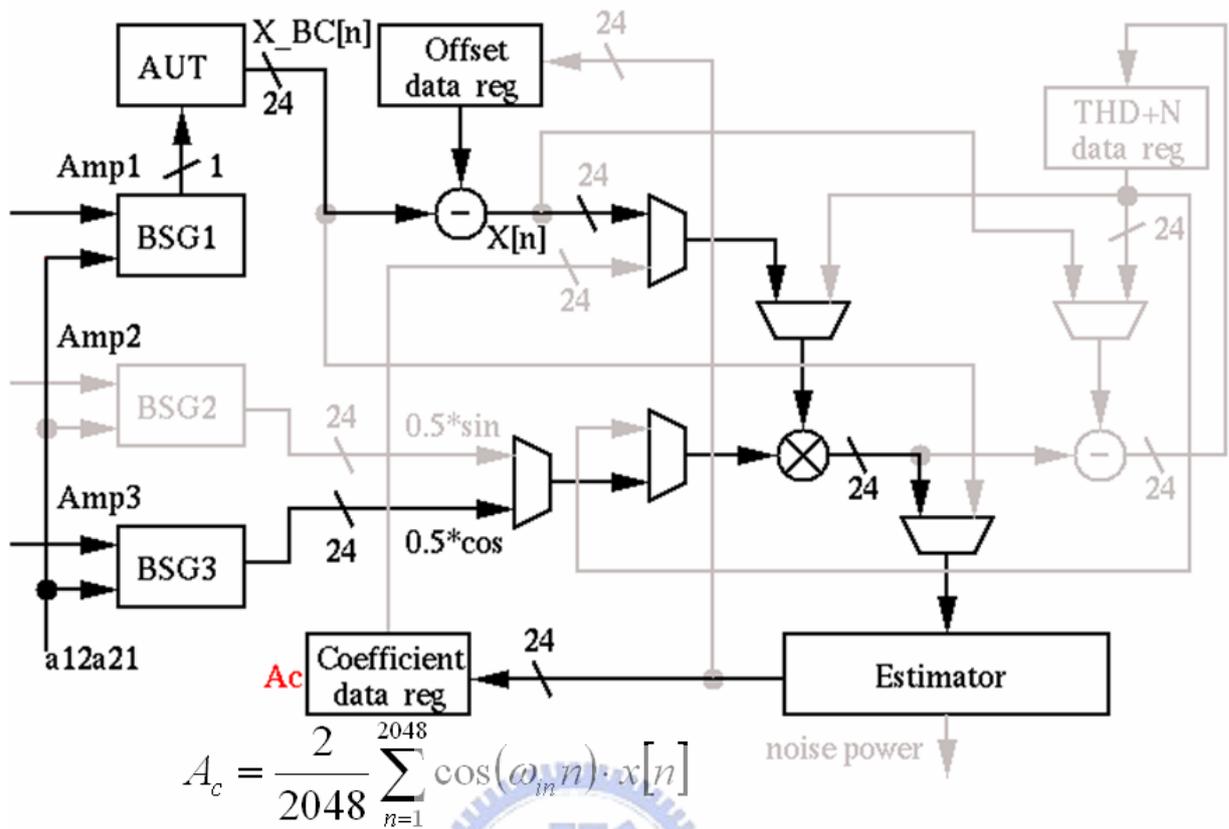


圖 5-10 自動相位補償型自我測試系統運算步驟三

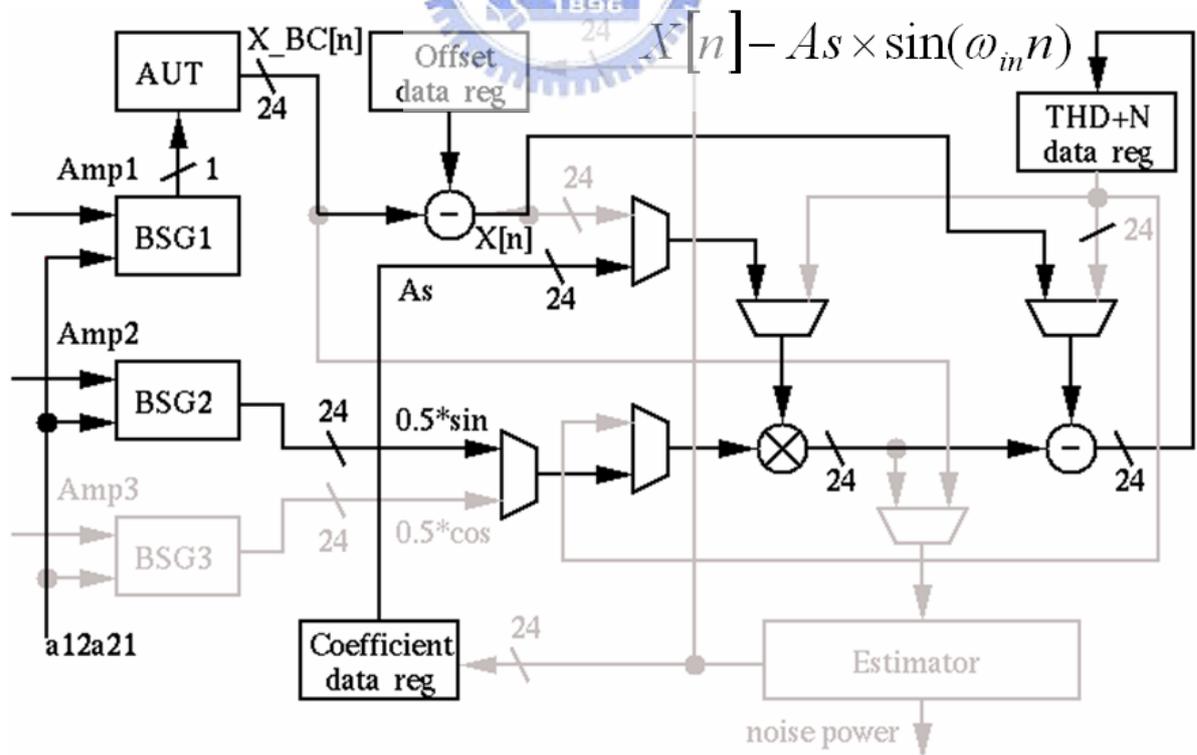


圖 5-11 自動相位補償型自我測試系統運算步驟四之一

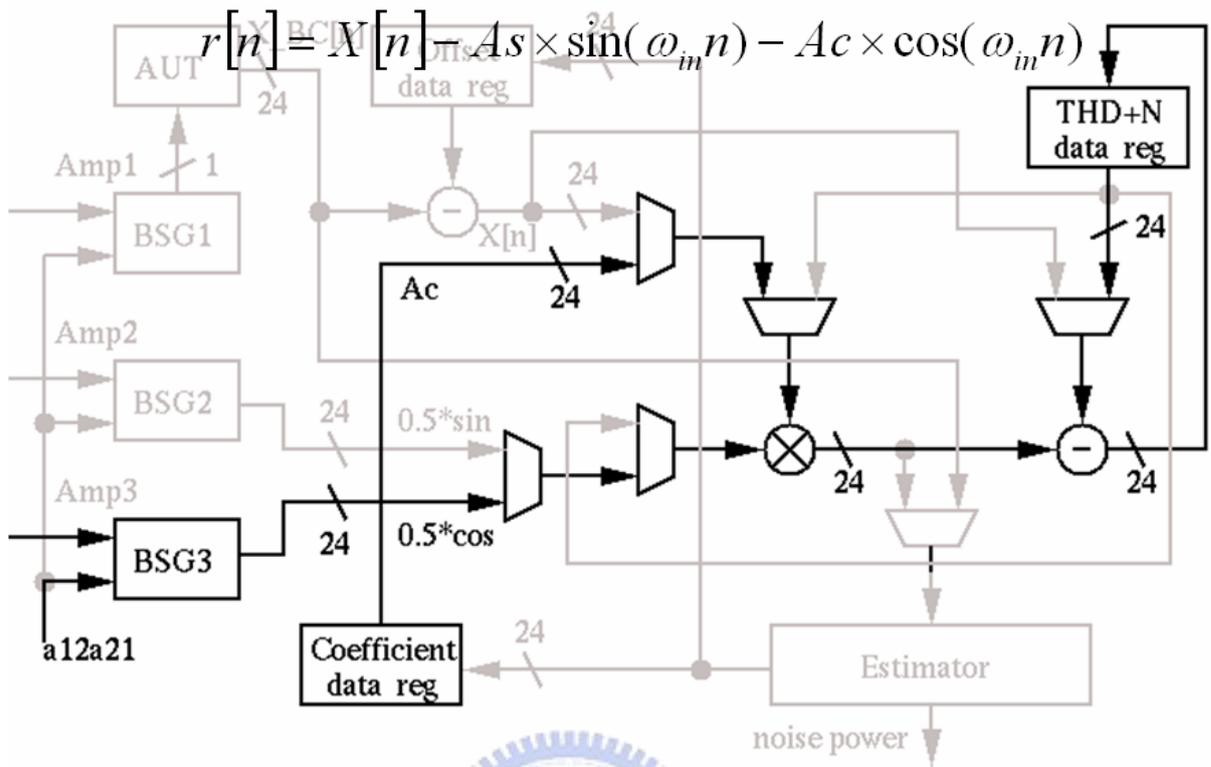


圖 5-12 自動相位補償型自我測試系統運算步驟四之二

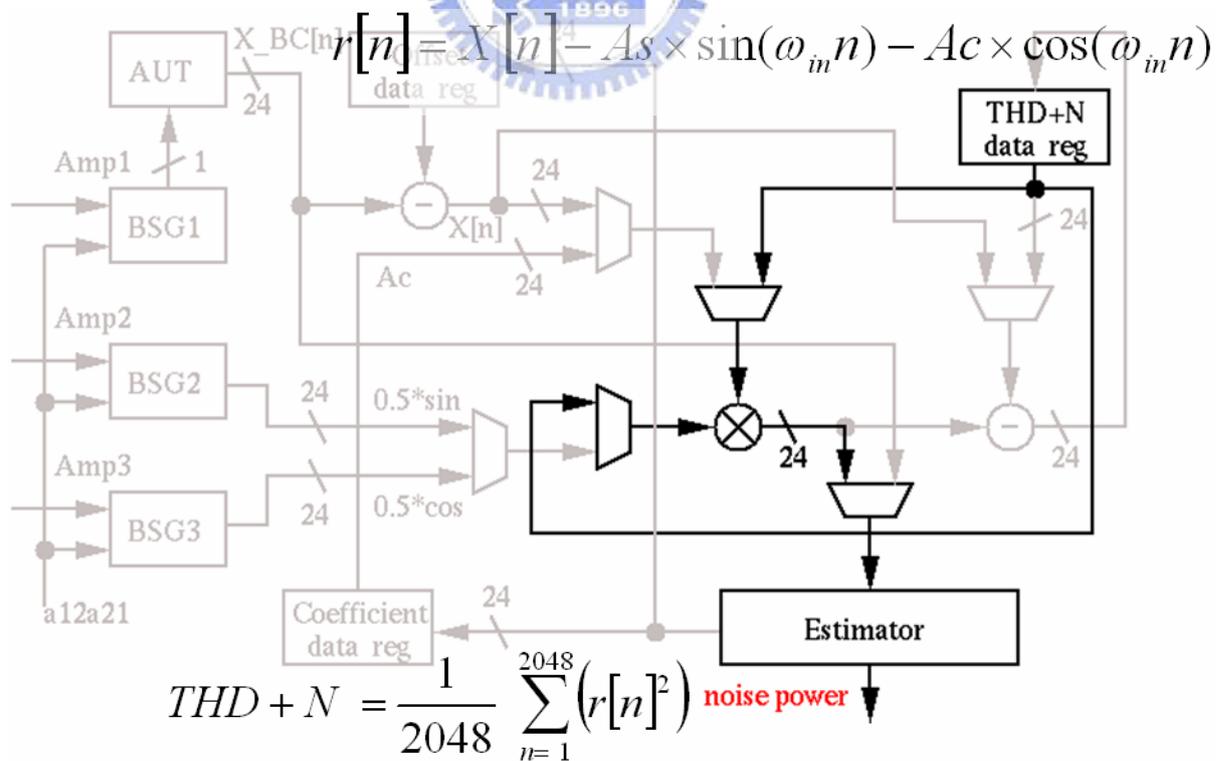


圖 5-13 自動相位補償型自我測試系統運算步驟四之三

由圖 5-8 至圖 5-13 可以清楚了解系統運作分為步驟一至步驟四，由於每個步驟需讓數位弦波產生器產生弦波訊號，其訊號長度為二的十八次方個系統時脈且每次產生數位弦波訊號需要給數位弦波產生器穩定時間，故需在每一個步驟之間加入初始穩定狀態。圖 5-14 為系統完整運作狀態圖。

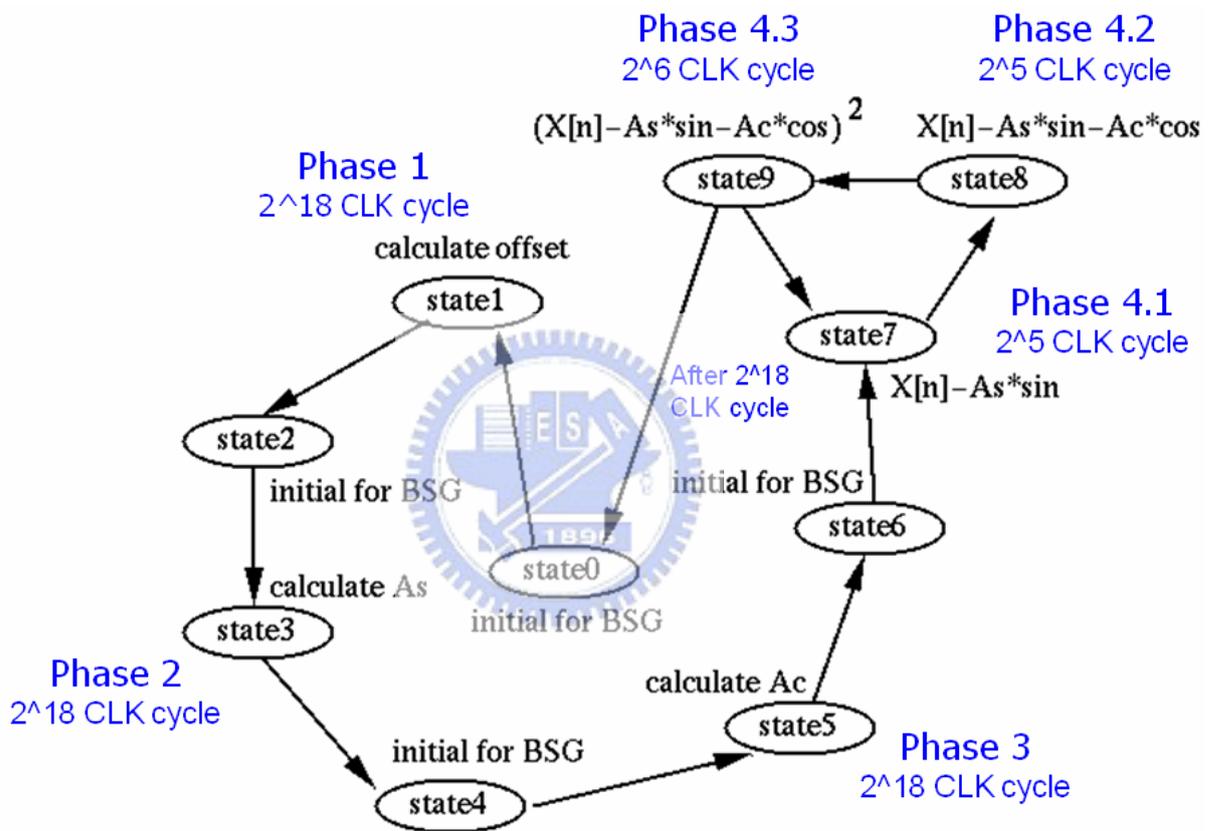
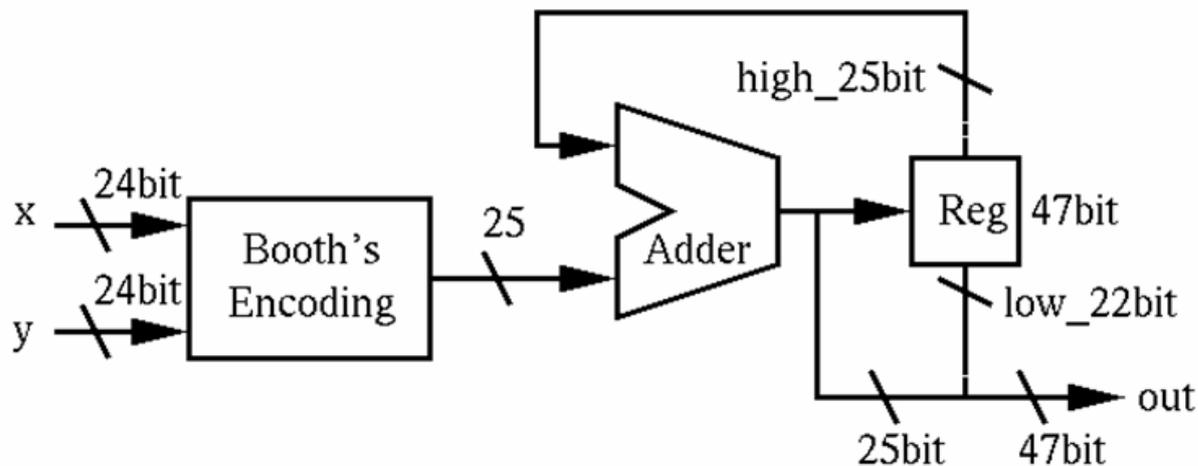


圖 5-14 自動相位補償型自我測試系統狀態表

在介紹完系統運作之後，將對響應分析器中所包含的串列乘法器、資料暫存器、計算器、偏移補償器作介紹，在自動相位補償型自我測試法中，需將主訊號係數與弦波訊號作相乘，由於待測物為超頻取樣類型電路設計，故我們可使用串列乘法器以節省成本。下圖 5-15 為串列乘法器架構圖，採用 Radix-4 布斯(Booth)

編碼方式完成。



$y_i^n, y_{i-1}^n, y_{i-2}^n$	$y_{i-1} = 0$	increment
000		0
001		x
010		x
011		2x
100		-2x
101		-x
110		-x
111		0

圖 5-15 串列乘法器架構圖及 Radix-4 布斯編碼方式

在響應分析器中，我們使用三個資料暫存器分別儲存偏移誤差、主訊號係數 A_s 及 A_c 、與雜訊及諧波。下列式(33)為計算偏移誤差、主訊號係數 A_s 及 A_c 值、與總雜訊及諧波能量的數學式，由式子中發現只需要一個暫存器及一個加法器運算與資料移位即可完成運算，下圖 5-16 為計算器(Estimator)之架構圖。

$$\text{Offset estimator: } \text{offset} = \frac{1}{2048} \sum_{n=1}^{2048} X_{BC}(n)$$

$$X(n) = X_{BC}(n) - \text{offset}, n = 1, 2, 3, 4 \dots 2048$$

$$A_1 = A_s = \frac{2}{N} \sum_{n=0}^{N-1} \sin(\omega_{in} n) \cdot x[n], \quad B_1 = A_c = \frac{2}{N} \sum_{n=0}^{N-1} \cos(\omega_{in} n) \cdot x[n]$$

$$\text{Power estimator: } THD + N = \sum_{n=1}^{2048} (X(n) - A_s \times \sin(\omega_{in} n) - A_c \times \cos(\omega_{in} n))^2 \quad (33)$$

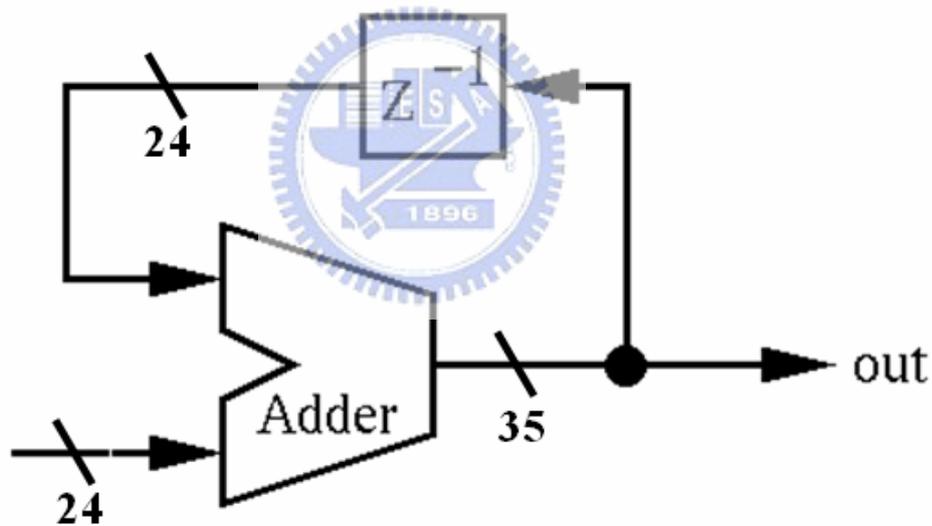


圖 5-16 計算器(Estimator)架構圖

最後介紹的為偏移補償器。其功能是将經由計算器所計算出來的偏移誤差儲存，並且將系統待測物的偏移誤差去除。其架構如同圖 5-7 所示，由一個暫存器及一個減法器所組成。此小節介绍的響應分析器非常節省硬體，只需要串列乘

法、些許暫存器、加減法器及一個計算器，就能達成即時(Real time)的運作。

5.3 系統電路模擬結果

針對此一混合訊號系統我們使用 MATLAB 程式進行行為模擬驗證，下圖 5-17 至圖 5-19 為所得到的待測電路輸出模擬結果。其輸入振幅為-6 dBFS，頻率分別為 1 KHz 與 10 KHz 以及 22 KHz 的弦波訊號。各圖中藍實線為測試訊號經過待測物 Σ - Δ 比數位轉換器的輸出響應頻譜圖，紅實線為將輸出響應訊號去除偏移誤差及主訊號頻率之後所剩下的雜訊及諧波。由圖中能發現幾乎任何頻率的雜訊及諧

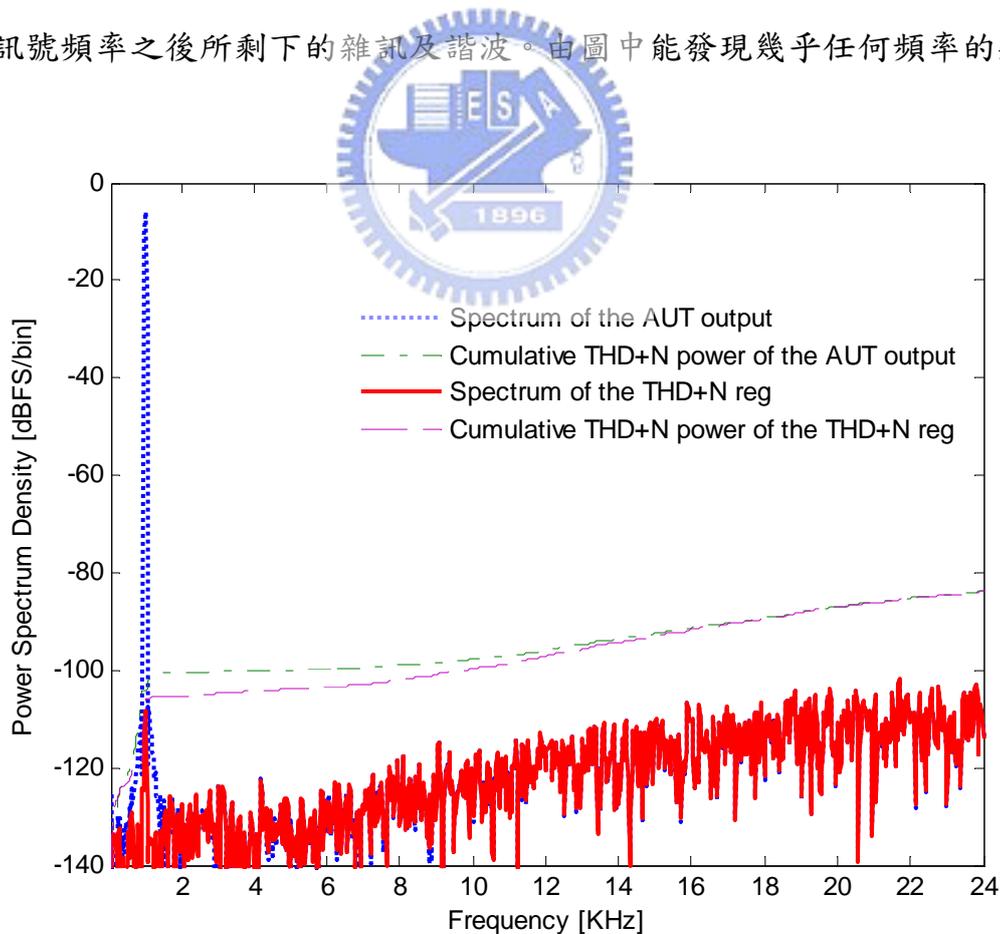


圖 5-17 以弦波最小誤差為基礎的自我測試系統模擬結果(1 KHz)

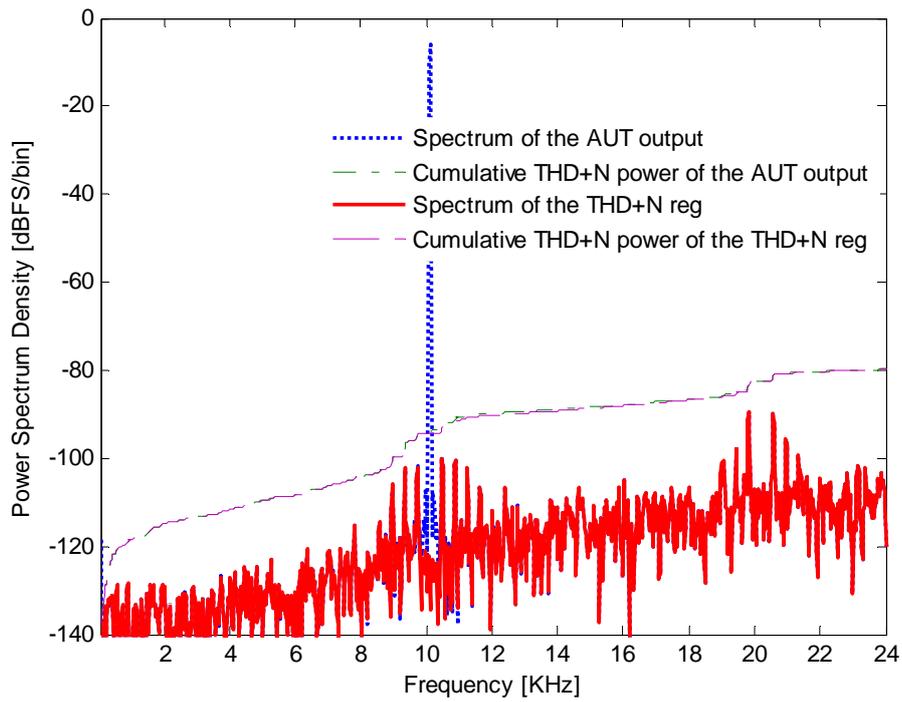


圖 5-18 以弦波最小誤差為基礎的自我測試系統模擬結果(10 KHz)

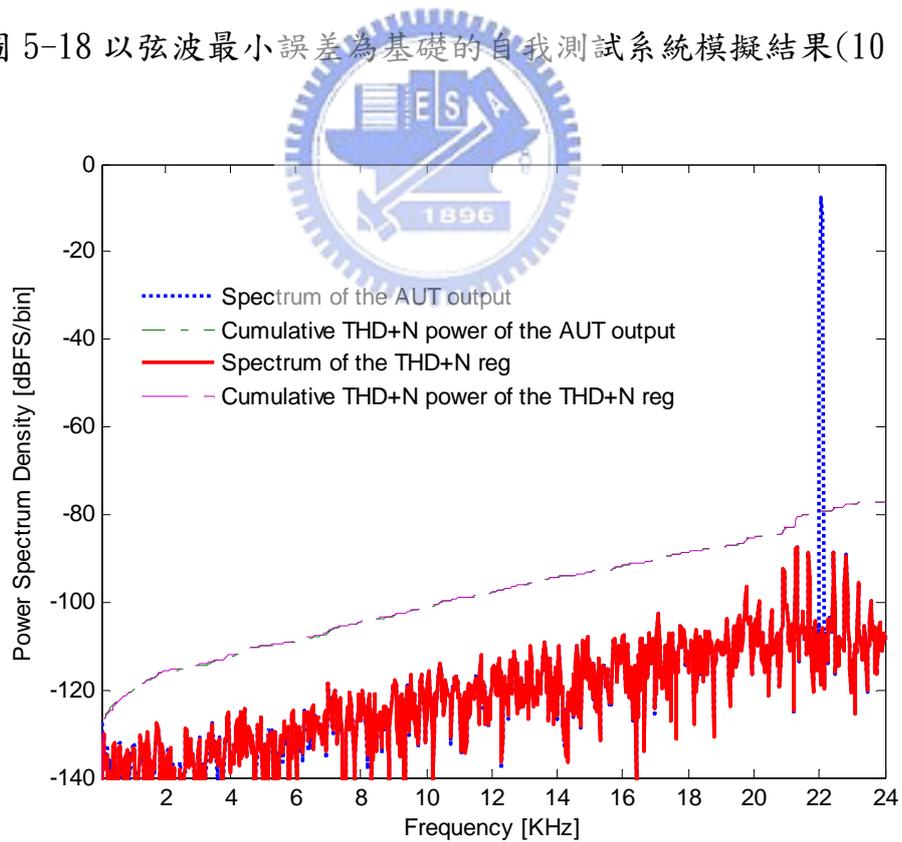


圖 5-19 以弦波最小誤差為基礎的自我測試系統模擬結果(22 KHz)

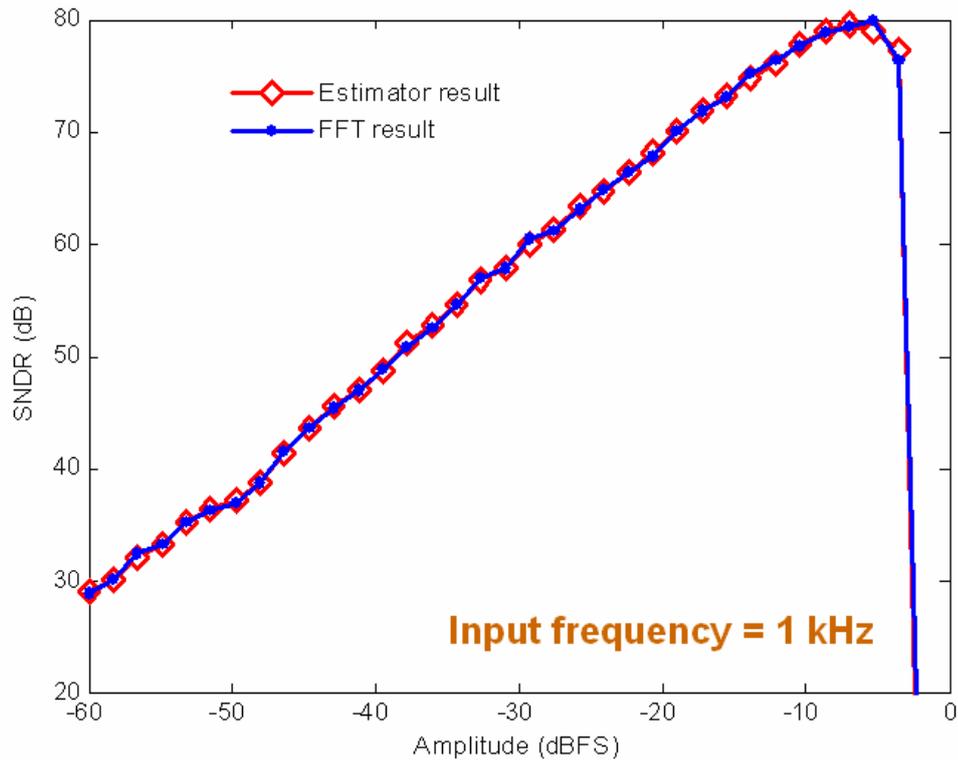


圖 5-20 以弦波最小誤差為基礎的自我測試系統動態範圍模擬結果(1 KHz)

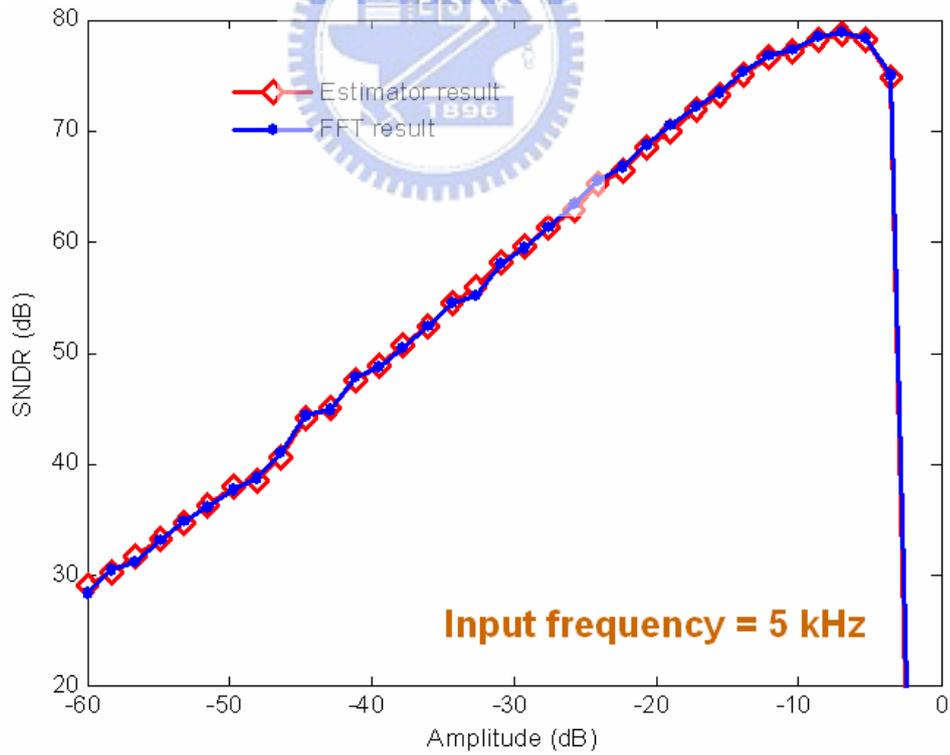


圖 5-21 以弦波最小誤差為基礎的自我測試系統動態範圍模擬結果(5 KHz)

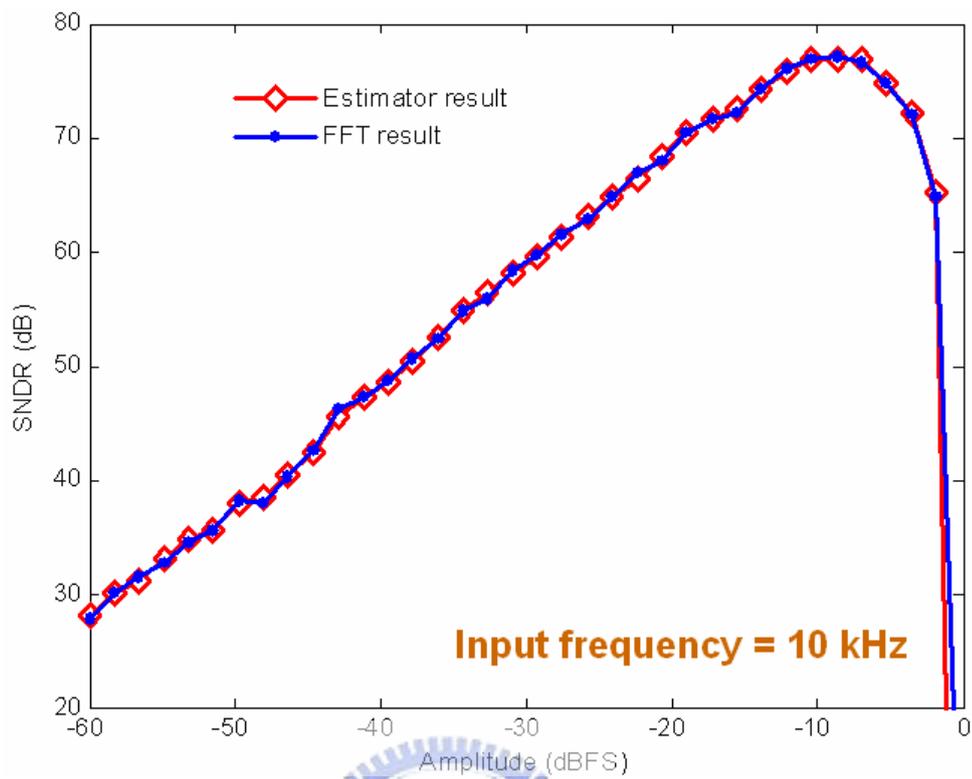


圖 5-22 以弦波最小誤差為基礎的自我測試系統動態範圍模擬結果(10 KHz)

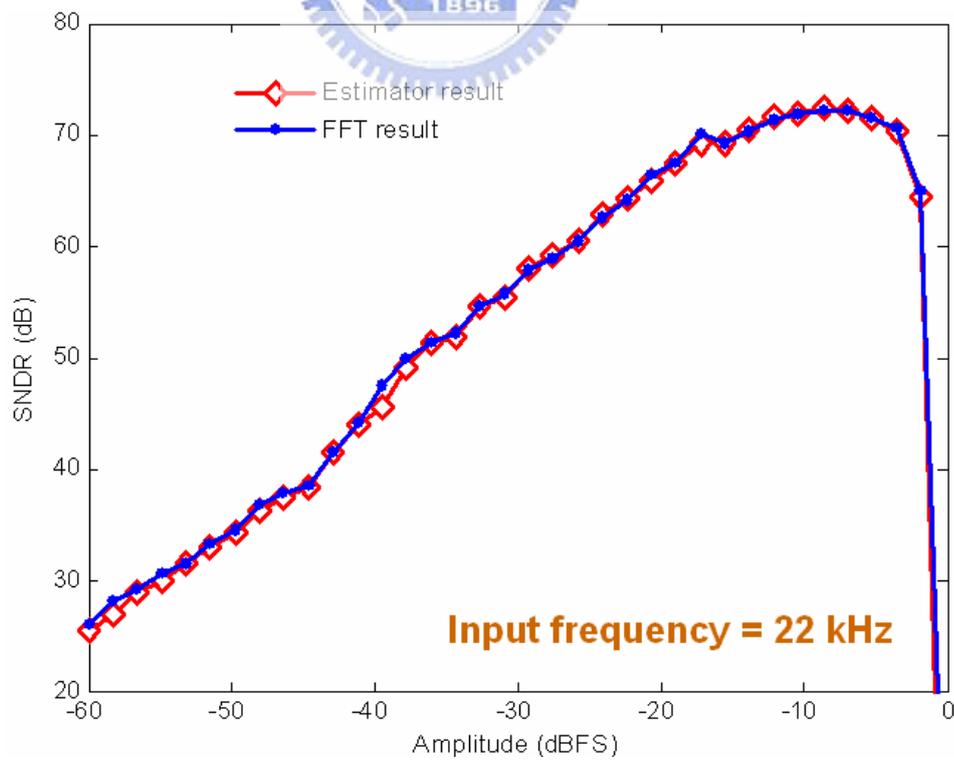


圖 5-23 以弦波最小誤差為基礎的自我測試系統動態範圍模擬結果(22 KHz)

波皆能被準確的被響應分析器所表示，其總誤差皆在 0.3 dB 之內。上圖 5-20 至圖 5-23 分別為輸入頻率 1 KHz、5 KHz、10 KHz 以及 22 KHz 的動態範圍模擬結果。其平均誤差為依序為 0.204 dB、0.234 dB、0.213 dB、0.324 dB。模擬結果顯示使用此系統不但能測試頻寬內高頻響應，也提供了精準的測量結果。最後將模擬結果統計，可得輸入頻率從 1 KHz 至 24 KHz 各別訊號訊號對雜訊及總諧波比如下圖 5-24 所示。其平均誤差僅為 0.218 dB。

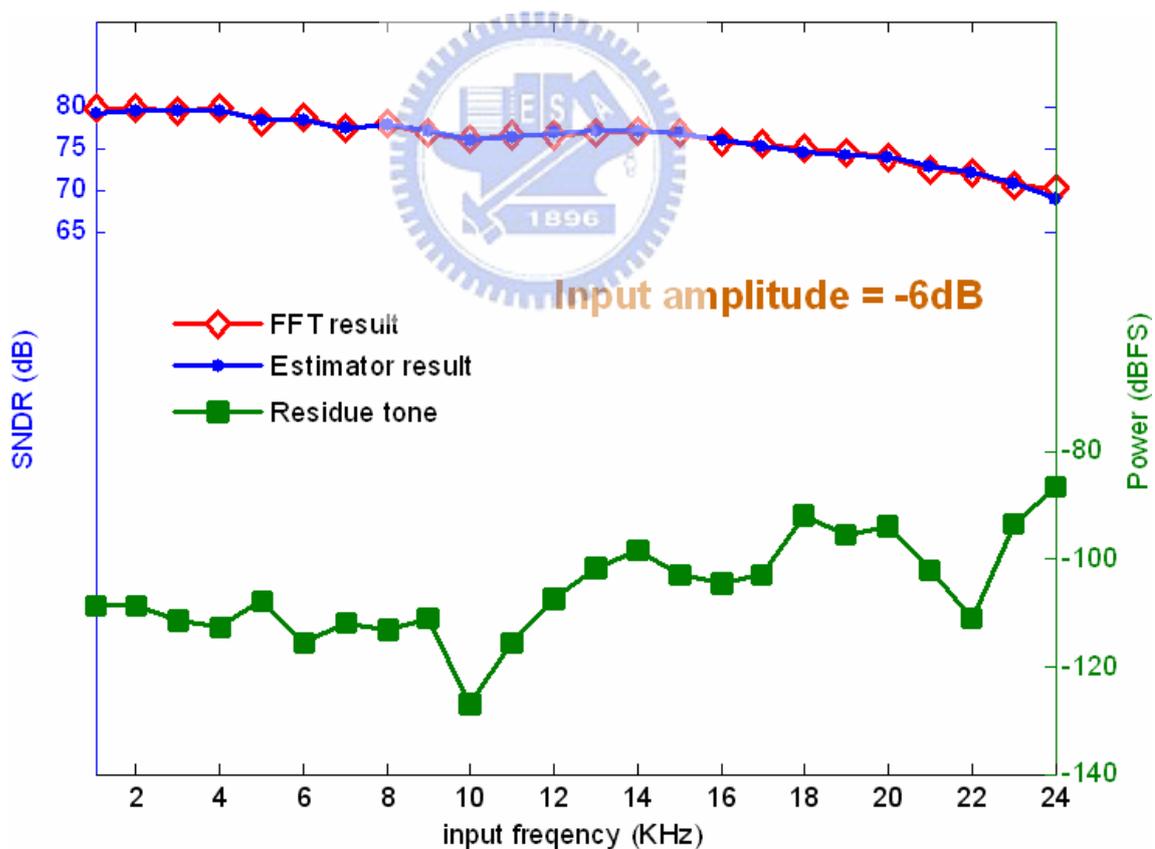


圖 5-24 以弦波最小誤差為基礎的自我測試系圍模擬結果(1~24 KHz)

第六章以弦波最小誤差為基礎的自我測試系統量測

6.1 硬體實現及 FPGA 驗證(合成後邏輯匣數比較及優缺點分析)

第五章所介紹的自我測試電路，我們使用高階硬體描述語言編寫出程式碼。

經過 Cadence 公司之 Verilog 硬體描述語言模擬器(NC-Verilog)模擬無誤後，再

使用 SYNOPSYS 公司所發展的合成軟體 Design Compiler 來合成。表 6-1 為將使

用未改良及改良型以 $\Sigma-\Delta$ 調變器為基礎的自我測試系統合成後所得到的總邏輯

匣數與所作的比較。這裡我們使用 0.18 μm 製程的標準原件庫進行合成。由表中

可得知使用以弦波最小誤差為基礎的自我測試系統的總邏輯匣數較多，但其能應

用在需要較高頻激發訊號的混合訊號電路自我測試上。

表 6-1 系統合成邏輯匣數比較表

	SDMB CSWF 2 nd -order	SDMB CSWF 3 rd -order	SME
BSG	2.35k \times 2	3.05k \times 2	6.32k \times 3
ORA (Amp Est., Offset Est., Power Est.)	5.6k	5.6k	2.54K
Serial to Parallel and Parallel to Serial I/Os	1.6k	1.6k	1.6K
Total BIST System	11.9k	13.3k	23.1K

所得之合成電路我們再以硬體描述語言模擬器(NC-Verilog)作邏輯匣層

(Gate level)之驗證。最後使用 FTGA 燒錄軟體 Quartus 重新經過合成後燒錄至

FPGA 板(Altera EP2S60F672c5ES)上。

6.2 量測結果(FPGA)

在量測環境上我們使用了安捷倫邏輯分析儀(Agilent 16702B Logic analysis System)、安捷倫訊號產生器(Agilent 33250A 80 MHz AWG)、安捷倫電源供應器(Agilent E3610A power supply)、安捷倫示波器(Agilent 54832D 1 GHz Mixed -signal Oscilloscope)等儀器。其中由同一邏輯分析儀輸入 BSG 之設定係數與接收資料，下圖 6-1、6-2 當測試頻率分別為 10KHz 及 22KHz 時，將尚未輸入至電路計算器之前的雜訊及總諧波訊號經過快速富利葉轉換所得之頻譜，由圖觀察得知系統的確能正確地消除偏移誤差及主訊號。再將所接收資料經過 MATLAB 運算與統計後，可得到圖 6-3。該圖顯示當輸入頻率從 1 KHz 升高到 24KHz 時所測量到的訊號對雜訊及總諧波比。其平均誤差為 0.273 dB，最大誤差為在 10 KHz 時產生的 0.8 dB 誤差。量測結果準確度與模擬結果相符。圖 6-4 至圖 6-6 分別為輸入頻率 1 KHz、10 KHz、22 KHz 所量測到的動態範圍。輸入頻率 1 KHz 時平均誤差為 0.198 dB，最大誤差為振幅-5 dBFS 時產生 0.65 dB 之誤差。輸入頻率 10 KHz 時平均誤差為 0.313 dB，最大誤差為振幅-5 dBFS 時產生 1.15 dB 之誤差。輸入頻率 22 KHz 時平均誤差為 0.321 dB 最大誤差為振幅-30 dBFS 時產生 0.7 dB 誤差之。



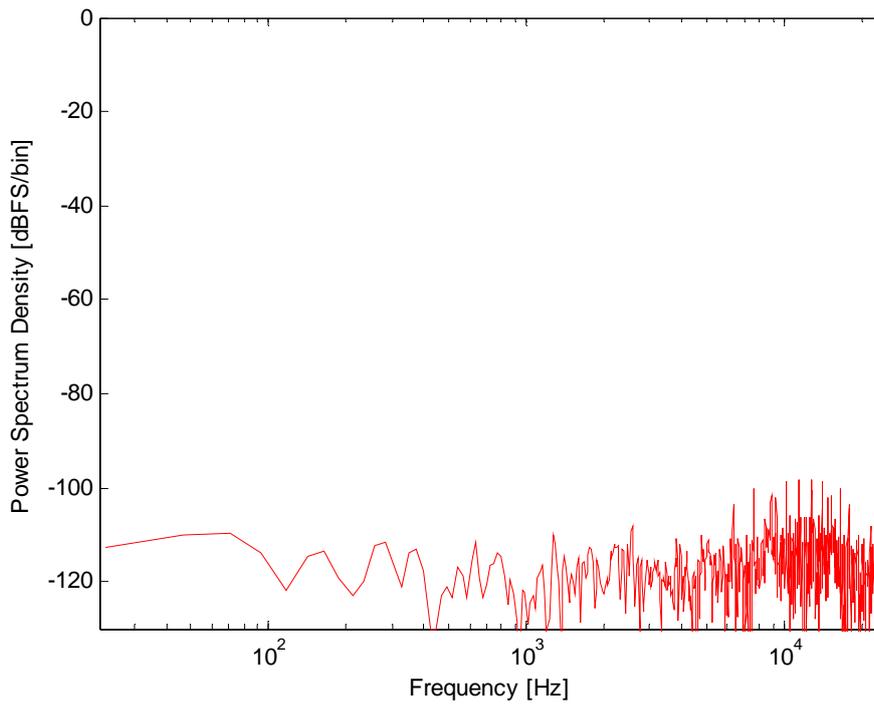


圖 6-1 雜訊及總諧波訊號(輸入頻率 10 KHz 振幅-6 dBFS)

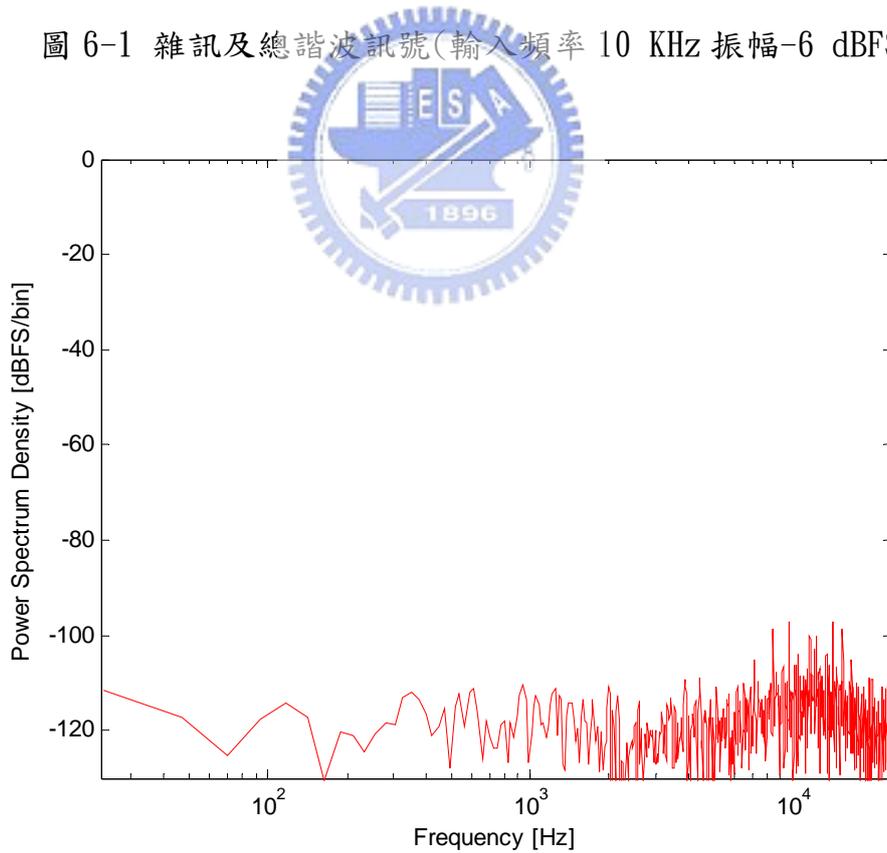


圖 6-2 雜訊及總諧波訊號(輸入頻率 22 KHz 振幅-6 dBFS)

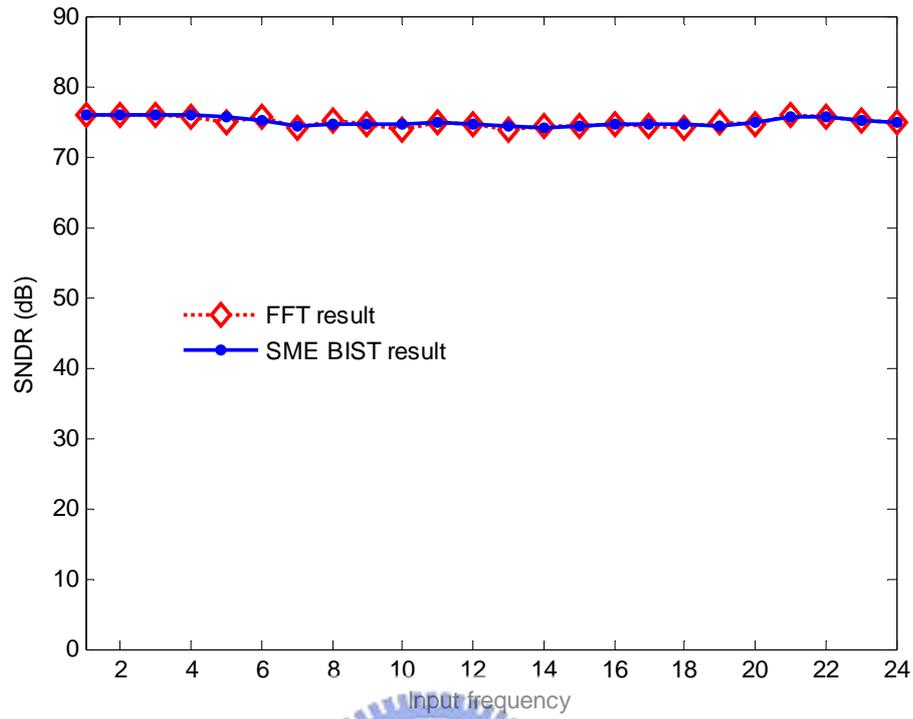


圖 6-3 自我測試系統訊號對雜訊及總諧波比與輸入頻率比較圖

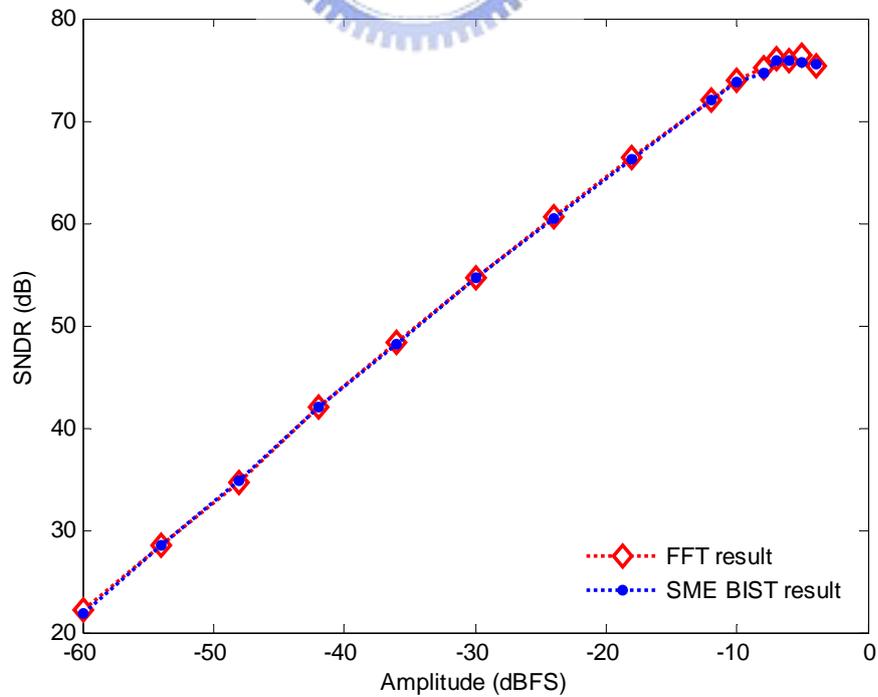


圖 6-4 自我測試系統動態範圍量測結果(1 KHz)

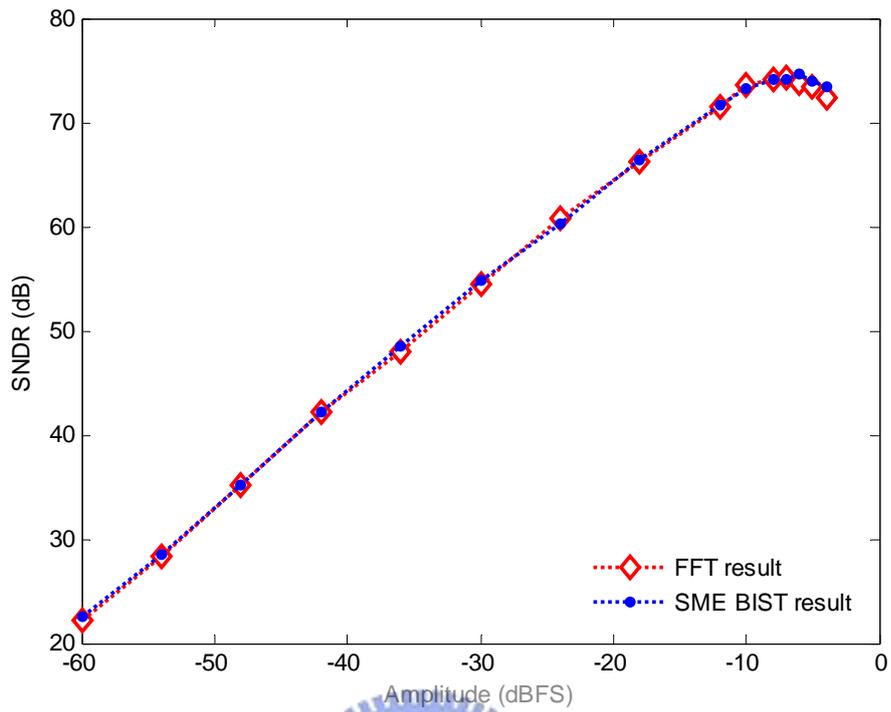


圖 6-5 自我測試系統動態範圍量測結果(10 KHz)

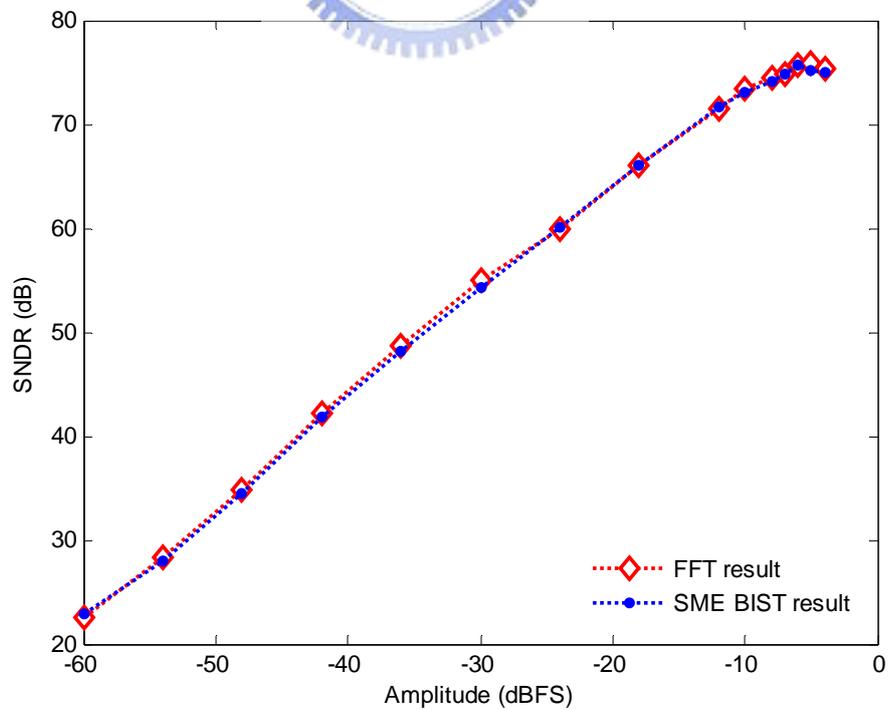


圖 6-6 自我測試系統動態範圍量測結果(22 KHz)

6.3 自動化佈局(APR)

經過使用 FPGA 驗證設計無誤後，我們使用 Cadence 公司的自動化佈局軟體 SoC Encounter (RTL to GDS2)進行自動佈局。再經後佈局模擬(post-layout simulation)驗證時序(timing)的正確性。預計與類比電路整合後以 0.18um 2P6M CMOS 製程下線。下圖 6-7 為使用自動化佈局後的數位電路 layout 圖，此電路佈局包括降頻濾波器(15 KGate)以及以弦波最小誤差為基礎的自我測試電路(23.1 KGate)兩部分。

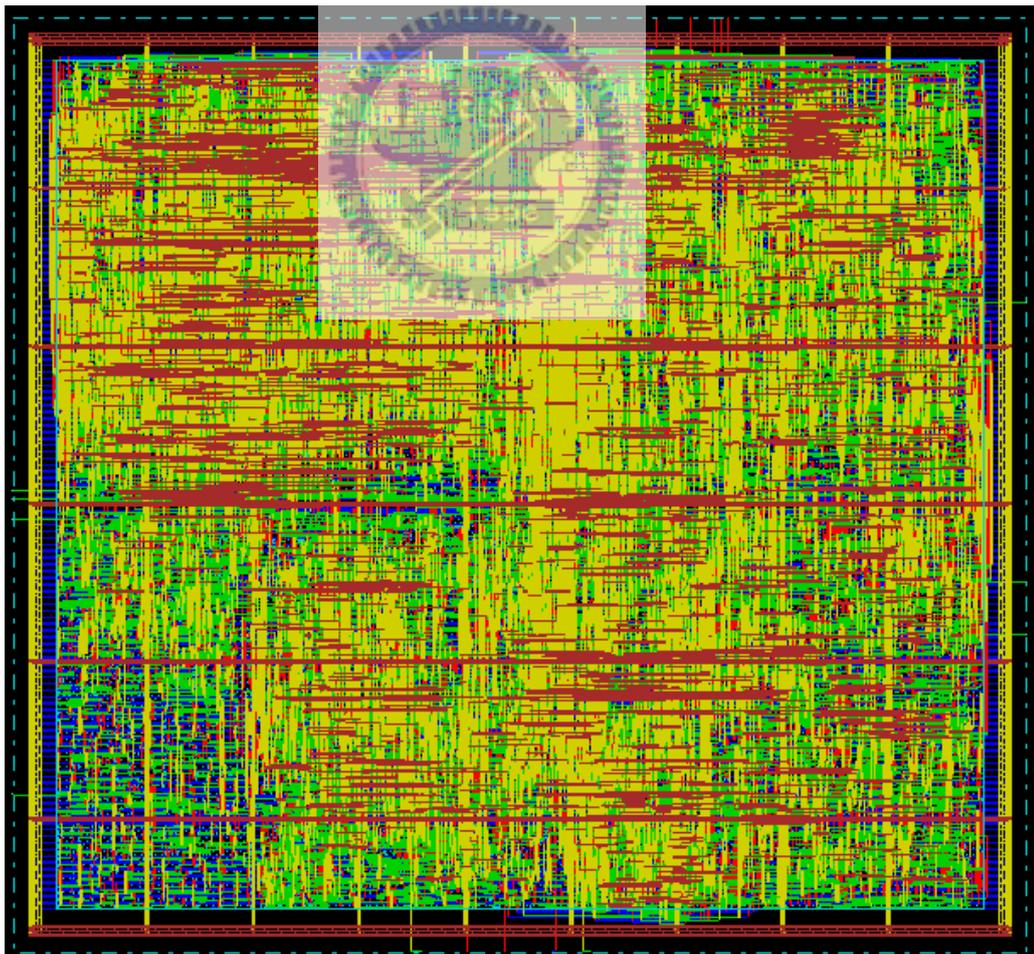


圖 6-7 數位電路 layout 圖

第七章 結論與未來方向

本論文中提出一以最小弦波誤差為基礎設計適用於混合訊號電路的自我測試系統。此方法可以提供較寬的測試頻寬以及較穩定的數位弦波，而且該系統能自動補償相向誤差，使其能有更廣泛的應用。系統合成後之總邏輯匣數為 23 K，當用於測量二階 Σ - Δ 類比數位轉換器時之測量頻寬可達 24 KHz，所測量到的訊號對雜訊與總諧波比與快速富利葉轉換的結果之間的平均誤差僅為 0.273 dB。未來可以將其應用於除了 Σ - Δ 類比數位轉換器之外的混合訊號電路，如類比濾波器等。如何發展出面積更小、效能更好的數位弦波產生器以降低成本及提高測試頻寬也是未來的研究方向之一。



參考文獻

- [1] H. -C. Hong, “Design-for-Digital-Testability 30 MHz Second-Order Sigma-Delta Modulator,” in Proc. IEEE Custom Integrated Circuits Conf. (CIIC), 2004, pp. 211-214.
- [2] A. K. Lu and G. W. Roberts, “A High-Quality Analog Oscillator Using Oversampling D/A Conversion Techniques,” *IEEE trans. Circuits and Systems II: Analog and Digital Signal Processing*, vol. 41, no. 7, pp. 437-444, Jul. 1994.
- [3] H. -C. Hong, S. -C. Liang, “A Cost Effective Output Response Analyzer for Sigma-Delta Modulation Based BIST Systems.” *Test Symposium*, 2006. ATS' 06. 15th Asian
- [4] David A. Johns and Ken Martin, “Analog integrated circuit design.” *John Wiley & Sons*
- [5] Alan V. Oppenheim and Ronald W. Schaffer, “Discrete-time signal processing”
- [6] M. Burns and G.W. Roberts, *An Introduction to Mixed-Signal IC Test and Measurement*. Oxford, NY: Oxford University press, 2001.

- [7] H. Mattes and S. Sattler and C. Dworski, “Controlled Sine Wave Fitting for ADC Test,” in Proc. IEEE Int. Test Conf. (ITC), 2004, pp. 963–971.
- [8] J.-L. Huang and k.-T. Cheng, “A sigma-delta modulation based BIST scheme for mixed-signal circuits,” in Proc. IEEE Asia and South Pacific Design Automation Conf. (ASPDAC), 2000, pp. 605–610.
- [9] B. Boser “Simulating and testing oversampling Analog to Digital converter”
- [10] Xavier Haurie and Gordon W. Roberts, “A design, simulation and synthesis Tool for Delta-Sigma-Modulator-Based signal sources”
- [11] A. K. Lu and G. W. Roberts, “An Oversampled-Based Analog Multi-tone Signal Generator” , IEEE International Test Conference, 1994
- [12] X. Haurie and G. W. Roberts, “Arbitrary-Precision Signal Generation for Bandlimited Mixed-Signal Testing” , International Test Conference, October 1995
- [13] M. Toner and G. W. Roberts, ” A BIST Scheme for a SNR, Gain Tracking, and Frequency Response Test of a Sigma-Delta ADC” , IEEE Transactions



an Circuits and System-II: Analog and Digital Signal Processing, Vol. 42, No. 1, January 1995, pp. 1-15

[14] M. F. Toner and G. W. Roberts, "A BIST Technique for a Frequency Response and Intermodulation Distortion Test of a Sigma-Delta ADC" , IEEE VLSI Test Symposium, pp, 60-65, April 1994.

[15] M. Renovell, F. Azais, S. Bernard and Y. Bertrand, "Hardware Resource Minimization for Histogram-Based ADC BIST" .

[16] F. Azais, S. Bernard, Y. Bertrand and M. Renovell, "Towards an ADC BIST Scheme using the Histogram Test Technique"

[17] H. -C. Hong, J. -L. Huang, K. -T. Cheng. C. -W. Wu, and D. -M. Kwai, "Practical Considerations in Applying Sigma-Delta Modulation-Based Analog BIST to Sampled-Data Systems, "IEEE Trans, Circuits and Systems II: Analog and Digital Signal Processing, vol. 50, no. 9, pp553-566, Sept. 2003

[18] H. -W. Ting, C. -W. Lin, B. -D. Liu and S. -J. Chang, "Reconstructive Oscillator Based Sinusoidal Signal Generator for ADC BIST," in IEEE Asian Solid-State Circuits Conf. (ASSCC), 2005, pp. 65-68.

- [19] J. C. Candy, “Decimation for Sigma Delta Modulation, “IEEE Trans. Communications, vol. 34, no. 1, p.72, jan,1986.
- [20] H. -C. Hong, “Improving the Behavioral Simulation Accuracy of the Design-for-Digital-Testability Second-Order Sigma-Delta modulation,” in International Mixed-Signals Testing Workshop, 2005.

