

# 國立交通大學

電機與控制工程學系

碩士論文

應用於可攜式生理訊號擷取系統之頻寬/增益

可調式低雜訊前端電路設計

**BW/Gain Tunable Low Noise Front-End IC Design  
for Portable Bio-Signal Acquisition System**

研究生：黃俊傑

指導教授：林進燈 博士

陳右穎 博士

中華民國 九十六年 六月

應用於可攜式生理訊號擷取系統之頻寬/增益

可調式低雜訊前端電路設計

**BW/Gain Tunable Low Noise Front-End IC Design for  
Portable Bio-Signal Acquisition System**

研究生：黃俊傑

Student : Chun-Chieh Huang

指導教授：林進燈 博士

Advisor : Dr. Chin-Teng Lin

陳右穎 博士

Dr. Yo-Ying Chen

國立交通大學

電機與控制工程學系



A Thesis

Submitted to Department of Electrical and Control Engineering

College of Electrical and Computer Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

June 2007

Hsinchu, Taiwan, Republic of China

中華民國 九十六 年 六 月

# 應用於可攜式生理訊號擷取系統之頻寬/增益 可調式低雜訊前端電路設計

學生：黃俊傑

指導教授：林進燈 博士

陳右穎 博士

國立交通大學電機與控制工程研究所

## 中文摘要

在人體所有的生理訊號中，由於擷取到的訊號振幅非常微弱，也容易被受測者本身、量測環境及設備等因素所影響，故本論文提出適用於各種生理訊號擷取之晶片設計。除了一般著重的低功率、低雜訊之外，同時提高共模訊號拒斥比(CMRR)與電源漣波拒斥比(PSRR)，並將整體前端電路整合實現在單一晶片上，完全不需要任何外接元件，除了兼具成本與晶片面積效益，亦可降低因複雜的接線對生理訊號在量測時所造成的干擾，使後端作處理及分析的訊號品質能夠更為精確。另外，在系統加入了數位控制介面，根據不同生理訊號的需求，利用數位訊號去控制選擇所要的訊號放大倍率與系統頻寬。

本論文所設計的生理訊號擷取晶片包含：電流平衡式儀表放大器(CBIA)及切換式電容濾波器(SCF)、非重疊時脈產生器(Non-Overlapping Clock Generator)及可程式增益放大器(PGA)等電路。整個電路設計使用 TSMC 0.35 $\mu$ m CMOS 2P4M 製程技術來實現，而整體晶片面積為 0.907\*1.129  $mm^2$ 。由模擬結果顯示，在頻率 50Hz 下，可獲得 CMRR 155dB、PSRR+ 131dB，和 PSRR- 127dB 的效能。在操作電壓  $\pm 1.5V$  下，總消耗功率約 142.4 $\mu$ A。

關鍵字：生理訊號，腦電圖，眼電圖，肌電圖，心電圖，電流平衡式儀表放大器，  
切換式電容濾波器，非重疊時脈產生器，可程式化增益放大器。

# **BW/Gain Tunable Low Noise Front-End IC Design for Portable Bio-Signal Acquisition System**

Student: Chun-Chieh Huang      Advisor: Dr. Chin-Teng Lin  
Dr. Yu-Ying Chen

Department of Electrical and Control Engineering  
National Chiao Tung University

## **Abstract**

Due to low-amplitude and non-stationary properties, most of biomedical signals are easy to be influenced by examined persons, measured environment, and electronic devices. The objective of this thesis is to propose a novel analog circuit design, which is suitable for various biomedical signal acquisitions. In addition to the consideration of low power and low noise, the analog front-end integrated circuit (AFEIC) is presented with design of high common-mode rejection ratio (CMRR) and high power supply ripple rejection ratio (PSRR). This circuit was realized into a single chip without any external component. It can not only reduce the number of outer components, but also greatly enhance a better signal-to-noise ratio. In addition, to select system gain and bandwidth corresponding to different amplitude and frequency of biomedical signals, the digital controllable interface was also designed and integrated into AFEIC.

In this thesis, AFEIC design includes one current-balancing instrumentation amplifier (CBIA), one switching capacitance filter (SCF), one non-overlapping clock generator, and one programmable gain amplifier (PGA). These circuits have been integrated into a single chip of the total area of  $0.907 \times 1.129 \text{ mm}^2$  by using TSMC  $0.35 \mu\text{m}$  CMOS 2P4M standard process. For the simulation results, the proposed chip can achieve 155 dB of CMRR, 131 dB of PSRR+, and 127 dB of PSRR- at 50 Hz. The power consumption is about  $142.4 \mu\text{W}$  under  $\pm 1.5\text{V}$  supply.

**Keyword:** Biomedical signals, electroencephalogram (EEG), electro-oculogram (EOG), electromyogram (EMG), electrocardiogram (ECG), current-balancing instrumentation amplifier (CBIA), switched-capacitor filter (SCF), non-overlapping clock generator, programmable gain amplifier (PGA).

## 誌 謝

本論文的完成，首先要感謝指導教授林進燈博士以及共同指導教授陳右穎博士這兩年來的悉心指導，讓我學習到許多寶貴的知識，在學業及研究方法上也受益良多。另外也要感謝口試委員們的建議與指教，使得本論文更為完整。

其次，感謝協助指導資訊媒體實驗室的鍾仁峰博士、范倫達博士，在理論及實作技巧上給予我相當多的幫助與建議，讓我獲益良多。此外，也衷心的感謝學長宗哲、紹航、吉隆，同學弘章、林玫、明達、智文、德瑋及靜瑩的相互砥礪，以及學弟妹毓廷、儀晟、煒忠、建昇、孟修、寓鈞、舒愷、孟哲在研究過程中所給我的鼓勵與協助。

感謝我的父母親黃煌安先生與蔡素雲女士對我的教育與栽培，並給予我精神及物質上的一切支援，使我能安心地致力於學業。此外也感謝哥哥黃俊偉對我不斷的關心與鼓勵。

謹以本論文獻給我的家人及所有關心我的師長與朋友們。

# 內容

中文摘要 .....	ii
Abstract.....	iii
誌謝.....	iv
內容.....	v
表目錄 .....	vii
圖目錄 .....	viii
<b>1 第一章 緒論 .....</b>	<b>1</b>
1.1 研究背景.....	1
1.2 大腦與腦電訊號.....	3
1.3 研究動機.....	8
1.4 論文架構.....	11
<b>2 第二章 生醫類比前端電路發展現況 .....</b>	<b>12</b>
2.1 電流平衡式儀表放大器.....	12
2.2 全幅式截波穩定儀表放大器.....	17
2.3 交流耦合式截波穩定儀表放大器.....	23
<b>3 第三章 頻寬/增益可調式低雜訊前端電路設計 .....</b>	<b>32</b>
3.1 系統架構.....	32
3.2 電路設計.....	35
3.2.1 電流平衡式儀表放大器.....	35
3.2.2 切換式電容濾波器.....	40
3.2.3 可程式化增益放大器.....	44
3.2.4 寬擺幅定轉導偏壓電路.....	47
3.2.5 全系統佈局前模擬.....	48
<b>4 第四章 晶片實現、驗證與測試平台 .....</b>	<b>51</b>
4.1 設計流程.....	51
4.2 電路佈局與考量.....	52
4.3 電路佈局後模擬.....	56
4.3.1 電流平衡式儀表放大器.....	57
4.3.2 切換式電容低通濾波器.....	59
4.3.3 可程式化增益放大器.....	60

4.3.4 全系統佈局後模擬.....	60
4.3.5 溫度變化影響模擬.....	64
4.3.6 供應電壓飄移影響模擬.....	64
4.3.7 製程飄移影響模擬.....	65
4.3.8 雜訊影響模擬.....	66
4.4 規格比較.....	67
4.5 測試考量.....	69
4.5.1 晶片腳位分佈與訊號說明.....	70
4.5.2 測試驗證平台架構.....	71
<b>5 第五章 結論 .....</b>	<b>74</b>
5.1 總結.....	74
5.2 未來展望.....	75
<b>參考文獻 .....</b>	<b>76</b>
<b>附錄.....</b>	<b>80</b>
A. DRC Verification.....	80
B. LVS Verification.....	81
C. Tapeout Review Form .....	83



# 表目錄

Table 1、大腦各皮質區功能.....	4
Table 2、腦電波種類.....	7
Table 3、預計規格列表.....	67
Table 4、相關文獻比較表.....	68
Table 5、晶片腳位分佈與訊號說明列表.....	70





# 圖目錄

Fig.1-1、傳統腦電波量測系統.....	2
Fig.1-2、國際標準 10-20 系統電極擺設位置.....	2
Fig.1-3、大腦的結構圖.....	3
Fig.1-4、大腦皮質區域劃分.....	4
Fig.1-5、腦電波訊號成因.....	5
Fig.1-6、四種特徵頻帶的腦電波訊號： $\delta$ 、 $\theta$ 、 $\alpha$ 、 $\beta$ .....	6
Fig.1-7、四種常用生理訊號波形與分佈頻帶(a)ECG (b)EEG (c)EMG (d)EOG.....	8
Fig.1-8、各種生理訊號分佈頻帶圖.....	11
Fig.2-1、前端電路系統方塊圖.....	12
Fig.2-2、具有電流回授機制之儀表放大器概念示意圖.....	13
Fig.2-3、簡化的電流式儀表放大器架構.....	14
Fig.2-4、利用回授去實現 $G_m-C$ 高通濾波功能.....	15
Fig.2-5、整體電流式儀表放大器之系統詳細架構圖.....	15
Fig.2-6、ASIC 架構以及整體放大器電路架構.....	16
Fig.2-7、電流式儀表放大器的低頻小訊號模型.....	17
Fig.2-8、AFEIC 系統架構.....	18
Fig.2-9、非反向微分差動放大器.....	18
Fig.2-10、以 PMOS 輸入差動對之截波穩定微分差動放大器電路架構.....	19
Fig.2-11、全幅式儀表放大器架構，具有帶通濾波與 DC blocking 功能.....	20
Fig.2-12、系統截波穩定運作示意圖.....	21
Fig.2-13、二階低通主動濾波器.....	21
Fig.2-14、運用截波穩定技巧之 PGA 電路架構.....	22
Fig.2-15、輸出增益放大器架構.....	23
Fig.2-16、整體前端信號讀出電路系統架構圖.....	24
Fig.2-17、交流耦合式截波儀表放大器概念圖.....	24
Fig.2-18、交流耦合式截波儀表放大器系統實現電路圖.....	26
Fig.2-19、OTA 電路架構圖.....	27
Fig.2-20、電流回授式儀表放大器等效半電路的低頻小訊號模型.....	29
Fig.2-21、ACCIA 架構電流回授式儀表放大器的電路實現圖.....	29
Fig.2-22、用以消除截波穩定電路所產生的棘波濾波器架構與其操作原理.....	29
Fig.2-23、可調式增益放大器架構.....	30
Fig.3-1、系統架構圖.....	32
Fig.3-2、寬擺幅堆疊式電流鏡.....	36
Fig.3-3、電流平衡式儀表放大器電路架構圖.....	36
Fig.3-4、閃爍雜訊頻譜分佈.....	38

Fig.3-5、電流平衡式儀表放大器差模增益與相位頻率響應圖 .....	39
Fig.3-6、電流平衡式儀表放大器共模拒斥比頻率響應圖 .....	39
Fig.3-7、電流平衡式儀表放大器正端電源漣波拒斥比頻率響應圖 .....	39
Fig.3-8、電流平衡式儀表放大器負端電源漣波拒斥比頻率響應圖 .....	40
Fig.3-9、切換式電容濾波器架構(共享開關) .....	42
Fig.3-10、使用於切換式電容濾波器的核心運算放大器架構 .....	42
Fig.3-11、SCF核心運算放大器差模增益與相位頻率響應圖 .....	42
Fig.3-12、非重疊時脈訊號產生器 .....	43
Fig.3-13、非重疊時脈訊號產生器暫態模擬圖 .....	43
Fig.3-14、切換式電容濾波器暫態響應圖(一) .....	43
Fig.3-15、切換式電容濾波器暫態響應圖(二) .....	44
Fig.3-16、切換式電容濾波器暫態響應圖(三) .....	44
Fig.3-17、可程式增益放大器架構 .....	45
Fig.3-18、2-to-4 Decoder 架構 .....	45
Fig.3-19、2-to-4 Decoder 暫態模擬圖 .....	45
Fig.3-20、可程式化增益放大器(PGA)核心運算放大器架構 .....	46
Fig.3-21、PGA核心運算放大器差模增益與相位頻率響應模擬 .....	46
Fig.3-22、可程式化增益放大器全系統之增益頻率響應圖 .....	46
Fig.3-23、寬擺幅疊接式偏壓電路架構圖 .....	47
Fig.3-24、全系統暫態響應模擬圖(一) .....	48
Fig.3-25、全系統暫態響應模擬圖(二) .....	49
Fig.3-26、全系統暫態響應模擬圖(三) .....	50
Fig.3-27、全系統暫態響應模擬圖(四) .....	50
Fig.4-1、電路設計流程 .....	51
Fig.4-2、單位電容 0.05pF (PIP Capacitor) .....	52
Fig.4-3、電阻陣列加入DUMMY CELL與各六個Contact的雙層Guard Ring .....	53
Fig.4-4、單位電阻 1 k ohm (N-diffusion Resistor) .....	53
Fig.4-5、電容陣列加入DUMMY CELL與各六個Contact的雙層Guard Ring .....	53
Fig.4-6、核心電流平衡式儀表放大器佈局 .....	54
Fig.4-7、系統偏壓電路佈局 .....	54
Fig.4-8、數位控制電路佈局 (含Guard Ring) .....	54
Fig.4-9、類比核心電路佈局 (含Guard Ring) .....	55
Fig.4-10、完整前端電路系統佈局 (含ESD PAD) .....	55
Fig.4-11、電路佈局示意圖 .....	56
Fig.4-12、電流平衡式儀表放大器差模增益與相位頻率響應圖 .....	57
Fig.4-13、電流平衡式儀表放大器共模拒斥比頻率響應圖 .....	57
Fig.4-14、電流平衡式儀表放大器正端電源漣波拒斥比頻率響應圖 .....	58
Fig.4-15、電流平衡式儀表放大器負端電源漣波拒斥比頻率響應圖 .....	58

Fig.4-16、切換式電容濾波器暫態響應圖(一).....	59
Fig.4-17、切換式電容濾波器暫態響應圖(二).....	59
Fig.4-18、可程式化增益放大器全系統之增益頻率響應圖.....	60
Fig.4-19、全系統暫態響應模擬圖(一).....	61
Fig.4-20、全系統暫態響應模擬圖(二).....	62
Fig.4-21、全系統暫態響應模擬圖(三).....	62
Fig.4-22、全系統暫態響應模擬圖(四).....	63
Fig.4-23、全系統加入溫度考量影響之暫態響應圖.....	64
Fig.4-24、加入供應電壓飄移考量影響之全系統暫態響應圖.....	64
Fig.4-25、加入製程飄移考量影響之全系統暫態響應圖 (溫度：25°C).....	65
Fig.4-26、加入製程飄移考量影響之全系統暫態響應圖 (溫度：85°C).....	65
Fig.4-27、加入高頻雜訊考量影響之全系統暫態響應圖.....	66
Fig.4-28、晶片測試腳位打線圖.....	69
Fig.4-29、系統測試架構圖.....	71
Fig.4-30、晶片電性測試平台.....	72
Fig.4-31、交大腦科學研究中心研發之生理訊號量測分析系統平台.....	73



# 第一章

## 緒論

### 1.1 研究背景

人類腦電位訊號分析研究起源於 1920 年代，Berger 等人發現人類的腦波是由大腦皮質下許多神經細胞後端的突觸電流所累積產生。經過數十年的研究結果發現[8][11]，藉由腦波的量測分析可以得知受測者的認知精神狀態。然而進行腦波相關研究通常需要長時間的訊號量測與分析，如此大量且複雜的腦波訊號將耗費許多人力與時間，直到近年來電腦運算速度日益進步，以及各種分析處理方法之改良，才足以即時處理量測到的腦波訊號。傳統上的腦波儀器是利用工業電腦之類的大型主機來做監測，將其腦波記錄後經過人工方式來分析其生理意義。現今軟硬體發展迅速，雖然大型主機腦波訊號即時分析的應用已不是個問題，但是大型主機，空間大且昂貴，在實用上十分不方便。因此，如何發展一個攜帶方便又可以即時分析腦波訊號的系統變成一個很重要的課題。

大腦人機介面(Brain Computer Interface, BCI)是利用腦部訊號，讓使用者可以直接與外界溝通。這項技術的基礎在於當大腦在進行某一項特定活動的時候，會產生特定的腦波變化，因此透過監測與辨認此特定的腦波變化，來達到利用腦波直接控制儀器或輸出訊號之目的。此種技術最主要的貢獻在於幫助因神經肌肉損傷而行動受到阻礙的人(如肌肉萎縮、中樞神經系統損傷、重度中風的病人等)，使他們可以不需要依靠周邊神經和肌肉，能夠使用腦部的訊號，就能達到與外界溝通、傳達訊息、自主行動，以及自我照顧等目的。

傳統腦電波量測系統如 Fig.1-1 所示，此系統由四個部分組成：國際標準的 10-20 系統電極量測頭套、生理記錄放大器、類比數位轉換器、運算電腦。電極量測擺設方式，如 Fig.1-2 所示，採用國際標準 10-20 系統。而在這方面的研究



中，大多著重於病患的研究，而且因為腦波量測與分析的儀器非常龐大，所以使用上非常不方便。正如同腦電波量測與即時分析所遇到的問題，在腦機介面的發展中，如何縮小量測、分析系統的體積以及簡化使用上的困難變成為將大腦人機介面時用於日常生活中所需克服的難題。



Fig.1-1、傳統腦電波量測系統[13]

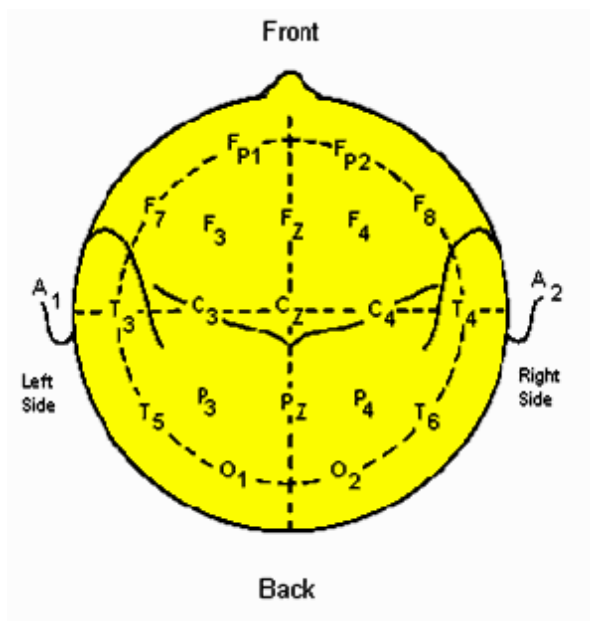


Fig.1-2、國際標準 10-20 系統電極擺設位置

## 1.2 大腦與腦電訊號

大腦(Brain)包括左、右兩個半球及連接兩個半球的中間部分，即第三腦室前端的終板。大腦半球被覆灰質，稱大腦皮質，其深方為白質，稱為髓質。髓質內的灰質核團為基底神經節。在大腦兩半球間由巨束纖維—相連。具體內容有大腦半球各腦葉、大腦皮質功能定位、大腦半球深部結構、大腦半球內白質、嗅腦和邊緣系統五大部分。人腦是三位一體，由三個不同的腦部結合而成的。位於頂端的是人類最特殊與發達的大腦神經皮質部分，我們用它來思考、說話、觀看、傾聽、分析資訊和解決問題。人腦的中央有與「古老哺乳動物」共同的邊緣系統，主導身體的韻律，控制我們的情緒，應對壓力的能力以及我們的性能力，它在記憶方面也扮演一個關鍵性的角色。

由結構來分類，大腦可分為下列各區域，如 Fig.1-3 所示：

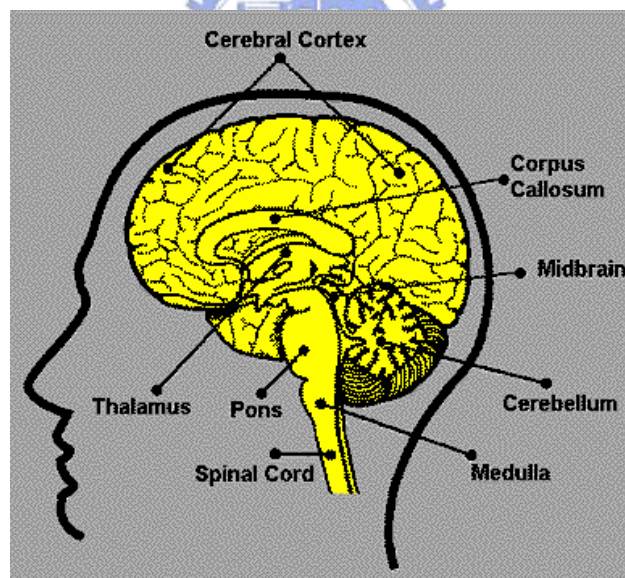


Fig.1-3、大腦的結構圖

大腦皮質(Cerebral cortex)主導人類的思考、自主性運動、語言、推理、知覺等功能，而"cortex" 這個字在拉丁文中所代表的意思是 "樹皮"，這是因為大腦皮質是由神經細胞所組成厚約僅2~6公釐的組織，左右半球的皮質區是靠胼胝體互相連接。大腦皮質分為左、右兩半球，左半球控制右邊的身體，右半球控制左邊的身體，負責左右半球之間訊息的傳遞是中樞神經。

由功能來分類，大腦皮質可分為下列各區域，如 Fig.1-4 所示，而大腦各皮質區功能如 Table 1 所列。

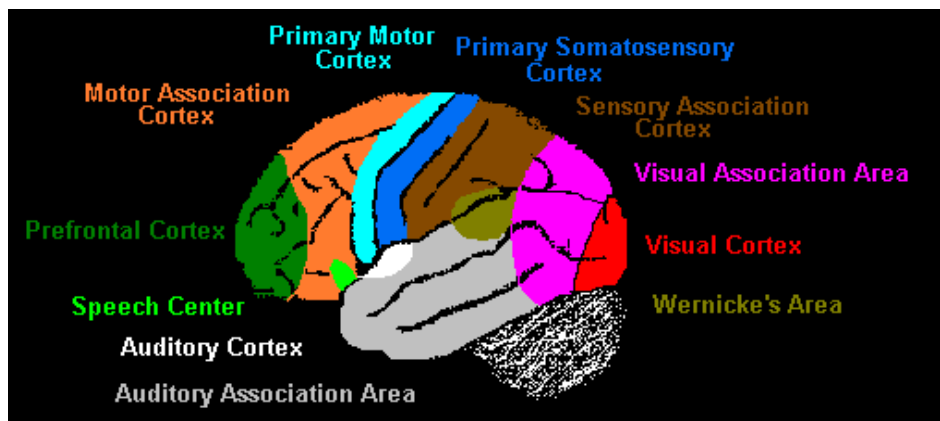


Fig.1-4、大腦皮質區域劃分

Table 1、大腦各皮質區功能

大腦皮質區	功能
前額葉皮質區 (Prefrontal Cortex)	解決問題、情緒
運動聯合區 (Motor Association Cortex)	調控複雜的運動
主要運動皮質區 (Primary Motor Cortex)	啟始自主性運動
主要體覺皮質區 (Primary Somatosensory Cortex)	接收各部位的觸覺資訊
感覺聯合區 (Sensory Association Area)	處理各種感覺訊息
視覺聯合區 (Visual Association Area)	處理複雜的視覺訊號
視覺皮質區 (Visual Cortex)	偵測較為簡單的視訊刺激
韋尼克氏區 (Wernicke's Area)	語言的理解
聽覺聯合區 (Auditory Association Area)	處理複雜的聽覺訊號
聽覺皮質區 (Auditory Cortex)	音質的偵測
布洛卡氏區 (Speech Center (Broca's Area))	語言的啟始中心

大腦皮層有大量的神經元，這些神經元的活動有某種程度的規律性，因此置於頭皮上的成對電極可用來記錄自大腦皮層上產生的電位變化，此電位變化是由有節奏的電訊號（Electrical Rhythms）與暫態放電(Transient Discharge)所組成，這些變化波形就是所謂的腦電位訊號，不同的腦電波測量位置、頻率範圍、振幅大小、訊號波形、週期性和產生方式可以區分不同的腦電波。

大腦是由數以千億計的神經元所組成的，這些神經元是專門傳遞訊號的細胞，當位於細胞表面的受體接收到神經傳導物質時，神經元便會產生動作電位以傳遞訊息。而神經訊號的傳遞是藉由在神經元與突觸之間流動的離子通道(ion channel)，而在突觸與突觸之間則是以酵素的方式傳遞。流動的離子通道在神經元之間造成電壓差，而腦電波就是收集某一腦部區塊總合而成的電壓分布，如 Fig.1-5 所示[3]。

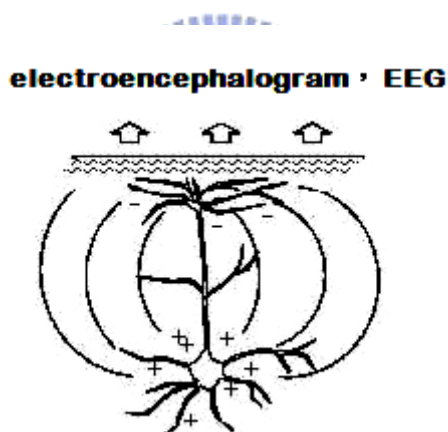


Fig.1-5、腦電波訊號成因[3]

隨著科技的進步，人類對生物醫學、預防醫學越來越發覺其重要性，而其中腦部的活動與訊息之意義，也因為科技的發展，人類慢慢開始具有一窺腦部的神秘世界的的能力，因此開始出現腦科學研究。而腦科學研究的歷史悠久，主要量測方式為『非侵入式』量測，大腦結構如 Fig.1-3 所示。

『非侵入式』量測方式為在頭皮貼乾、濕感測電極，量測腦內部神經元所產生的訊號。神經元藉由改變其細胞膜對帶電離子穿透性的方式傳遞訊號，而這個過程會沿著細胞膜產生電流。當一大群規則排列的神經元同時活動時，伴隨電流



所產生的電場及磁場變化可以在頭皮上加以量測，所得電信號便是腦電波 (electroencephalogram, EEG)。

腦電波的研究已經有相當的成果，目前可將睡眠期間腦電波區分為四種波段，如表 1-1。腦部在清醒與入睡階段所表現出不同的腦波型態，整體上這些型態可由頻率(frequency)、振幅(amplitude)、和形狀(morphology)進行研判。腦波頻率可分為 4 種不同的波形，有  $\alpha$  波(8-13 Hz)、 $\beta$  波(>13 Hz)、 $\theta$  波(4-8 Hz)、及  $\delta$  波(<4 Hz)，如 Fig.1-6 所示。

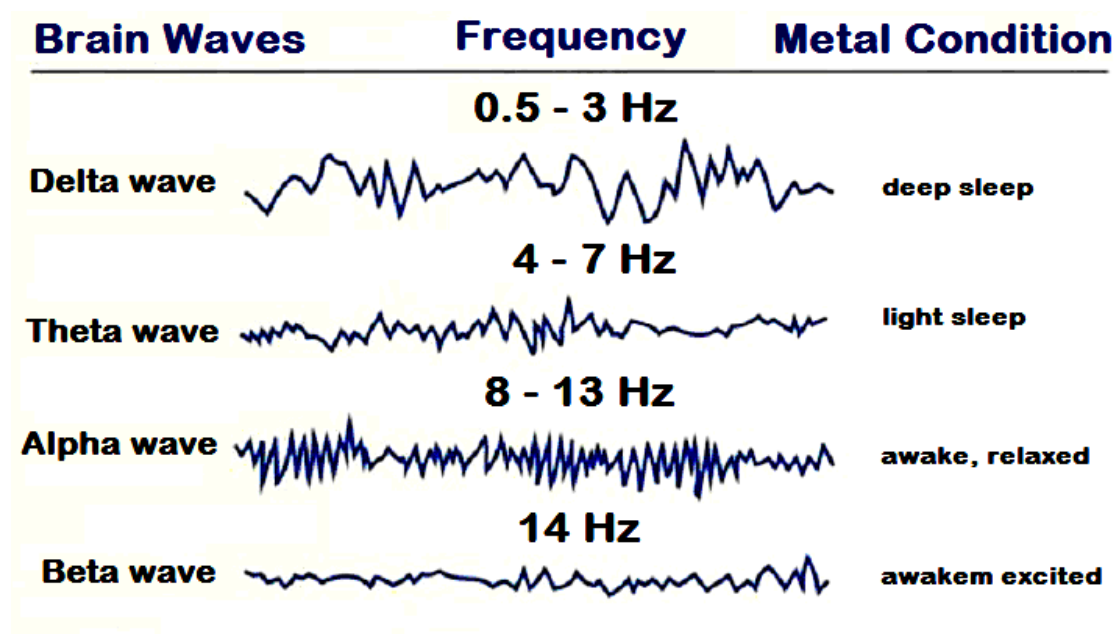


Fig.1-6、四種特徵頻帶的腦電波訊號： $\delta$ 、 $\theta$ 、 $\alpha$ 、 $\beta$  [12]

由於不同的大腦區位在進行不同認知活動時會有不同的活動，所產生的電位及磁場變化在頭皮上的強度以及分布情形也會有所不同。比較受測者進行不同認知作業時所伴隨腦電波或腦磁波變化的強度，以及這些變化在頭皮上的分布，可以知道是否有不同的大腦區位涉入這些認知作業以及其涉入的程度，而後推論進行該項認知作業時所涉及的認知歷程。腦電波能提供認知活動極佳的時序訊息，缺點是無法提供精確的腦部區位訊息，所以除了前端訊號擷取，仍需後端處理器配合演算法去推導分析。

Table 2、腦電波種類

腦波型態	頻段範圍	說明
Alpha ( $\alpha$ )	8-13 Hz	一般在正常人清醒並處於安靜、休息狀態的大腦活動狀態之下，會出現這樣的週期波。
Beta ( $\beta$ )	13 Hz 以上	在清醒而警覺狀態時，這樣的波段很明顯，由 $\alpha$ 波轉換到 $\beta$ 波的過程，稱為腦波覺醒。
Theta ( $\theta$ )	4-8 Hz	主要出現在小孩的頂葉部及額葉部，當成人情緒受到壓力時也會出現，許多腦疾病患者可找到 $\theta$ 波。
Delta ( $\delta$ )	低於 4 Hz	出現在深度睡眠、嬰兒及有嚴重器官性疾病患者身上。

### 1.3 研究動機

生理訊號記錄儀的相關發展已有數十年的歷史，但因生理訊號相當微弱(如 Fig.1-7 所示)，非常容易受到內、外在及受測者本身生理訊號的干擾所影響，因此加深了訊號量測的困難度。其中，內在干擾包括：電子零件本身的溫、濕度不穩定因素，電路佈線不良造成通道間容易互相干擾，焊接點的電容效應等；外在干擾包括：市電造成的電磁波、電源不穩定因素及數位產品所產生的雜訊等；如對於腦波訊號(Electroencephalogram, EEG)量測而言，相互干擾的生理訊號包括：眼電訊號(electro-oculogram, EOG)、肌電訊號(Electromyogram, EMG)、心電訊號(Electrocardiogram, ECG)、呼吸及流汗等等。由於量測環境的要求高，電路設計之複雜度也隨之增加，並且需顧及到受測者的安全性，所以一般小規模的生理研究人員，大多是採買商品化的生理訊號紀錄儀直接作分析的工作。

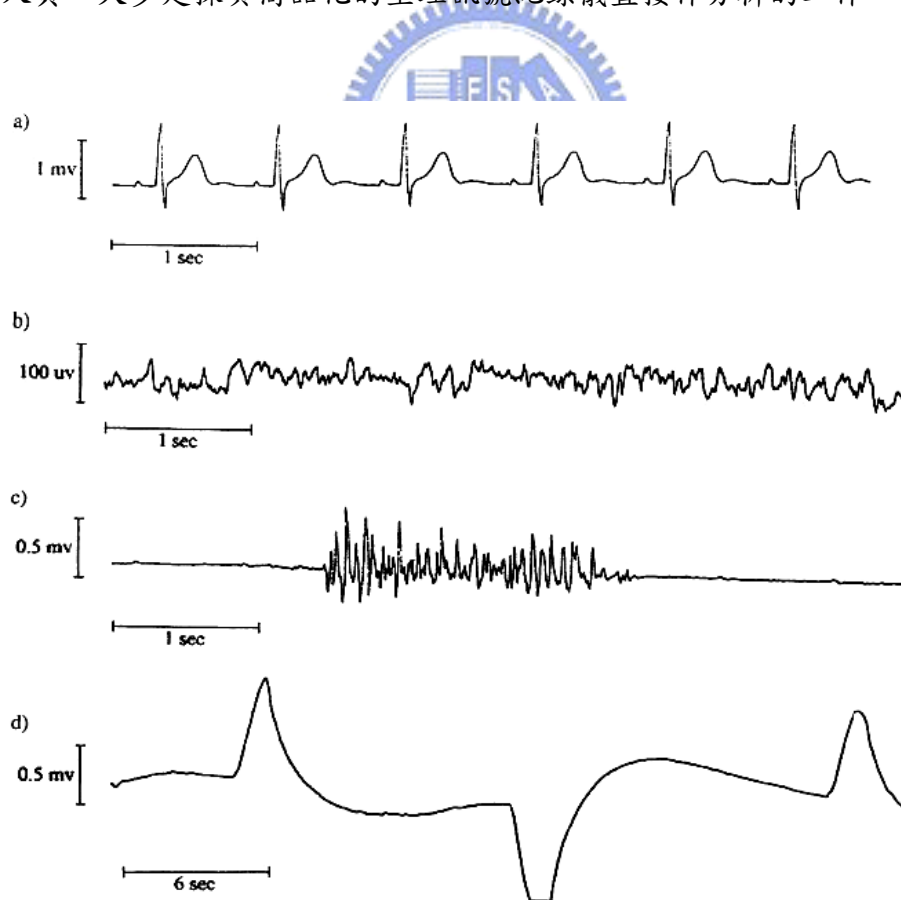


Fig.1-7、四種常用生理訊號波形與分佈頻帶(a)ECG (b)EEG (c)EMG (d)EOG

由於超大型積體電路（VLSI）的技術不斷突破，使得不論是通訊或光電等產品都漸漸朝輕薄短小及低功率來設計。基於縮減成本及體積之需求，系統單晶片（System On a Chip, SOC）已成為目前 IC 設計的主流趨勢，不但減少了體積、成本，相對地在使用上也將更為便利。近年來，數位訊號處理（Digital Signal Processing, DSP）的技術在許多期刊中常被廣泛採用於生理訊號的研究，這樣的架構的確使發展的技術需求減少很多，類比線路也可以減少，並提高系統的穩定度及減少發展時間，進而達到不錯的效果及修改彈性，但如果前端電路未將訊號先行處理，進而得到較佳的訊號品質，此訊號經過類比/數位轉換器（ADC）後，所得到的值也可能都與原始訊號相差甚多，更別說對這種需高品質的生理訊號作進一步的數位訊號分析。

因此，本論文提出並實現一個適用於可攜式生理訊號量測系統的前端電路設計，整合系統於單一晶片，完全不需要外接任何外部被動元件，有效的節省電路面積、成本，以便日後與多通道生醫感測電極、嵌入式系統整合等實用性考量。此外更擴充了本電路的應用層面，在電路設計中加入了數位彈性介面，讓使用者根據不同的生理訊號特性(振幅、分佈頻帶)，選擇適當的電壓增益、濾波頻寬，將訊號放大至可觀測分析的範圍，以及濾除生理訊號頻帶外的雜訊，致使單一系統架構可以達到多種生理訊號量測用途。

本論文主要研究動機可分為下列三項，分別為『整合前端電路於單一晶片』、『多生理訊號量測系統』、『應用於可攜式生理訊號量測系統』，分別描述如下：

### 一、整合前端電路於單一晶片：

由於生理訊號都非常微弱，故在取得生理訊號後，須先進行三項前級處理，才可由類比/數位轉換器(ADC)取得數值，再傳送至後端電腦或嵌入式系統處理數位訊號的運算和分析。此三項分別為：儀表放大器(Instrumentation Amplifier)、低通濾波(Low-Pass Filter)、訊號放大器(OP-Amplifier)。然而，生理訊號皆分布

於超低頻帶(如 Fig.1-8 所示)，導致實現此電路時需使用到龐大的 RC 被動元件，而且電阻與電容過大基於成本與電路面積的考量，將不便於在 CMOS 製程上與核心電路一起整合實現，一般都需於晶片外部外接電阻、電容，才能將系統的頻寬設定在生理訊號頻帶。本論文特點為設計利用電流平衡式儀表放大器、切換電容低通濾波器、可程式化增益放大器有效地實現並整合整體前端電路於單一晶片，完全不需要任何外部元件。如此一來，對於「多通道生理訊號量測系統」而言，可以大大地降低整體系統的體積，方便使用並整合於嵌入式生醫系統。

## 二、多生理訊號量測系統：

本論文所實現的生理訊號量測系統為了可應用於多種不同訊號，例如：EEG(electroencephalogram，腦電波)、ECG(electrocardiogram，心電圖)、EMG (electromyogram，肌電圖)、EOG (electro-oculogram，眼電圖) 等電生理訊號，針對不同生理訊號的振幅與分佈頻帶，在整體的前端電路系統加入了數位控制介面，根據不同生理訊號的需求，利用數位訊號去控制選擇所要的訊號放大倍率與系統頻寬。

## 三、應用於可攜式生理訊號量測系統：

由於本論文的電路設計是為了應用於可攜式生理訊號量測系統，除了有效整合前端電路於單一晶片，縮小系統體積，以及高共模訊號拒斥比(Common-Mode Rejection Ratio，CMRR)，提高抗外部雜訊的能力外，對於通常都是電池供電的可攜式系統，電路的設計考量還有低功率消耗以維持電池壽命，延長系統量測使用的時間。此外，隨著電池的使用時間延長，供應電壓會越來越不穩定，所以設計時還須顧及電路抗電源供應端雜訊的能力，亦即高電源漣波拒斥比(Power Supply Ripple Rejection Ratio，PSRR)。

本篇論文採用互補式金氧半電晶體的製程，有幾項潛在和明顯的價值，例

如：提供了高輸入阻抗、CMOS 是最標準可得、成本最低的製程、利於使用 CMOSMEMS 製程整合前端生理訊號感測電極和數位電路、CMOS 光罩較少可得較高良率產品、可在低電壓操作、低消耗功率...等優點。根據理論完成前端生理訊號量測系統之各個部份的電路設計、模擬結果及佈局與驗證，最後證明此電路架構的確符合各種生理訊號量測之規格。

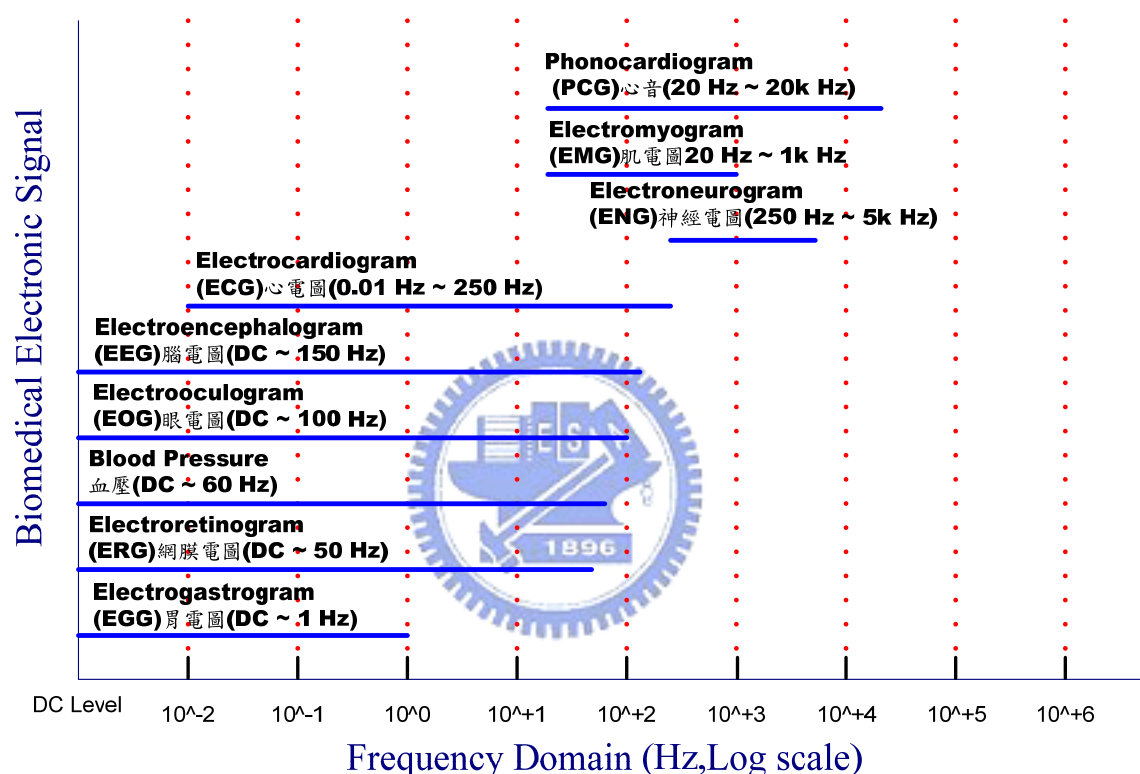


Fig.1-8、各種生理訊號分佈頻帶圖

## 1.4 論文架構

本論文共分為五個章節，第一章介紹本論文的研究背景和動機。第二章針對適用於生理訊號量測前端電路相關研究的部份進行說明。第三章著重於本論文在生理訊號擷取系統上所設計的前端電路架構與各級電路佈局前模擬。在第四章為本論文設計的電路晶片下線流程，包含電路佈局、驗證、佈局後模擬與測試平台架構。最後，第五章則對本論文作一個總結，並對未來的研究方向作一說明。



## 第二章

# 生醫類比前端電路發展現況

本章介紹以利用各種儀表放大器所建構適用於各種生理訊號擷取系統的類比前端電路(Analog Front-End IC)架構，與目前相關研究發展現況。

### 2.1 電流平衡式儀表放大器

Martins et al. [4] 於 1998 年提出適用於 EEG 訊號擷取系統的電路架構，主要有低功耗與低雜訊、高共模訊號拒斥比(Common-Mode Rejection Ratio)的特性，且使用最少元件去實現系統電路架構，對於日後發展可攜式低功耗系統是相當重要的議題。Fig.2-1 為整體前端電路系統方塊圖。

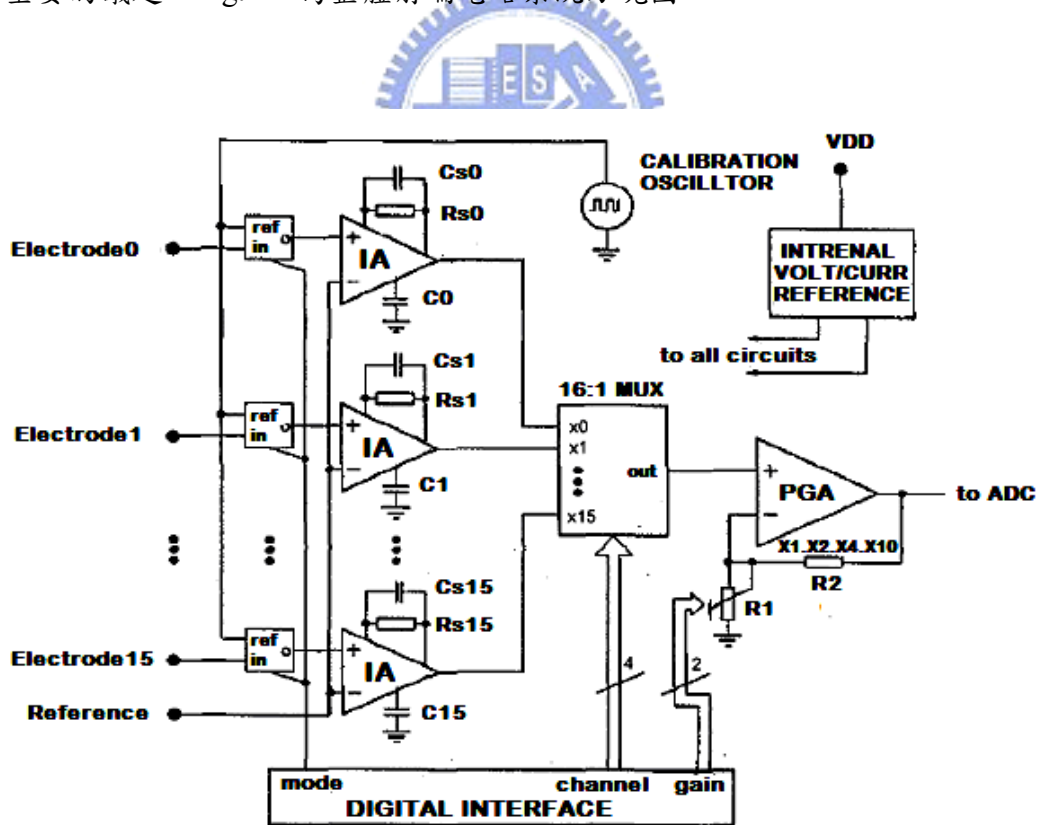


Fig.2-1、前端電路系統方塊圖[4]

整個電流式儀表放大器實現的方式，主要如 Fig.2-2 所示，利用電流回授方式，藉由輸入、輸出的電阻比值決定電壓增益，而且同時達到高共模訊號拒斥比的特性。

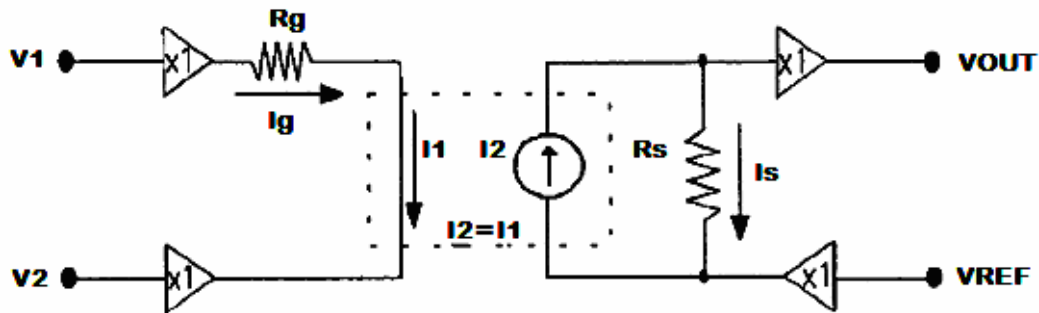


Fig.2-2、具有電流回授機制之儀表放大器概念示意圖[4]

其中設計概念如下列式子所示：

$$i_g = \frac{1}{R_s} \cdot (v_1 - v_2) \quad (2-1)$$

$$i_1 = i_g = i_2 = i_s \quad (2-2)$$

$$v_{out} = R_s \cdot i_s + v_{ref} \quad (2-3)$$

$$i_{Rg} = \frac{1}{R_g} \cdot (v_1 - v_2) \quad (2-4)$$

$$i_{Rs} = \frac{1}{R_s} \cdot (v_{out} - v_{ref}) \quad (2-5)$$

$$v_{out} = \frac{R_s}{R_g} \cdot (v_1 - v_2) + v_{ref} \quad (2-6)$$

從上面式子可以得知，電流式儀表放大器在電流回授的架構下，其輸入與輸出間電壓增益，僅取決於輸入與輸出電阻間的比值，此特性有利於降低製程上的電阻誤差對於整體電路共模拒斥比(Common-Mode Rejection, CMRR)的影響。相較之下，一般電壓式儀表放大器，其電壓增益來自於其運算放大器與電阻間匹配對稱的架構，導致於共模拒斥比非常依賴電阻間的匹配，但對於 CMOS 製程實



現電阻上的誤差非常的敏感，為其缺點。

而整體由電流回授方式所衍生的電流式儀表放大器，其基本架構如 Fig.2-3 所示，而在標準 CMOS 製程抗雜訊的議題下，PMOS 較 NMOS 具有較低的轉折頻率[1][2][9][10]，所以輸入對選用 PMOS 來設計。另外為了實現濾波的功能，在輸出電阻部份可以在外部電路並聯一個大電容將系統實現低通功能，此外可以藉由電流回授機制，在電流迴路中加入  $G_m-C$  濾波器(如 Fig.2-4)，實現高通用以濾除直流偏壓與低頻雜訊。綜合以上觀念，整體的電路詳細架構如 Fig.2-5 所示。

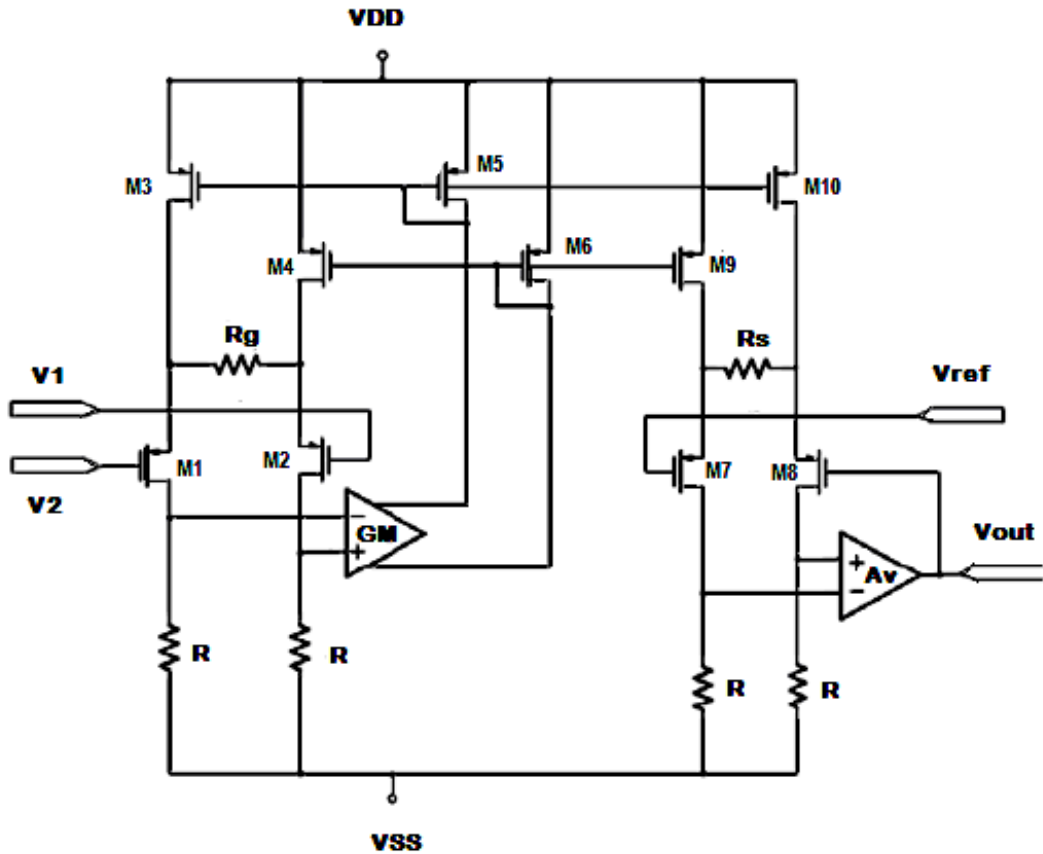


Fig.2-3、簡化的電流式儀表放大器架構[4]

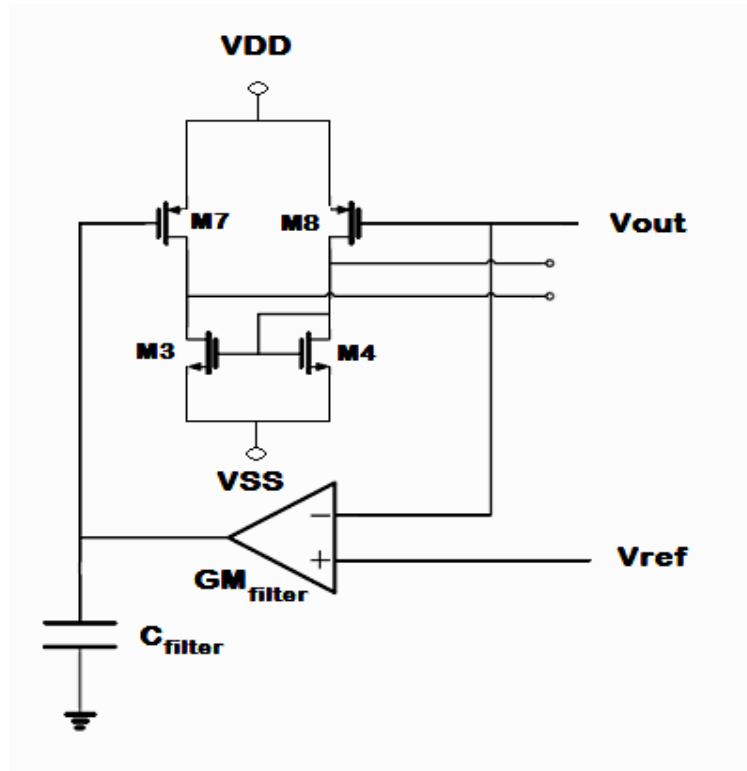


Fig.2-4、利用回授去實現  $G_m-C$  高通濾波功能[4]

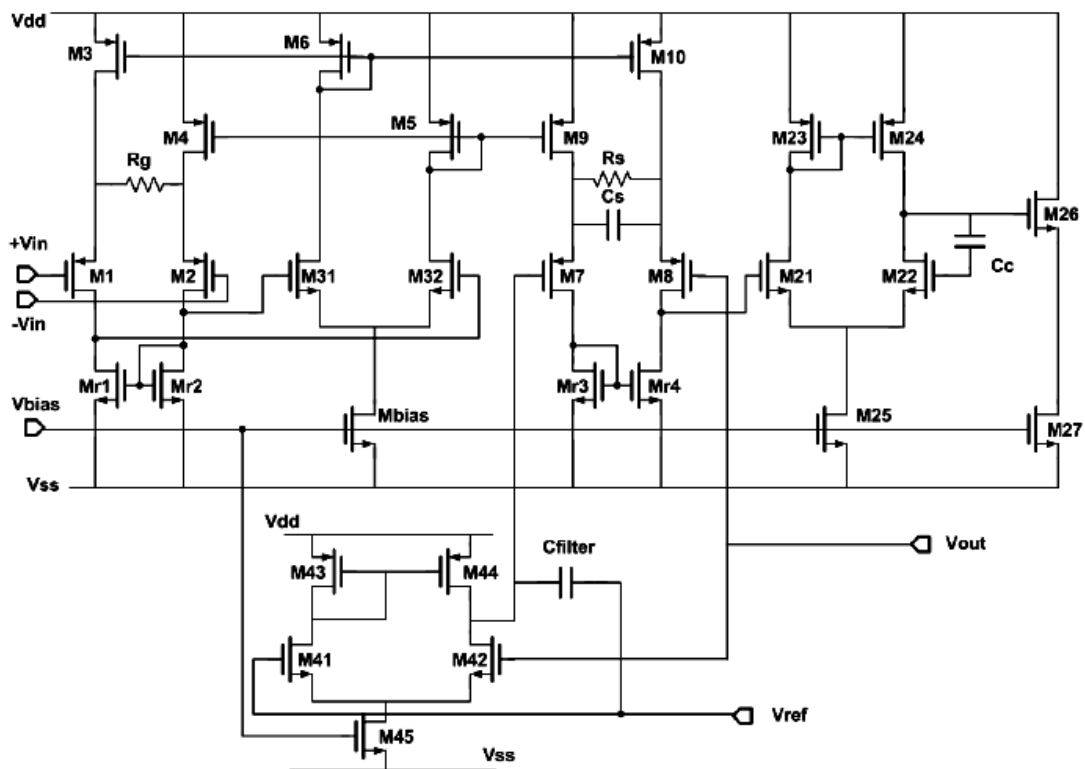


Fig.2-5、整體電流式儀表放大器之系統詳細架構圖[4]

Yazicioglu et al. [5] 提出一個適用於腦波訊號擷取的電路方案，完全不需要使用到 trimmed components，整體系統架構如 Fig.2-6 所示，由感測器感測到的腦電波(EEG)訊號先經由第一級電流式儀表放大器，並且在外部電路加入兩個大電容達成濾波功能，再經由兩級的切換式電容增益放大器，最後經由多工器選擇多通道電路輸出。

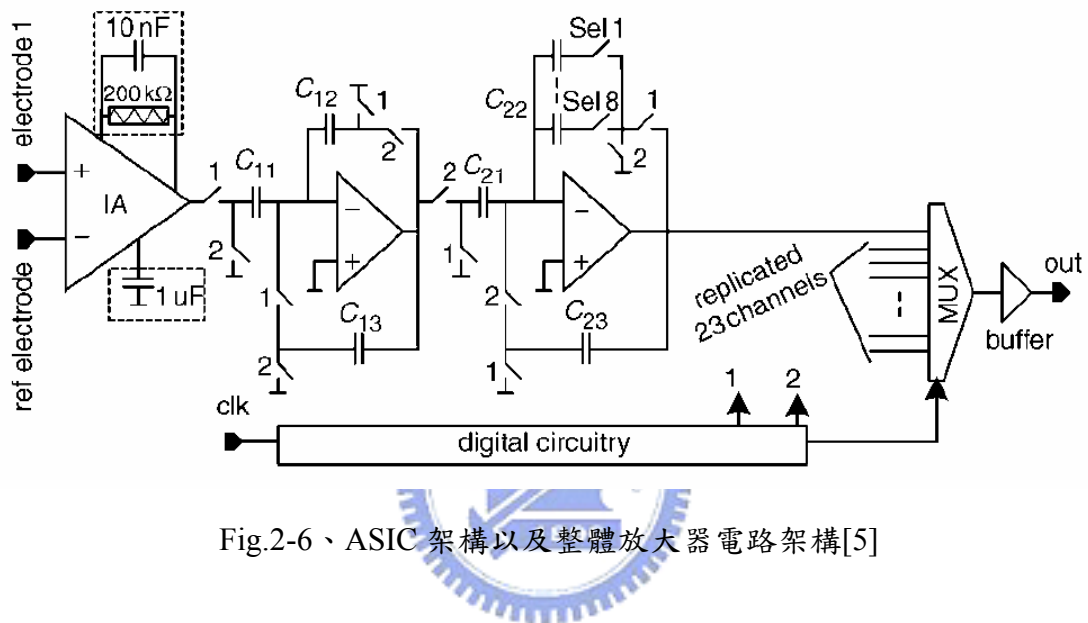


Fig.2-6、ASIC 架構以及整體放大器電路架構[5]

其中儀表放大器的低頻小訊號模型如 Fig.2-7 所示，假設具有 matched parameter，整體的共模訊號拒斥比(CMRR)可表示為：

$$\begin{aligned} \frac{1}{CMRR} &= \frac{1}{CMRR_1} + \frac{1}{CMRR_2} + \frac{1}{CMRR_3} \\ &= \frac{g_{ds1}g_0(2g_1 + g_m)}{g_{m1}g_m 2g_1} + \frac{|dg|}{2g_1} + \frac{|dg_{ds}|}{g_m}. \end{aligned} \quad (2-7)$$

利用小訊號模型分析，可以發現相關影響共模訊號拒斥比(CMRR)特性的參數，如式(2-7)所示，藉此可調整出最適宜的系統參數，降低直流偏差電壓對系統共模訊號拒斥比(CMRR)特性影響。

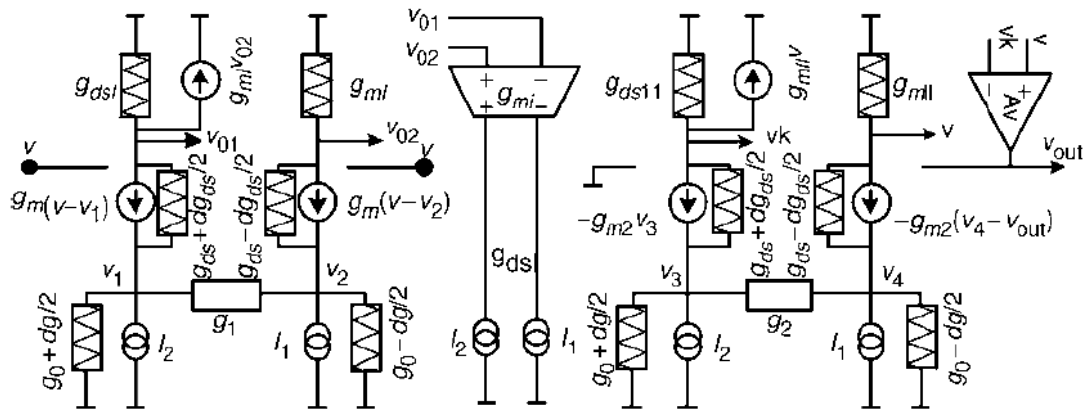


Fig.2-7、電流式儀表放大器的低頻小訊號模型[5]

## 2.2 全幅式式截波穩定儀表放大器

Ng and Chan [6] 於 2005 年提出適用於腦電波/心電圖 (EEG/ECG) 訊號量測且具有數位可程式化功能之類比前端電路架構，整體系統架構如 Fig.2-8 所示。利用如 Fig.2-9 所示的非反向微分差動放大器 (Differential Difference Amplifier, DDA) 的架構去建構高性能之全幅式儀表放大器 (Rail-to-Rail Instrumentation Amplifier)，達成整體低功耗之類比前端電路 (Analog Front-End Integrated Circuit, AFE IC)。

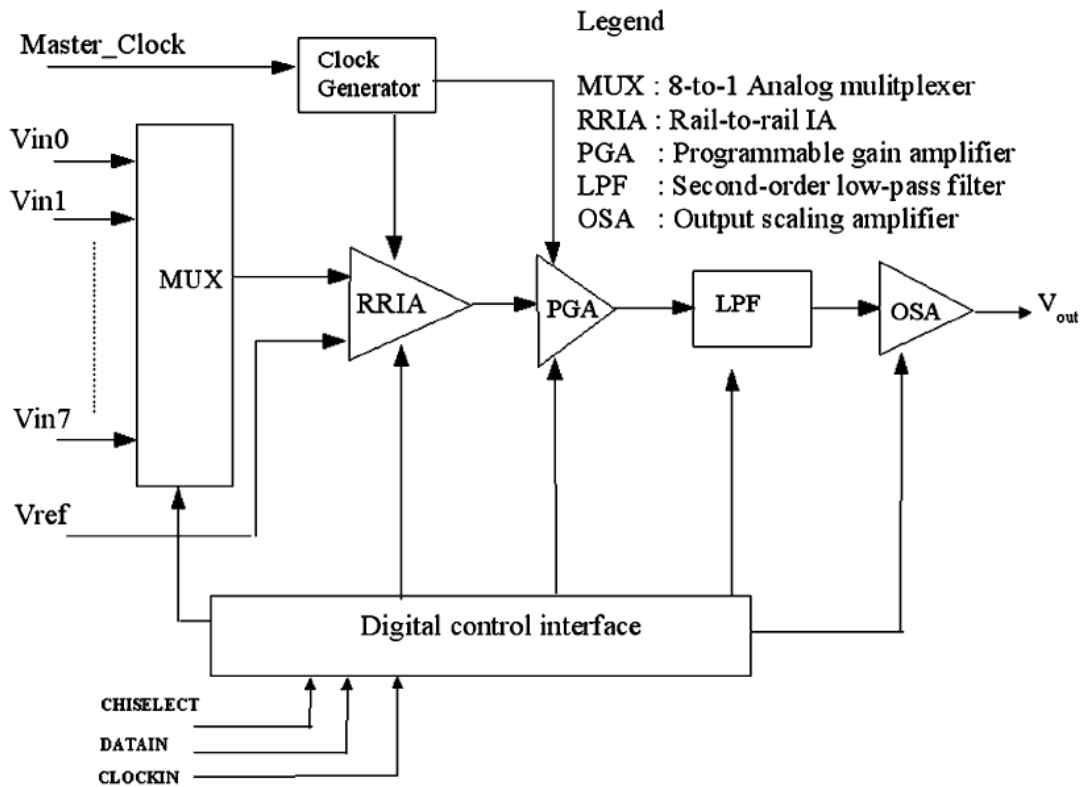


Fig.2-8、AFEIC 系統架構[6]

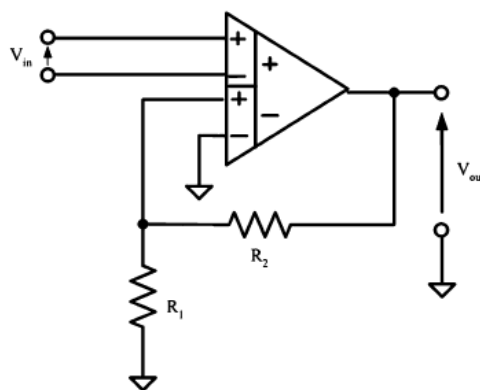


Fig.2-9、非反向微分差動放大器(Non-inverting DDA)[6]

微分差動放大器(Differential Difference Amplifier, DDA)的運作原理，與一般正向放大器原理相同，其電壓增益如式(2-8)所示，唯一的差別是後級的運算放大器的正負端輸入訊號，各為其前級運算放大器的輸出，亦即前級差動輸入訊號的差值乘上其電壓增益當輸入，利用兩個差動對的輸入相減值，此架構有利於降低雜訊影響，並配合與正向放大器的原理，構成所謂的微分差動放大器。

$$V_{out} = V_{in} \cdot \left( \frac{R_2}{R_1} + 1 \right). \quad (2-8)$$

Fig.2-10 為系統中以 PMOS 為輸入對之截波穩定式微分差動放大器 (Chopper-Stabilized Differential Difference Amplifier, CHSDDA) 的詳細架構圖，且在電路架構中加入截波穩定技巧，用以降低 1/f 雜訊與 DC offset 對電路的影響。

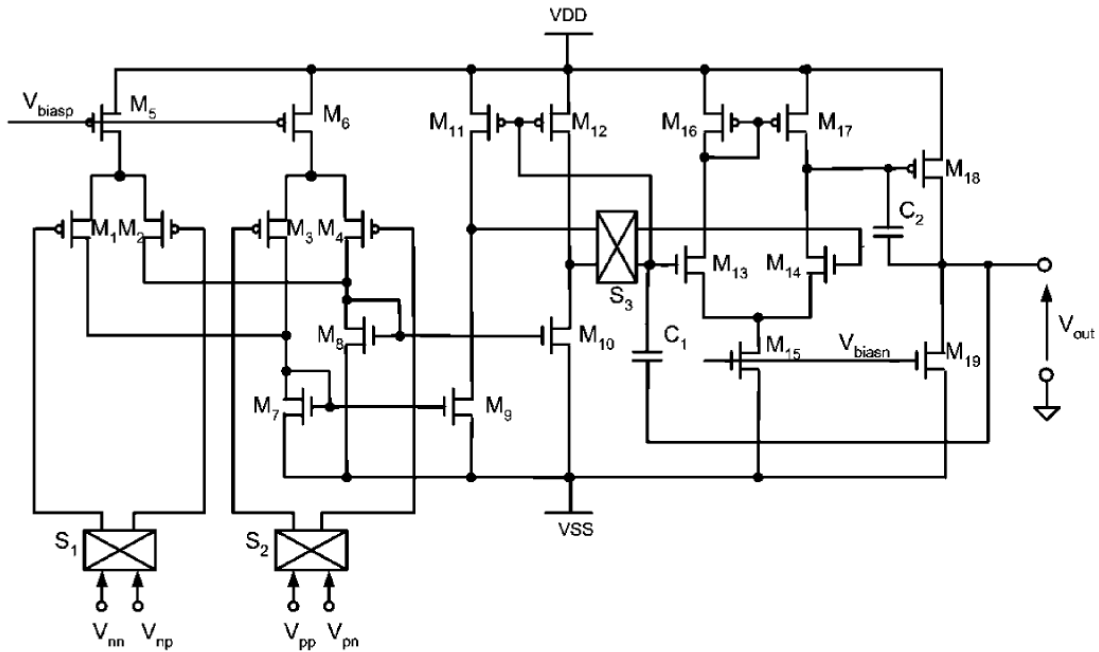


Fig.2-10、以 PMOS 輸入差動對之截波穩定微分差動放大器電路架構[6]

而整體高效能的全幅式儀表放大器(Rail-to-Rail Instrumentation Amplifier)，其架構如 Fig.2-11 所示，主要是由兩個微分差動放大器(Differential Difference Amplifier, DDA)所構成，分別以 NMOS 與 PMOS 為其輸入對，主要是確保在任何狀況下輸入共模電壓下，電路都能正常操作。此外再加入 DC blocking 電路確保無論共模電壓不會因為偏壓電壓、雜訊影響而導致電路不正常運作，並用以判別訊號走 PMOS 或者 NMOS 截波穩定式微分差動放大器的輸入對路徑。另外在外部電路加入 RC 帶通被動濾波器，將系統頻寬設定至腦電波/心電圖(EEG/ECG)訊號頻寬，去除生理訊號頻帶以外的雜訊。

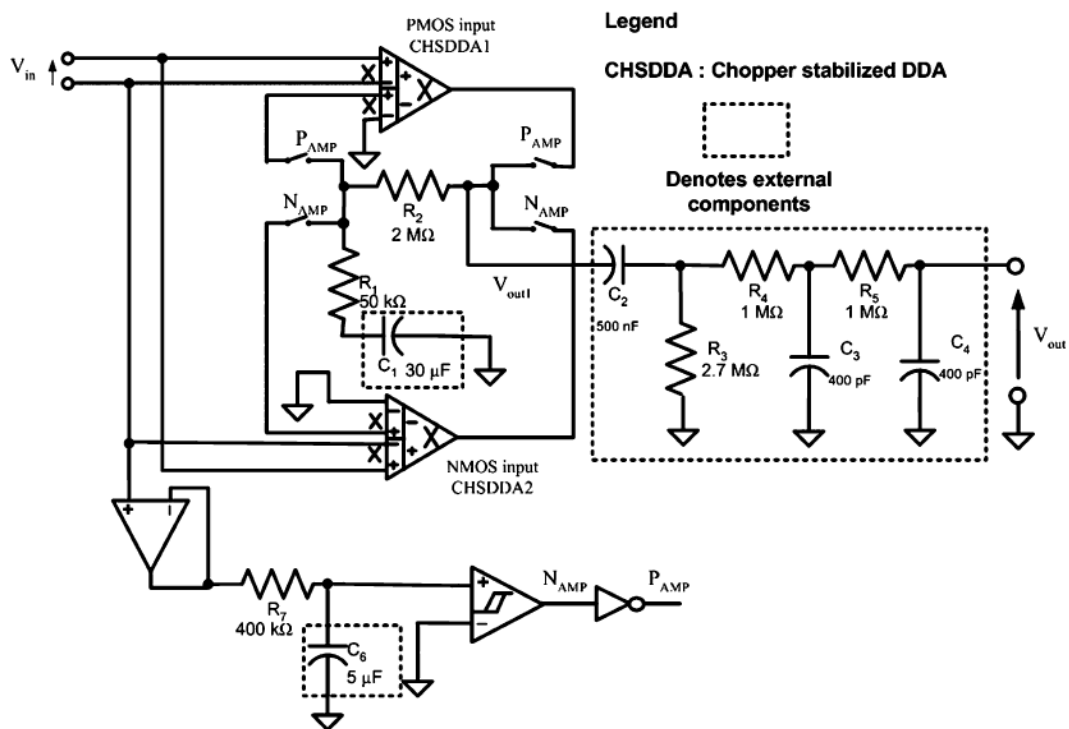


Fig.2-11、全幅式儀表放大器架構，具有帶通濾波與 DC blocking 功能[6]

Fig.2-12 為整體系統運用截波穩定電路(Chopped-Stabilized Circuit)架構下之運作示意圖。而截波穩定電路的運作主要是利用外部兩個非反向時脈去切換開關，利用其在頻域上作用，將訊號經過兩次截波穩定，將所欲觀察之低頻訊號經由第一次調變先移至高頻區段，再經由解調移回低頻區段；而電路本身等效的低頻雜訊與直流偏差電壓只經過一次截波穩定，等效的雜訊、偏差電壓將被移至高頻區段，此時即可將我們所要的低頻訊號與低頻雜訊、直流偏差電壓給分離開，降低其對原本所欲觀測低頻訊號的干擾。

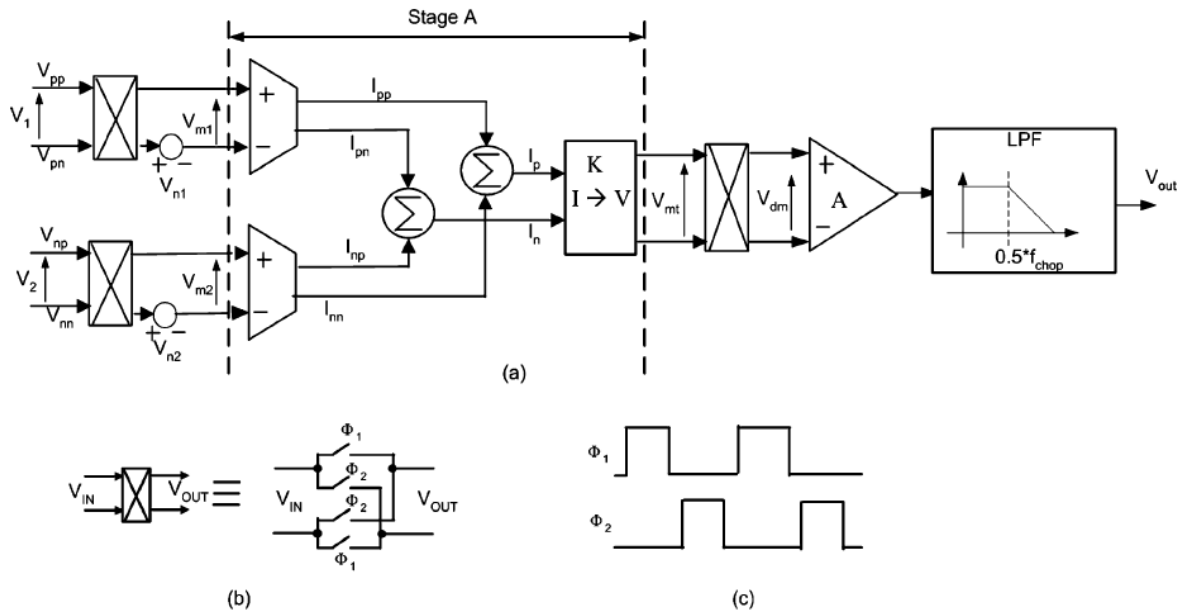


Fig.2-12、系統截波穩定運作示意圖[6]

因為截波穩定電路，主要是利用時脈去控制開關切換，對於原本訊號會帶入高頻雜訊，所以為了降低其影響，必須在系統後端加入低通濾波器，用以濾除開關切換所造成的雜訊影響，讓所要的低頻訊號恢復平坦，而濾波的頻寬設定在一半的截波穩定切換頻率。在此所用的低通架構為 Fig.2-13 所示之二階低通主動濾波器。

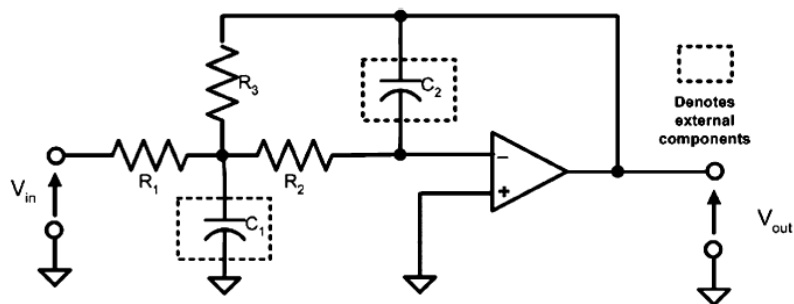


Fig.2-13、二階低通主動濾波器[6]



Fig.2-14 則為系統中可程式化增益放大器(Programmable Gain Amplifier, PGA) 詳細架構，利用數位介面去選擇電路增益，其中為了避免前端儀表放大器與濾波器對此級電路輸入阻抗的影響，所以接成非反向放大器架構，也加入了截波穩定架構，用以避免輸入偏差電壓對系統之影響。

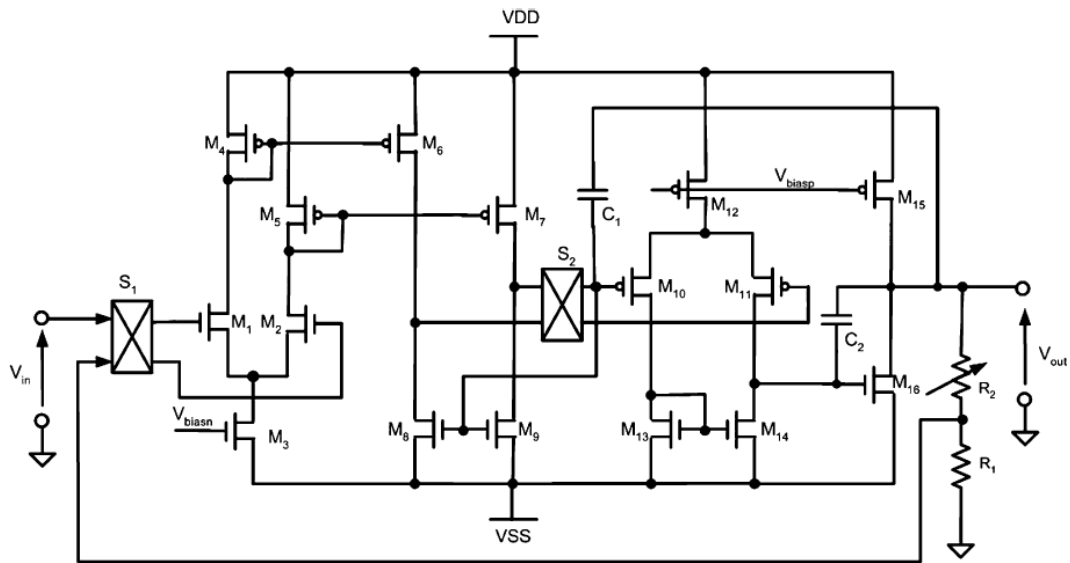


Fig.2-14、運用截波穩定技巧之 PGA 電路架構[6]

系統最後的增益輸出級則如 Fig.2-15 所示，主要是實現低電壓、AB 類輸出級(Class-AB Output Stage) 架構，用以驅動後端類比數位訊號轉換器 (Analog-to-Digital Converter, ADC)，此外亦是利用數位介面控制選擇所需之增益，加入截波穩定電路架構排除雜訊以及直流偏壓電壓對系統的影響。

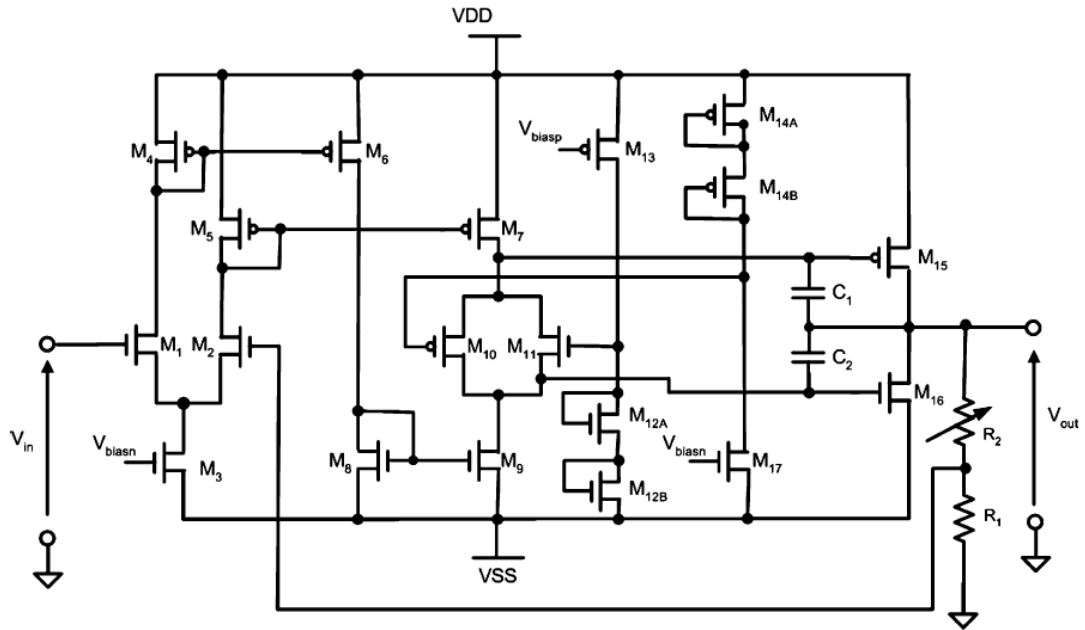


Fig.2-15、輸出增益(Output Scaling)放大器架構[6]

## 2.3 交流耦合式截波穩定儀表放大器

Yazicioglu et al. [7] 於 2007 年提出適用於可攜式生醫訊號擷取系統之低功率小體積前端信號讀出電路。整個前端電路系統架構如 Fig.2-16 所示，其中針對整體系統效能提升，提出一新式交流耦合式截波儀表放大器(AC-coupled chopped instrumentation amplifier)架構(如 Fig.2-17 所示)，應用於第一級電路，並加入截波穩定開關用以濾除 DC offset 與低頻雜訊，此外也加入截波棘波濾波器(Chopping Spike Filter, CSF)用以濾除因截波開關高速切換所產生的高頻雜訊。第二級電路為可程式化增益級，主要是由 OTA 放大器與電容陣列組成，並利用數位介面配合開關在三組電容陣列中選擇其中之一適當的容值去達成所欲的增益與頻寬，分別適用於腦電波、心電圖、肌電圖(EEG、ECG、EMG)三種生理訊號擷取。

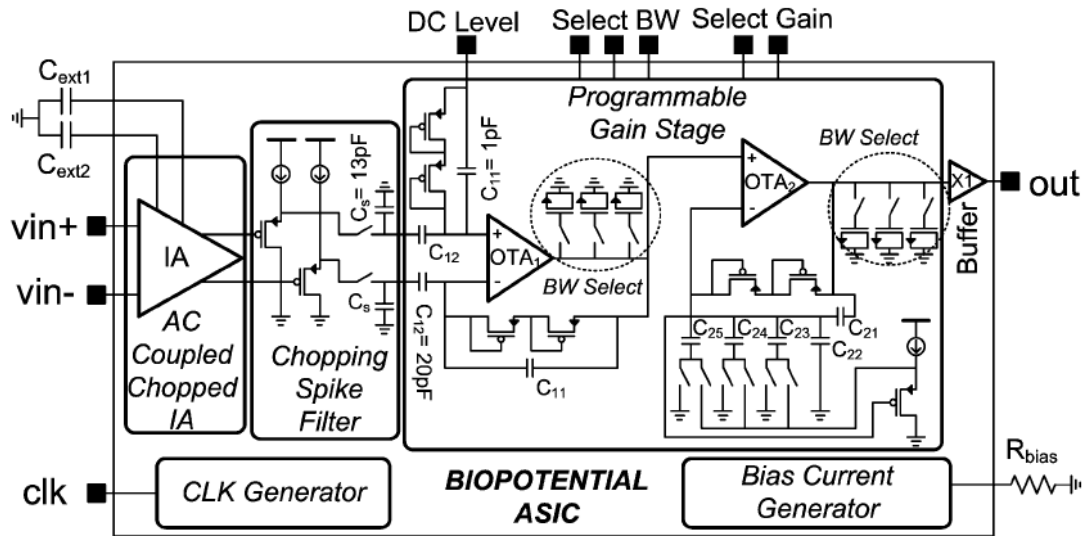


Fig.2-16、整體前端信號讀出電路系統架構圖[7]

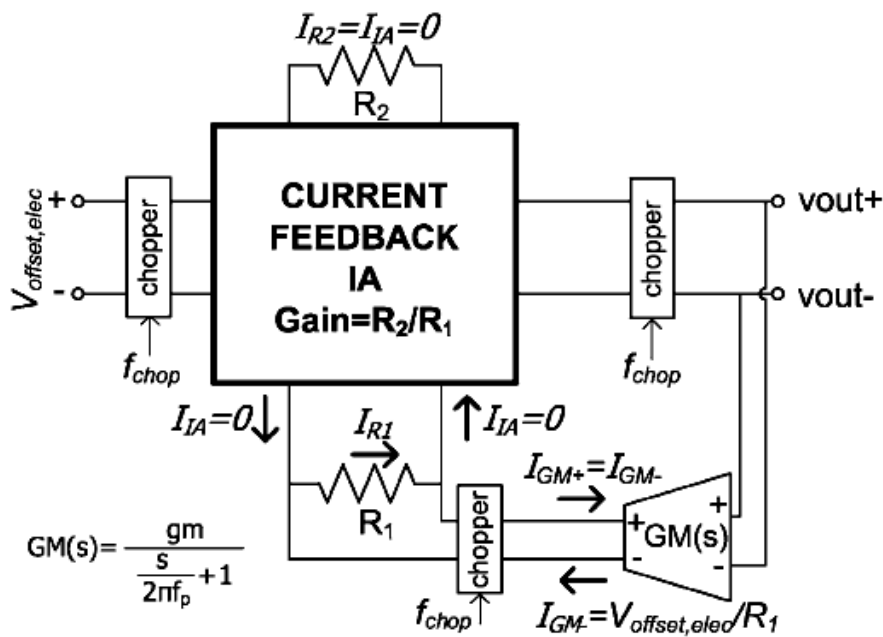


Fig.2-17、交流耦合式截波儀表放大器(ACCIA)概念圖[7]

整體的交流耦合式截波儀表放大器(AC Coupled Chopped Instrumentation Amplifier, ACCIA)運作概念如Fig.2-17 所示，由電流回授儀表放大器(Current Feedback Instrumentation Amplifier)、截波電路與轉導放大器所構成。直流輸入電

壓(在此即為電極輸入對的偏差電壓， $V_{\text{offset,elec}}$ )經由輸入截波電路調變，並在產生電流流經電阻  $R_1$ ，接著複製電流到電阻  $R_2$ ，藉由輸出截波穩定電路解調並設定輸出的直流操作電壓。而轉導級放大器(GM)，具有轉導值  $gm$  低通截止頻率  $f_p$ ，主要是用以濾除輸出直流電壓，並轉換成電流操作。此架構整體的轉移函數如式(2-9)，其中假設電流回授儀表放大器低通截止頻率  $f_{LPLA}$  遠大於截波穩定電路操作切換的頻率  $f_{\text{chop}}$ ，且  $gmR_2 \gg 1$  時，此式才成立。

$$\frac{V_{out}}{V_{in}}(s) = \frac{R_2}{R_1} \frac{s + 2\pi f_p}{s + gmR_2(2\pi f_p)}. \quad (2-9)$$

另一方面，電流回授儀表放大器的雜訊僅經由輸出截波電路調變，所以交流耦合式截波儀表放大器(ACCIA)輸出雜訊的功率頻譜密度(Power Spectral Density, PSD)  $S_{ACCIA}$ ，可以依電流回授儀表放大器的輸出雜訊功率頻譜密度  $S_{IA}$ ，表示如式(2-10)所示：

$$\begin{aligned} S_{ACCIA}(f) &= \left(\frac{2}{\pi}\right)^2 \sum_{\substack{n=-\infty \\ n=odd}}^{+\infty} \frac{1}{n^2} S_{IA}(f - nf_{\text{chop}}) \\ &\cong S_{IA,white}(f). \end{aligned} \quad (2-10)$$

當  $f_{LP,IA} \gg f_{\text{chop}}$  且電流回授儀表放大器的閃爍雜訊(flicker noise, 1/f noise)轉角頻率(corner frequency)小於  $f_{\text{chop}}/2$  時，交流耦合式截波儀表放大器(ACCIA)輸出雜訊的功率頻譜密度  $S_{ACCIA}$ ，將等於電流回授儀表放大器的輸出雜訊功率頻譜密度  $S_{IA}$  中的白雜訊(white noise)成份  $S_{IA,white}$ 。

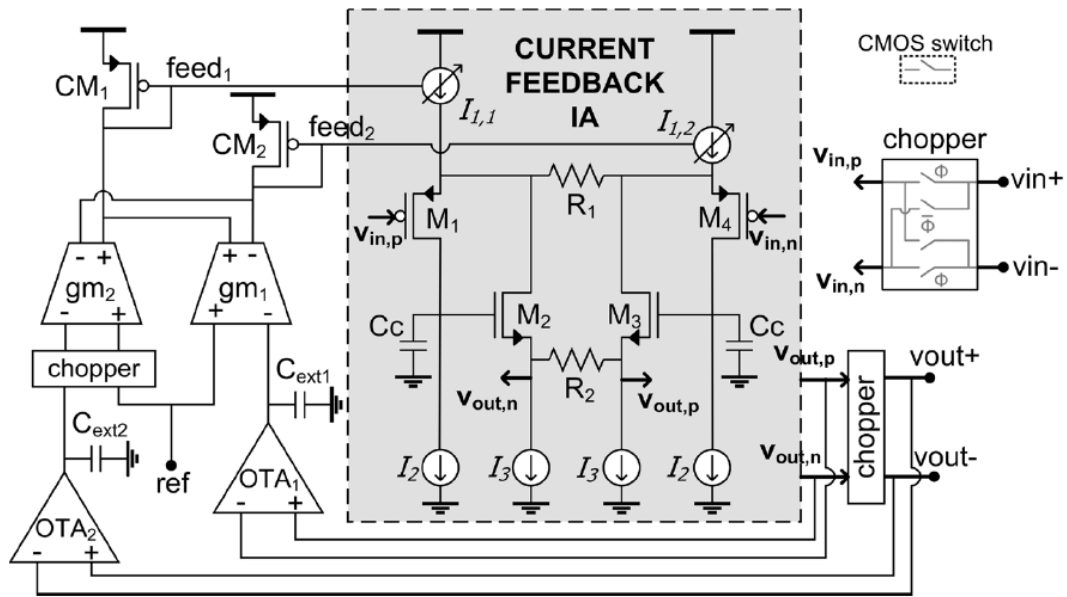


Fig.2-18、交流耦合式截波儀表放大器(ACCCIA)系統實現電路圖[7]

Fig.2-18 乃交流耦合式截波儀表放大器(AC Coupled Chopped IA, ACCIA)系統實現電路圖，也就是實現Fig.2-17所示的概念。此架構可以用以消除  $1/f$  雜訊，週邊電路用以濾除來自電極與儀表放大器所產生的偏差電壓，也顯示簡易化後的電流回授儀表放大器的概念。(其中  $C_{ext1}$ 、 $C_{ext2}$  為電路外部電容)。其中Fig.2-17中的轉導級(GM)主要是由  $OTA_2$ - $C_{ext2}$  濾波器以及轉導級  $gm_2$  放大器所實現，此架構將等校達成轉導值  $A_v gm_2$ ，其中  $A_v$  為  $OTA_2$  放大器的電壓增益。如此一來，即可確保  $gmR_2 \gg 1$ ，在此前提下，式(3-1)的推導結果才可以成立。所示我們可以將式(2-9)中的  $gm$  替換成  $A_v gm_2$ ， $f_p$  則以  $gm_{OTA_2} / (A_v C_{ext2})$  替換，並推導出交流耦合式截波儀表放大器(ACCCIA)的高通截止頻率  $f_{HP,ACCCIA}$ ，如式(2-11)。

$$f_{HP,ACCCIA} = (1/2\pi)R_2 gm_2 (gm_{OTA_2} / C_{ext2}). \quad (2-11)$$

而  $OTA_2$  架構主要是以電流鏡轉導放大器(Current Mirror OTA)實現，如Fig.2-19(a)所示； $gm_2$  則由一般基本的輸入差動對架構組成，如Fig.2-19(b)，具有將電壓轉成電流傳輸的功能。此外， $gm_2$  的輸出電流經由電晶體  $CM_1$  與  $CM_2$  被複

製到電阻  $R_1$  的雙端，用以提供輸入電極偏差電壓在電阻  $R_1$  產生的電流。此外，除了濾除輸入電極偏差電壓的回授路徑之外，另一個由  $OTA_1-C_{ext1}$  所實現的路徑主要是用以濾除儀表放大器的偏差電壓。主要是因為  $OTA_1-C_{ext1}$  的輸入端被連接至電流回授儀表放大器的輸出，因為在此節點電極的偏差電壓經由輸入截波電路調變，所以  $OTA_1-C_{ext1}$  僅能濾除儀表放大器的直流偏差電壓。在穩態時， $gm_1$  所提供的電流將等於  $V_{offset,IA} / R_1$ ，與  $gm_2$  運作原理相同， $gm_1$  的輸出電流也會經由電流鏡架構複製到電阻  $R_1$  端，用以消除儀表放大器的偏差直流電壓。因此，結合此兩個回授路徑，即可達到同時濾除來自感測電極與儀表放大器的直流偏差電壓之效用。

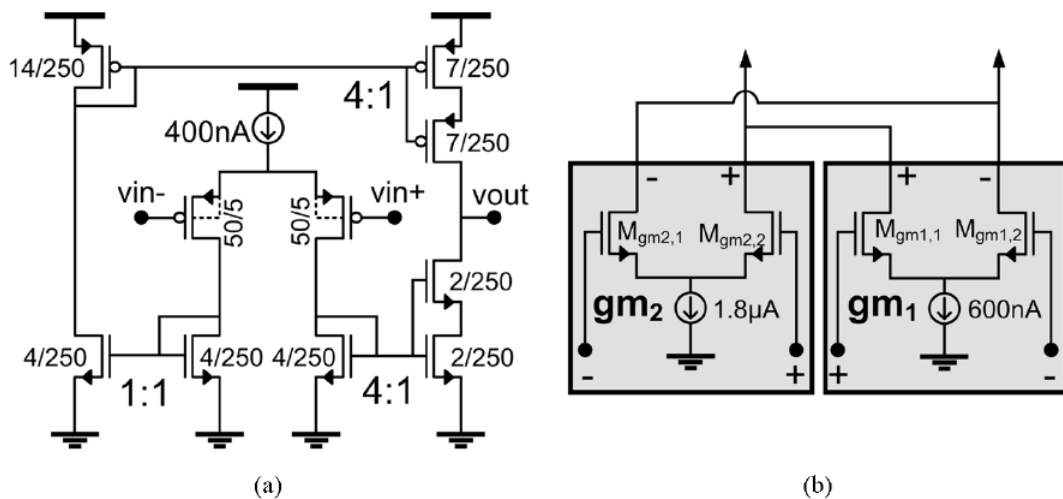


Fig.2-19、OTA 電路架構圖

(a)實現  $OTA_1-C_{ext1}$  與  $OTA_2-C_{ext2}$  低通濾波器的OTA電路架構圖

(b)實現 Fig.2-18 中  $gm_1$  與  $gm_2$  的電路架構圖 [7]

為了更加了解電流回授儀表放大器(整體架構如 Fig.2-21 所示)的運作原理，可以經由其低頻小訊號等效半電路(如 Fig.2-20 所示)去推導此架構的電壓增益，結果如式(2-11)所表示。如果  $\alpha R_2 \ll R_{out,eq}$  此情況成立時，整體儀表放大器的差模電壓增益可以進一步的表示成電阻  $R_1$ 、 $R_2$  之間的比值，同時求得儀表放大器的低通截止頻率  $f_{LP,IA}$ ，如式(2-12)所示，其中  $C_c$  如 Fig.2-18 所示。

$$\frac{V_{out,half}}{V_{in,half}} = -\frac{R_2}{R_1} \frac{1}{1 + (\alpha R_2 / R_{out,eq})}, \quad (2-12)$$

$$\alpha = (1 + 1/gm_{M1}R_1)(1 + 1/gm_{M2}R_2).$$

$$A_v = (V_{out,p} - V_{out,n}) / (V_{in,p} - V_{in,n}) = R_2 / R_1, \quad (2-13)$$

$$f_{LP,IA} \cong (1/2\pi)(1/\alpha R_2 C_c).$$

此外，為了考慮雜訊影響，可以從 Fig.2-18 架構中求得電流回授儀表放大器的輸入等效雜訊功率密度(input-referred noise power density)， $\overline{v_{in,IA}^2}$ ，如式(2-14)。(其中  $gm_{I1}$ 、 $gm_{I2}$ 、 $gm_{I3}$  為電流源的轉導，而  $g_1 = 1/R_1$ 、 $g_2 = 1/R_2$ )

$$\overline{v_{in,IA}^2} = 2\overline{v_{M1}^2} + \overline{v_{R1}^2} + \frac{1}{A_v^2}(\overline{v_{R2}^2} + 2\overline{v_{M2}^2}) + 2\frac{gm_{I1}^2}{g_1^2}\overline{v_{IA}^2} + 2\frac{gm_{I2}^2}{g_1 // gm_1}\overline{v_{I2}^2} + 2\frac{gm_{I3}^2}{g_1^2}\overline{v_{I3}^2}. \quad (2-14)$$

如果將所求得的電流回授儀表放大器輸入等效雜訊， $\overline{v_{in,IA}^2}$ ，再加上轉導級  $gm_1$ 、 $gm_2$  與電晶體  $CM_1$ 、 $CM_2$  所產生的雜訊效應，即可求得整體交流耦合式截波儀表放大器(AC Coupled Chopped IA, ACCIA)的輸入等效雜訊， $\overline{v_{in,ACCIA}^2}$ 。在截波穩定電路具有濾除大部分低頻閃爍雜訊(flicker noise, 1/f noise)的效用之下，我們僅著重考量熱雜訊(thermal noise)對於電路系統的影響，同時假設  $A_v \gg 1$ ，且電晶體  $CM_1$  與  $CM_2$  的轉導值等於  $gm_{I1}$ ，結果如式(2-15)所示。

$$\overline{v_{in,ACCIA}^2} = \frac{16kT}{3} \left[ \frac{1}{gm_{M1}} + \frac{3}{4g_1} + \frac{gm_{I2}}{(g_1 // gm_{M1})^2} + \frac{(2gm_{I1} + gm_{I3} + gm_1 + gm_2)}{g_1^2} \right]. \quad (2-15)$$

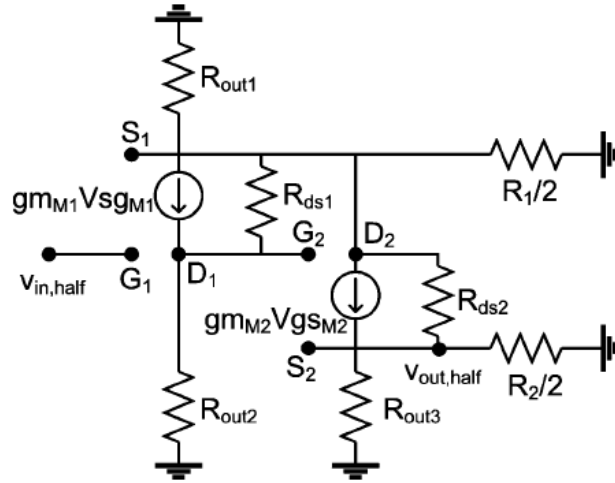


Fig.2-20、電流回授式儀表放大器(Fig.2-18)等效半電路的低頻小訊號模型[7]

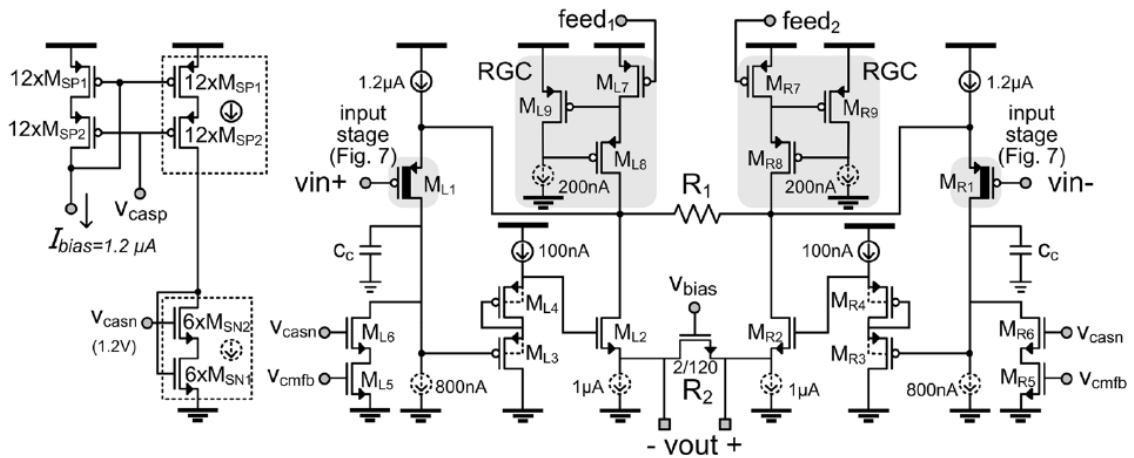


Fig.2-21、ACCIA 架構電流回授式儀表放大器的電路實現圖[7]

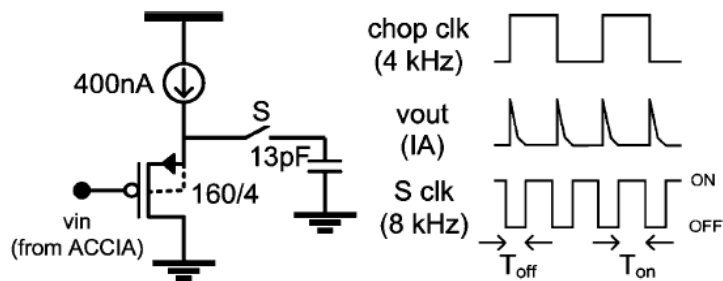


Fig.2-22、用以消除截波穩定電路所產生的棘波濾波器架構與其操作原理[7]



然而，儘管截波穩定電路(Chopper-Stabilized Circuit)具有濾除低頻雜訊以及直流偏差電壓的優點，但是另一個缺點就是在高速開關切換時脈下，會將高頻雜訊導入信號源。為了降低截波穩定器所產生的高頻棘波，可以在截波器後端接上 Fig.2-22 所示截波棘波濾波器(Chopping Spike Filter, CSF)。其原理只是利用後端開關(S)控制信號導通傳輸的時間，在截波棘波產生的期間，開關 S 設定在 Off，其他無棘波影響的期間，開關設定在 On，如此的導通時脈下，即可降低截波器所產生的高頻棘波雜訊對信號源的影響。

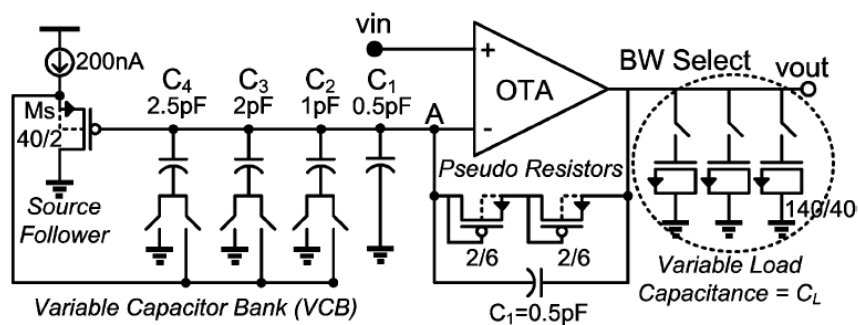


Fig.2-23、可調式增益放大器(Variable Gain Amplifier, VGA)架構[7]

此系統架構(如 Fig.2-16)最後為可程式化增益級，亦即儀表放大器之後的第二個增益級，主要可以分為兩級電路，第一級為定增益放大器(電壓增益=20V/V)，第二級為可調式增益放大器(Variable Gain Amplifier, VGA)，分別具有電壓增益：2、4、8、13(V/V)，所以整體可程式化增益級的電壓增益分別為40、80、160、260 (V/V)。其中 VGA 的架構如 Fig.2-23 所示，具有數位控制增益介面，利用數位電壓導通電容陣列，選擇適當的電容值，達成所欲的增益。另外需要加入 Pseudo Resistors 去設定 OTA 轉導運算放大器的直流操作電壓，而放大器架構與 Fig.2-19(a)相同。而可調式增益放大器的轉移函數，可以表示如式(2-16)，其中  $C_T$  為電容陣列等效的容值， $R_{eq}$  為 Pseudo Resistors 等效的阻值， $C_L$  為負載電容值， $gm_{OTA}$  為 OTA 放大器的轉導值， $R_{par}$  為節點與地之間等效的雜散電阻值。電路的回授路徑，主要由源級追隨器組態構成，用以避免雜散電阻對於節點 A 的影響。此外，藉由選擇 Variable Capacitor Bank(VCB)去設定所欲的電壓增益，至於選擇系統的低通截止頻率，則需設定選擇 Variable Load Capacitance，

即負載電容值  $C_L$ 。

$$A_v(s) = \left\{ 1 + \frac{C_T}{C_1} \left[ \frac{(s + \frac{1}{C_T R_{par}})}{(s + \frac{1}{C_1 R_{eq}})} \right] \right\} \cdot \left[ s \left( \frac{C_T}{C_1} \frac{C_L}{g m_{OTA}} \right) + 1 \right]. \quad (2-16)$$



# 第三章

## 頻寬/增益可調式低雜訊前端電路設計

本章介紹整體前端電路考量與設計的系統架構，從各級電路的設計、模擬驗證作逐一介紹。

### 3.1 系統架構

由於生理訊號都非常微弱，故在取得生理訊號後，須先進行三項前級處理，才可由類比/數位轉換器(ADC)取得數值，再傳送至後端電腦或嵌入式系統作數位訊號處理(DSP)運算分析。此三項分別為：儀表放大器(Instrumentation Amplifier)、低通濾波(Low-Pass Filter)、訊號放大器(OP-Amplifier)，此亦級一般類比前端電路(Analog Front-End Circuit)所包含的三級電路。

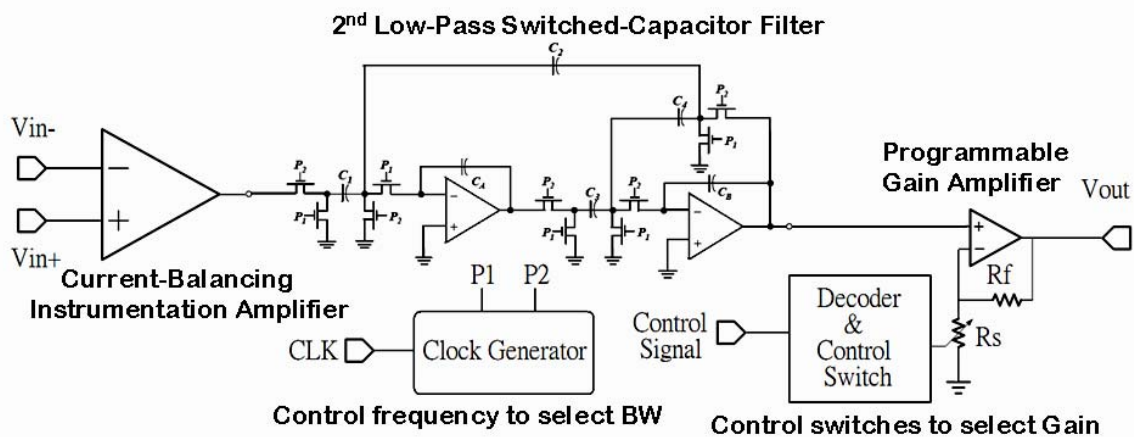


Fig.3-1、系統架構圖

在 Fig.3-1 系統架構中，第一級儀表放大器主要將電極收到的微弱生理訊號放大，並藉由其高輸入阻抗及高共模拒斥比的特性，以提升訊號對雜訊比。而常見的儀表放大器主要分成電壓式與電流式兩種，其中電壓式儀表放大器，需要多

個電阻彼此匹配，才可以達到高共模拒斥比(Common-Mode Rejection Ratio)，但是由於被動元件在晶片上體積耗費極大，而且電阻間的匹配程度嚴重的影響儀表放大器的共模拒斥比。在 CMOS 製程實現的前提下，考量電路面積成本效益、電阻製程誤差與實際電路的特性，傳統的電壓式儀表放大器並非好的選擇。目前的研究主要針對設計可攜式多通道系統，有效的縮小每個通道晶片的體積是必要的考量，因此最直接有效的方式就是降低被動元件的使用量。所以電壓式儀表放大器已不再考量之內；至於電流式儀表放大器，僅需兩個電阻去決定放大的增益倍數，且同時可達到高共模拒斥比，而且在電流式儀表放大器的架構下，電阻間的匹配對於整體的共模拒斥比影響較小。所以本論文朝電流式儀表放大器發展，參考相關文獻並比較其優缺點後，以「電流平衡式儀表放大器」架構去實現，盡量壓低使用電阻值，建構低面積高性能的電流式儀表放大器。

然而，生理訊號除了經由第一級儀表放大器作初次的訊號放大，並抑制共模雜訊，以提高訊號雜訊比之外，仍需經由第二級的低通濾波器濾除生理訊號頻帶以外的雜訊，確保前端電路所放大的生理訊號的真實性，才能傳至後端作訊號分析。濾波器在電子的領域經常使用到，傳統的被動濾波器和 RC 主動濾波器由於體積非常龐大，所以不太適合於 IC 的製作。也因為如此，才有切換式電容濾波器的發明。SC 電路只使用一些開關(switch)及電容，便可完全模擬電阻的功用。有一個問題值得去探討的是為什麼不用電阻去設計，原因是電阻在“低頻應用時很佔體積”的缺點，使得在實現 IC 時產生很大的困擾。SC 電路將傳統時間常數(time constant)由絕對(absolute)的型式變為相對的型式(relative ratio type)，這樣可大大提高精確度及減少晶片面積。由於生理訊號屬於低頻訊號，如腦電波(EEG)訊號坐落於 DC~150Hz，所以如果要將整體電路濾波至如此極低頻帶，應用時所需要的 R、C 被動元件將過於龐大，無法將系統實現在單一晶片之上。因為對於日後發展可攜式多通道系統而言，如何有效的整合系統，縮小整體電路，SOC 化將是日後發展的重大趨勢。此外，也可以利用 SC 電路，利用電容與開關便可

模擬等效電阻的特性，如果欲將電路應用於不同的生理訊號，只要藉由調整外部開關切換的時脈，即可彈性的調整濾波頻寬，應用面更廣更具有彈性。因此本架構中的第二級低通濾波器，便使用在通訊及信號處理的領域裡佔有相當重要地位的切換式電容濾波器，藉此整合前端電路，實現於單一晶片，並可適用於多種生理訊號量測用途。

由於生理訊號相當微弱，如腦電波(EEG)訊號最大振幅也在 100uV 左右，故在取得生理訊號後，除了經由儀表放大器作初步的訊號放大與抑制雜訊，進一步經過濾波器濾波生理訊號頻帶之外的雜訊之外，仍須再經由後端放大器電路將訊號再給予適當的放大，而且生理訊號的振幅並非一個固定值，常隨著身理狀況、感測器的好壞、周圍量測環境等等因素變化，所以整體前端電路並不適合將增益鎖在一個固定值，增益過小可能導致後端類比/數位轉換器(ADC)轉換時誤差增大，過大則可能導致訊號輸出飽和。所以最佳的解決方案，則是視量測時的訊號大小，利用數位介面去切換可程式化增益放大器(Programmable Gain Amplifier, PGA)至適當增益，以利後端電路擷取訊號分析處理。

本論文設計與國外實驗室設計方式的差別，除了一般著重的低功率、低雜訊之外，同時提高共模訊號拒斥比(Common-Mode Rejection Ratio, CMRR)與電源漣波拒斥比(Power Supply Ripple Rejection Ratio, PSRR)，並將整體前端電路整合實現在單一晶片上，兼具成本與晶片面積效益，利於日後與後端多通道嵌入式生醫系統整合應用。而此電路設計的最大的特色在於盡量利用電路本身的特性來減少額外或多餘的設計，例如應用數位切換時脈的頻率對應不同的生理訊號頻帶去選擇不同的系統頻寬，以及利用解碼器與開關在單一電阻串聯陣列不同節點選擇不同阻值的達成不同系統增益，此種共用電阻的方式較並聯式電阻陣列省下較多的阻值，直接降低電路佈局面積。



## 3.2 電路設計

本論文的系統電路架構(如 Fig.3-1 所示)主要可分為三級探討:第一級為電流平衡式儀表放大器(Current-Balancing Instrumentation Amplifier),主要是作初步的訊號放大、抑制共模雜訊之用。再經由第二級切換電容濾波器去濾除生理訊號頻帶以外的雜訊,此外還可利用非重疊時脈的頻率去調整濾波器的 3dB 頻寬,因應不同生理訊號分布頻帶需求。最後,因為不同的生理訊號除了有不同的分布頻帶之外,也具有不同振幅的特性,所以在第三級設計一個可程式化增益放大器,利用 2-to-4 Decoder 選擇導通在電阻串連陣列不同的節點上的開關,去達成四種不同的增益,以適用於量測多種不同生理訊號的需求。以下小節針對各級電路設計作說明。

### 3.2.1 電流平衡式儀表放大器

電流式儀表放大器的較電壓式儀表放大器好之處,就是在於電阻間匹配的問題,對於儀表放大器最重要的特性—「共模訊號拒斥比(Common-Mode Rejection Ratio, CMRR)」,影響較小且所需使用到的被動元件也相較少,在考量電路佈局面積、製程變異與電路特性的前提下,電流平衡式儀表放大器(Current-Balancing Instrumentation Amplifier)乃最佳的架構選擇。另外,為了進一步提升共模訊號拒斥比,在電流傳輸部分,利用如 Fig.3-2 所示的寬擺幅堆疊式電流鏡(High-Swing Cascode Current Mirror)[15]去替換改良一般使用的簡單電流鏡,主要是增大電流鏡輸出阻抗去達成提高共模訊號拒斥比的特性[14][15][16]。此外,在原本補償電容  $C_c$  旁再加入補償電阻  $R_c$ , 進一步提高系統穩定度。

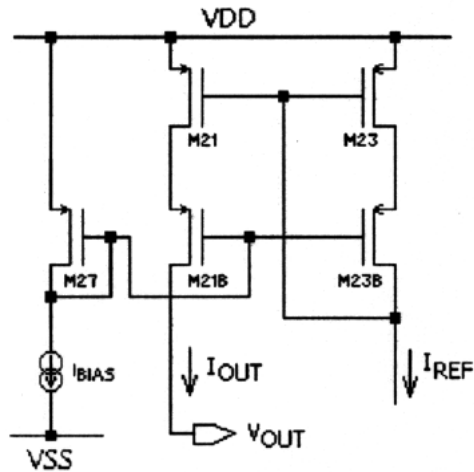


Fig.3-2、寬擺幅堆疊式電流鏡[15]

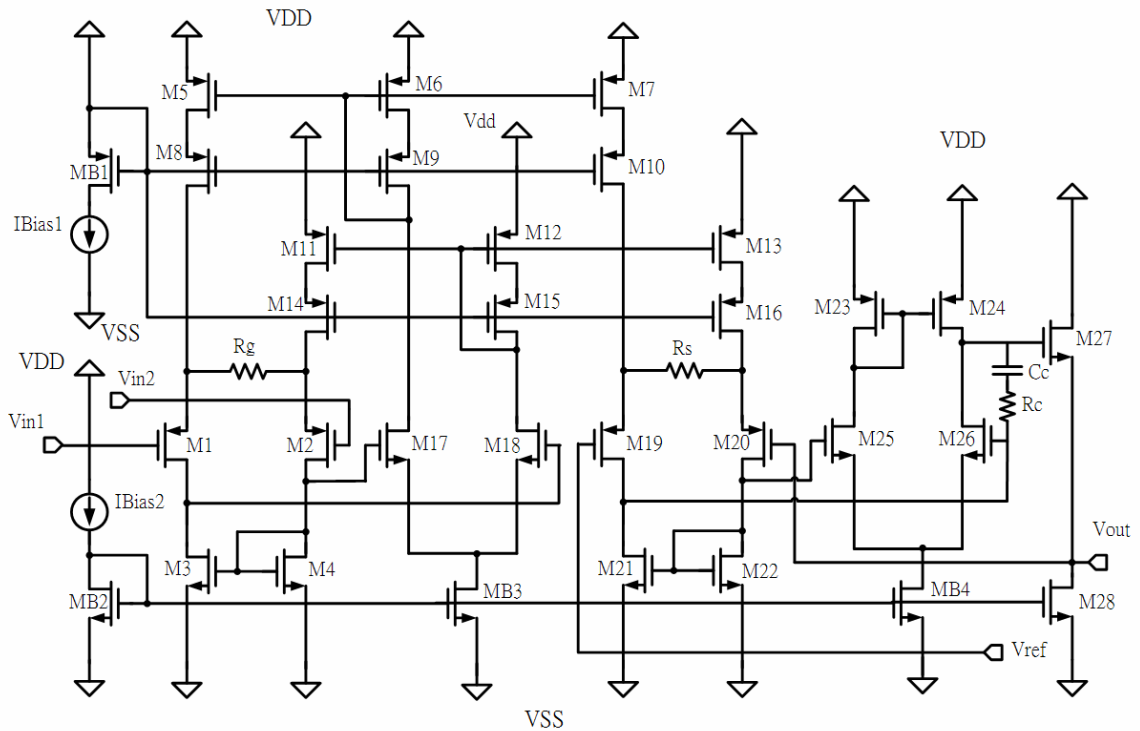


Fig.3-3、電流平衡式儀表放大器(CBIA)電路架構圖

在設計此電流平衡式儀表放大器時，為了讓輸入對  $M_1 - M_2$  與輸出對  $M_{19} - M_{20}$  保持高度的線性度，輸入與輸出之間的回授必須具有足夠的迴路增益 [4]，此時儀表放大器的電壓增益將會趨近於輸出電阻與輸入電阻的比值，亦即

$$A_{v,IA} = R_s / R_g。$$



根據文獻[18]的推導，簡化後的電流式儀表放大器的輸入等效熱雜訊、閃爍雜訊分別可以表示成式(3-1)與式(3-2)：

$$\overline{V_{n,thermal}^2} \approx 4kT\Delta f \left[ \frac{1}{3} \left( \frac{2}{gm_1} + R_g \right)^2 \cdot (gm_6 + gm_{b3}) + \frac{4}{3gm_1} + \frac{2gm_3 + gm_{23}}{3} \cdot R_g^2 + R_g + \frac{R_g^2}{R_s} \right]. \quad (3-1)$$

$$\overline{V_{n,flicker}^2} \approx \frac{1}{2} \left( \frac{2}{gm_1} + R_g \right)^2 \cdot (gm_6^2 \cdot \overline{V_{nf6}^2} + gm_{b3}^2 \cdot \overline{V_{nfb3}^2}) + 2 \cdot \overline{V_{nf1}^2} + (gm_3^2 \cdot \overline{V_{nf3}^2} + gm_{23}^2 \cdot \overline{V_{nf23}^2}) \cdot R_g^2. \quad (3-2)$$

其中  $\overline{V_{n,fi}^2}$  代表電晶體  $M_i$  的閃爍雜訊，定義為： $\overline{V_{nfi}^2} = \frac{K_i}{(W \cdot L)_i f} \cdot \Delta f$ .

根據式(3-1)與式(3-2)，為了降低輸入等效雜訊，在設計時必須盡量的提升電晶體  $M_1$  的轉導值  $gm_1$ ，同時壓低其他電晶體的轉導值，根據此原則去設計適當的電晶體尺寸，才能達到降低電流式儀表放大器的輸入等效雜訊的目的。其中，輸入電阻  $R_g$  同時也影響等效的輸入雜訊；過大的輸入電阻  $R_g$  會導致過大的輸入等效雜訊，但在另一方面，提高輸入電阻  $R_g$  可以減低感測電極間的偏差電壓對電路影響的程度[5][17]，兩方面的權衡也是設計所必須考量的。此外，輸入級有PMOS與NMOS兩種選擇，就flicker noise的觀點而言，PMOS擁有比NMOS更低的corner frequency，具有更好的抗雜訊的能力[1][2][9][10]，因此選擇PMOS當作difference input pair當作輸入級（flicker noise分佈如Fig.3-4）。完整的電流平衡式儀表放大器(Current-Balancing Instrumentation Amplifier，CBIA)架構如Fig.3-3所示。

整體的電流平衡式儀表放大器的電路架構如 Fig.3-3，根據佈局前模擬(Pre-Simulation)結果，如 Fig.3-5 所示，此電路可提供 52.7 dB 的差模增益（約 431.5 倍），相位邊限(Phase Margin)大約八十度。而 Fig.3-6 則顯示本電流平衡式儀表放大器，提供共模拒斥比(Common-Mode Rejection Ratio，CMRR)約 170dB@150Hz（腦電波訊號頻帶範圍：DC~150Hz），頻率越低共模拒斥比越大；此外，此儀表放大器同時提供高電源漣波拒斥比(Power Supply Ripple Rejection Ratio，PSRR)，在常用的生理訊號頻帶內（訊號分佈最高大約 1kHz），如 Fig.3-7、

Fig.3-8 所示，提供 PSRR+大約 130dB、PSRR-大約 110dB。根據文獻資料，適用於生理訊號量測的儀表放大器共模拒斥比(CMRR)至少大於 80dB，才符合需求。

由佈局前模擬結果可知，此電流平衡式儀表放大器的確符合規格，所以可以進一步佈局與驗證。設計時，供應電壓正負 1.5V，估計靜態總電流 9.4 uA，在低電流操作下，將電晶體 over drive 電壓設定在 0.1V~0.2V，經過估算後，適當微調 W/L 的比值，測試通過製程飄移的 5 個 corner (FF、TT、SS、FS、SF)均可正常工作，而且每個 corner 的模擬值幾乎一致，此結果也驗證製程飄移所產生的誤差對於本電路架構的影響不大。然後在 TT 的情況下，輸入共模範圍(Input Common Mode Range，ICMR 為) -1.4V ~ 0.33 V。

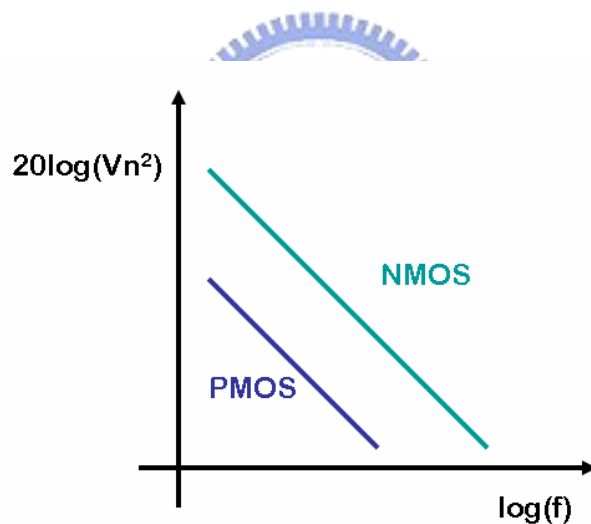


Fig.3-4、閃爍雜訊(flicker noise)頻譜分佈

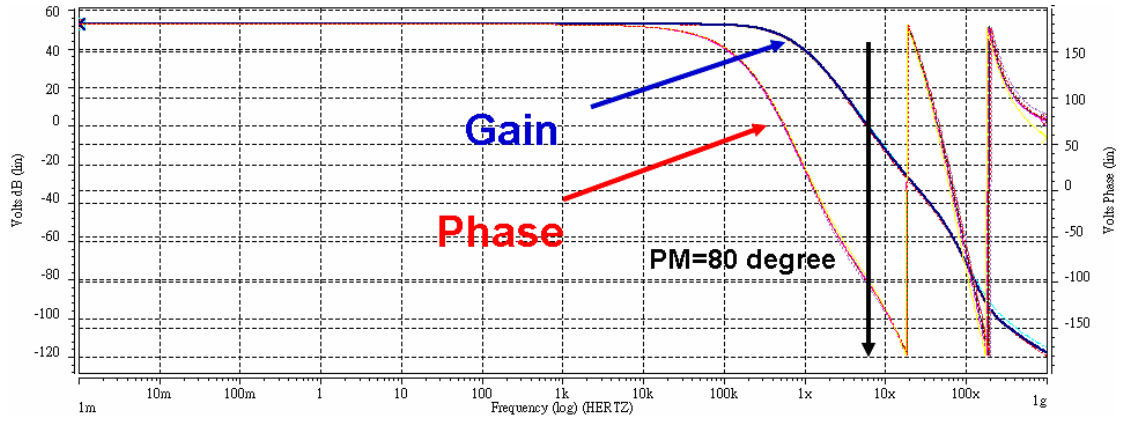


Fig.3-5、電流平衡式儀表放大器差模增益與相位頻率響應圖

(Pre-Simulation with 5 corners : TT、FF、FS、SF、SS)

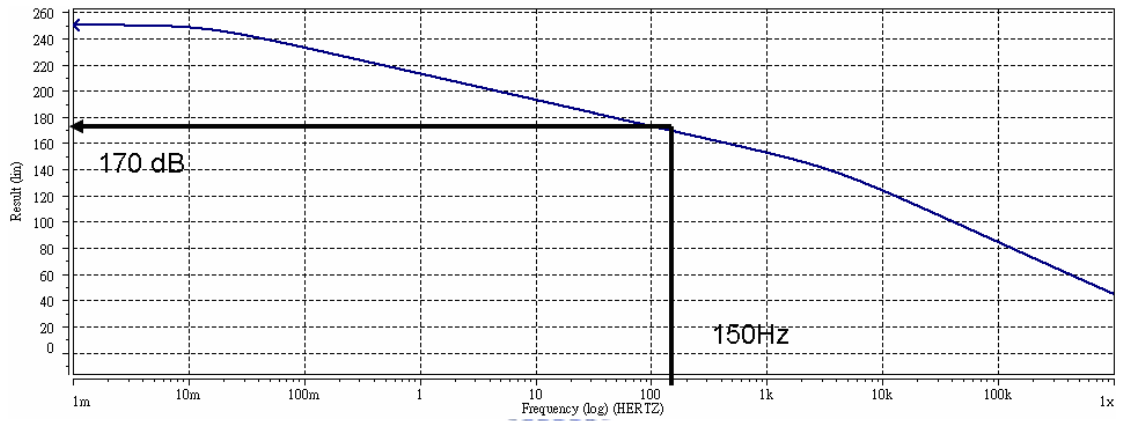


Fig.3-6、電流平衡式儀表放大器共模拒斥比頻率響應圖 (Pre-Simulation)

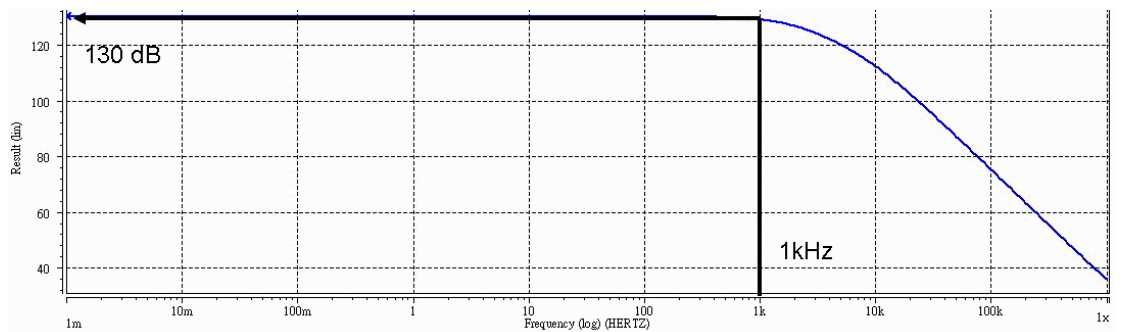


Fig.3-7、電流平衡式儀表放大器正端電源漣波拒斥比頻率響應圖(Pre-Simulation)

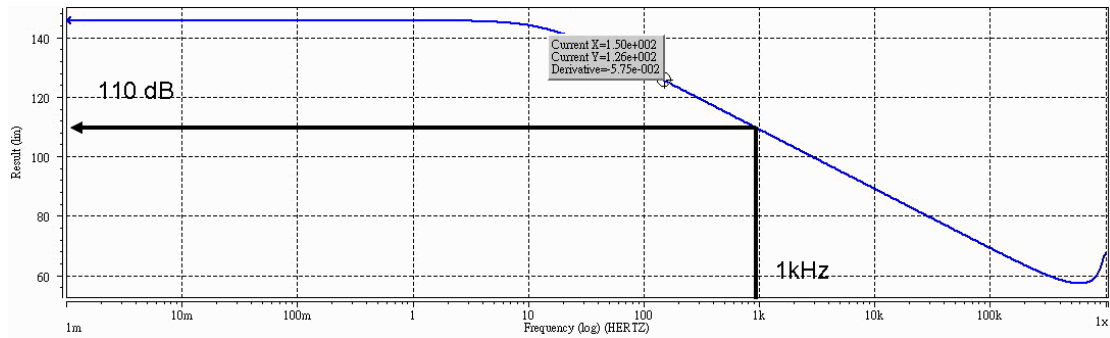


Fig.3-8、電流平衡式儀表放大器負端電源連波拒斥比頻率響應圖(Pre-Simulation)

### 3.2.2 切換式電容濾波器

在設計低通濾波器規格之前，我們先鎖定腦電波(EEG)訊號頻帶(DC-150Hz)當成濾波頻寬，濾除 150Hz 以上的高頻雜訊。之所以採用切換式電容(Switched Capacitor, SC)架構來實現濾波器的原因在於，乃因使用一般的主動(Active)、被動(Passive)濾波器要將系統的 3dB 設定在 150Hz 如此低的頻帶，勢必用到龐大的電阻、電容去產生如此低的極點以便濾波。而大電阻、大電容在 CMOS 積體電路實現上不易，除了佈局上佔龐大的面積、準確度不高、易受溫度影響；相對的，切換式電容濾波器是靠切換開關外部的時脈與取樣電容比值去達成設計濾波的 3dB 頻率，而且利用切換電容(SC)來取代大電阻，在 CMOS 積體電路的實現上，具有佈局面積小且準確度高的優點。所以在整合前端電路於單一晶片的考量上，切換式電容濾波器是唯一可以兼具電路面積與效益的濾波器架構。

在實現切換式電容濾波器之前，在設定取樣電容的大小之前，必須先設定開關切換的頻率，亦即電路取樣的頻率，才能設定電路濾波的 3dB 頻寬。根據取樣定理，訊號的取樣頻率必須大於兩倍的信號頻，否則將會產生訊號交疊(aliasing)的現象，導致信號失真。而過高的取樣頻率，儘管可以避免訊號失真，但是會增加電路切換的動態功率消耗。所以在原先考量腦電波(EEG)分布的頻帶在 150Hz，所以最低取樣頻率的要求為 300Hz，但是在加入考量其他可能混入信號端的其他生理訊號，相對於我們所要觀察的腦電波(EEG)，都可以視為雜訊，其

中電生理訊號雜訊主要都集中在 1kHz 以下，所以將取樣頻率適當地設計在 5kHz。如果信號雜訊超越一半取樣頻率(2.5kHz 以上)，可以在第一級電流式儀表放大器輸出電阻外掛電容，將信號雜訊限制在 2.5kHz 以下，就可以完全確保信號不會混淆失真。

切換式電容濾波器(Switched-Capacitor Filter, SCF)，可以分為以下幾種架構：切換式電容梯狀濾波器(SC Ladder Filter)、切換式電容微分器所構成的二次式濾波器(SC Differentiator Biquad Filter)、切換式電容微分器所構成的二次式濾波器(SC Integrator Biquad Filter)。在此，選擇使用以切換式電容積分器所構成的二次式濾波器，而此架構又可區分為 High-Q 與 Low-Q 兩類，分別適用於高頻與低頻系統應用。

由於生理訊號均屬於低頻訊號，所以選用 Low-Q Biquad Filter 架構，並加入開關共享(Switch Sharing)方式去實現，不僅可以降低電路佈局面積，也可以節省開關切換的動態功率消耗。整體的低通切換式電容濾波器架構如 Fig.3-9 所示，其中核心運算放大器則是使用如 Fig.3-10 所示的堆疊式轉導放大器(Stack OTA) 架構實現，根據佈局前模擬如 Fig.3-11，放大器的差模電壓增益約 69dB、相位變限(Phase Margin)約 89.2 度。

另外，切換式電容濾波器(SCF)需要加入非重疊時脈訊號產生器(Non-Overlapping Clock Generator)提供兩個不重疊的相位時脈去切換控制開關，其架構圖如 Fig.3-12，時脈暫態模擬如 Fig.3-13 所示。而整體切換式電容低通濾波器的效能，如 Fig.3-14、Fig.3-15、Fig.3-16 的模擬結果所示，輸入測試訊號振幅 50mV(以腦電波(EEG)訊號最大的振幅 100uV 為例，經由第一級儀表放大器的放大倍率大約 431.5 倍，所以到第二級濾波器時，放大後的振幅大約 43.15mV，所以取 50mV 當測試訊號振幅)，個別具有不同的頻率，分別為 10Hz(通帶頻率)、150Hz(低通 3dB 頻率)、1kHz(停帶頻率)，從輸入與輸出訊號暫態響應關係圖得知，此電路設計的確具有低通濾波的功能。

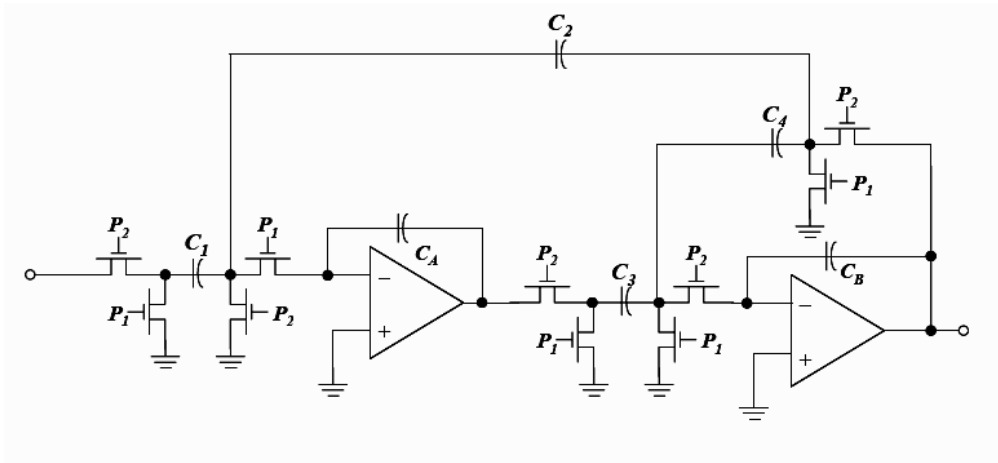


Fig.3-9、切換式電容濾波器架構(共享開關)

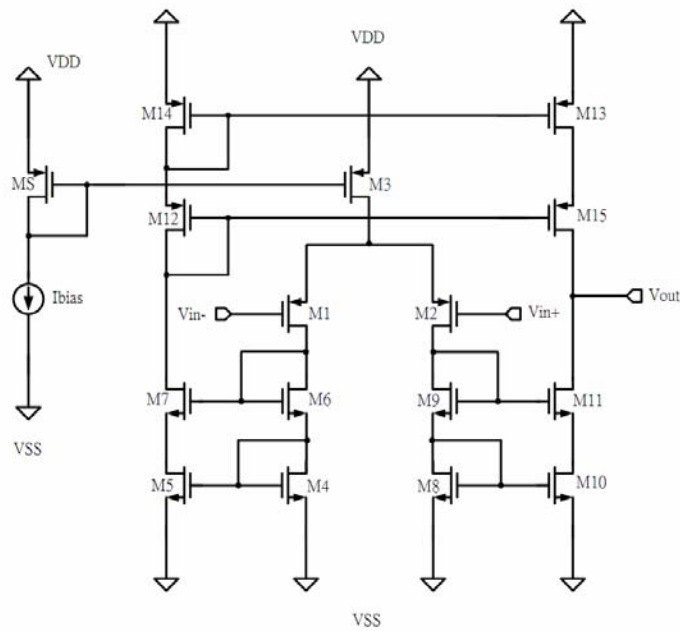


Fig.3-10、使用於切換式電容濾波器(SCF)的核心運算放大器架構

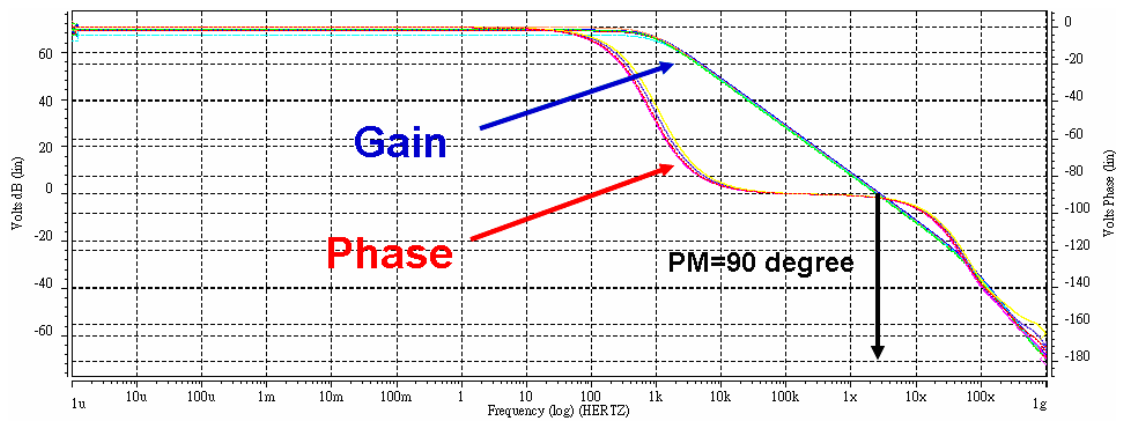


Fig.3-11、SCF 核心運算放大器差模增益與相位頻率響應圖

(Pre-Simulation with 5 corners : TT、FF、FS、SF、SS)

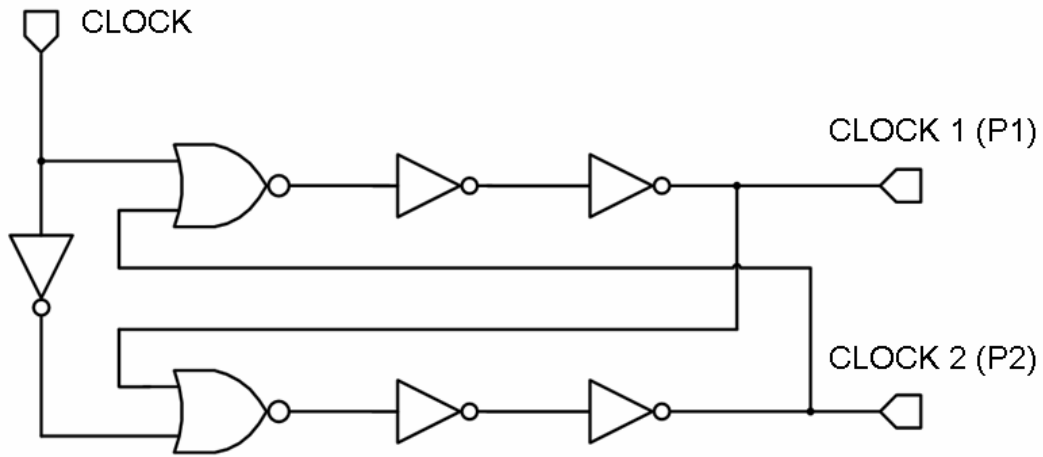


Fig.3-12、非重疊時脈訊號產生器(Non-Overlapping Clock Generator)

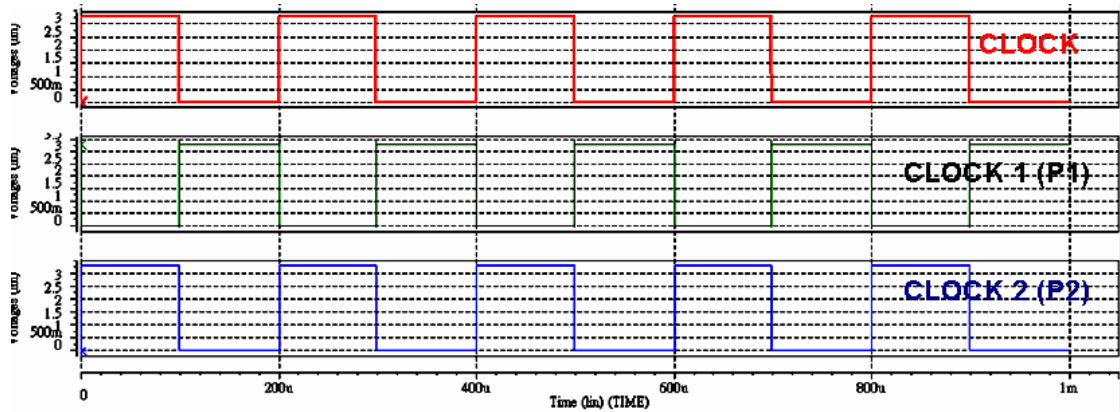


Fig.3-13、非重疊時脈訊號產生器暫態模擬圖 (Pre-Simulation)

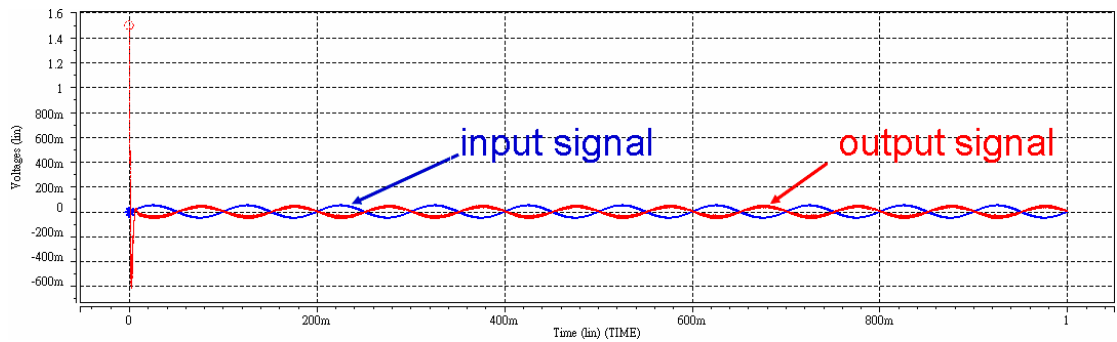


Fig.3-14、切換式電容濾波器暫態響應圖(一)

[輸入訊號：振幅 50mV、頻率 10Hz] (Pre-Simulation)



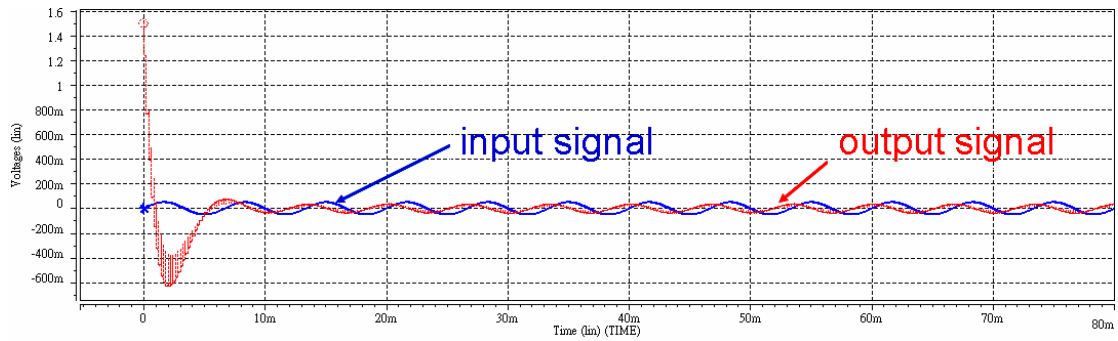


Fig.3-15、切換式電容濾波器暫態響應圖(二)

[輸入訊號：振幅 50mV、頻率 150Hz] (Pre-Simulation)

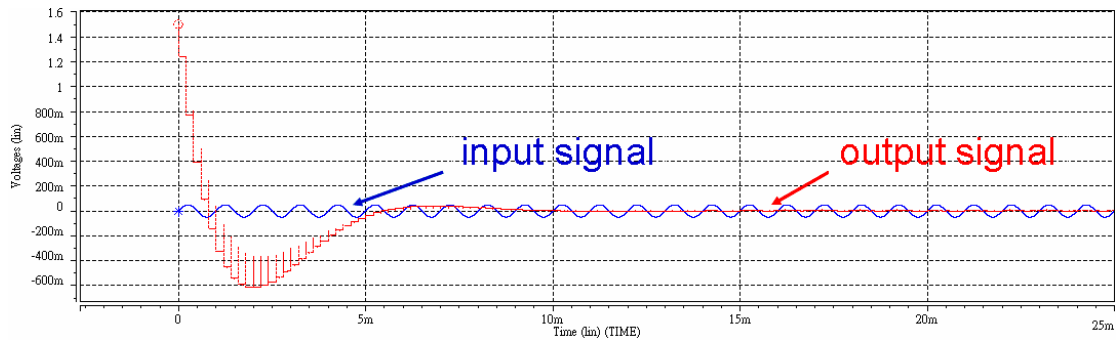


Fig.3-16、切換式電容濾波器暫態響應圖(三)

[輸入訊號：振幅 50mV、頻率 1kHz] (Pre-Simulation)

### 3.2.3 可程式化增益放大器

整體的可程式化增益放大器架構如 Fig.3-17 所示，主要是當電流平衡式儀表放大器之外的第二級增益級，將生理訊號放大至適當便於觀察與分析的範圍。使用者可根據不同的生理訊號振幅，利用此數位彈性的介面去選擇適當的放大倍率。其中設計原理主要是利用一個 2-to-4 Decoder(架構如 Fig.3-18 所示，Fig.3-19 為其的模擬結果)，提供兩個輸入選擇位元去切換導通電阻陣列四個不同的開關節點，配合正向放大器原理與架構，由不同節點的等效電阻值  $R_x$  與電阻  $R_f$  之間的比例關係，用以達成可程式化增益放大器的四種增益，分別為 0dB、11dB、18.4dB、27.8dB(如 Fig.3-22 所示)。

其中正向放大器的核心電路架構如 Fig.3-20 所示，採用二級的 OTA 轉導放

大器架構，並加入補償電阻、電容提升系統的穩定度，模擬結果如 Fig.3-21，差模電壓增益約 72.4dB、相位邊限(Phase Margin)約 83.5 度。

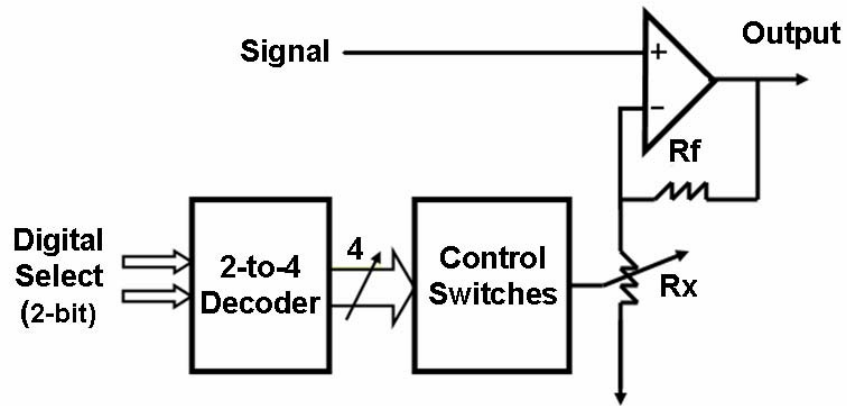


Fig.3-17、可程式增益放大器架構

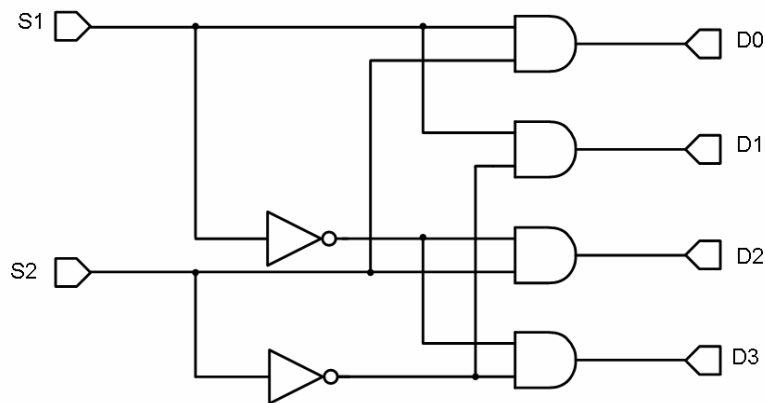


Fig.3-18、2-to-4 Decoder 架構

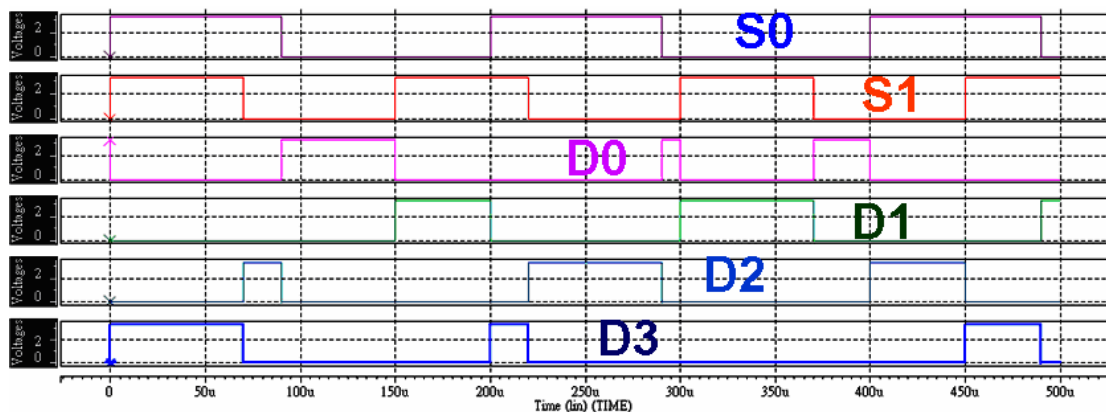


Fig.3-19、2-to-4 Decoder 暫態模擬圖 (Pre-Simulation)

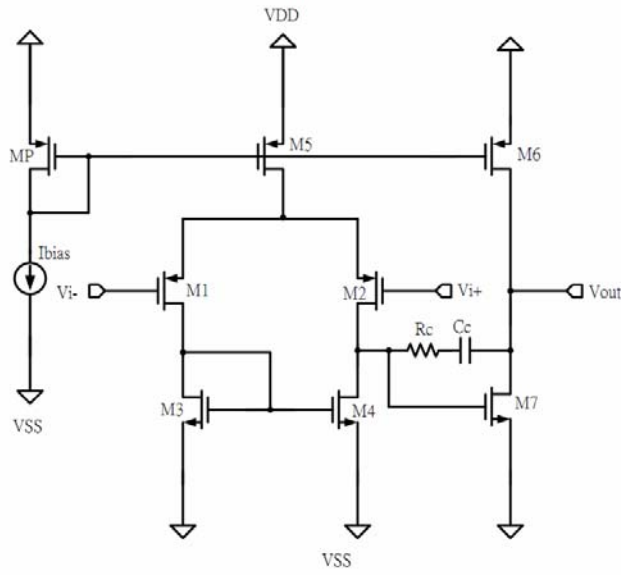


Fig.3-20、可程式化增益放大器(PGA)核心運算放大器架構

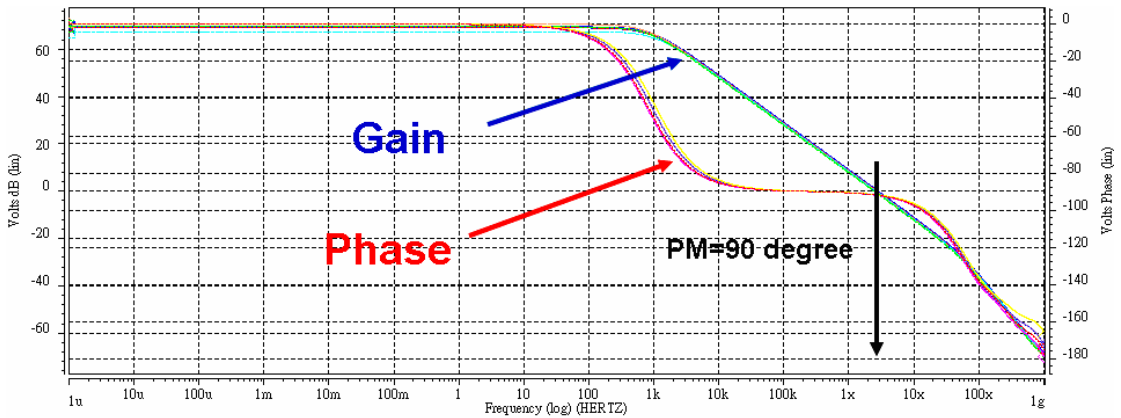


Fig.3-21、PGA 核心運算放大器差模增益與相位頻率響應模擬

(Pre-Simulation with 5 corners : TT、FF、FS、SF、SS)

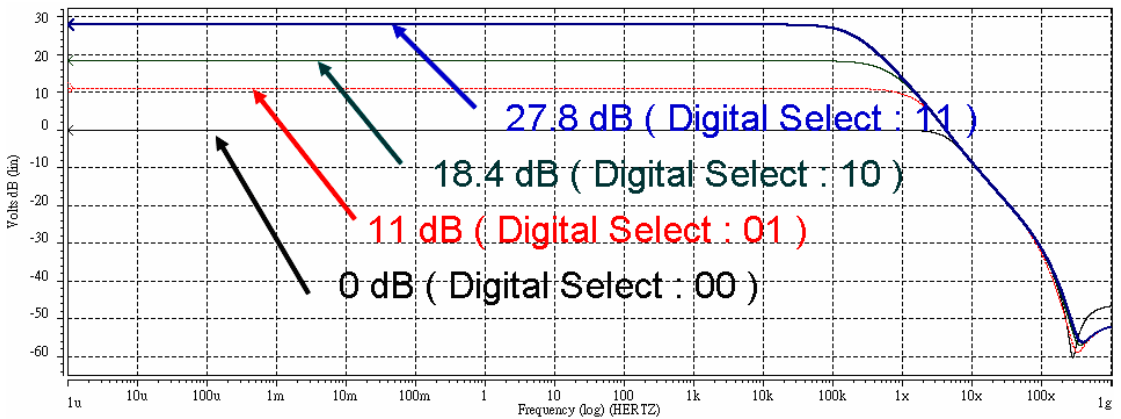


Fig.3-22、可程式化增益放大器全系統之增益頻率響應圖

(由 Decoder 的 2-bit Digital Select Signal 選擇四種增益，Pre-Simulation)

### 3.2.4 寬擺幅定轉導偏壓電路

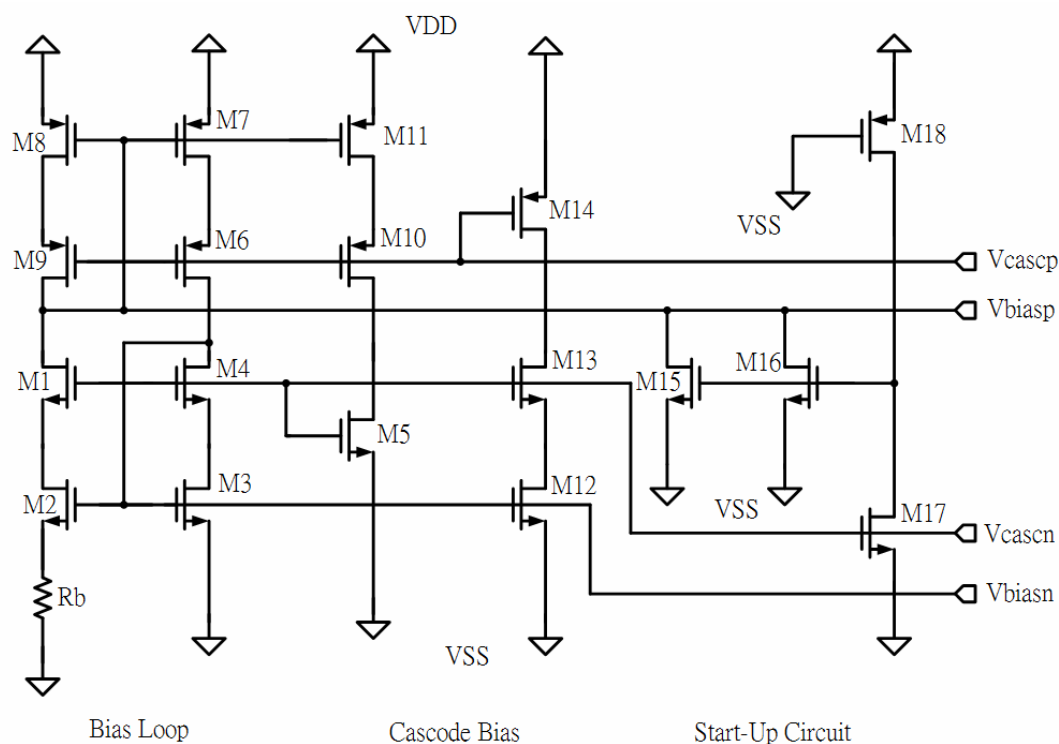


Fig.3-23、寬擺幅疊接式偏壓電路架構圖

此偏壓電路(如圖 Fig.3-23)可以分成三部份討論：第一部分為偏壓迴路，主要是由寬擺幅疊接式電流鏡架構所構成(High-Swing Cascode Current Mirror)，用以提供穩定的電流源。因為在低功耗的前提下，不需要太大的電流去驅動核心電路，電流鏡的電流大約 1uA 左右。第二部份為疊接偏壓(Cascode Bias)，利用電流鏡架構去複製偏壓迴路的電流，加上疊接結構去偏壓。第三部份為啟動電路(Start-Up Circuit)，因為此架構採用寬擺幅(Wide-Swing)與定轉導(Constant Transconductance)架構去實現，所以必須加上啟動電路去維持偏壓電路隨時都在正常操作狀態。

啟動電路設計的概念，以低功耗與不影響原先偏壓電路為主。只有在偏壓電路操作不正常時，啟動電路會根據與偏壓電路之間的回授機制，將電壓拉回修正，維持偏壓電路的正常操作狀態。

### 3.2.5 全系統佈局前模擬

分別單獨模擬各級電路之後，再進一步進行全系統的佈局前模擬，為了確保次前端電路的確可以適用於各種不同的生理訊號量測系統，分別輸入不同振幅、頻率的生理模擬訊號，接著設定不同切換電容濾波器的切換時脈，達成適用於不同訊號的低通 3dB 頻率，用以濾除生理訊號頻帶以外的雜訊；最後，設定可程式化增益放大器的解碼器的 2-bit 數位選擇訊號(00、01、10、11)，選擇四種不同的增益，用以對不同生理訊號的振幅，提供彈性的增益選擇介面。

為了確保此前端電路適用於不同生理訊號擷取之應用，以下 Case 1~Case 4 針對四種不同生理訊號(EEG、EMG、EOG、ECG)特性作佈局前模擬(Pre-Simulation)：

Case 1 針對腦電波(EEG)的分布頻帶(DC~150Hz)，首先經由電流平衡式儀表放大器(CBIA)將模擬 EEG 振幅(50uV)、頻率(150Hz)的輸入訊號放大並抑制雜訊後，接著將切換式電容濾波器(SCF)的切換時脈頻率設定在 5kHz 用以達成 Low-Pass 3dB 頻率在 150Hz，濾除訊號分佈頻帶以外的雜訊，最後再利用解碼器 2-bit 數位選擇訊號(11)將 PGA 增益設定在 27.8dB，整體電路放大倍率約 80.5dB。

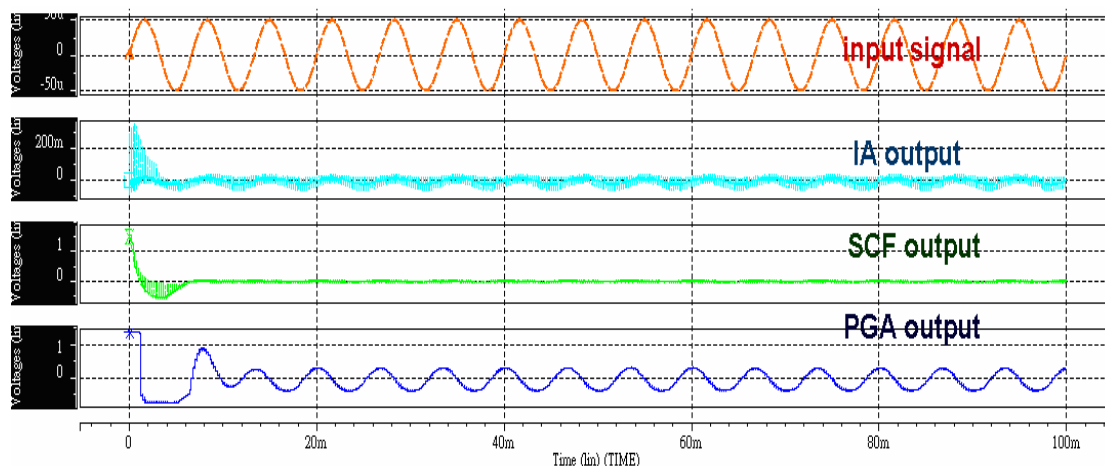


Fig.3-24、全系統暫態響應模擬圖(一)

Case 1 : Pre-Simulation for EEG characteristic

Case 2 針對肌電圖(EMG)的分布頻帶(20Hz~1kHz)，首先經由電流平衡式儀表放大器(CBIA)將模擬 EMG 振幅(100uV)、頻率(1kHz)的輸入訊號放大並抑制雜訊後，接著將切換式電容濾波器(SCF)的切換時脈頻率設定在 33.3kHz 用以達成 Low-Pass 3dB 頻率在 1kHz，濾除訊號分佈頻帶以外的雜訊，最後再利用解碼器 2-bit 數位選擇訊號(01)將 PGA 增益設定在 11dB，整體電路放大倍率約 63.7dB。

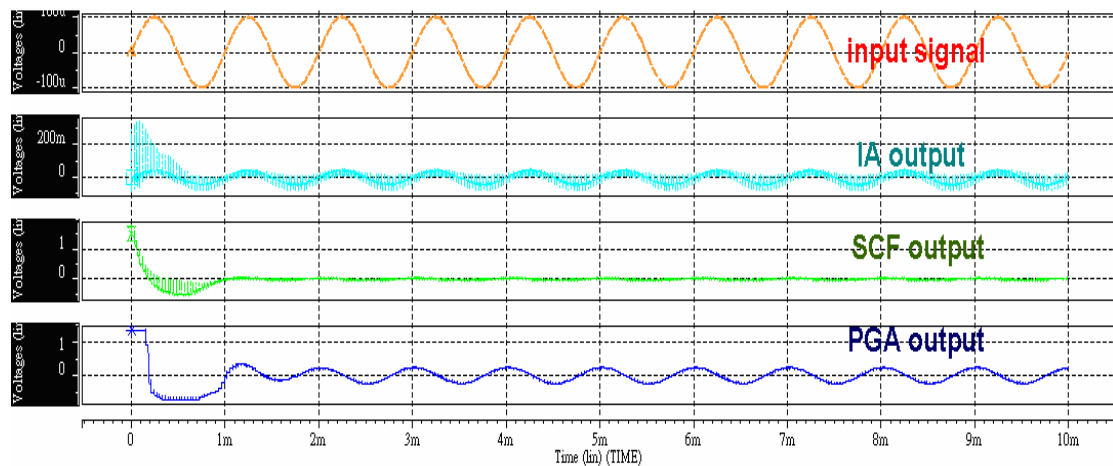


Fig.3-25、全系統暫態響應模擬圖(二)

Case 2 : Pre-Simulation for EMG characteristic

Case 3 針對眼電圖(EOG)的分布頻帶(DC~100Hz)，首先經由電流平衡式儀表放大器(CBIA)將模擬 EOG 振幅(150uV)、頻率(100Hz)的輸入訊號放大並抑制雜訊後，接著將切換式電容濾波器(SCF)的切換時脈頻率設定在 3.33kHz 用以達成 Low-Pass 3dB 頻率在 100Hz，濾除訊號分佈頻帶以外的雜訊，最後再利用解碼器 2-bit 數位選擇訊號(01)將 PGA 增益設定在 11dB，整體電路放大倍率約 63.7dB。

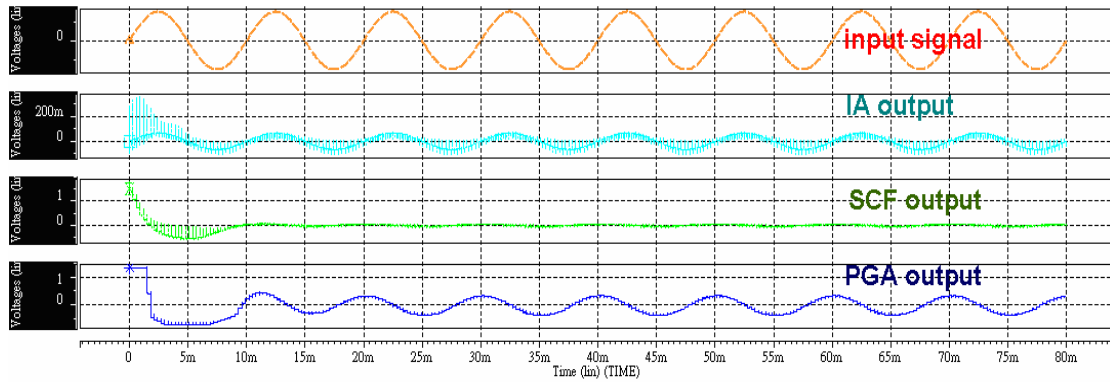


Fig.3-26、全系統暫態響應模擬圖(三)

Case 3 : Pre-Simulation for EOG characteristic

Case 4 針對胃電圖(ECG)的分布頻帶(DC~250Hz)，首先經由電流平衡式儀表放大器(CBIA)將模擬 ECG 振幅(250uV)、頻率(250Hz)的輸入訊號放大並抑制雜訊後，接著將切換式電容濾波器(SCF)的切換時脈頻率設定在 3.33kHz 用以達成 Low-Pass 3dB 頻率在 100Hz，濾除訊號分佈頻帶以外的雜訊，最後再利用解碼器 2-bit 數位選擇訊號(01)將 PGA 增益設定在 11dB，整體電路放大倍率約 63.7dB。

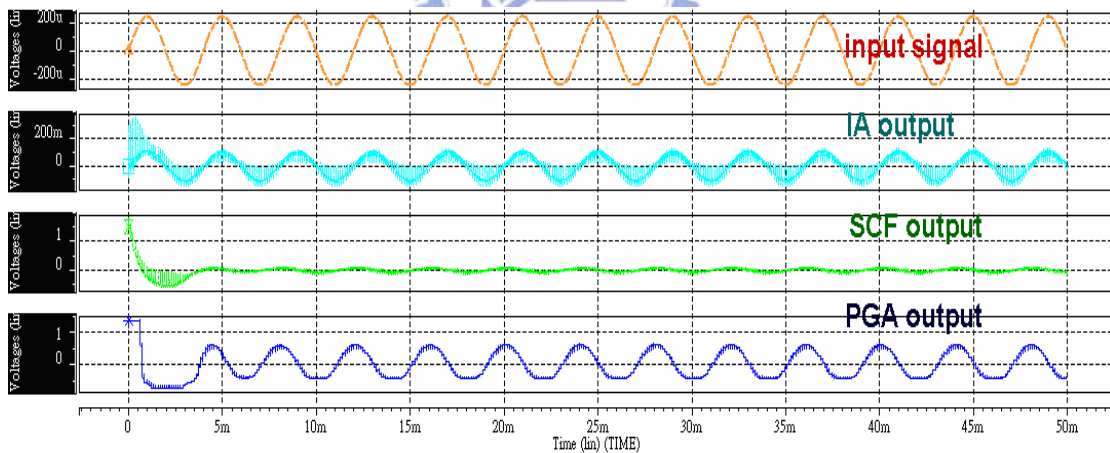


Fig.3-27、全系統暫態響應模擬圖(四)

Case 4 : Pre-Simulation for ECG characteristic

根據以上全系統佈局前模擬的結果顯示(Fig.3-24~ Fig.3-27)，此電路架構的確符合各種生理訊號量測的規格，所以可以進一步佈局驗證，確保此架構在 CMOS 製程實現與實際應用上的可行性。



# 第四章

## 晶片實現、驗證與測試平台

本章在介紹晶片設計流程、佈局到佈局後的模擬結果、效能比較，及最後下線、測試平台規劃與驗證等考量。

### 4.1 設計流程

在設計適用於生理訊號擷取的前端電路時，一開始先觀察各種生理訊號有哪些分布頻帶與波形振幅等特性，再來參考其他相關實驗室之電路架構，思考其設計上以及實際應用上的缺失，逐步建構自己要設計與改善的的架構後，再利用 HSPICE 作 Transistor Level 的電路設計及動作驗證與模擬，待佈局前模擬 (Pre-Simulation) 通過規格測試，就進入利用 Laker Tools 佈局，並通過佈局驗證 (Calibre DRC、LVS、PEX) 之後，將佈局後的雜散電阻、電容等非理想效應萃取出來，測試佈局後模擬 (Post-Simulation) 結果是否依然符合預期規格。藉由 Fig.4-1 所示之電路設計流程和以上測試驗證步驟，用以提高並確保整體電路設計在實際下線後晶片的實用性與可行性。

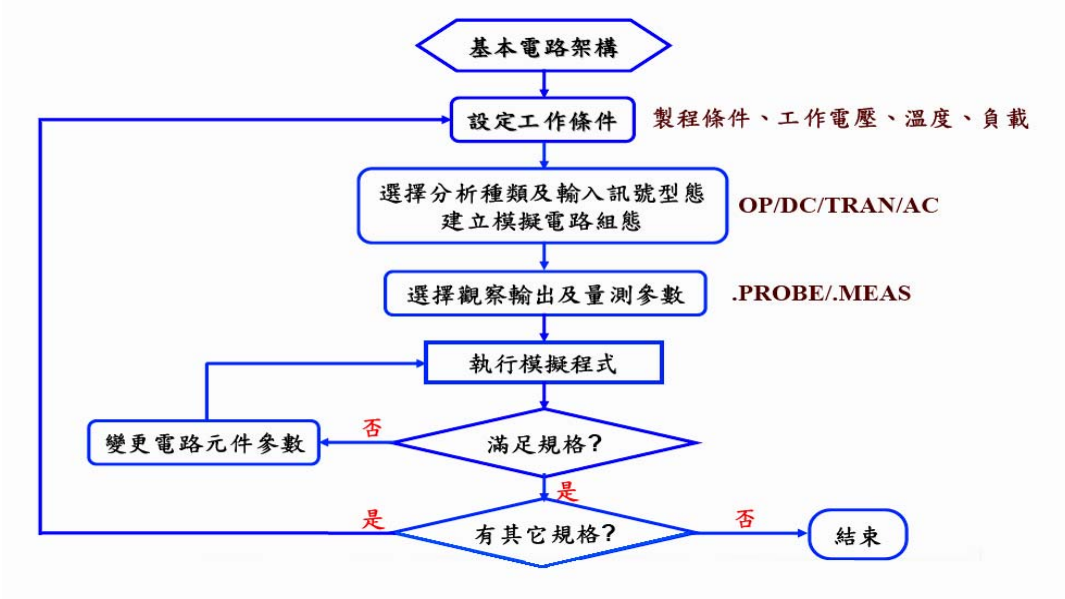


Fig.4-1、電路設計流程

## 4.2 電路佈局與考量

由於類比核心電路的抗雜訊能力低且對製程敏感度高，因此在佈局時，需要注意整體位置，所以將類比電路、數位電路、被動元件(電阻、電容)等具有不同特性的電路元件，各自獨立佈局。而基本的類比電路佈局考量，有匹配的問題，所以必須要加入 Dummy cell 來保護重要元件，用以降低製程上的誤差。至於核心的電路部分，使用保護環(Guard Ring)將被動元件與核心電路隔離，避免周圍的環境雜訊影響到核心電路的效能。所以在佈局上使用雙層保護環(Double-Layer Guard Ring)，各別將類比核心電路、數位控制電路、被動元件(電阻、電容陣列)獨立開，避免雜訊互相影響到彼此的電路特性。

設計單位電容 0.05 pF 如 Fig.4-2 所示，採 45 度角切齊。利用單位電容繞成所需電容，加入 DUMMY CELL，並用六個 Contact 如 Fig.4-3 的 Guard Ring 圍住。設計單位電阻 1 k 如 Fig.4-4 所示，使用 Diffusion 材質設計。利用單位電阻繞成所需電阻，加入 DUMMY CELL，並用六個 Contact 如 Fig.4-5 的 Guard Ring 圍住。

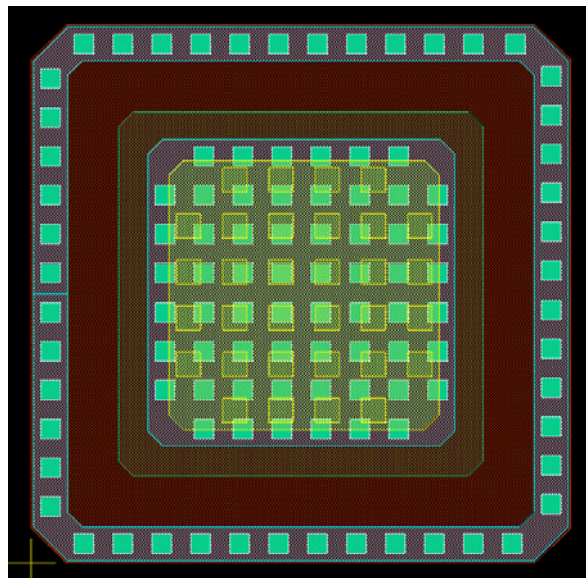


Fig.4-2、單位電容 0.05pF (PIP Capacitor)

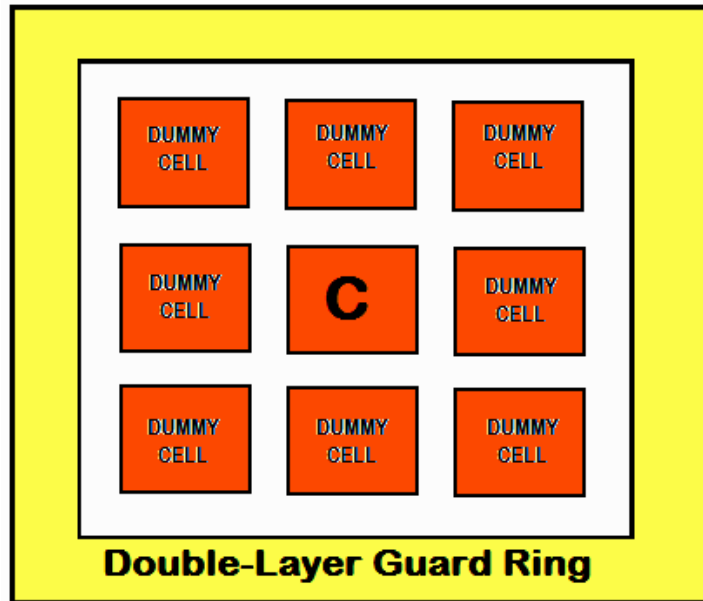


Fig.4-3、電阻陣列加入 DUMMY CELL 與各六個 Contact 的雙層 Guard Ring

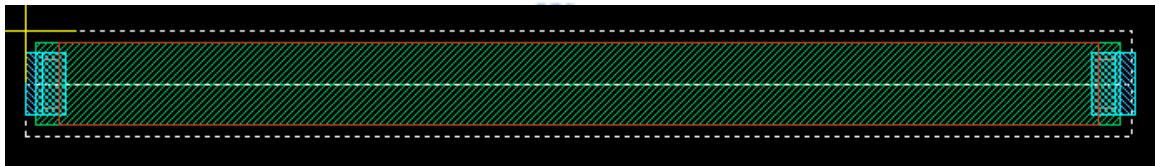


Fig.4-4、單位電阻 1 k ohm (N-diffusion Resistor)

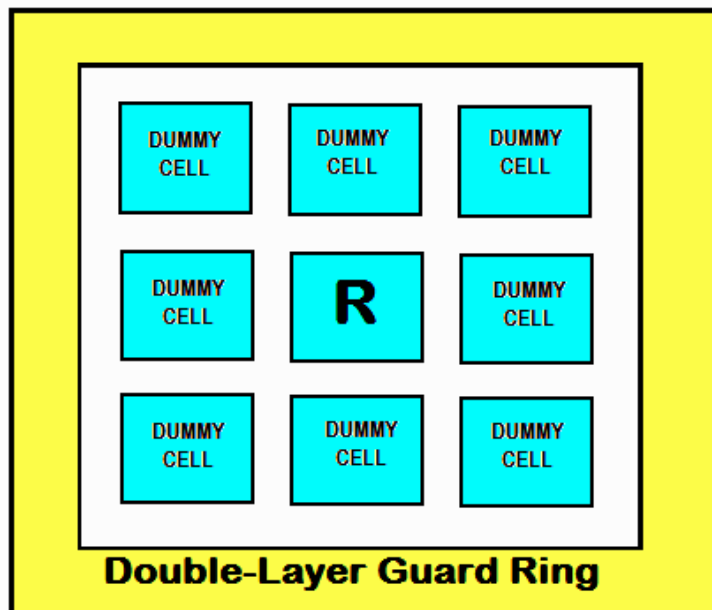


Fig.4-5、電容陣列加入 DUMMY CELL 與各六個 Contact 的雙層 Guard Ring



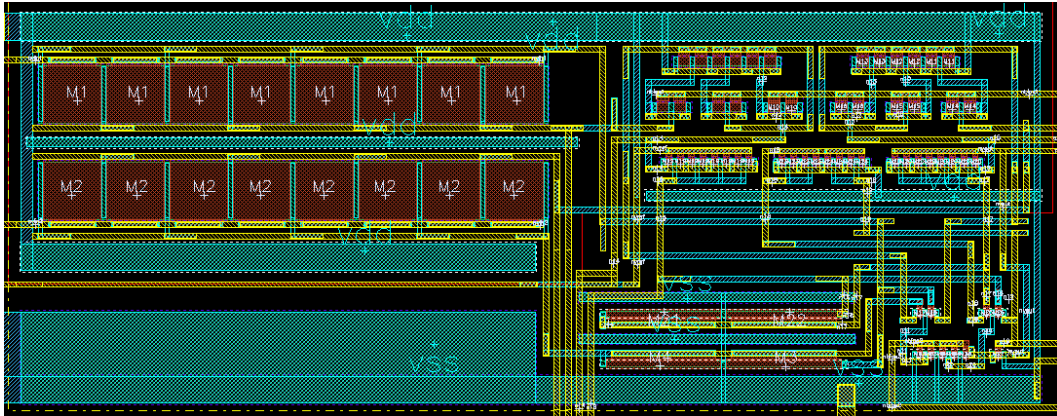


Fig.4-6、核心電流平衡式儀表放大器佈局

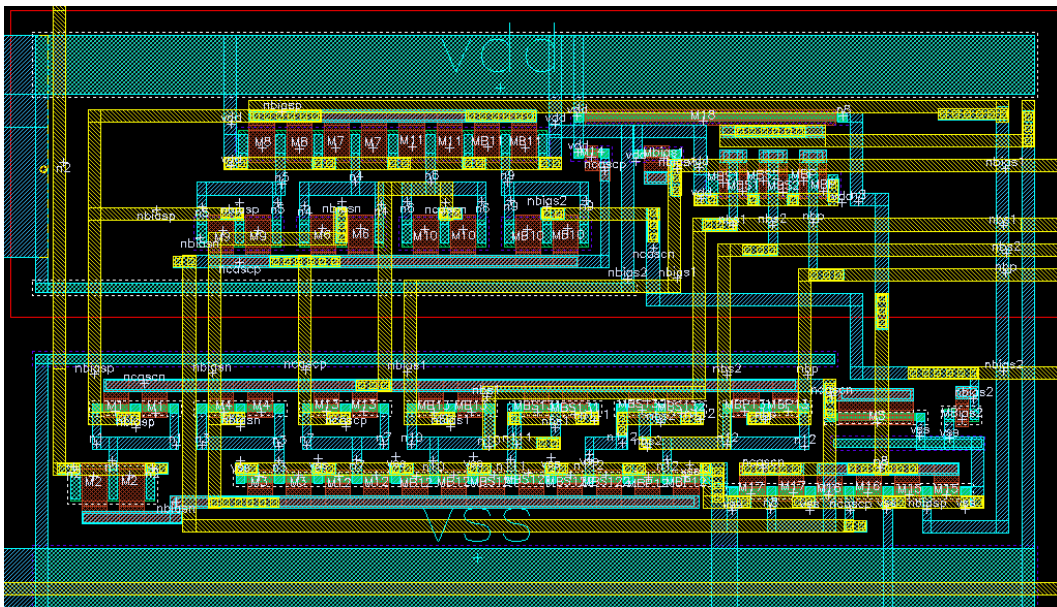


Fig.4-7、系統偏壓電路佈局

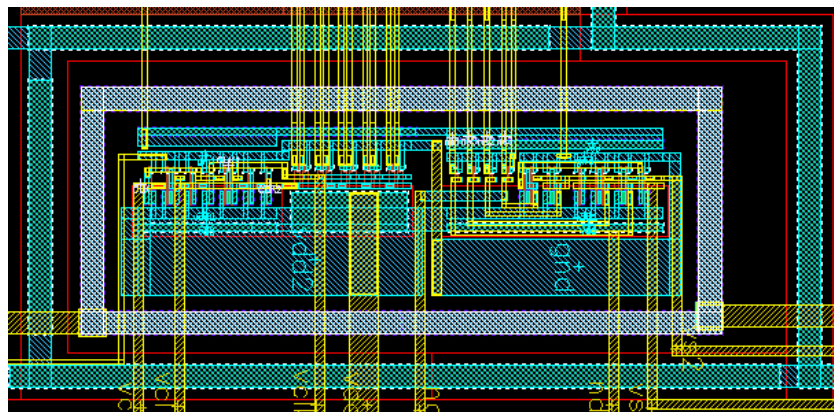


Fig.4-8、數位控制電路佈局 (含 Guard Ring)

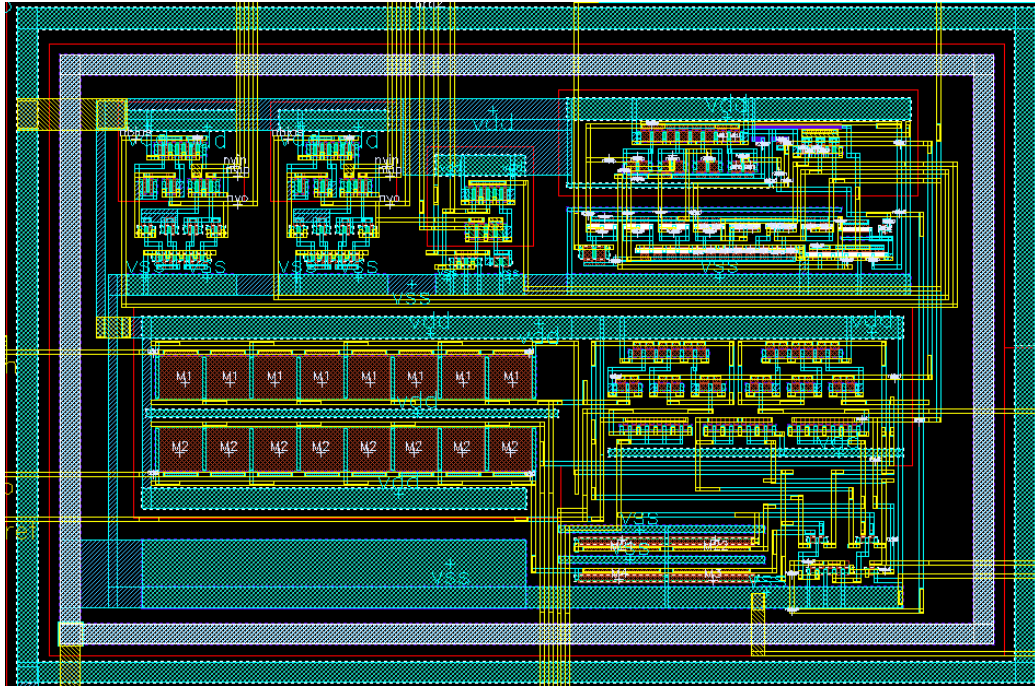


Fig.4-9、類比核心電路佈局 (含 Guard Ring)

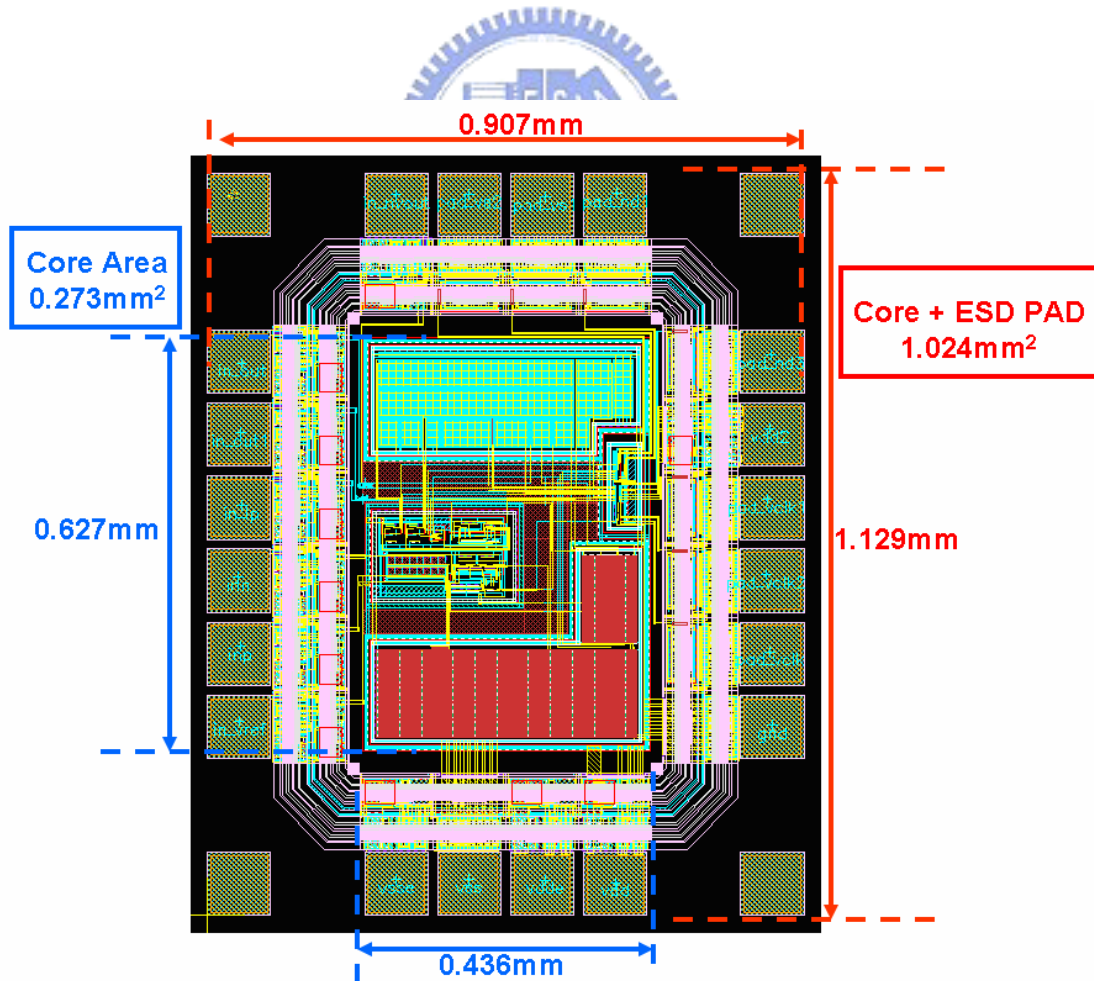


Fig.4-10、完整前端電路系統佈局 (含 ESD PAD)



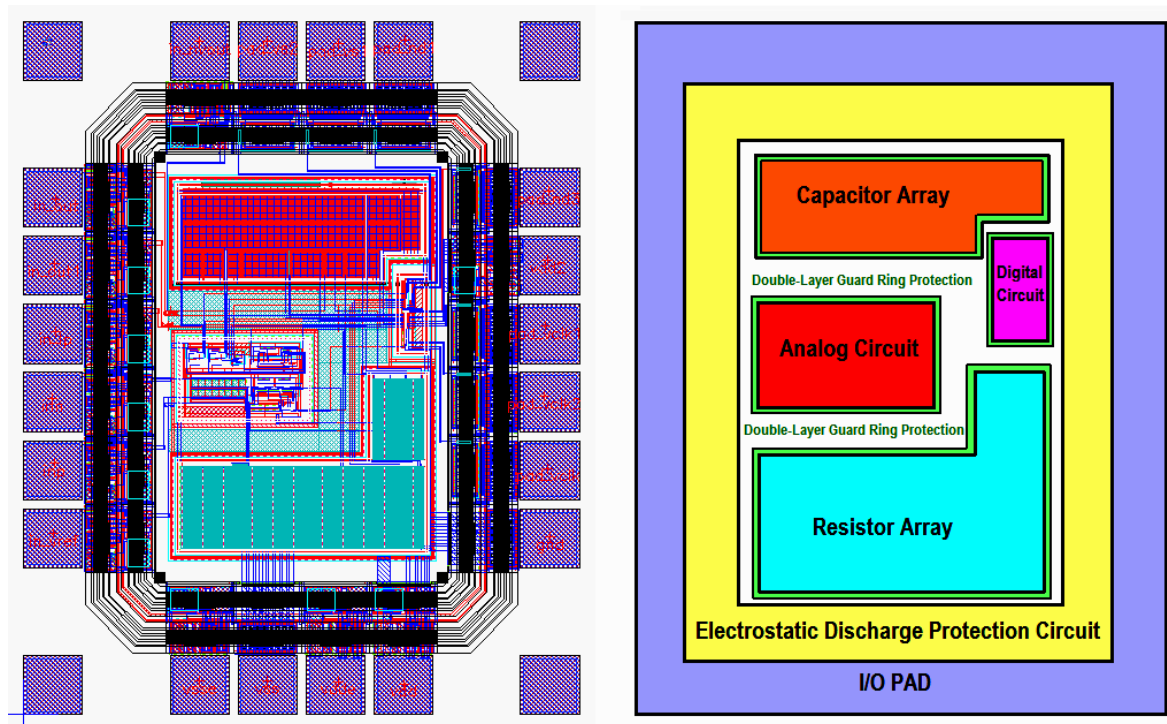


Fig.4-11、電路佈局示意圖

### 4.3 電路佈局後模擬



針對佈局後模擬(Post-Simulation)，所輸入模擬訊號是根據不同的生理訊號具有不同的振幅與分佈頻帶，依其不同的生理訊號特性，加入佈局後模擬驗證，並觀察抽取 RC 非理想效應後對電路特性的影響，進一步檢視佈局後驗證是否仍滿足各生理訊號所需的規格，確保電路晶片實作出來的性能。以下針對電流平衡式放大器 (Current-Balancing Instrumentation Amplifier)、切換式電容低通濾波器(Switched-Capacitor Low-Pass Filter)、可程式化增益放大器(Programmable Gain Amplifier)各級特性作佈局後模擬；為了進一步確保電路在實際上應用的實用性，除了原本製程飄移五個 Corners(TT、FF、FS、SF、SS)測試之外，並加入供應電壓漂移容忍度測試、溫度影響模擬，最後將佈局後模擬(Post-Simulation)結果與相關的期刊論文比較，從中找出本身電路的優越性、以及思考本架構日後需要改善之處。

### 4.3.1 電流平衡式儀表放大器

在 Fig.3-1 所示的整體前端電路架構介紹中，第一級電流平衡式儀表放大器(如 Fig.3-3)，Fig.4-12 為其佈局後頻率響應模擬波德圖，同時考慮製程飄移的五個 Corners，其差模電壓增益約 52.6dB、相位邊限(Phase Margin)約 90 度。Fig.4-13 則為電流平衡式儀表放大器的共模訊號拒斥比佈局後模擬結果，可以看出在常用的生理訊號分佈頻帶上限(大約 1kHz)，CMRR 大約 130dB。而 Fig.4-14 與 Fig.4-15 分別為電流平衡式儀表放大器的正端與負端電源漣波拒斥比佈局後模擬結果，可以看出在常用的生理訊號分佈頻帶上限(大約 1kHz)，PSRR+與 PSRR-均大於 100dB；此外在 50Hz/60Hz 市電干擾的考量，PSRR+大約 131dB@50Hz、PSRR-大約 127dB@50Hz。

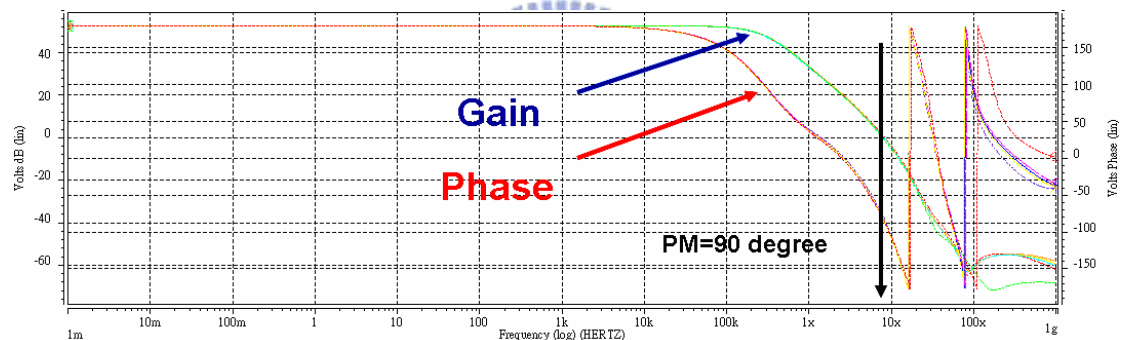


Fig.4-12、電流平衡式儀表放大器差模增益與相位頻率響應圖  
(Post-Simulation with 5 corners : TT、FF、FS、SF、SS)

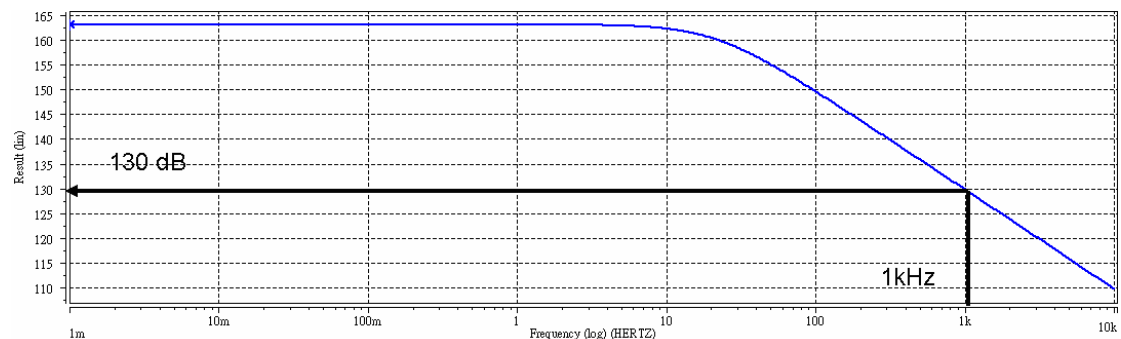


Fig.4-13、電流平衡式儀表放大器共模拒斥比(CMRR)頻率響應圖  
(Post-Simulation)



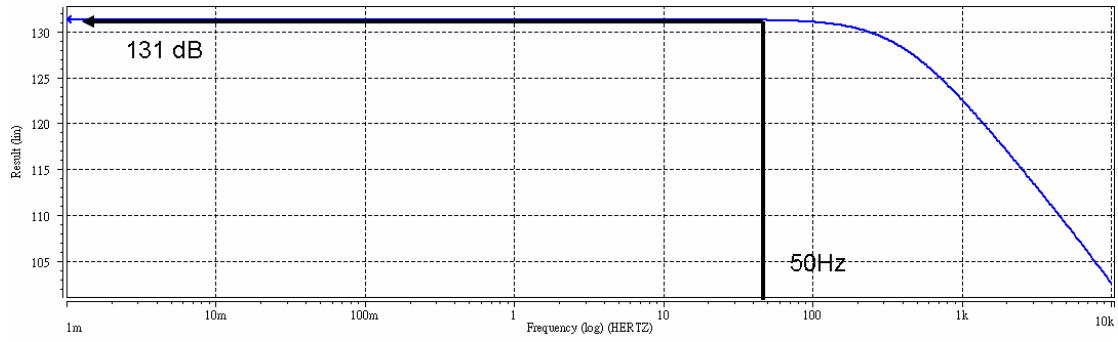


Fig.4-14、電流平衡式儀表放大器正端電源漣波拒斥比(PSRR+)頻率響應圖  
(Post-Simulation)

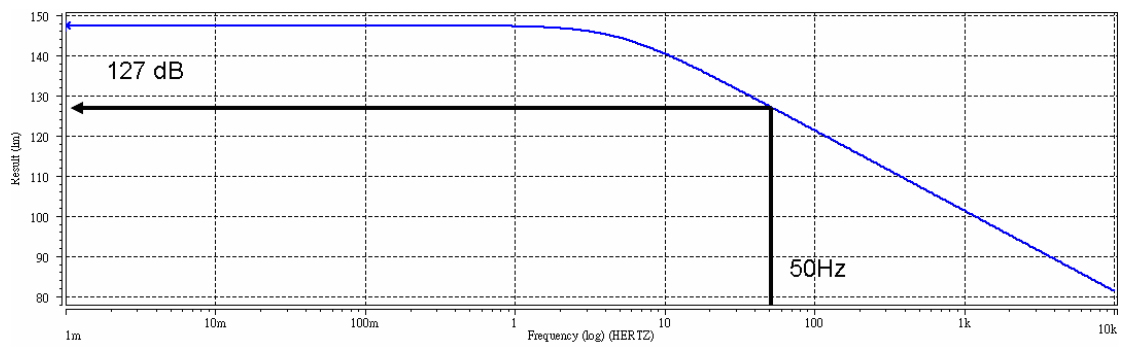


Fig.4-15、電流平衡式儀表放大器負端電源漣波拒斥比(PSRR-)頻率響應圖  
(Post-Simulation)

### 4.3.2 切換式電容低通濾波器

Fig.4-16 與 Fig.4-17 為切換式電容低通濾波器(如 Fig.3-9 所示)的輸入與輸出訊號暫態模擬響應圖，輸入振幅 50mV，而輸入頻率分別為 150Hz(低通 3dB 頻率)、1kHz(停帶頻率)，由佈局後模擬結果顯示，本電路的確具有低通濾波的功能。

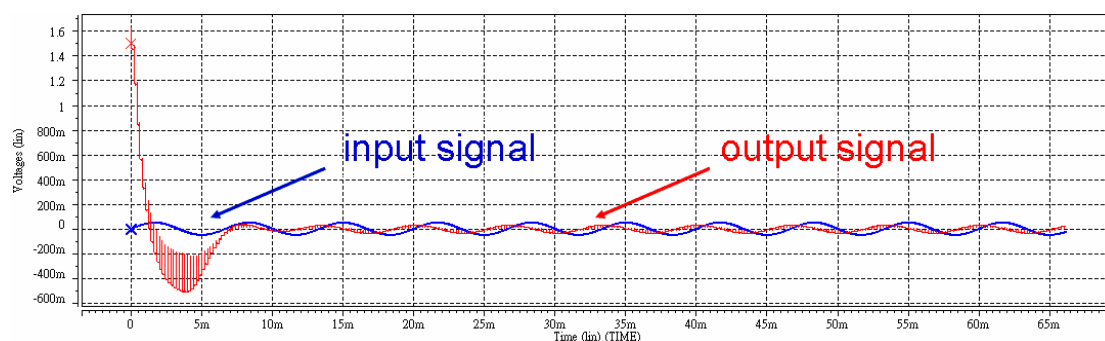


Fig.4-16、切換式電容濾波器暫態響應圖(一)  
[輸入訊號：振幅 50mV、頻率 150Hz] (Post-Simulation)

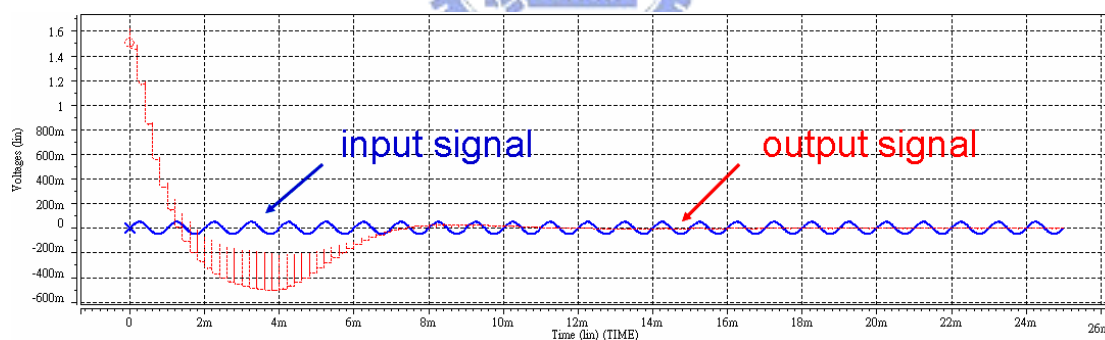


Fig.4-17、切換式電容濾波器暫態響應圖(二)  
[輸入訊號：振幅 50mV、頻率 1kHz] (Post-Simulation)

### 4.3.3 可程式化增益放大器

由 Fig.4-18 得知，可程式化增益放大器架構(如 Fig.3-17)，利用一個 2-to-4 Decoder，提供兩個輸入選擇位元去切換導通電阻陣列四個不同的開關節點，配合正向放大器原理與架構，由不同節點的等效電阻值  $R_x$  與電阻  $R_f$  之間的比例關係，可以達成可程式化增益放大器的四種增益，分別為 0dB、11dB、18.4dB、27.8dB。

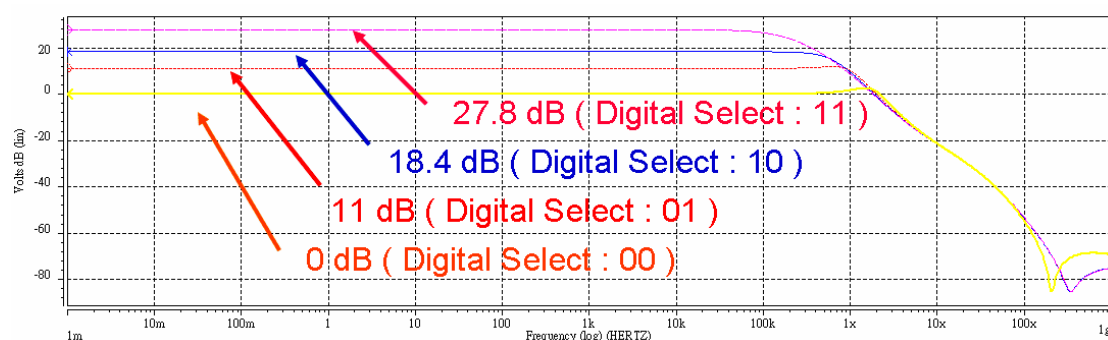


Fig.4-18、可程式化增益放大器全系統之增益頻率響應圖  
(由 Decoder 的 2-bit Digital Select Signal 選擇四種增益，Post-Simulation)

### 4.3.4 全系統佈局後模擬

分別單獨模擬各級電路之後，我們進一步進行全系統的佈局後模擬 (Post-Simulation)，為了確保次前端電路的確可以適用於各種不同的生理訊號量測系統，分別輸入不同振幅、頻率的生理模擬訊號，接著設定不同切換電容濾波器的切換時脈，達成適用於不同訊號的低通 3dB 頻率，用以濾除生理訊號頻帶以外的雜訊；最後，設定可程式化增益放大器的解碼器的 2-bit 輸入選擇訊號，選擇不同的增益，用以對不同生理訊號的振幅，提供彈性的增益選擇介面。

為了確保此前端電路適用於不同生理訊號擷取之應用，以下 Case 1~Case 4 針對四種不同生理訊號(EEG、EMG、EOG、ECG)特性作佈局後模擬：

Case 1 針對腦電波(EEG)的分布頻帶(DC~150Hz)，首先經由電流平衡式儀表放大器(CBIA)將模擬 EEG 振幅(50 $\mu$ V)、頻率(150Hz)的輸入訊號放大並抑制雜訊後，接著將切換式電容濾波器(SCF)的切換時脈頻率設定在 5kHz 用以達成 Low-Pass 3dB 頻率在 150Hz，濾除訊號分佈頻帶以外的雜訊，最後再利用解碼器 2-bit 數位選擇訊號(11)將 PGA 增益設定在 27.8dB，整體電路放大倍率約 80.4dB。

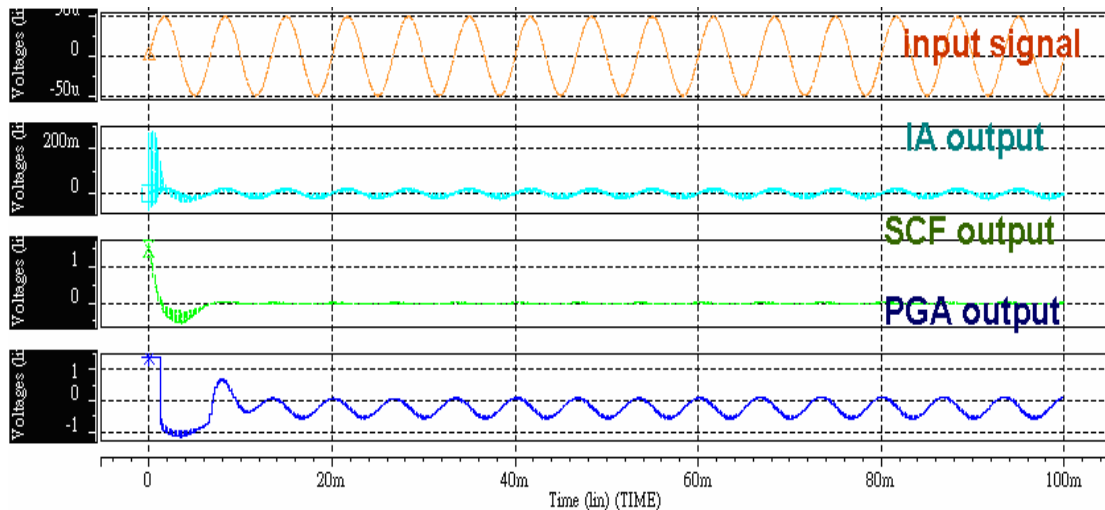


Fig.4-19、全系統暫態響應模擬圖(一)

Case 1 : Post-Simulation for EEG characteristic

Case 2 針對肌電圖(EMG)的分布頻帶(20Hz~1kHz)，首先經由電流平衡式儀表放大器(CBIA)將模擬 EMG 振幅(100 $\mu$ V)、頻率(1kHz)的輸入訊號放大並抑制雜訊後，接著將切換式電容濾波器(SCF)的切換時脈頻率設定在 33.3kHz 用以達成 Low-Pass 3dB 頻率在 1kHz，濾除訊號分佈頻帶以外的雜訊，最後再利用解碼器 2-bit 數位選擇訊號(01)將 PGA 增益設定在 11dB，整體電路放大倍率約 63.6dB。

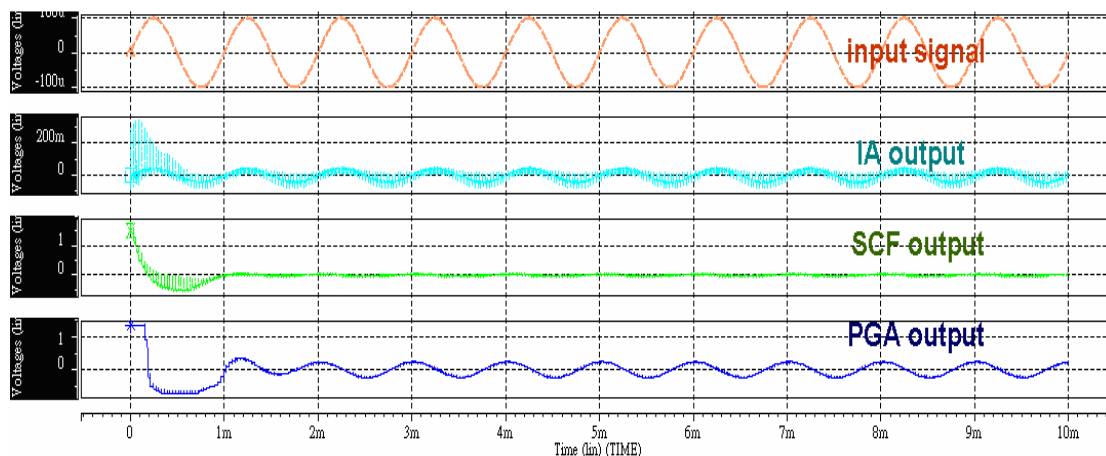


Fig.4-20、全系統暫態響應模擬圖(二)

Case 2 : Post-Simulation for EMG characteristic

Case 3 針對眼電圖(EOG)的分布頻帶(DC~100Hz)，首先經由電流平衡式儀表放大器(CBIA)將模擬 EOG 振幅(150µV)、頻率(100Hz)的輸入訊號放大並抑制雜訊後，接著將切換式電容濾波器(SCF)的切換時脈頻率設定在 3.33kHz 用以達成 Low-Pass 3dB 頻率在 100Hz，濾除訊號分佈頻帶以外的雜訊，最後再利用解碼器 2-bit 數位選擇訊號(01)將 PGA 增益設定在 11dB，整體電路放大倍率約 63.6dB。

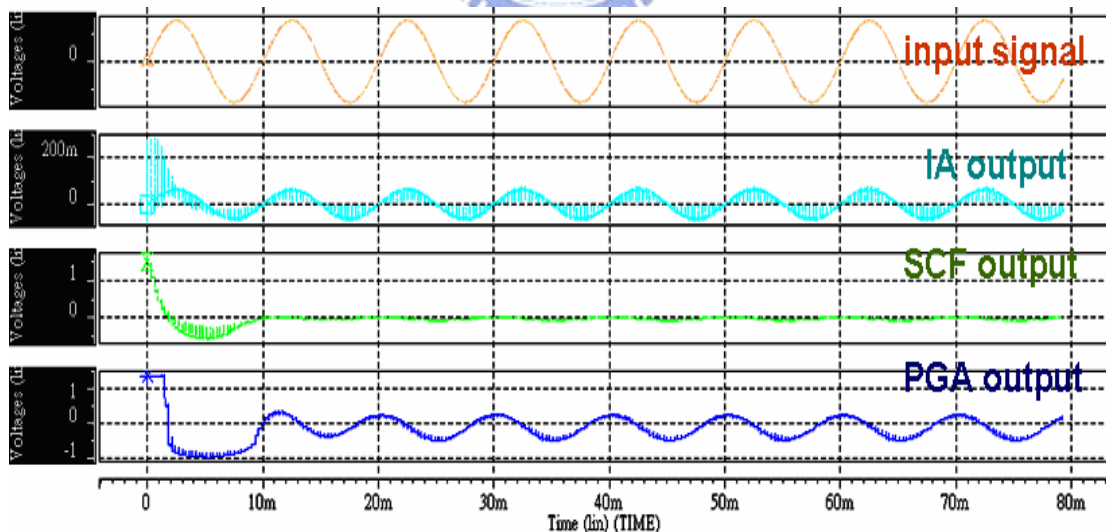


Fig.4-21、全系統暫態響應模擬圖(三)

Case 3 : Post-Simulation for EOG characteristic

Case 4 針對胃電圖(ECG)的分布頻帶(DC~250Hz)，首先經由電流平衡式儀表放大器(CBIA)將模擬 ECG 振幅(250uV)、頻率(250Hz)的輸入訊號放大並抑制雜訊後，接著將切換式電容濾波器(SCF)的切換時脈頻率設定在 3.33kHz 用以達成 Low-Pass 3dB 頻率在 100Hz，濾除訊號分佈頻帶以外的雜訊，最後再利用解碼器 2-bit 數位選擇訊號(01)將 PGA 增益設定在 11dB，整體電路放大倍率約 63.6dB。

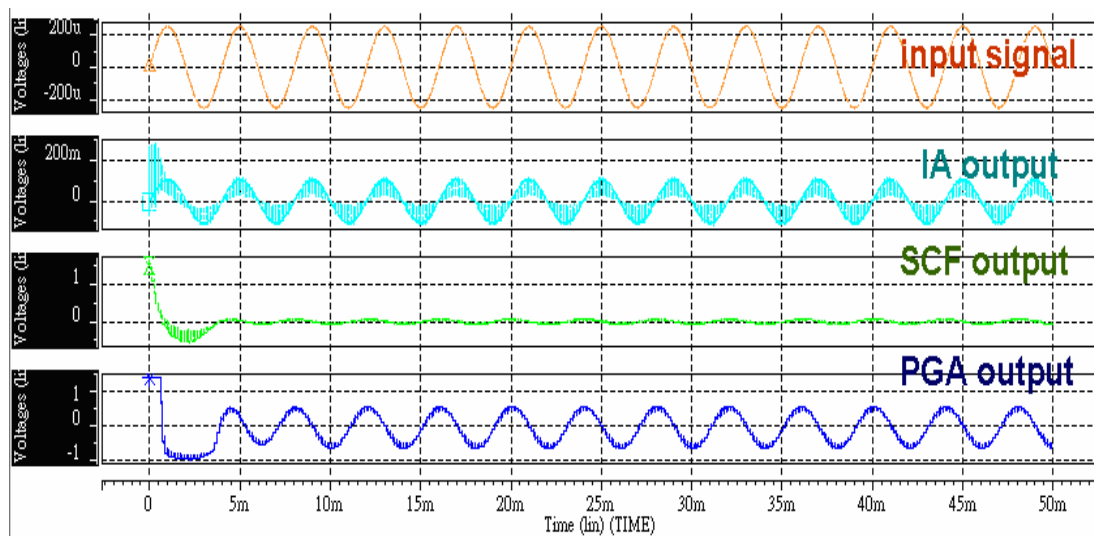


Fig.4-22、全系統暫態響應模擬圖(四)

Case 4 : Post-Simulation for ECG characteristic

根據以上全系統佈局後模擬的結果顯示(Fig.4-19~ Fig.4-22)，此電路架構的確符合各種生理訊號量測的規格，所以可以進一步下線驗證，等待晶片製作完成並量測，可確保此架構在 CMOS 製程實現與實際應用上的可行性。

### 4.3.5 溫度變化影響模擬

模擬各種溫度下對晶片的影響，模擬溫度範圍 $-25^{\circ}\text{C}$ ~ $100^{\circ}\text{C}$ ，由 $-25^{\circ}\text{C}$ 開始，並測試 $0^{\circ}\text{C}$ 、 $25^{\circ}\text{C}$ 、 $85^{\circ}\text{C}$ 、 $90^{\circ}\text{C}$ 、 $95^{\circ}\text{C}$ ，直到 $100^{\circ}\text{C}$ 為止。由模擬結果(如 Fig.4-23)得到，在 $90^{\circ}\text{C}$ 以下時，溫度變化對於整體電路系統影響不大。

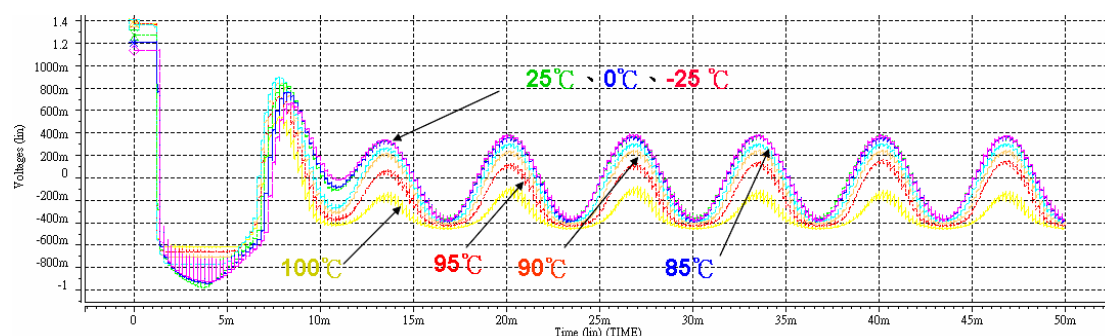


Fig.4-23、全系統加入溫度考量影響之暫態響應圖  
(溫度範圍：100、95、90、85、25、0、 $-25^{\circ}\text{C}$ )

[輸入訊號：振幅 50uV、頻率 150Hz；

SC 切換頻率 5kHz(等效 LP 頻寬 150Hz)；PGA 增益切換至 27.8dB]

### 4.3.6 供應電壓飄移影響模擬

穩定的供應電壓為 $\pm 1.5\text{V}$ ，模擬各種供應電壓變動下，電壓對晶片的影響(結果如 Fig.4-24 所示)，電壓變動分別為 $+25\%$ 、 $+20\%$ 、 $+10\%$ 、 $0\%$ 、 $-10\%$ 、 $-20\%$ 、 $-25\%$ ，由佈局後模擬結果得知，本電路在電壓變化 $\pm 25\%$ 內，能可以正常操作，對於供應電壓變動具有蠻大的容忍度。

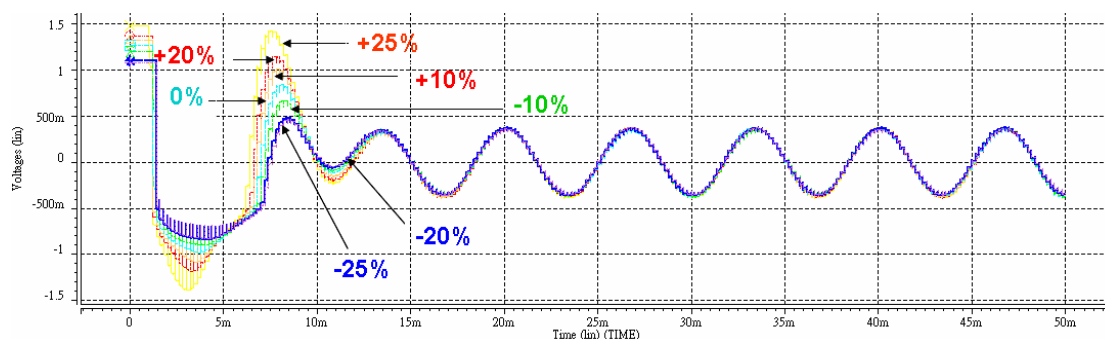


Fig.4-24、加入供應電壓飄移考量影響之全系統暫態響應圖

(供應電壓 $\pm 1.5\text{V}$ ；飄移範圍： $+25\%$ 、 $+20\%$ 、 $+10\%$ 、 $0\%$ 、 $-10\%$ 、 $-20\%$ 、 $-25\%$ )

[輸入訊號：振幅 50uV、頻率 150Hz；

SC 切換頻率 5kHz(等效 LP 頻寬 150Hz)；PGA 增益切換至 27.8dB]



### 4.3.7 製程飄移影響模擬

在五種製程飄移(TT、FF、FS、SF、SS)的前提下，分別在 25°C(Fig.4-25)、85°C(Fig.4-26)兩種溫度下驗證，根據佈局後模擬結果顯示製程飄移對於本前端電路的運作影響不大。由此可知，本電路設計對於製程飄移具有一定的容忍度。

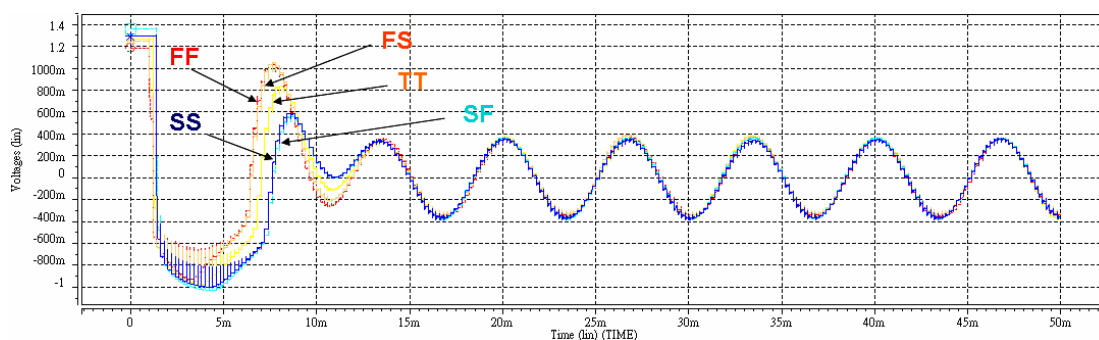


Fig.4-25、加入製程飄移考量影響之全系統暫態響應圖 (溫度：25°C)

[輸入訊號：振幅 50uV、頻率 150Hz；

SC 切換頻率 5kHz(等效 LP 頻寬 150Hz)；PGA 增益切換至 27.8dB]

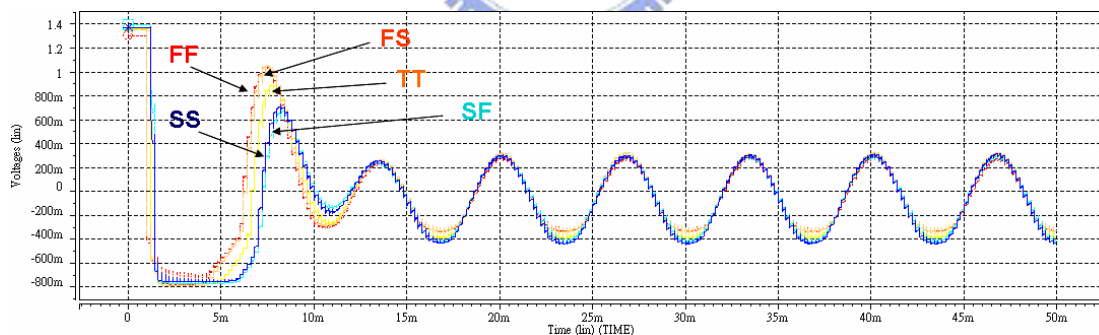


Fig.4-26、加入製程飄移考量影響之全系統暫態響應圖 (溫度：85°C)

[輸入訊號：振幅 50uV、頻率 150Hz；

SC 切換頻率 5kHz(等效 LP 頻寬 150Hz)；PGA 增益切換至 27.8dB]

### 4.3.8 雜訊影響模擬

雜訊測試主要是驗證本電路對於雜訊的容忍度，將輸入訊號混入比其振幅大上 10 倍的高頻雜訊，根據模擬結果，如 Fig.4-27 所示，訊號經由電路處理後的，仍可以擷取出輸入訊號的特徵波形。

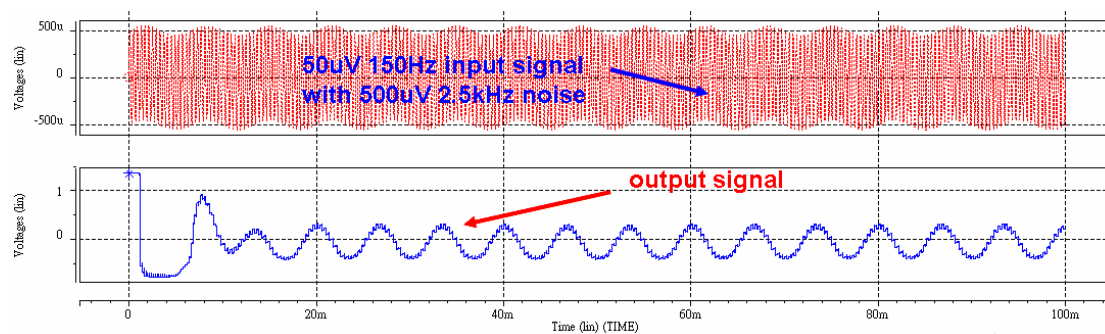


Fig.4-27、加入高頻雜訊考量影響之全系統暫態響應圖

(加入比輸入訊號大十倍的 2.5kHz 高頻雜訊)

[輸入訊號：振幅 50uV、頻率 150Hz；SC 切換頻率 5kHz(等效 LP 頻寬 150Hz)；

PGA 增益切換至 27.8dB]

## 4.4 規格比較

本論文所設計的生理訊號擷取前端電路之規格如 Table 3 所示，根據電路佈局後模擬(Post-Simulation)結果，與三篇生理訊號量測系統電路相關的國際期刊比較(如 Table 4 所示)，其設計的優勢乃實現整合前端電路在單一晶片上，同時兼具電路面積與性能的效益，能更方便量測電生理訊號與符合量測環境需求。

Table 3、預計規格列表

Process Technology	TSMC 0.35um 2p4m	
	Pre-Simulation	Post-Simulation
Supply voltage	±1.5 Volt	±1.5 Volt
DC Gain (Max.)	81.5836 dB	80.451 dB
CMRR (DC~150Hz)	> 170 dB	> 145 dB
PSRR+ (DC~150Hz)	> 129 dB	> 131 dB
PSRR- (DC~150Hz)	> 126 dB	> 118 dB
Bandwidth	Selectable	Selectable
Input offset voltage	74.9 nV	334.6 nV
Input referred noise (DC~150Hz)	2.12 uVrms	2.417 uVrms
Input Resistance	1.000e+20 ohm	1.000e+20 ohm
Temperature range	0 ~ 90 °C	0 ~ 90 °C
Phase margin	> 80 degree	> 80 degree
Roll off ( LP )	-40 dB	-40 dB
Power consumption	150.7682 uW	142.4062 uW

Table 4、相關文獻比較表

Parameter	Ref [4] 1998	Ref [6] 2005	Ref [7] 2007	This Work
Technology	2.4um CMOS	0.5um CMOS	0.5um CMOS	0.35um CMOS
Supply Voltage (V)	9	+/- 1.5	3	+/- 1.5
No. of Channel	16	1	1	1
Core Area (mm <sup>2</sup> )	24	4.81	1.95	0.273
Mid-Band Gain (dB)	Up to 74	0 ~ 80	51.82 ~ 67.96	52.66 ~ 80.45
Current Consumption per Channel (uA)	520	485	20	47.468
Bandwidth (Hz)	0.3 ~ 150	0.3 ~ 150	Selectable	Selectable
Input Common Mode Range (V)	-3.8 ~ 1.5	-1.5 ~ 1.3	1.05 ~ 1.7	-1.4 ~ 0.33
Input Referred Noise (uVrms) (0.3Hz<BW<150Hz)	1.39	0.86	< 0.7	2.417
CMRR @ 50Hz (dB)	99	117	> 120	155
PSRR+ (dB)	40 @10Hz	65 @10Hz	80 @50Hz	131 @50Hz
PSRR- (dB)	-	52 @10Hz	78 @50Hz	127 @50Hz

## 4.5 測試考量

在測試上，拉出多個測試與驗證的節點。除了於每一級類比電路的輸入/輸出均有設置測試節點，驗證每一級類比核心電路是否正常運作之外，並於數位電路的輸入/輸出拉出測試節點，避免因為數位電路失效後，導致無法測試核心類比電路。在數位電路失效的情況化，仍可以直接由外部腳位，直接灌入訊號去測試類比電路是否正常運作。其中，Fig.4-28 為晶片的全系統測試腳位打線圖，Fig.4-29 為系統架構對應的測試腳位，Table 5 為其腳位訊號說明表。

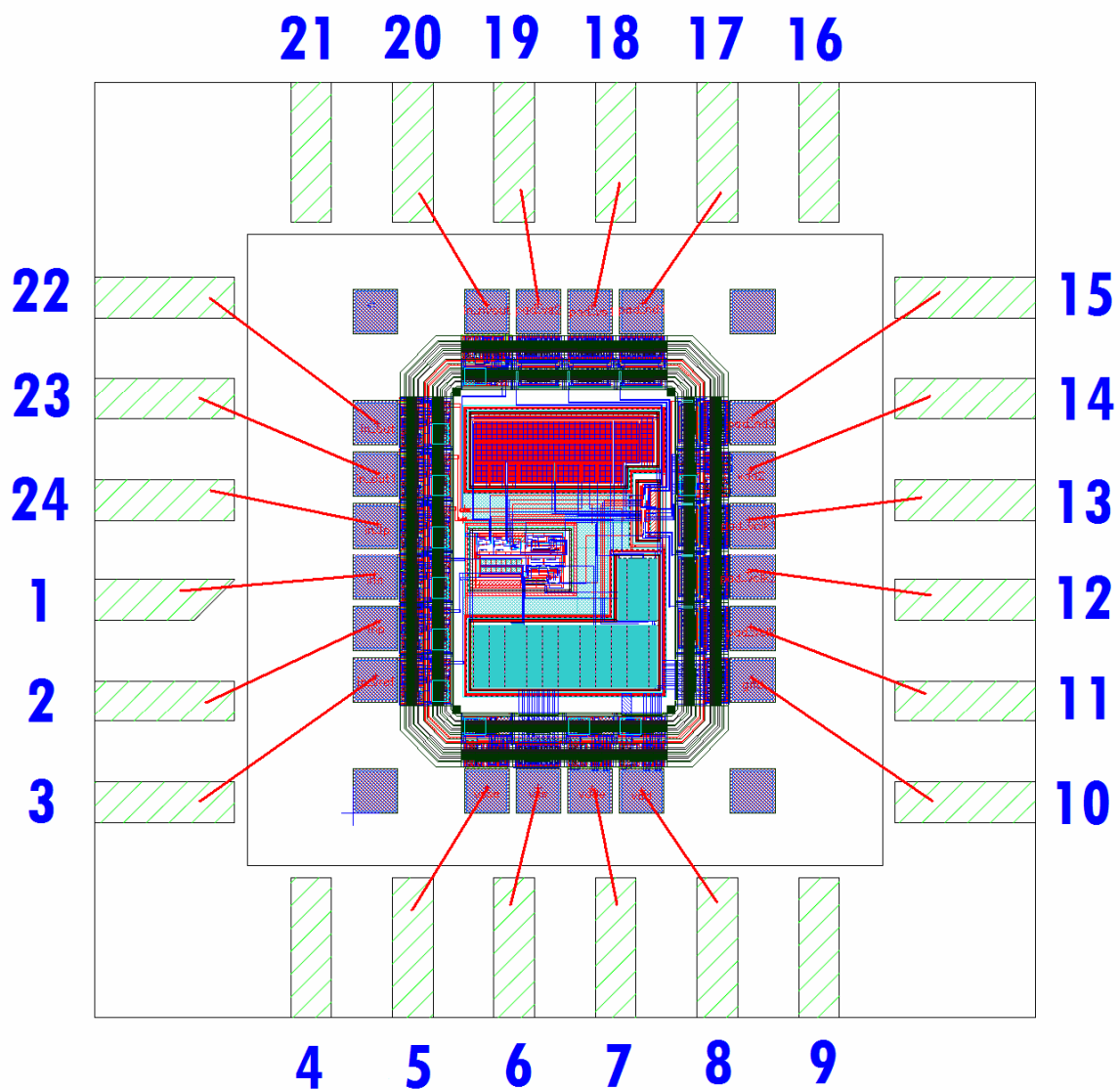


Fig.4-28、晶片測試腳位打線圖

#### 4.5.1 晶片腳位分佈與訊號說明

Table 5、晶片腳位分佈與訊號說明列表

Pin No.	訊號名稱	I/O direction	訊號說明
1	inn	I	電流平衡式儀表放大器負端輸入
2	inp	I	電流平衡式儀表放大器正端輸入
3	in_vref	I	電流平衡式儀表放大器參考輸入
4	—	—	No Function
5	vsse	I	ESD 電源
6	vss	I	Core 電源
7	vdde	I	ESD 電源
8	vdd	I	Core 電源
9	—	—	No Function
10	gnd	I	Core 電源
11	pad_vclk	I	非重疊時脈訊號產生器輸入
12	pad_vclk2	I/O	非重疊時脈訊號產生器輸出 2
13	pad_vclk1	I/O	非重疊時脈訊號產生器輸出 1
14	vdd2	I	Core 電源
15	pad_nd3	I/O	2-to-4 解碼器輸出選擇訊號 2
16	—	—	No Function
17	pad_nd1	I/O	2-to-4 解碼器輸出選擇訊號 1
18	pad_vs1	I	2-to-4 解碼器輸入選擇訊號 1
19	pad_vs2	I	2-to-4 解碼器輸入選擇訊號 2
20	in_nvout	O	可程式化增益放大器輸出
21	—	—	No Function
22	in_out	I/O	切換式電容濾波器第二級輸出
23	in_out1	I/O	切換式電容濾波器第一級輸出
24	in_lp	I/O	電流平衡式儀表放大器輸出

## 4.5.2 測試驗證平台架構

本系統的測試架構考量如 Fig.4-29，除了用以驗證每一級電路是否正常運作之外，另外考量到若部份電路運作不正常時，外部補償電路方式。而晶片的主要測試驗證主要分為兩階段，第一階段為電性測量(測試架構如 Fig.4-30 所示)，目的在於確認本晶片之輸出電壓之 DC 位準正確，晶片能夠正常作用，將輸入訊號予以放大與濾波。第二階段直接上生理訊號擷取平台(架構如 Fig.4-31 所示)，利用生醫感測電極，將生理訊號感測傳送至前端電路，進行訊號放大、濾除與抑制雜訊等前處理動作，再使用 ADC 將前端電路的輸出轉成數位訊號，經由後端處理單元作運算、分析，最後在螢幕上顯像，用以驗證本晶片之設計。

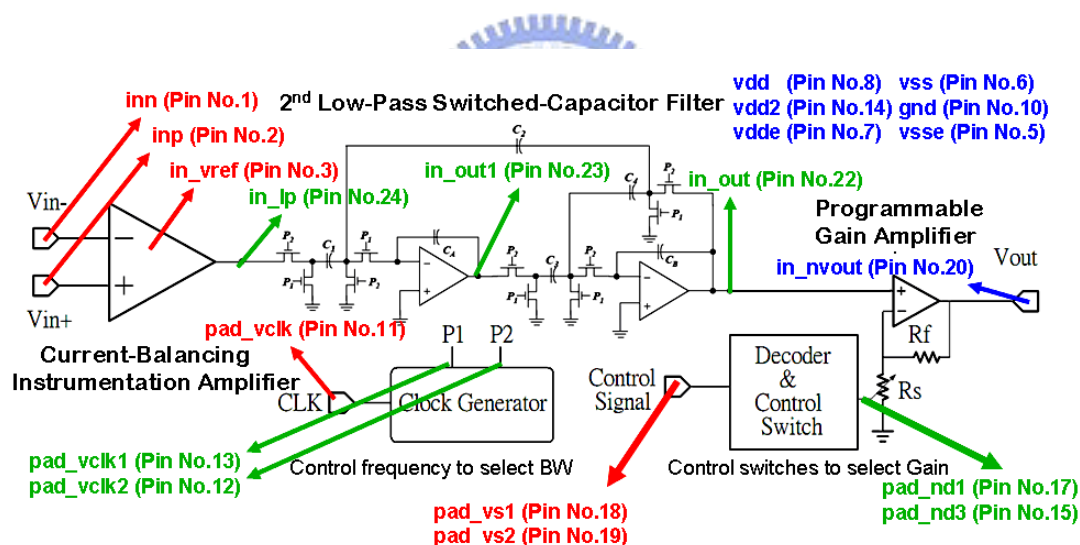


Fig.4-29、系統測試架構圖



## 第一階段—電性測試：

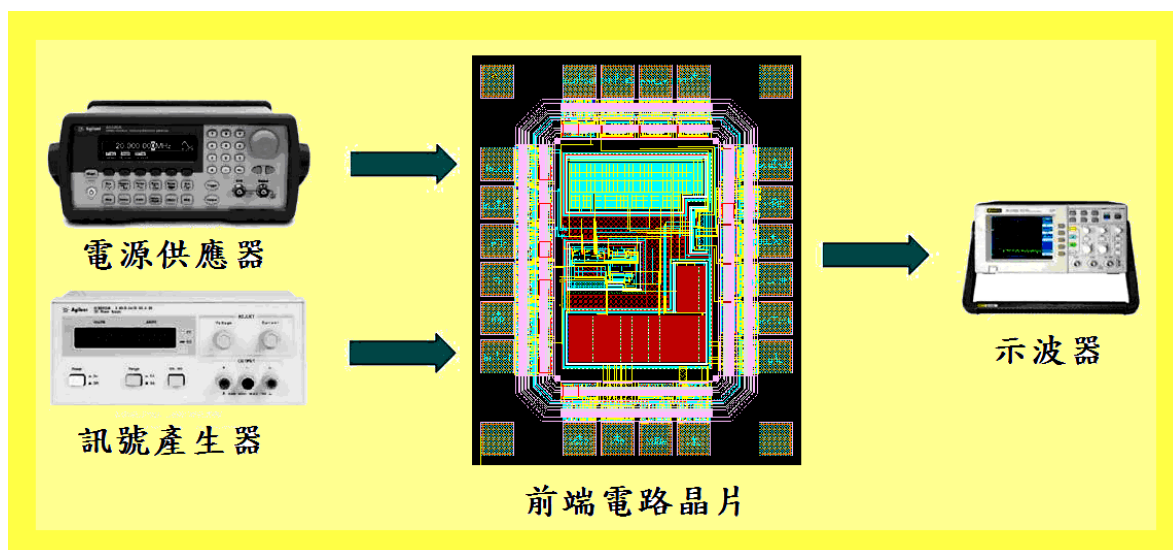


Fig.4-30、晶片電性測試平台

### 使用器材：

訊號產生器，示波器，電源供應器

### 測試步驟：

- 1、將電源供應器調整適當供應電壓，並接上其類比電源(+/-1.5V)、數位電源(0/3.3V)、ESD電源(0/3.3V)、GuardRing電源(+/-1.5V)。
- 2、經由訊號產生器產生適當模擬生理訊號頻帶之輸入弦波(分佈頻帶如圖4.2)，經由前端電路晶片處理。
- 3、此外，再經由訊號產生器產生適當的Clock(頻率視輸入訊號而定)，設定切換電容低通濾波器的頻寬。例如：腦電波(EEG)訊號(DC~150Hz)，設定切換時脈為5KHz，設定濾波器的3dB在150Hz左右。
- 4、再視模擬訊號振幅，輸入編碼器的數位選擇電壓，導通電阻開關去選擇所欲放大的倍率。
- 5、接著從示波器輸出端讀出訊號，預計DC操作準位為0V，測試晶片是否具有放大濾波功能。
- 6、若能得到以上的結果，即可稱為晶片Function Work。

## 第二階段－生理訊號量測平台測試：

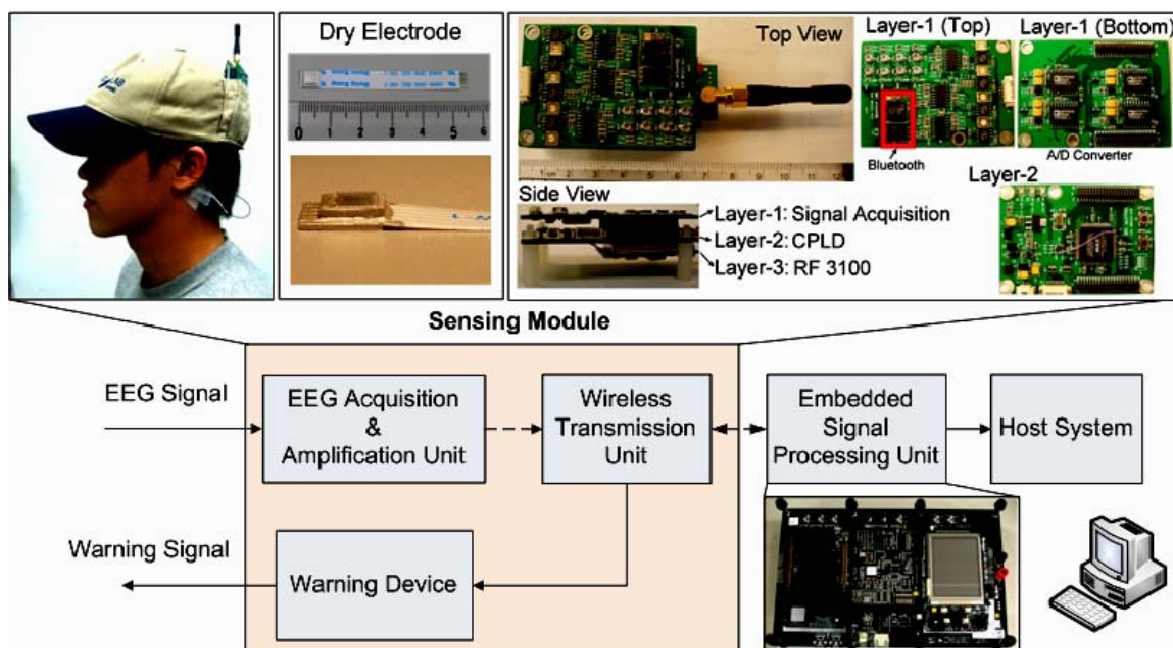


Fig.4-31、本實驗室交大腦科學研究中心研發之生理訊號量測分析系統平台

晶片經由第一階段－電性量測後，驗證此前端電路的確正常運作之後，即可進行第二階段－直接上生理訊號量測系統平台驗證，直接利用本實驗室交大腦科學研究中心研發的平台(如Fig.4-31所示)，將系統其中的訊號擷取放大單元直接替換成本前端電路晶片，經由訊號輸入端的感測電極將感測到的生理訊號，傳送至本電路做前處理(放大、濾波)，再傳送至後端的類比/數位轉換器作數位化的動作，經由RF無線模組傳輸，再經由後端的嵌入式系統對信號作運算處理、分析，進而輸出結果。

# 第五章

## 結論

### 5.1 總結

本論文設計實現一適用於各種生理訊號擷取系統的前端電路架構，除了一般著重的低功率、低雜訊之外，同時提高電路共模訊號拒斥比(Common-Mode Rejection Ratio, CMRR)與電源漣波拒斥比(Power Supply Ripple Rejection Ratio, PSRR)等特性，並將整體前端電路整合單一晶片上，亦即系統單晶片(System on a Chip, SOC)，實現兼具成本與晶片面積效益，利於日後與後端多通道嵌入式生醫系統整合應用。而此電路設計的最大的特色在於盡量利用電路本身的特性來減少額外或多餘的設計，例如應用數位切換時脈的頻率對應不同的生理訊號分佈頻帶去選擇不同的系統頻寬；以及利用解碼器選擇導通在單一電阻串聯陣列上不同節點的 MOS 開關，根據不同生理訊號振幅，用以選擇不同阻值的達成不同系統增益，而此種共用電阻的方式較並聯式電阻陣列省下較多的阻值，直接降低電路佈局面積。

本論文實已完成適用於生理訊號擷取系統的前端類比訊號處理模組之電路設計、模擬及晶片製作，但受限於晶片尚未製作完成，故實際量測之特性是否如佈局後模擬 (Post-Simulation) 結果所預期，仍值得商榷。故本論文藉由模擬結果以求符合預期制定的規格，進而評估多通道生理訊號擷取晶片積體電路化，達到系統單晶片(SOC)之可行性，亦提供未來在生理訊號記錄儀等相關研究之參考方向，並期望進一步結合應用於醫學，對人類生活有所助益。

## 5.2 未來展望

本論文經由佈局後模擬驗證的顯示，本前端電路設計的確兼具晶片成本、電路效能，且在實際應用層面有其優越性，但未來有許多部分仍值得進一步改善，條列如下：

### 一、先進製程實現：

除了使用先進製程，在低雜訊設計的前提下，進一步降低系統供應電壓、功率消耗之外。另一方面也方便與數位電路結合，如數位時脈除頻器可將SCF所選定的幾組適用於不同生理訊號頻寬的切換時脈，將其於內部整合，儘管外灌一組時脈，利用除頻器分出各種所需的時脈方便應用，而不需要外部調整時脈。最終目標則是，與微處理器(*uP*)藉由先進製程整合，利用其控制此前端電路的數位介面，建構更具有潛力價值的生醫電路系統。



### 二、濾波器改良：

在交換式電容濾波器實現上，乃是利用大量的電容及開關等元件所構成，但因電容之充、放電效應，在輸入頻率愈高時會造成濾波器之輸出波形有嚴重的相位延遲，連帶使得整個系統的速度隨之降低。雖此效應在SCF 電路中必然存在，但如何降低相位延遲誤差是未來值得研究的方向。

### 三、生醫感測分析系統整合：

待晶片製作完成後，如實際量測驗證結果顯示，電路效能的確符合預期規格，便進一步與前端生理訊號感測器、後端嵌入式處理器系統整合，用以建構可攜式生醫感測分析平台，提高系統的實用性、應用層面。

## 參考文獻

- [1] Phillip E. Allen and Douglas R. Holberg, CMOS Analog Circuit Design, second edition, Oxford University Press, Inc, 2002.
- [2] Behzad Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill Education, 2004.
- [3] J.G. Webster, “Medical Instrumentation Application and Design,” 3rd Ed., John Wiley and Sons, Inc., 1998.
- [4] Rui Martins, Siegfried Selberherr, and Francisco A. Vaz, “A CMOS IC for portable EEG acquisition systems,” *IEEE Transactions on Instrumentation and Measurement*, Vol. 47, No. 5, Oct. 1998.
- [5] R.F. Yazicioglu, P. Merken and C. Van Hoof, “Integrated low-power 24-channel EEG front-end,” *Electronics Letters 14th*, Vol. 41 No. 8, April 2005.
- [6] K. A. Ng and P. K. Chan, “A CMOS Analog Front-End IC for Portable EEG/ECG Monitoring Applications,” *IEEE Transactions on Circuits and Systems—I: Regular Papers*, Vol. 52, No. 11, Nov. 2005.
- [7] Refet Firat Yazicioglu, Patrick Merken, Robert Puers, and Chris Van Hoof, “A 60 $\mu$ W 60nV/  $\sqrt{\text{Hz}}$  readout front-end for portable biopotential acquisition systems,” *IEEE Journal of Solid-State Circuit*, Vol. 42, No. 5, May 2007.
- [8] M. Falkenstein, J. Hohnsbein, J. Hoormann, and L. Blanke,” Effects of crossmodal divided attention on late ERP components. II. Error processing in choice reaction tasks,” *Electroencephalography and Clinical Neurophysiology*, Vol. 78, pp. 447-55, 1991.
- [9] G.A. DeMichele, P. R. Troyk, “Integrated MultiChannel Wireless Biotelemetry System,” *Engineering in Medicine and Biology Society*, Vol. 4, Sept. 2003.
- [10] Roubik Gregorian, Introduction to CMOS OP-AMPS and Comparators, Wiley Interscience, 1999.
- [11] S. Makeig, M. Westerfield, T.P. Jung, S. Enghoff, J. Townsend, E. Courchesne, and T. J. Sejnowski, “Electroencephalographic Sources of Visual Evoked Responses,” *Science*, Vol. 295, pp. 690-694, Jan. 25, 2002.
- [12] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, Analysis and design of analog integrated circuits, Fourth Edition, John Wiley & Sons, INC.
- [13] Mark Wessel, “Pioneer Research into Brain Computer Interfaces,” Delft University of Technology, 28 March 2006.
- [14] A. B. Grebene, “Bipolar and MOS Analog Integrated Circuit Design,” New York: John Wiley & Sons, 1984.
- [15] Paulo Augusto Dal Fabbro and Carlos A. dos Reis Filho, “An Integrated



- CMOS Instrumentation Amplifier with Improved CMRR,” *IEEE Proceeding of the 15<sup>th</sup> Symposium on Integrated Circuits and Systems Design*, 2002.
- [16] C. ALDEA, J. SABADELL, S. CELMA and P. A. MARTINEZ, “Optimized Design for the High-swing Cascode Mirror,” *Proceedings of Circuits and Systems*, pp.233-236, 9-12 Aug. 1998.
- [17] Refet Firat Yazicioglu, Patrick Merken, Chris Van Hoof, “Effect of Electrode Offset On the CMRR of the Current Balancing Instrumentation Amplifiers,” *Research in Microelectronics and Electronics*, Vol.1, pp.35-38, 2005.
- [18] Honglei Wu and Yong-ping Xu, “A low-voltage low-noise CMOS instrumentation amplifier for portable medical monitoring systems,” pp.295 –298, *IEEE-NEWCAS Conference*, 19-22 June 2005.
- [19] Charles Myers, Brandon Greenley, Daniel Thomas, Un-Ku Moon, “Continuous-time Filter Design Optimized for Reduced Die Area,” *IEEE Transactions on Circuits and Systems —II: Express Briefs*, Vol. 51, No. 3, March 2004.
- [20] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, Analysis and design of analog integrated circuits, Fourth Edition, John Wiley & Sons, INC.
- [21] Haidong Guo, Corbin L. Champion, David M. Rector and George S. La Rue, “A Low-Power Low-Noise Sensor IC,” *IEEE Workshop on Microelectronics and Electron Devices*, pp.60-63, 2004.
- [22] Jin Ji, Kensall D. Wise, “An Implantable CMOS Analog Signal Processor for Multiplexed Microelectrode Recording Arrays,” *Solid-State Sensor and Actuator Workshop*, 1990.
- [23] Jan Crols and Michel Steyaert, “Switched-Opamp: An Approach to Realize Full CMOS Switched-Capacitor Circuits at Very Low Power Supply Voltages,” *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 8, Aug. 1994.
- [24] John G. Webster, Medical instrumentation application and design, Houghton Mifflin Company, 1978.
- [25] Kyung Hwan Kim, Sung June Kim, “Noise Performance Design of CMOS Preamplifier for The Active Semiconductor Neural Probe,” *IEEE Transactions on Biomedical Engineering*, Vol. 47, Issue 8, Aug. 2000.
- [26] Maher E. Rizkalla, Mark M. Budnik, Mohamed El-Sharkawy, Akhouri s.C.Sinha, and Harry Gundrum, “Minimizing Cross-Talk for Multi-Channels VLSI Analog Chips,” *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems*, 2001.
- [27] Maxim Pribytko, Patrick Quinn, “A CMOS Single-Ended OTA With High CMRR,” *Solid-State Circuits Conference*, 2003.
- [28] PAUL R.GRAY, ROBERT G. MEYER, “MOS Operational Amplifier Design –



- A Tutorial Overview,” *IEEE Journal of Solid-State Circuits*, Vol. SC-17, No. 6, Jan. 1982.
- [29] Pedram Mohseni and Khalil Najafi, “Wireless Multichannel biopotential recording using an integrated FM telemetry circuit,” *Engineering in Medicine and Biology Society*, 2004.
- [30] Pedram Mohseni, Khalil Najafi, Steven J. Eliades, and Xiaoqin Wang, “Wireless Multichannel Biopotential Recording Using an Integrated FM Telemetry Circuit,” *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, Vol. 13, Issue 3, Sept. 2005.
- [31] Pedram Mohseni, Khalil Najafi, “A Battery-Powered 8-Channel Wireless FM IC for Biopotential Recording Applications,” *IEEE International Solid-State Circuits Conference, Digest of Technical Papers. ISSCC*, Vol. 1, Feb. 2005.
- [32] Rinaldo Castello, Federico Montecchi, Francesco Rezzi, and Andrea Baschiroto, “Low-voltage analog filters,” *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol. 42, Issue 11, Nov. 1995.
- [33] Reid R. Harrison, “A Low-Power Integrated Circuit for Adaptive Detection of Action Potentials in Noisy Signals,” *Proceedings of the 25’ Annual International Conference of the IEEE EMBS Cancun*, Vol.4, Sept. 2003.
- [34] Reid R. Harrison, Gopal Santhanam, and Krishna V. Shenoy, “Local Field Potential Measurement With Low-Power Analog Integrated Circuit,” *Engineering in Medicine and Biology Society*, Vol.6, Sept. 2004.
- [35] Roy H. Olsson III, Derek L. Buhl, Anton M. Sirota, Gyorgy Buzsaki, Kensall D. Wise, “Band-Tunable and Multiplexed Integrated Circuits for Simultaneous Recording and Stimulation With Microelectrode Arrays,” *IEEE Transactions on Biomedical Engineering*, Vol. 52, No. 7, July 2005.
- [36] Rolf Schaumann, van valkenburg, Design of analog filter, Oxford University Press, Inc, 2001.
- [37] W. Aloisi, G. Giustolisi, and G. Palumbo, “Exploiting The High-Frequency Performance of Low-Voltage Low-Power SC Filters,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 51, Issue 2, Feb. 2004.
- [38] D. A. Johns and K. Martin, “Analog Integrated Circuits Design,” John Wiley & Sons, Inc, 1997.
- [39] Gregorian R. and G.C. Temes, “Analog MOS integrated circuits for signal processing,” New York, Wiley-Int erscience, 1986.
- [40] D. C. Von Grunigen, R. Sigg, M. Ludwig, U. W. Brugger, G. S. Moschytz, H. Melchior, “Integrated Switched-Capacitor Low-Pass Filter with Combined Anti-Aliasing Decimation Filter for Low Frequencies,” *IEEE J. Solid-State*

- Circuits*, Vol. SC-17, pp. 1024-1028, Dec. 1982.
- [41] G. S. Moschytz, "MOS Switched-Capacitor Filters: Analysis and Design," IEEE Press, New York, 1984.
- [42] P. R. Gray, B. A. Wooley, and R. W. Brodersen, "Analog MOS Integrated Circuits II," IEEE Press, New York, 1989.
- [43] R. J. Baker, H. W. Li, and D. E. Boyce, "CMOS Circuit Design, Layout, and Simulation," IEEE Press, New York, 1998.
- [44] W.J. Ross Dunseath, E.F. Kelly, "Multichannel PC-Based Data-Acquisition System for High-Resolution EEG," *IEEE Transactions on Biomedical Engineering*, Vol. 42, No. 12, pp.1212-1217, Dec. 1995.
- [45] S.K. Yoo, N.H. Kim, D.H. Kim, J.L. Kim, "The Development of High Precision EEG Amplifier for the Computerized EEG Analysis," *IEEE 17th Annual Conference, Engineering in Medicine and Biology Society*, Vol. 2, pp.1651-1652, Sept. 1995.



# 附錄

## A. DRC Verification

### Whole Chip DRC Verification

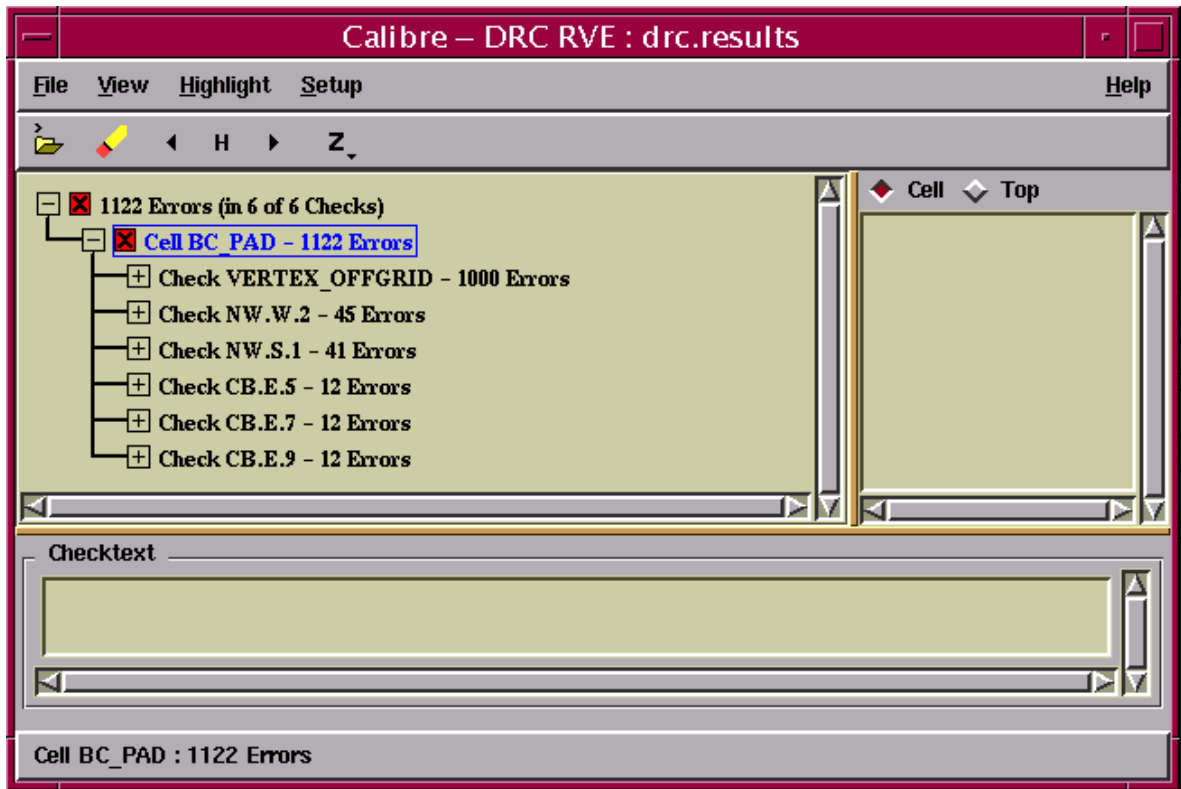


Fig. A、全系統電路佈局之 DRC 驗證

(DRC Error 為 TSMC I/O Cell 內部上錯誤，如 Table A 所示，為可忽略的錯。)

Table A、TSMC ESD PAD 使用說明書 (可允許 DRC 錯誤說明)

#### 3.3V I/O Cell 可允許 DRC Errors

DRC Errors	出現 DRC Errors 的 I/O cells
NW.W.2	VDDI_33、VDDE_33、VSSE_33、AIN_33
NW.S.1	VDDI_33、VDDE_33、VSSE_33、AIN_33
CO.E.1	BI33_XX、DIN_33
CB.E.5、CB.E.7、CB.E.9	ALL PADS

## B. LVS Verification

### Whole Chip LVS Verification

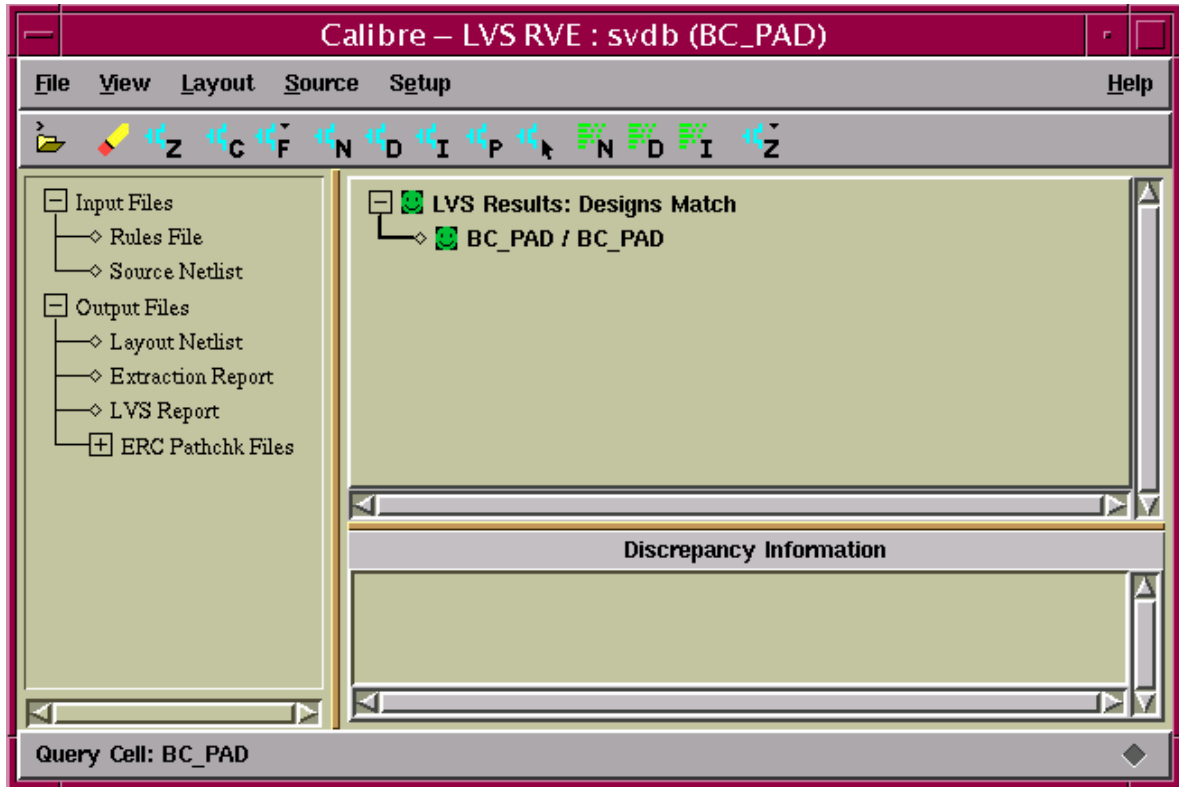
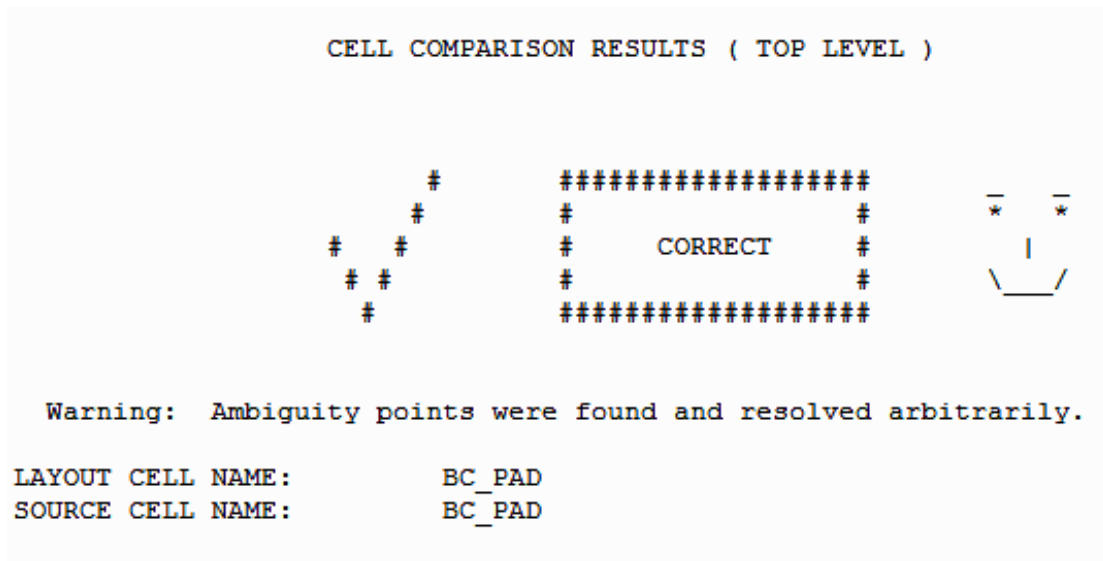


Fig. B、全系統電路佈局之 LVS 驗證 (LVS 驗證無誤)



INITIAL NUMBERS OF OBJECTS

	Layout	Source		Component Type
	-----	-----		-----
Ports:	27	27		
Nets:	1080	172	*	
Instances:	610	121	*	MN (4 pins)
	282	94	*	MP (4 pins)
	427	8	*	C (2 pins)
	969	57	*	R (2 pins)
	-----	-----		
Total Inst:	2288	280		

NUMBERS OF OBJECTS AFTER TRANSFORMATION

	Layout	Source		Component Type
	-----	-----		-----
Ports:	27	27		
Nets:	143	143		
Instances:	80	80		MN (4 pins)
	51	51		MP (4 pins)
	8	8		C (2 pins)
	57	57		R (2 pins)
	7	7		INV (2 pins)
	6	6		NOR2 (3 pins)
	10	10		SDW2 (3 pins)
	12	12		SUP2 (3 pins)
	1	1		SMN2 (4 pins)
	-----	-----		
Total Inst:	232	232		

\*\*\*\*\*  
 INFORMATION AND WARNINGS  
 \*\*\*\*\*

	Matched Layout	Matched Source	Unmatched Layout	Unmatched Source	Component Type
	-----	-----	-----	-----	-----
Ports:	27	27	0	0	
Nets:	143	143	0	0	
Instances:	80	80	0	0	MN (N)
	51	51	0	0	MP (P)
	8	8	0	0	C (PC)
	9	9	0	0	R (ND)
	7	7	0	0	R (P2)
	41	41	0	0	R (WR)
	7	7	0	0	INV
	6	6	0	0	NOR2
	10	10	0	0	SDW2
	12	12	0	0	SUP2
	1	1	0	0	SMN2
	-----	-----	-----	-----	
Total Inst:	232	232	0	0	





不match的原因為何? 否, LVS驗證完全正確

4-4. 檢查PAD與PAD間是否有移位、短路或斷路的現象? 否, DRC&LVS驗證正確

5 類比-混合訊號電路佈局考量(類比-混合訊號電路設計者填寫)

5-1 佈局對稱性及一致性考量

5-1-1 OP(Comparator) Input Stage是否對稱? 是

5-1-2 OP(Comparator) Input Stage是否對稱? 是

5-1-3 佈局中對稱元件是否使用dummy cell技巧? 是

5-1-4 對稱電容是否採用同心圓佈局? 是

5-1-5 對稱單位電容四周是否切成45度斜角? 是

5-1-6 對稱電容的單位面積是否一致? 是

單位電容面積多大? 11.1 um x 11.1 um

單位電容值多大? 0.05 pF

5-1-7 電阻採用哪一材質製作? N-diffusion

單位電阻值多大? 1k ohm

5-2 電路雜訊佈局考量

5-2-1 是否將Analog及Digital的power line分開? 是

5-2-2 Analog area是否用guard ring隔絕? 是

5-2-3 Digital area是否用guard ring隔絕? 是

5-2-4 對於sensitive line是否使用shield的技巧? 是

5-2-5 Analog guard ring及shield是否接至乾淨之電位? 是

5-2-6 是否將sensitive line儘量縮短及避免跨越noise(clock)line? 是

5-2-7 電容的上下極板是否接對? 是

6 MEMS 設計考量(MEMS 設計者填寫)

6-1 請簡述所進行之後製程: \_\_\_\_\_

6-2 後製程操作地點: \_\_\_\_\_

6-3 下線者目前是否有操作該製程設備之合法授權? \_\_\_\_\_ 若目前無操作該製程設備之合法授權, 是否可在晶片取回前得到合法授權? \_\_\_\_\_

6-4 下線者是否有使用該製程設備之經驗? \_\_\_\_\_

6-5 是否有該後製程之製程參數(壓力、溫度、流量、.....)? \_\_\_\_\_

6-6 之前是否有成功實現過該後製程? \_\_\_\_\_

6-7 Layout 違反 design rule 的部分是否會影響微結構本身或元件操作? \_\_\_\_\_

6-8 Layout 之蝕刻孔尺寸是否足以讓結構懸浮? \_\_\_\_\_

6-9 元件驅動電壓範圍? \_\_\_\_\_

7 RF Circuit 電路佈局考量 (RF 操作頻段設計者填寫):

7-1 電路規格適用何種系統? \_\_\_\_\_

7-2 說明被動元件模型的來源 \_\_\_\_\_

- 7-3 模擬軟體 (可不只一種)? \_\_\_\_\_
- 7-4 系統整合 chip 裡之各個 block 是否曾下過線且量測符合預期規格 (chip 為系統整合者回答,並說明製程梯次代號)? \_\_\_\_\_
- 7-5 佈局考量:
- 7-5-1 元件佈局方式是否與模型提供者所提供的佈局一致? 是 \_\_\_\_\_
- 7-5-2 接地與電壓源是否均勻? 是 \_\_\_\_\_
- 7-5-3 元件與拉線的電流承載能力考量? 是 \_\_\_\_\_
- 7-5-4 拉線是否過長過細? 否 \_\_\_\_\_
- 7-5-5 PAD的佈局是否配合量測上之考量? 是 \_\_\_\_\_
- 7-5-6 PAD與 Bond-wire的效應是否考量? 是 \_\_\_\_\_
- 7-6 DRC驗證過程中,部分錯誤若為特殊考量,請說明 是, Offgrid、NW.W2、NW.S1、CB.E5、CB.E7、CB.E9 等DRC錯誤均發生在TSMC PAD上,且均為可忽略的錯。  
\_\_\_\_\_
- 7-7 LVS驗證過程中,電感電容或其他特殊元件的比對是否做過處理,請說明 是 \_\_\_\_\_  
加入DUMMY CELL 減少製程上的飄移與shadow 現象
- 7-8 量測方式為 on wafer, on PCB or in package? 並說明量測時應該注意事項與量測地點  
On PCB, 初步先電性分析,之後實際在平台上量測腦波訊號,確定是晶片否具有處理訊號的能力,可否達到預定放大與濾波功能
- 8 PAD Replacement 考量(使用 TSMC I/O PAD 設計者填寫)
- 8-1 已於申請表勾選申請使用 TSMC I/O PAD
- 8-2 個人設計的Cell名稱(cell-name)未與TSMC所提供之任一Pad Cell名稱相同 是 \_\_\_\_\_
- 8-3 採用Create Instance方式加入I/O Pad,未用Copy或Flatten破壞Instance的結構 是 \_\_\_\_\_
- 8-4 由IC Core部份拉線到Pad只拉到最邊緣部分,未過於覆蓋Pad 是 \_\_\_\_\_
9. 其他考量
- 9-1. 是否有考量測試時的輸出量測點? 是 \_\_\_\_\_
- 9-2. 是否考量電路之可修改性(如用laser cut設備) 是 \_\_\_\_\_

設計者簽名: 黃俊傑 指導教授簽名: 林進燈