

國立交通大學

電信工程學系碩士班

碩士論文

雙頻道可調式吉伯特混頻器、雙頻道差動低  
雜訊放大器與毫米波驅動放大器

Dual-Band Tunable Gilbert mixers、Dual-Band Differential LNA  
and Millimeter-Wave Driving Amplifier

研究生：李約廷

指導教授：孟慶宗

中華民國 九十六年 七月

雙頻道可調式吉伯特混頻器、雙頻道差動低雜訊  
放大器與毫米波驅動放大器

Dual-Band Tunable Gilbert mixers、Dual-Band Differential LNA  
and Millimeter-Wave Driving Amplifier

研究生：李約廷

Student: Yueh-Ting Lee

指導教授：孟慶宗 博士

Advisor: Dr. Chin Chun Meng

國立交通大學

電信工程學系碩士班



碩士論文

A Thesis

Submitted to Department of Communication Engineering

College of Electrical and Computer Engineering

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

July 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年七月

# 雙頻道可調式吉伯特混頻器、雙頻道差動低雜訊放大器與毫米波驅動放大器

學生：李約廷

指導教授：孟慶宗 博士

國立交通大學

電信工程學系碩士班

## 摘 要

本篇論文主要分為三個主題，分別實現不同的射頻電路。第一，利用本篇論文提出的新型雙頻道正交訊號產生器，達成可調式雙頻道 IQ 降頻/單邊升頻混波器。第二，實現應用於無線區域網路的雙頻道低雜訊差動放大器，並使用變壓器來降低雜訊。第三，在電路裡結合了傳輸線與共平面波導的方式來實現 60GHz 驅動放大器。

論文主要以 TSMC 0.35 $\mu\text{m}$  SiGe BiCOMS 製程、TSMC 0.18 $\mu\text{m}$  CMOS 製程，以及 TSMC 0.13 $\mu\text{m}$  CMOS 製程來研製應用於 802.11a/b/g WLAN 之射頻電路，在高頻電路設計則是利用 WIN 0.15 $\mu\text{m}$  PHEMT 製程來實現。其中 TSMC 0.35 $\mu\text{m}$  SiGe BiCOMS 製程包含了可調式雙頻道 IQ 降頻混波器、可調式雙頻道 IQ 單邊升頻混波器，以及中間級匹配之差動雙頻道 LNA 等電路。而使用變壓器型態之差動雙頻道 LNA 是以 TSMC 0.18 $\mu\text{m}$  CMOS 製程實現，11GHz 低雜訊放大器則是以 TSMC 0.13 $\mu\text{m}$  CMOS 製程實現。最後在高頻電路部份，正交相位之次諧波降頻混波器與覆晶封裝之 60GHz 驅動放大器都以 WIN 0.15 $\mu\text{m}$  PHEMT 製程來實現。

# **Dual-Band Tunable Gilbert mixers 、 Dual-Band Differential LNA and Millimeter-Wave Driving Amplifier**

Student: Yueh-Ting Lee

Advisor: Chin-Chun Meng

Department of Communication Engineering  
National Chiao Tung University

## **Abstract**

In this thesis, we implement several radio frequency circuits in three subjects. First, tunable dual-band IQ down-converter/SSB up-converter are designed by using the new architecture of dual-band quadrature generator in this thesis. Second, we implement the dual-band LNA for WLAN's applications and take lower noise figure by using transformer. Third, we combine the micro-strip and the coplanar strip in the circuits to implement 60GHz driving amplifier.

In this thesis, we implement several RF circuits for 802.11a/b/g WLAN's applications by using TSMC 0.35 $\mu$ m SiGe BiCOMS technology process, TSMC 0.18 $\mu$ m CMOS technology process and TSMC 0.13 $\mu$ m CMOS technology process. High frequency circuits are designed and implemented by using WIN 0.15 $\mu$ m PHEMT technology process . In TSMC 0.35 $\mu$ m SiGe BiCOMS technology process, the circuits include the tunable dual-band I/Q down-converter, the tunable dual-band SSB up-converter and the inter-stage matching differential dual-band LNA. We implement the differential dual-band LNA utilizing transformer by using TSMC 0.18 $\mu$ m CMOS technology process and implement the 11GHz low noise amplifier by using TSMC 0.13 $\mu$ m CMOS technology process. Finally, we implement the high frequency circuits include the quadrature RF signal sub-harmonic down-converter and the 60GHz flip-chip driver amplifier by using WIN 0.15 $\mu$ m PHEMT technology process.

## 誌謝

---

兩年的研究所時間過的很快，但卻很充實，感謝大家的支持與幫忙讓我的論文能順利的完成。尤其感謝孟慶宗老師的指導，讓我在射頻電路領域上學習了許多。謝謝張志揚教授與林育德教授參與學生的口試並給予寶貴的建議。另外，在晶片的量測過程中，特別要感謝國家奈米元件實驗室全體同仁的協助，才能順利完成繁雜的量測工作。

接著要感謝實驗室的大夥。博士班宗翰大學長讓我能很快的進入實驗室的步調；珍儀學姐優秀的帶領，一起合作完成科專計畫；感謝聖哲學長扮演著亦師亦友的角色，引導我發現自己的潛力；宏儒學長嚴謹的研究態度，是我學習的典範。此外，感謝家宏、英杰與樺興學長的指導，讓我對課程和實驗有更多的了解。還有感謝同窗的冠璋、柏誼與勝文，一起分享這酸甜苦辣的碩士生涯。同時要感謝學弟妹們金詳、揚鮮、宜蒸、雅惠與宜珊的支持與幫忙，讓我這兩年的研究生活充滿回憶，一路走來大家的關懷與勉勵，我牢記在心。

特別感謝我的家人與女友千琪在求學的過程中給我最大的支持與包容，讓我能夠堅持下去並完成學業。最後，將此論文的榮耀獻給我的家人與身邊所有關心我的朋友們。

---

# 目錄

摘要(中文).....	i
摘要(英文).....	ii
致謝.....	iii
目錄.....	iv
圖目錄.....	vii
表目錄.....	xiv
第一章 導論.....	1
1.1 前言.....	2
1.2 論文組織.....	3
第二章 可調式雙頻道 IQ 降頻/單邊升頻混波器之分析與設計.....	4
2.1 前言.....	5
2.2 IQ 訊號的重要性.....	5
2.2.1 I/Q 訊號在接收/傳送機的重要性.....	5
2.2.2 傳統的正交相位產生方式.....	7
2.3 可調式雙頻道 IQ 理論分析與架構.....	9
2.3.1 CR-LR IQ 訊號產生機制.....	9
2.3.2 雙頻道 IQ 訊號產生機制.....	10
2.3.3 可調式雙頻道 IQ 訊號.....	15
2.3.4 Active balun .....	19
2.3.5 可調式雙頻道 IQ 架構.....	21
2.4 實作一，可調式雙頻道 IQ 降頻混波器.....	22
2.4.1 研究動機.....	22
2.4.2 電路設計.....	22
2.4.3 晶片量測結果.....	24
2.4.4 結果與討論.....	33
2.5 實作二，可調式雙頻道 IQ 單邊升頻混波器.....	36
2.5.1 研究動機.....	36
2.5.2 電路設計.....	36
2.5.3 晶片量測結果.....	39
2.5.4 結果與討論.....	45
2.6 實作三，正交相位之次諧波降頻混波器.....	48

2.6.1 研究動機.....	48
2.6.2 電路設計.....	48
2.6.3 晶片量測結果.....	55
2.6.4 結果與討論.....	59
第三章 雙頻道低雜訊放大器設計.....	62
3.1 前言.....	63
3.2 低雜訊放大器設計原理.....	63
3.2.1 疊接低雜訊放大器架構.....	64
3.2.2 同時達到雜訊與輸入阻抗匹配.....	64
3.3 實作一，11GHz 低雜訊放大器.....	68
3.3.1 研究動機.....	68
3.3.2 電路設計.....	68
3.3.3 電路模擬結果.....	71
3.3.4 晶片量測結果.....	74
3.3.5 結果與討論.....	77
3.4 實作二，使用變壓器型態之差動雙頻道 LNA.....	80
3.4.1 研究動機.....	80
3.4.2 電路設計.....	80
3.4.3 電路模擬結果.....	85
3.4.4 晶片量測結果.....	89
3.4.5 結果與討論.....	92
3.5 實作三，中間級匹配之差動雙頻道 LNA.....	96
3.5.1 研究動機.....	96
3.5.2 電路設計.....	96
3.5.3 電路模擬結果.....	99
3.5.4 晶片量測結果.....	104
3.5.5 結果與討論.....	107
第四章 60GHz 驅動放大器設計.....	110
4.1 前言.....	111
4.2 基本放大器設計原理.....	111
4.2.1 無條件穩定.....	112
4.2.2 阻抗匹配.....	114
4.3 實作一，覆晶封裝之 60GHz 驅動放大器.....	114
4.3.1 電路架構.....	114
4.3.2 晶片量測結果.....	116
4.3.3 結果與討論.....	119
4.4 實作一，60GHz 驅動放大器.....	121
4.4.1 電路架構.....	121

4.4.2 晶片量測結果.....	121
4.4.3 結果與討論.....	123
4.5 實作一，MHEMT 製程之 60GHz 驅動放大器.....	124
4.5.1 電路架構.....	124
4.5.2 晶片量測結果.....	126
4.5.3 結果與討論.....	128
第五章 結論.....	129
參考文獻.....	132



# 圖目錄

圖 2.1	I/Q 訊號在接收機架構的重要性.....	6
圖 2.2	I/Q 訊號在傳送機架構的重要性.....	6
圖 2.3	正交相位產生器.....	8
圖 2.4	RC 電路頻率響應(a)Low-pass filter(b)High-pass filter.....	8
圖 2.5	CR-LR 正交訊號產生機制.....	9
圖 2.6	雙頻道 IQ 架構.....	11
圖 2.7	雙頻道 (a)低頻等效電路 (b)高頻等效電路.....	11
圖 2.8	雙頻道電感電容的選取.....	13
圖 2.9	雙頻道正交訊號振幅 1dB 不匹配的頻寬.....	14
圖 2.10	理想 IQ 訊號在複數阻抗座標表示方式.....	16
圖 2.11	負載阻抗不為純實部的補償方式.....	16
圖 2.12	電感電容不同寄生電阻的補償方式.....	17
圖 2.13	IQ 訊號不匹配的可能情況 (a) $ A  <  B $ & $\angle AB < 90^0$ (b) $ A  >  B $ & $\angle AB < 90^0$ (c) $ A  <  B $ & $\angle AB > 90^0$ (d) $ A  >  B $ & $\angle AB > 90^0$ .....	18
圖 2.14	可調式雙頻道 IQ 訊號產生機制.....	19
圖 2.15	active balun.....	20
圖 2.16	可調式雙頻道 IQ 訊號架構.....	21
圖 2.17	雙頻道 IQ 降頻混波器示意圖.....	22
圖 2.18	可調式雙頻道 IQ 降頻混波器電路架構.....	23
圖 2.19	Micromixer 架構示意圖.....	24

圖 2.20	轉換增益 VS. LO Power (LO:2.4GHz).....	25
圖 2.21	轉換增益 VS. LO Power (LO:5.2GHz) .....	25
圖 2.22	轉換增益 VS. RF Power (LO:2.4GHz/P1dB) .....	26
圖 2.23	轉換增益 VS. RF Power (LO:5.2GHz/P1dB).....	26
圖 2.24	轉換增益 VS. IF Frequency (LO:2.4GHz).....	27
圖 2.25	轉換增益 VS. IF Frequency (LO:5.2GHz).....	27
圖 2.26	IP1dB 與 IIP3量測結果 (LO:2.4GHz).....	28
圖 2.27	IP1dB 與 IIP3量測結果 (LO:5.2GHz).....	28
圖 2.28	轉換增益 VS. I/Q dualband Frequency.....	29
圖 2.29	Time Domain IQ通道輸出量測結果 (LO:2.4GHz IF:60MHz) .....	29
圖 2.30	Time Domain IQ通道輸出量測結果 (LO:5.2GHz IF:70MHz) .....	30
圖 2.31	Noise Figure @ LO:2.4GHz.....	30
圖 2.32	Noise Figure @ LO:5.2GHz.....	31
圖 2.33	RF 端與IF 端 Return Loss.....	31
圖 2.34	LO 端 Return Loss.....	32
圖 2.35	Die Photo (1 mm X 1.1 mm) .....	32
圖 2.36	雙頻道單邊升頻混波器示意圖.....	36
圖 2.37	可調式雙頻道單邊升頻混波器電路架構.....	37
圖 2.38	轉換增益 VS. LO Power (LO:2.4GHz) .....	40
圖 2.39	轉換增益 VS. LO Power (LO:5.8GHz) .....	40
圖 2.40	轉換增益 VS. IF Power (LO:2.4GHz/P1dB) .....	41
圖 2.41	轉換增益 VS. IF Power (LO:5.8GHz/P1dB) .....	41
圖 2.42	OP1dB 與 OIP3量測結果 (LO:2.4GHz) .....	42
圖 2.43	OP1dB 與 OIP3量測結果 (LO:5.8GHz) .....	42
圖 2.44	RF bandwidth & Side-band rejection Ratio.....	43
圖 2.45	LO/IF端Return Loss.....	43

圖 2.46	Side-band rejection Ratio at low sideband.....	44
圖 2.47	Side-band rejection Ratio at high sideband.....	44
圖 2.48	Die Photo (1 mm X 1 mm) .....	45
圖 2.49	正交相位之次諧波降頻混波器示意圖 (a)LO端產生八相位 (b)LO端產生四相位.....	49
圖 2.50	正交相位之次諧波降頻混波器電路架構.....	50
圖 2.51	次諧波降頻混波器架構.....	51
圖 2.52	耦合線示意圖.....	52
圖 2.53	Lump化 $\lambda/4$ 耦合線示意圖.....	53
圖 2.54	Marchand Balun.....	53
圖 2.55	Marchand Balun 示意圖.....	54
圖 2.56	轉換增益 VS. LO Power.....	55
圖 2.57	轉換增益 VS. RF Power.....	55
圖 2.58	轉換增益 VS. IF Frequency.....	56
圖 2.59	RF Bandwidth.....	56
圖 2.60	RF端 Return Loss.....	57
圖 2.61	Time Domain IQ通道輸出量測結果.....	57
圖 2.62	LO 端到 IF、RF 隔離度.....	58
圖 2.63	RF 端到 IF 隔離度.....	58
圖 2.64	Die Photo (2.5 mm X 2 mm).....	59
圖 3.1	疊接低雜訊放大器電路架構.....	64
圖 3.2	源級電感性退化電路.....	65
圖 3.3	雜訊小訊號等效電路.....	65
圖 3.4	11GHz 低雜訊放大器架構.....	69
圖 3.5	電路 $\text{Re}[Z_{opt}]$ 模擬.....	71

圖 3.6	電路 $\text{Im}[Z_{opt}]$ 模擬.....	72
圖 3.7	電感 $L_s$ (a)感值 (b)Q 值 模擬.....	72
圖 3.8	電感 $L_g$ (a)感值 (b)Q 值 模擬.....	72
圖 3.9	電晶體 Noise circle 與 $G_A$ circle(without $L_s$ ) 模擬.....	73
圖 3.10	源級電感性退化電路 Noise circle 與 $G_A$ circle 模擬.....	73
圖 3.11	11GHz 低雜訊放大器- $S_{11}$ 、 $S_{22}$ 模擬.....	73
圖 3.12	11GHz 低雜訊放大器- $S_{21}$ 模擬.....	74
圖 3.13	11GHz 低雜訊放大器-NF 模擬.....	74
圖 3.14	11GHz 低雜訊放大器-穩定度模擬.....	74
圖 3.15	11GHz 低雜訊放大器- $S_{11}$ 、 $S_{22}$ 量測結果.....	75
圖 3.16	11GHz 低雜訊放大器- $S_{21}$ 量測結果.....	75
圖 3.17	11GHz 低雜訊放大器-NF 量測結果.....	76
圖 3.18	11GHz 低雜訊放大器-線性度 量測結果.....	76
圖 3.19	Die Photo(1 mm X 1 mm) .....	77
圖 3.20	使用變壓器型態之差動雙頻道 LNA 電路架構.....	81
圖 3.21	共電流雙頻道 LNA 電路.....	81
圖 3.22	輸出端匹配網路 (a)低頻等效電路 (b)高頻等效電路.....	82
圖 3.23	差動驅動非對稱型電感.....	83
圖 3.24	差動驅動對稱型電感.....	84
圖 3.25	差動驅動對稱型變壓器 (a)實際佈局圖 (b)等效電路.....	85
圖 3.26	電路雙頻道 $\text{Re}[Z_{opt}]$ 模擬.....	85
圖 3.27	電路雙頻道 $\text{Im}[Z_{opt}]$ 模擬.....	86
圖 3.28	2.4GHz 之 Noise circle 與 $G_A$ circle 模擬.....	86
圖 3.29	5.2GHz 之 Noise circle 與 $G_A$ circle 模擬.....	86

圖 3.30	差動驅動對稱型電感(a)感值 (b)Q 值 模擬.....	87
圖 3.31	差動驅動對稱型變壓器(a)感值 (b)Q 值 模擬.....	87
圖 3.32	使用變壓器型態之差動雙頻道 LNA - $S_{11}$ 、 $S_{22}$ 模擬.....	88
圖 3.33	使用變壓器型態之差動雙頻道 LNA - $S_{21}$ 模擬.....	88
圖 3.34	使用變壓器型態之差動雙頻道 LNA -NF 模擬.....	88
圖 3.35	使用變壓器型態之差動雙頻道 LNA -穩定度 模擬.....	89
圖 3.36	使用變壓器型態之差動雙頻道 LNA - $S_{11}$ 、 $S_{22}$ 量測結果.....	89
圖 3.37	使用變壓器型態之差動雙頻道 LNA - $S_{21}$ 、 $A_v$ 量測結果.....	90
圖 3.38	使用變壓器型態之差動雙頻道 LNA -NF 量測結果.....	90
圖 3.39	使用變壓器型態之差動雙頻道 LNA -Low Band 線性度 量測結果.....	91
圖 3.40	使用變壓器型態之差動雙頻道 LNA -High Band 線性度 量測結果.....	91
圖 3.41	Die Photo(1.1 mm X 1.2 mm) .....	92
圖 3.42	中間級匹配之差動雙頻道 LNA 電路架構.....	97
圖 3.43	傳統疊接低雜訊放大器內部匹配問題.....	98
圖 3.44	(a)雙頻道中間級匹配網路 (b)低頻匹配等效電路 (c)高頻匹配等效電路.....	99
圖 3.45	電路雙頻道 $\text{Re}[Z_{opt}]$ 模擬.....	99
圖 3.46	電路雙頻道 $\text{Im}[Z_{opt}]$ 模擬.....	100
圖 3.47	2.4GHz 之 Noise circle 與 $G_A$ circle 模擬.....	100
圖 3.48	5.2GHz 之 Noise circle 與 $G_A$ circle 模擬.....	100
圖 3.49	差動驅動對稱型電感(a)感值 (b)Q 值 模擬.....	101
圖 3.50	差動驅動對稱型變壓器-A (a)感值 (b)Q 值 模擬.....	101
圖 3.51	差動驅動對稱型變壓器-B (a)感值 (b)Q 值 模擬.....	102
圖 3.52	差動驅動對稱型變壓器-C (a)感值 (b)Q 值 模擬.....	102

圖 3.53	中間級匹配之差動雙頻道 LNA - $S_{11}$ 、 $S_{22}$ 模擬.....	103
圖 3.54	中間級匹配之差動雙頻道 LNA - $S_{21}$ 模擬.....	103
圖 3.55	中間級匹配之差動雙頻道 LNA -NF 模擬.....	103
圖 3.56	中間級匹配之差動雙頻道 LNA -穩定度 模擬.....	104
圖 3.57	中間級匹配之差動雙頻道 LNA - $S_{11}$ 、 $S_{22}$ 量測結果.....	104
圖 3.58	中間級匹配之差動雙頻道 LNA - $S_{21}$ 、 $A_v$ 量測結果.....	105
圖 3.59	中間級匹配之差動雙頻道 LNA -NF 量測結果.....	105
圖 3.60	中間級匹配之差動雙頻道 LNA-Low Band 線性度 量測結果.....	106
圖 3.61	中間級匹配之差動雙頻道 LNA-High Band 線性度 量測結果.....	106
圖 3.62	Die Photo (1.3 mm X 1 mm) .....	107
圖 4.1	電晶體匹配關係.....	112
圖 4.2	四種外加電阻提高穩定度方式.....	113
圖 4.3	CPW-MS-CPW 兩級驅動放大器架構.....	115
圖 4.4	(a)MS 電場分佈 (b)CPW 電場分佈.....	115
圖 4.5	CPW-MS-CPW 兩級驅動放大器架構.....	116
圖 4.6	FCB 前後 $S_{11}$ 、 $S_{21}$ 比較.....	116
圖 4.7	FCB 前後 $S_{12}$ 、 $S_{22}$ 比較.....	117
圖 4.8	IP1dB 與 IIP3 量測結果 (LO:53.5GHz).....	117
圖 4.9	覆晶封裝前之 60GHz 驅動放大器.....	118
圖 4.10	覆晶封裝之 60GHz 驅動放大器.....	118
圖 4.11	60GHz 驅動放大器架構.....	121
圖 4.12	60GHz 驅動放大器 - $S_{11}$ 、 $S_{21}$ 量測結果.....	122
圖 4.13	60GHz 驅動放大器 - $S_{22}$ 、 $S_{12}$ 量測結果.....	122
圖 4.14	60GHz 驅動放大器.....	123
圖 4.15	MHEMT 製程之 60GHz 驅動放大器架構.....	124
圖 4.16	MHEMT 製程電晶體(2x50 $\mu\text{m}$ ).....	125

圖 4.17	小訊號S參數模型架構.....	125
圖 4.18	小訊號模型與量測資料比較.....	126
圖 4.19	MHEMT製程之60GHz驅動放大器- $S_{11}$ 、 $S_{21}$ 量測結果.....	126
圖 4.20	MHEMT製程之60GHz驅動放大器- $S_{22}$ 、 $S_{12}$ 量測結果.....	127
圖 4.21	MHEMT製程之60GHz驅動放大器.....	127



# 表目錄

---

表 2.1 tunable IQ 調變方法.....	19
表 2.2 Tunable dual-band I/Q down-converter 量測結果.....	35
表 2.4 Tunable dual-band SSB up-converter 量測結果.....	47
表 2.5 Quadrature RF Signal Sub-harmonic Down-converter 量測結果.....	61
表 3.1 11GHz Low Noise Amplifier 模擬與量測結果.....	79
表 3.2 Differential dual-band LNA utilizing transformer 模擬與量測結果.....	95
表 3.3 Inter-stage matching differential dual-band LNA 模擬與量測結果.....	109
表 4.1 60GHz Flip-Chip Driving Amplifier 量測結果.....	120
表 4.2 60GHz Driving Amplifier 量測結果.....	124
表 4.3 MHEMT 60GHz Driving Amplifier 量測結果.....	128

# 第一章

## 導論



## 1.1 前言

最近幾年無線通訊科技的快速發展，包含2G與3G通訊規格的手機、短距離無線傳輸的 Bluetooth、以及無線區域網路...等無線設備的普及應用，已成為生活中常見的溝通與訊息傳輸工具。在有限的頻寬中，新的通訊系統規格要求更高速的傳輸速率以提供多媒體的加值服務，並且需要低耗電操作以延長電池壽命成為無線通訊設備共同的趨勢。而由於積體電路技術、數位通訊與數位訊號處理方法等的進步使得通訊設備的功能更加多元化，並依據不同的地區、功能與成本的需求，分別發展出不同的系統規格，而各系統對於傳輸頻段、訊號頻寬、調變方式與多工模式的要求也都不盡相同，因而未來的電路設計，不管是數位、類比、混合信號或是射頻電路將更加的複雜，設計難度將不斷提升。

而在射頻電路的設計方面，電路需考慮許多特性，包含了雜訊、線性度、功率消耗、阻抗匹配、操作頻率、直流電壓供應、信號振幅及在系統規格之間的差異，各種參數相互地影響，將使得設計上更加困難，因此設計者必須要在這些設計參數中做一個取捨。而設計上最困難的地方，在於缺少一個精確高頻的主動與被動元件模型，再加上製程上的差異，將使得電路設計目標與電路量測結果有一段差異，因此電路的設計者多半憑著多年經驗和直覺來設計及預測電路的效能。另外，相較於其它的電路設計，射頻電路設計需要更多的知識背景，例如半導體元件、類比電路設計、微波電路理論、通訊理論...等，每一種知識都要有一定的時間來學習，所以需要多年的學習與實作經驗累積才能成為一位射頻電路設計工程師。

在射頻晶片製程技術上，由於 CMOS 技術的成本較低且有極佳的系統整合能力，使用 CMOS 製程技術在單一晶片上同時實現射頻前端電路及基頻電路已是最新的趨勢。CMOS 技術擁有眾多的優勢，似乎也是電路整合發展的主流，但從特性觀點來看，砷化鎵(GaAs)，矽鍺 (SiGe) 元件有更高的截止頻率、更高的轉導值，用來實現射頻前端電路將消耗較少的功率，所以這類技術也非常適合高速電路之應用。

## 1.2 論文組織

本篇論文將利用 SiGe、CMOS、PHEMT、MHEMT 製程技術來設計晶片。本論文分為五個章節，第一章為導論，說明無線通訊的發展與前端電路的設計觀念；第二章為可調式雙頻道 IQ 降頻/單邊升頻混波器之分析與設計，利用新型的可調式正交訊號產生機制取代一般正交訊號產生方式；第三章為雙頻道低雜訊放大器設計，介紹低雜訊放大器的設計並利用變壓器整合差動電感，實作在雙頻道低雜訊放大器應用中，減少電感佔 IC 的面積，並降低雜訊貢獻；第四章為 60GHz 驅動放大器，由於操作頻率夠高，所以在實作中都是利用傳輸線觀念來做設計；第五章則對上述的所有電路設計與實作結果做個結論。

# 第二章

## 可調式雙頻道IQ降頻/單邊升頻混 波器之分析與設計



## 2.1 前言

為了因應未來高速無線區域網路的應用，FCC(Federal Communication Commission)於5GHz 規劃了300MHz 頻寬為 U-NII (Unlicensed National Information Infrastructure)頻帶。U-NII 頻帶裡可以分為低、中、高三個頻帶。在射頻積體電路中，美國制訂的免授權頻帶範圍，频段分為5.15~5.35GHz 及5.725~5.825GHz 的802.11a 規格，以及2.4GHz~2.5GHz 的802.11b/g，由這些規範的例子可看出，系統單晶片的發展必須往多頻道方向前進，才能在單一電路中進行多個頻道訊號處理。

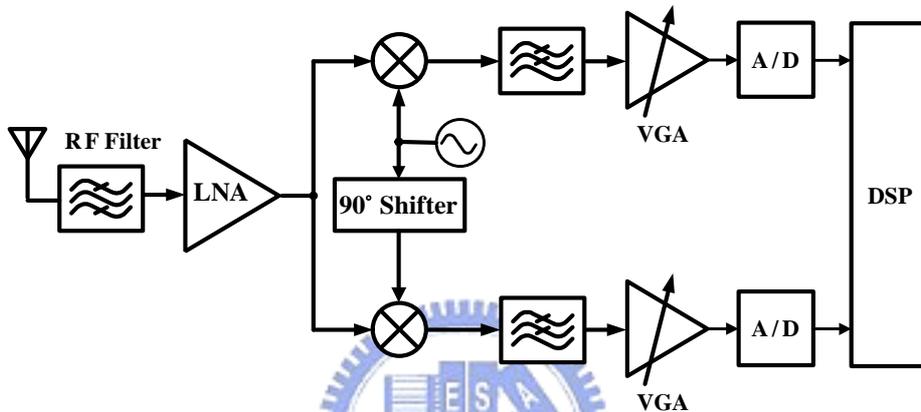
一般正交訊號設計都為單一頻率，所以不管是降頻 IQ 解調混波器或是單邊升頻混波器，電路都只適用於某一頻道，在本章前兩個實驗中，將利用一新型的單端輸入可調式雙頻道正交訊號產生機制取代原先的雙端輸入 poly-phase 正交訊號產生機制，並實現一可調式雙頻道 IQ 降頻/單邊升頻混波器，實作的電路將可適用於 802.11a/b/g 頻帶 [1]，達到多頻道多模態(Multi Band Multi Mode)目的。

本章節實作三，電路頻率操作在毫米波频段，毫米波频段系統提供了較寬的頻帶，滿足了現代通訊高速率與大容量的需求，因而成為了近十年來歐、美、日等先進國家無線寬頻通訊產品之重要發展。而實作使用了製程 WIN 0.15 $\mu$ m PMEMT 高  $f_T$  以及很小的 substrate loss 特性來實現34GHz 正交相位之次諧波降頻混波器，因為頻率是設計在34GHz，實作中將結合傳輸線概念，在 RF 端利用傳輸線產生正交訊號，達到正交訊號輸出之降頻混波器。

## 2.2 IQ 訊號的重要性

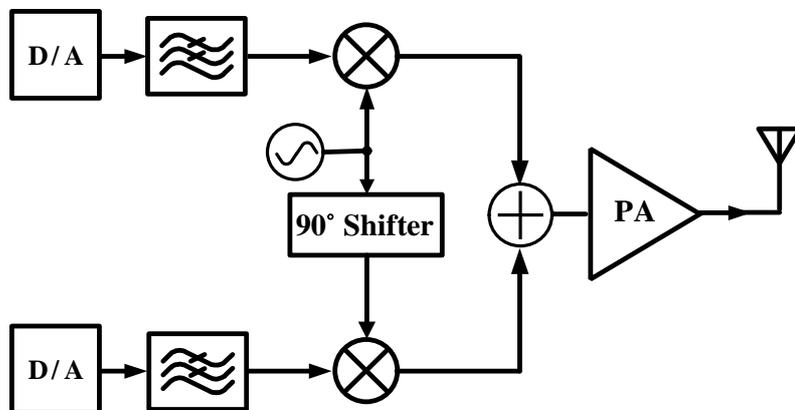
### 2.2.1 I/Q 訊號在接收/傳送機的重要性

正交訊號廣泛的運用在很多前端電路設計裡，如次諧波混頻器[2]、I/Q 降頻混頻器、單邊升頻混頻器[3]，以及威福與哈特利傳輸系統[4]。如圖(2.1)所示，一般的接收機架構上，利用正交相位來實現頻率調變或相位調變，如果同相位、正交相位間沒有準確的 90 度差或是有振幅的誤差，在作降頻時訊號的座標圖會產生誤差使 Bit Error Rate[5][6]升高。



圖(2.1) I/Q 訊號在接收機架構的重要性

在有限的頻寬中，傳送機架構裡也需要利用正交相位達到單邊升頻的效果，如圖(2.2)所示，如果同相位、正交相位間沒有準確的 90 度差或是有振幅的誤差，旁帶訊號依舊會傳送出去，造成他人頻帶的干擾。

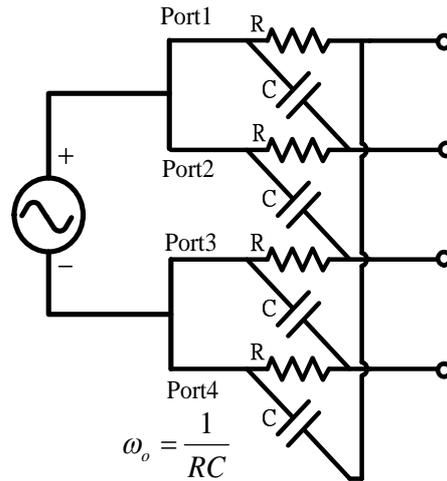


圖(2.2) I/Q 訊號在傳送機架構的重要性

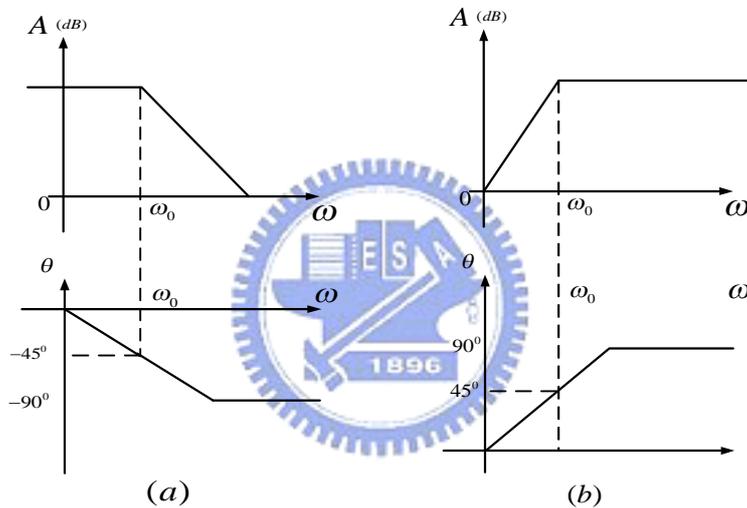
### 2.2.2 傳統的正交相位產生方式

正交訊號產生方式不外乎五種方法，方法一，除頻器(Divider)[7]，除二除頻器可以將差動訊號轉換為正交訊號，但輸入的差動訊號頻率需要為正交訊號頻率的兩倍，因此在高頻電路設計上將會有困難。方法二，正交相位壓控振盪器(Quadrature VCO)[8]-[10]，架構有很多種，電路特性則是在 phase noise 與 quadrature accuracy 之間做取捨。方法三， $\lambda/4$  耦合線(Coupler)[11]-[13]，大部分都還是實作在 MMIC 運用中，因為在低頻很難將傳輸線整合進 IC 裡，即使利用繞線縮小面積整合在 IC 上，都很難確保相位的準確度以及振幅的平衡。方法四，環形震盪器(Ring Oscillators)[14]-[16]，雖然可以提供比 LC 震盪器更寬頻的震盪頻率，但利用此架構無法產生準確的正交訊號與 phase noise，將會惡化整個系統。方法五，由 RC-CR 所組成的正交相位產生器(polyphase filter)[17][18]，如圖(2.3)所示，由於製程上的誤差，實作上必須利用多級的 RC-CR 來確保正交相位準確，但相對的電阻損耗也會變大，並且電阻的自振頻率與寄生效應並不適合運用在高頻電路設計。

此次實作是以 polyphase 觀念為出發點並加以變化，因此下面將討論 polyphase 工作原理，如果把輸入端 port1 和 port2 相接，port3 和 port4 相接，並且在這兩個輸入端給予差動訊號，這樣輸出端便可以產生  $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$  四個不同相位的訊號，分析它的原理之前必須先知道高通濾波器與低通濾波器的頻率響應，其頻率響應如圖(2.4)所示，



圖(2.3) 正交相位產生器



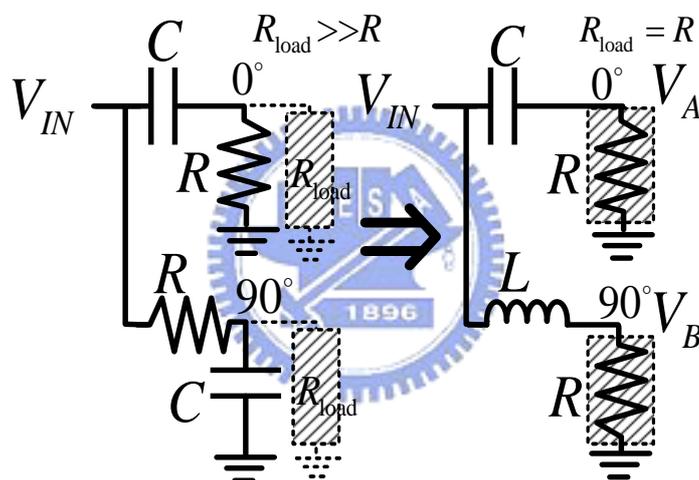
圖(2.4)RC 電路頻率響應(a)Low-pass filter(b)High-pass filter

在極點頻率  $\omega_0 = 1/RC$  時，其相位分別超前  $45^\circ$  ( $-45^\circ$ ) 及落後  $45^\circ$  ( $+45^\circ$ )。利用重疊原理，把 Port2, Port3, Port4 均接地，從 Port1 輸入  $1\angle 0^\circ$  V，根據圖(2.4)的相位響應關係，輸出端 port1 相當於訊號經過 RC 低通濾波器之後，相位領先  $45^\circ$  ( $-45^\circ$ )，輸出端 port2 相當於訊號經過 CR 高通濾波器之後，相位落後  $45^\circ$  ( $+45^\circ$ )，依此類推可以在 Port1/3 產生  $270^\circ$ ,  $90^\circ$ ，Port2/4 產生  $180^\circ$ ,  $0^\circ$  的訊號，如此一來可以得 quadrature phase，此即正交相位產生器的工作原理。

## 2.3 可調式雙頻道 IQ 理論分析與架構

### 2.3.1 CR-LR IQ 訊號產生機制

原先的 CR-RC 正交相位產生器訊號在作傳輸時需要考慮負載效應，訊號輸入端的阻值需要遠大於  $R$  或  $(\omega C)^{-1}$ ，才能降低電壓振幅損失，因此使用多級串接來增加正交相位頻寬時，所造成能量損耗將會相當可觀，在這裡提出一個新的想法，利用 CR-LR 來取代原先的 RC-CR 所組成的正交相位產生器，並將電阻  $R$  併入電路看到的輸入阻值  $R_{load}$ ，以達到最小的能量損失，如圖(2.5)所示。



圖(2.5) CR-LR 正交訊號產生機制

原先的正交相位產生器 R-C 部分的公式推導

$$\frac{1/SC}{R + 1/SC} = \frac{1/R}{1/R + SC} = \frac{R}{R + SCR^2} = \frac{R}{R + SL}, \text{ where } L = CR^2$$

由公式可以看出用一組 L-R 可以等效取代 R-C 電路，而此電路直覺的概念是利用電感在相位上會超前電容，利用這樣的概念來產生出一組 phase 差 90 度，而振幅大小相同的正交訊號產生機制，接下來說明此架構正交訊號產生的條件與公式推導，

$$V_A = \frac{R}{\left(\frac{1}{j\omega C}\right) + R} V_{IN}; \quad V_B = \frac{R}{j\omega L + R} V_{IN}$$

$$\frac{V_A}{V_B} = \frac{j\omega L + R}{\left(\frac{1}{j\omega C}\right) + R} = \frac{(R^2 - L/C) + jR(\omega L + 1/\omega C)}{R^2 + (1/\omega C)^2}$$

由上述式子中可以發現當  $R^2 = L/C$  與  $R(\omega L + 1/\omega C) = R^2 + (1/\omega C)^2$  時，輸出端可以得到完美的 IQ 訊號，將兩個成立條件化簡得到  $R = \omega L = 1/\omega C$ 。

而輸入阻抗表示為下面式子，

$$Z_{in} = (R + j\omega L) // \left( R + \frac{1}{j\omega C} \right) = \frac{R^2 + L/C + R(j\omega L - j/\omega C)}{2R + j\omega L - j/\omega C}$$

發現只須滿足條件  $R = \sqrt{L/C}$ ，等效輸入阻抗恆等於 R，與頻率無關，

因此利用此架構將可得到寬頻匹配。上述的式子推導都成立於電壓的觀點下，同樣的正交訊號產生機制也會成立於電流觀點，

$$\text{when } \omega C = (\omega L)^{-1} = G$$

$$\frac{I_B}{I_A} = \frac{j\omega C + G}{\left(\frac{1}{j\omega L}\right) + G} = \frac{(G^2 - C/L) + jG(\omega C + 1/\omega L)}{Z^2 + (1/\omega L)^2} = j$$

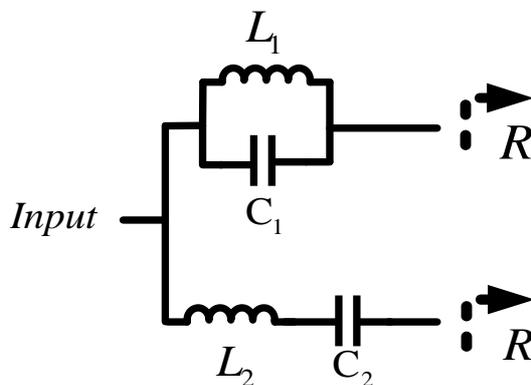
$$\text{when } G = \sqrt{C/L}$$

$$Y_{in} = (G + j\omega C) // \left( G - j/\omega L \right) = G = 1/R = 1/Z_{in}$$

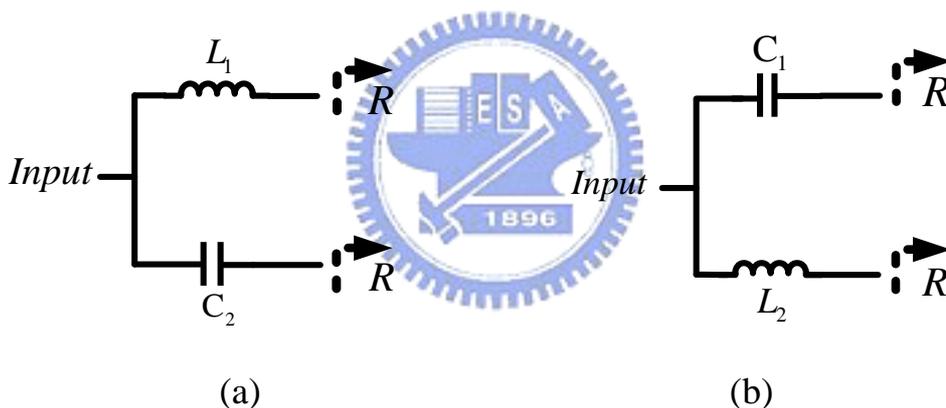
### 2.3.2 雙頻道 IQ 訊號產生機制

2.3.1節已說明可以將 CR-RC 正交相位產生器架構等效為 CR-LR，那麼接下來將更進一步的將此架構發展為雙頻道正交訊號機制，如圖(2.6)所示，只需要利用一組並聯的  $L_1C_1$  與另一組串聯的  $L_2C_2$  來

實現，並聯的  $L_1C_1$  組合在低頻時看到的等效電路是電感，高頻看到是電容，而串聯的  $L_2C_2$  組合在低頻時看到的等效電路是電容，高頻看到是電感，如圖(2.7)所示



圖(2.6)雙頻道 IQ 架構



圖(2.7)雙頻道 (a)低頻等效電路 (b)高頻等效電路

在高頻與低頻等效電路上的確可以看到 LR-CR 與 CR-LR 兩組單頻道正交訊號產生機制。接下來，將推導式子來說明如何設計電感  $L_1L_2$  以及電容  $C_1C_2$  來決定電路的雙頻道正交訊號頻率，由2.3.1節可以知道單頻道 IQ 訊號成立於條件  $R = \omega L = 1/\omega C$ ，所以雙頻道正交訊號成立時，根必定存在於  $\pm jR$  解上，在這裡直接套用這結果，

已知並聯組合  $L_1C_1$  的雙頻道正交訊號存在於

$$L_1 // C_1 \Rightarrow$$

$$j\omega L_1 // \frac{1}{j\omega C_1} = \pm jR$$

$$\begin{cases} j\omega_L L_1 = jR(-\omega_L^2 L_1 C_1 + 1) \\ j\omega_H L_1 = -jR(-\omega_H^2 L_1 C_1 + 1) \end{cases} \Rightarrow \begin{cases} \omega_L^2 L_1 C_1 R + \omega_L L_1 - R = 0 & \dots\dots\dots(1) \\ \omega_H^2 L_1 C_1 R - \omega_H L_1 - R = 0 & \dots\dots\dots(2) \end{cases}$$

又知串聯組合  $L_2C_2$  的雙頻道正交訊號存在於

$$L_2 + C_2 \Rightarrow$$

$$j\omega L_2 + \frac{1}{j\omega C_2} = \pm jR$$

$$\begin{cases} -jR(j\omega_L C_2) = 1 - \omega_L^2 L_2 C_2 \\ jR(j\omega_H C_2) = 1 - \omega_H^2 L_2 C_2 \end{cases} \Rightarrow \begin{cases} \omega_L^2 L_2 C_2 + \omega_L C_2 R - 1 = 0 & \dots\dots\dots(3) \\ \omega_H^2 L_2 C_2 - \omega_H C_2 R - 1 = 0 & \dots\dots\dots(4) \end{cases}$$

並聯的  $L_1C_1$  公式可以解得電感  $L_1$  及電容  $C_1$ ，

$$(1) * \omega_H^2 - (2) * \omega_L^2 \Rightarrow$$

$$\omega_L \omega_H^2 L_1 - \omega_H^2 R + \omega_L^2 \omega_H L_1 + \omega_L^2 R = 0$$

$$\therefore L_1 = \frac{(\omega_H - \omega_L) R}{\omega_H \omega_L}$$

$$\text{帶回式(1)可得 } C_1 = \frac{1}{(\omega_H - \omega_L) R}$$

串聯的  $L_2C_2$  公式可以解得電感  $L_2$  及電容  $C_2$ ，

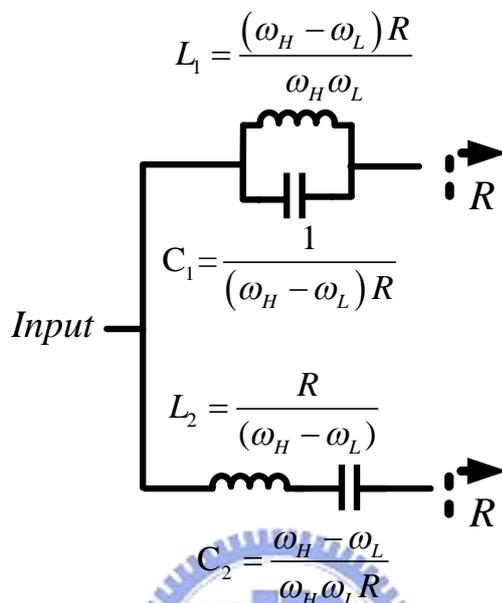
$$(3) * \omega_H^2 - (4) * \omega_L^2 \Rightarrow$$

$$\omega_L \omega_H^2 C_2 R - \omega_H^2 + \omega_L^2 \omega_H C_2 R + \omega_L^2 = 0$$

$$\therefore C_2 = \frac{(\omega_H - \omega_L)}{\omega_H \omega_L R}$$

$$\text{帶回式(3)可得 } L_2 = \frac{1}{(\omega_H - \omega_L) R}$$

由上式推導可以知道選定兩個頻率  $\omega_H$  以及  $\omega_L$ ，那麼  $L_1$ 、 $L_2$ 、 $C_1$  以及  $C_2$  都為可知的解，因此利用上述的架構及方法，電路將能實現雙頻率正交訊號，如圖(2.8)所示。



圖(2.8) 雙頻道電感電容的選取

輸入阻抗  $Z_{in}$  也可以由下面式子推導

$$Z_{in} = \left( R + j\omega L_1 \parallel \frac{1}{j\omega C_1} \right) \parallel \left( R + j\omega L_2 + \frac{1}{j\omega C_2} \right)$$

$$= \frac{R^2 + \left( \frac{L_1}{C_2} \frac{1 - \omega^2 L_2 C_2}{1 - \omega^2 L_1 C_1} \right) + jR \left( \frac{\omega L_1}{1 - \omega^2 L_1 C_1} - \frac{1 - \omega^2 L_2 C_2}{\omega C_2} \right)}{2R + j \left( \frac{\omega L_1}{1 - \omega^2 L_1 C_1} - \frac{1 - \omega^2 L_2 C_2}{\omega C_2} \right)}$$

$$\text{when } R = \sqrt{\frac{L_1}{C_2}} = \sqrt{\frac{L_2}{C_1}}$$

$$\Rightarrow Z_{in} = R$$

由式子可以發現在  $R = (L_1/C_2)^{1/2} = (L_2/C_1)^{1/2}$  條件下輸入阻抗為  $R$  並且與頻率無關，因此架構可以達到寬頻匹配[19]。同樣的利用分壓關係表

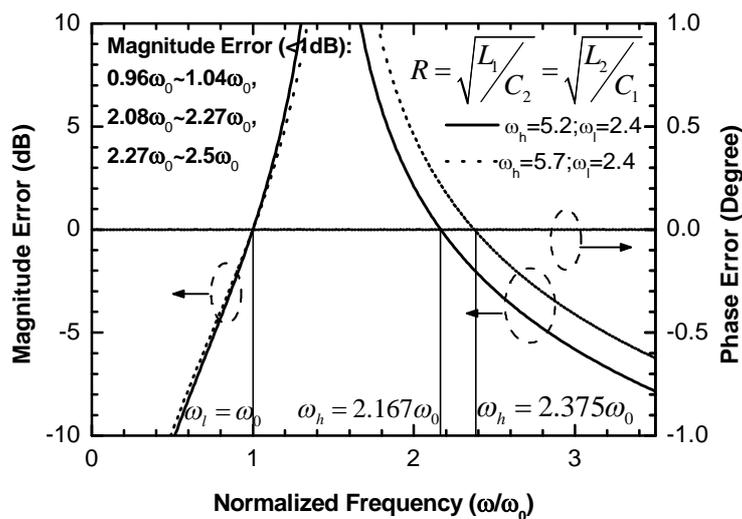
示，由下面式子亦可以看出在  $R = (L_1/C_2)^{1/2} = (L_2/C_1)^{1/2}$  條件下，正交訊號的實部項為零跟頻率無關，因此訊號相位將恆等於  $90^\circ$

$$\begin{aligned} \frac{V_{A\_dual}}{V_{B\_dual}} &= \frac{R - j \frac{1 - \omega^2 L_2 C_2}{\omega C_2}}{R + j \frac{\omega L_1}{1 - \omega^2 L_1 C_1}} \\ &= \frac{\left( R^2 - \frac{L_1}{C_2} \frac{1 - \omega^2 L_2 C_2}{1 - \omega^2 L_1 C_1} \right) - jR \left( \frac{\omega L_1}{1 - \omega^2 L_1 C_1} + \frac{1 - \omega^2 L_2 C_2}{\omega C_2} \right)}{R^2 + \left( \frac{\omega L_1}{1 - \omega^2 L_1 C_1} \right)^2} \end{aligned}$$

$$\text{when } R = \sqrt{\frac{L_1}{C_2}} = \sqrt{\frac{L_2}{C_1}}$$

$$\frac{V_{A\_dual}}{V_{B\_dual}} = \frac{-jR \left( \frac{\omega L_1}{1 - \omega^2 L_1 C_1} + \frac{1 - \omega^2 L_2 C_2}{\omega C_2} \right)}{R^2 + \left( \frac{\omega L_1}{1 - \omega^2 L_1 C_1} \right)^2}$$

如果將此架構放在吉伯特混頻器 LO current switch 級，只要確定電晶體能正確切換電流，電路將能容許 1dB 的振幅不匹配，利用 matlab 軟體將公式帶入模擬得到如下圖(2.9)所示，



圖(2.9) 雙頻道正交訊號振幅1dB不匹配的頻寬

當  $R = (L_1/C_2)^{1/2} = (L_2/C_1)^{1/2}$  條件下，對頻率  $\omega_0 = \omega_l$  作正規化，2.4/5.2 GHz 雙頻道運用中  $\omega_h = 2.167\omega_l$ ，振幅在 1dB 不匹配的雙頻道正交訊號頻寬為  $0.96\omega_0 \sim 1.04\omega_0$  以及  $2.08\omega_0 \sim 2.27\omega_0$ ，而在 2.4/5.7 GHz 雙頻道運用中  $\omega_h = 2.375\omega_l$ ，振幅在 1dB 不匹配的雙頻道正交訊號頻寬為  $0.96\omega_0 \sim 1.04\omega_0$  以及  $2.27\omega_0 \sim 2.5\omega_0$ 。

與 polyphase 正交訊號產生器做比較，可以歸納出以下優點，

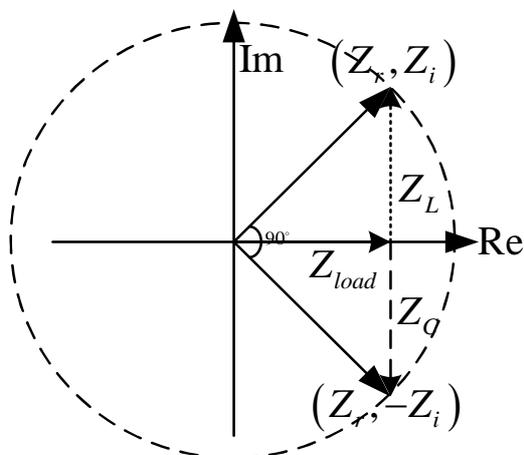
1. 由於電路設計的 R 已用輸入電阻  $R_{in}$  所取代，所以用 CR-LR 取代 CR-RC 在訊號損失較小，並且 LC 元件都是理想上 noise free 元件，在雜訊貢獻度比較上優於 polyphase，LC 也較適合於高頻運用。
2. 當條件  $R = (L_1/C_2)^{1/2} = (L_2/C_1)^{1/2}$  成立時，輸入阻抗  $Z_{in} = R$  與頻率無關，因此能達到寬頻匹配。
3. 增加 L-C 階數將可以增加正交訊號頻道數量。

### 2.3.3 可調式雙頻道 IQ 訊號

2.3.2 節雙頻道正交訊號的推導都成立於理想狀態，包含了電感感值、電容容值與內阻都不隨頻率而增加(無自振頻率和 Q 無限大)，以及條件  $R = \omega L = 1/\omega C$  虛部阻值在選定頻率下都等於 R，在實際電路實作上不容易達成，因此在實作中利用了 MOS varactor 取代電容，達到可調變機制，來確保正交訊號條件能成立，以下就來探討一些實作上會面臨到的問題，以及解決方式。

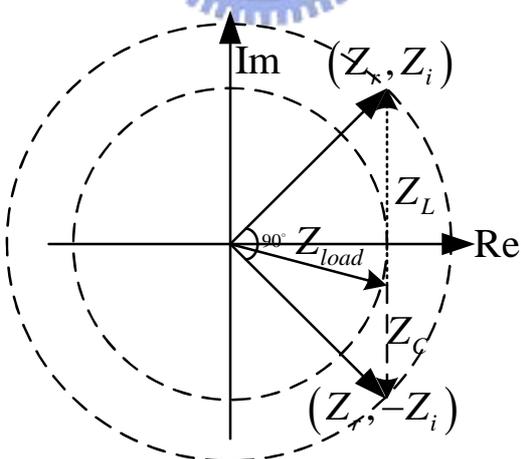
如圖(2.10)所示，利用複數阻抗座標可以看出當  $R = \omega L = 1/\omega C$  成立時，電感相位領先電容相位  $90^\circ$ ，且振幅相同大小 ( $Z_{load} = Z_L = Z_C$ )，這

是前面2.3.2節在理想條件下正交訊號成立時，複數阻抗座標表示方式，



圖(2.10) 理想 IQ 訊號在複數阻抗座標表示方式

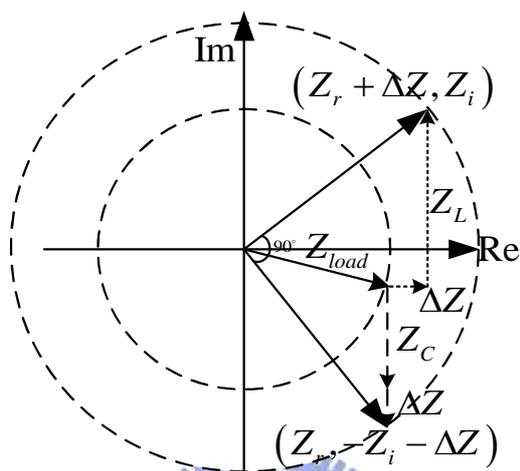
在實際情況下電路的  $Z_{load}$  往往會帶有  $C_{be}$  與  $C_{bc}$  寄生電容效果，使得  $Z_{load}$  不會是一個純電阻，會並聯一個電容，如圖(2.11)所示，這時需要將虛部電感  $Z_L$  阻值加大(電感變大)，虛部電容  $Z_C$  阻值縮小(電容變大)，那麼在輸出的地方一樣可以得到一組完美的 IQ 訊號，



圖(2.11) 負載阻抗不為純實部的補償方式

接著討論在實作上，使用的被動元件電感電容值會有不同的 Q 值，一般來說電容的 Q 值會較高，也就是電感的寄生電阻會大於電容的寄生電阻，若將此結果直接反應在複數阻抗座標上，就會發現電感

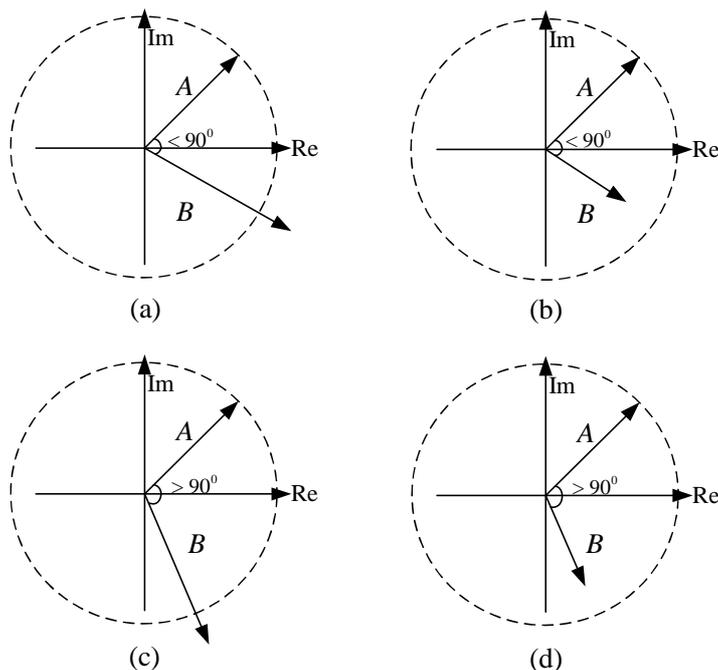
的  $Z_{load}$  會多增加  $\Delta Z$ ，如圖(2.12)所示，要補償此段差異需將  $Z_C$  增加  $\Delta Z$  (電容變小)，由三角關係可以發現  $(Z_r + \Delta Z, Z_i)$  與  $(Z_r, -Z_i - \Delta Z)$  為兩個全等三角形，斜邊等長，而且兩個夾角為互餘，因此輸出訊號依舊為完美 IQ 訊號。



圖(2.12) 電感電容不同寄生電阻的補償方式

有了上述不同情況的補償方式，那麼已經能粗略估計電感感值、電容容值的大小。

電路設計上還是有一些電晶體的不匹配，與電感電容的製程誤差無法掌握，下面將使用四種不同的 IQ 不匹配結果，來概括所有情況，如圖(2.13)所示， $|A| < |B|$  &  $\angle AB < 90^\circ$ ， $|A| > |B|$  &  $\angle AB < 90^\circ$ ， $|A| < |B|$  &  $\angle AB > 90^\circ$ ，以及  $|A| > |B|$  &  $\angle AB > 90^\circ$ ，四種不同情況，



圖(2.13) IQ 訊號不匹配的可能情況

(a)  $|A| < |B|$  &  $\angle AB < 90^\circ$  (b)  $|A| > |B|$  &  $\angle AB < 90^\circ$

(c)  $|A| < |B|$  &  $\angle AB > 90^\circ$  (d)  $|A| > |B|$  &  $\angle AB > 90^\circ$

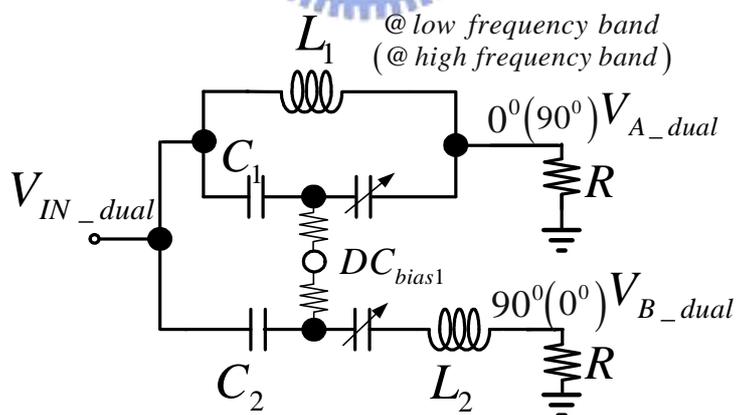
要將此四種不匹配情況拉回完美 IQ 訊號，至少需要兩個變數才能校正所有情況，在電感、電容、負載阻抗三項變數裡，調變電感感值的可行性不高，因為調變電感需要串聯 MOS varactor 來達到可變機制，此作法會降低電感感值，因此需要再加大電感，這樣不僅僅會造成自振頻率與 Q 值下降，而且較大的電感佔 IC 面積較大，製程成本會因此增加，所以在電感、電容、負載阻抗三項變數裡面，電路選用電容與負載阻抗做為調變項，調變方法如下，不匹配情況為(a)時，減小  $Z_c$  (加大電容容值)，降低  $Z_{load}$  (加大 active balun 電流)。不匹配情況為(b)時，加大  $Z_c$  (減小電容容值)，降低  $Z_{load}$  (加大 active balun 電流)。不匹配情況為(c)時，減小  $Z_c$  (加大電容容值)，增加  $Z_{load}$  (減小

active balun 電流)。不匹配情況為(d)時，加大  $Z_c$  (減小電容容值)，增加  $Z_{load}$  (減小 active balun 電流)，整理如下表2.1所示。

表2.1 tunable IQ 調變方法

IQ mismatch condition	$Z_c$	$Z_{load}$
$ A  <  B $ & $\angle AB < 90^\circ$	↓	↓
$ A  >  B $ & $\angle AB < 90^\circ$	↑	↓
$ A  <  B $ & $\angle AB > 90^\circ$	↓	↑
$ A  >  B $ & $\angle AB > 90^\circ$	↑	↑

可調式雙頻道 IQ 訊號產生機制如圖(2.14)所示

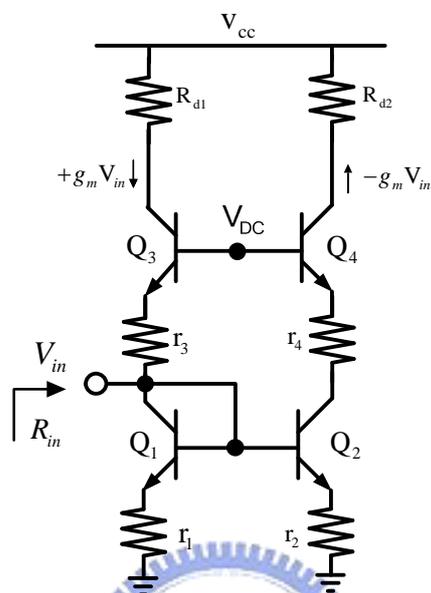


圖(2.14) 可調式雙頻道 IQ 訊號產生機制

### 2.3.4 Active balun

混頻器的輸入端為差動訊號不僅僅會減輕共模排斥問題，對於  $IIP_2$  也會有相當大的改善，然而可調式雙頻道正交訊號為 IQ 輸出，

而雙頻平衡混波器電路需要差動輸入，因此需要在正交訊號輸出兩端加上 active balun，如圖(2.15)所示，此架構提供了 Single to Differential 輸出，所以整體電路變成單端輸入 quadrature 四個相位輸出。



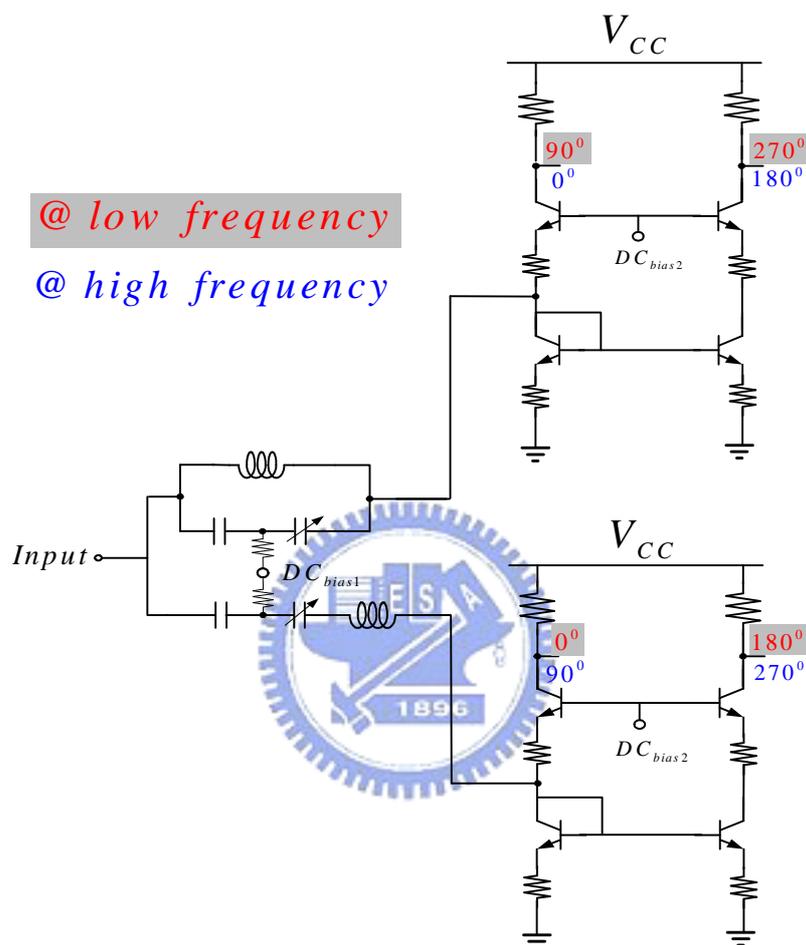
圖(2.15) active balun

共基極偏壓的  $Q_3$  提供了一正相的轉導增益，而共射極偏壓的  $Q_2$  則提供了一反向的轉導增益，current buffer  $Q_4$  並不會影響電流相位，並且平衡了兩邊的直流準位，也因為電晶體  $Q_4$  的存在，使得  $Q_2$  的 Miller effect 獲得了改善，而低阻抗二極體  $Q_1$  的連接亦使得  $Q_2$  速度大幅提升。由輸入端看進去的阻抗值  $(\frac{1}{g_{m1}} + r_1) // (\frac{1}{g_{m3}} + r_3) \approx (\frac{1}{g_m} + r) / 2$ ，因此可以利用低阻值的電阻與調整電晶體的偏壓來達到  $50\Omega$  的寬頻匹配 [20] [21]。

此架構的好處在於電路佔 IC 面積很小、單端輸入轉雙端輸出、操作頻寬大，輸入阻抗寬頻匹配、以及可調整的輸入阻抗，這些 active balun 的優點都符合了可調式雙頻道 IQ 訊號產生機制的需要。

### 2.3.5 可調式雙頻道 IQ 架構

將可調式 IQ 架構與 active balun 做結合可以得到圖(2.16)，控制  $DC_{bias1}$  來調變  $Z_c$ ，控制  $DC_{bias2}$  來調變  $Z_{load}$ 。



圖(2.16) 可調式雙頻道 IQ 訊號架構

原本的雙頻道 IQ 訊號產生方式，須要用兩組 polyphase 來達成雙頻道正交訊號目的，功率損失相當可觀，而此架構只需要利用二組 LC 就可以達到雙頻道正交訊號的產生，降低了電路功率的消耗。

## 2.4 實作一，可調式雙頻道 IQ 降頻混波器

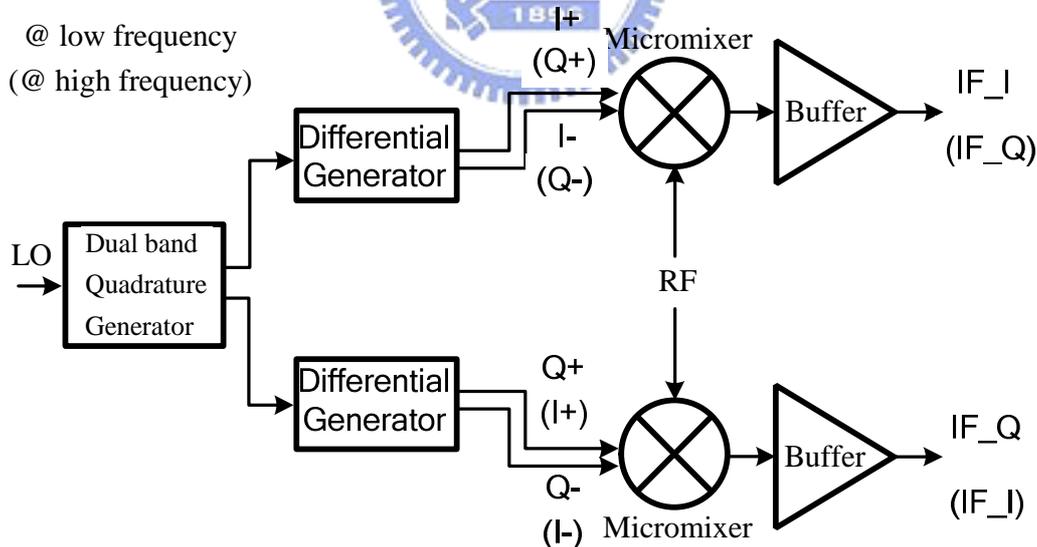
### 2.4.1 研究動機

近年來，產品設計希望能將多種不同的無線通訊系統，整合到單一收發機上，因此多頻道多模態(Multi Band Multi Mode)通訊系統架構，為目前產品開發的趨勢，而整合系統頻帶又以美國制定的免授權頻帶範圍為最熱門，频段分為5.15~5.35GHz 及5.725~5.825GHz 的802.11a 規格，以及2.4GHz~2.5GHz 的802.11b/g，此次實作目的在利用新型的雙頻道 IQ 訊號產生器並整合在降頻混波器來達到雙頻道 IQ 降頻混波器的目標。

### 2.4.2 電路設計

#### (1) 電路架構

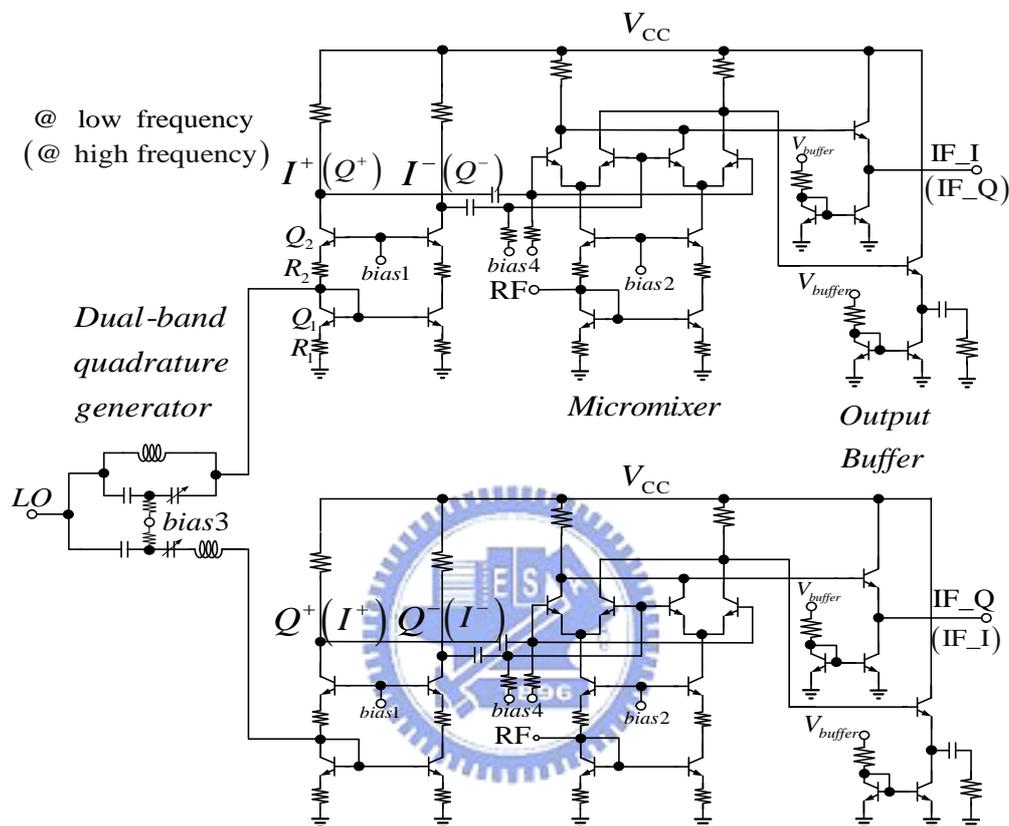
可調式雙頻道 IQ 降頻混波器架構，如下圖(2.17)所示，



圖(2.17) 雙頻道 IQ 降頻混波器示意圖

本電路利用了 TSMC 0.35 um SiGe BiCMOS 製程技術，實現一個雙頻道 IQ 輸出，頻率在 2.4GHz 以及 5.2GHz 的吉伯特降頻混頻器。LO 埠訊號單端輸入就可以得到雙頻道正交訊號，為了減少量測上的不

便，在混頻器的 RF 埠設計上就採用單端輸入且寬頻匹配的 micromixer 架構 [20][21]，而 IF 埠輸出端則是利用簡單的 common-collector 做為 Output Buffer，來達到輸出阻抗匹配。電路架構如圖(2.18)所示



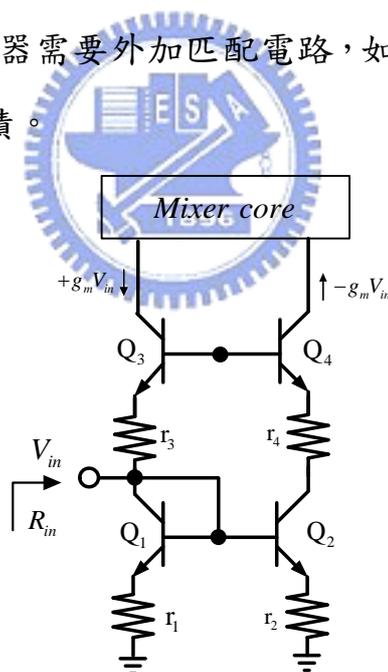
圖(2.18) 可調式雙頻道 IQ 降頻混波器電路架構

## (2) 本地震盪源輸入極

LO 端採用新型的可調式雙頻道正交訊號產生機制，訊號單端輸入，產生雙頻道的正交訊號，運作原理於2.3節有詳細的推導與分析。由於放在吉伯特混頻器的 LO 端，做為電流的開關控制源，相對的 LO 電壓振幅差異就沒有那麼嚴格了，只要 LO 的功率夠大，足夠讓電晶體能夠開關產生混頻效果就可以，因此將新型的可調式雙頻道正交訊號產生機制放在 LO 端，可以容許較大的 Magnitude error，也因此提供了此架構較大的正交訊號頻帶範圍。

### (3) 射頻輸入極

本電路主要採用 Gilbert cell mixer 為主要架構核心，而 RF 端的差動訊號源則是利用四個電晶體來構成一個 Single to Differential 之電路，如圖(2.19)所示，共基極偏壓的  $Q_3$  提供了一正相  $g_m V_{in}$  路徑，而共射極偏壓的  $Q_2$  與共積極偏壓的  $Q_4$  則提供了一反向  $g_m V_{in}$  路徑，電晶體  $Q_4$  的存在不僅僅平衡了兩邊的直流準位，也改善了電晶體  $Q_2$  的 Miller effect 問題，而低阻抗二極體  $Q_1$  的連接亦使得  $Q_2$  速度大幅提升。輸入端看進去的阻抗值  $(\frac{1}{g_{m1}} + r_1) // (\frac{1}{g_{m3}} + r_3) \approx (\frac{1}{g_m} + r) / 2$ ，因此可以利用低阻值的電阻與調整電晶體電偏壓來達到  $50\Omega$  的寬頻匹配，不同於傳統的吉伯架構混頻器需要外加匹配電路，如此可讓輸入匹配電路不會佔據 IC 太大的面積。

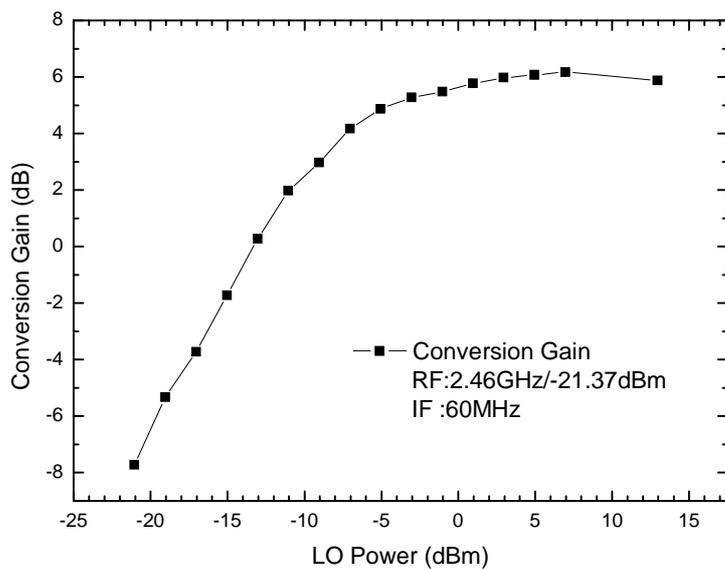


圖(2.19) Micromixer 架構示意圖

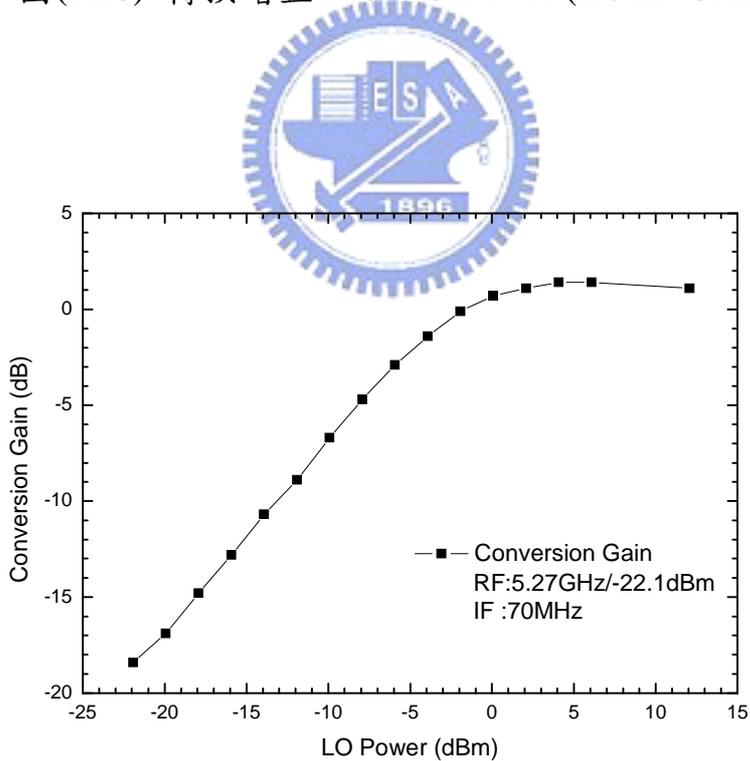
### (4) 輸出緩衝極

利用一簡單的 common collector 作為輸出端的阻抗匹配，方便量測。

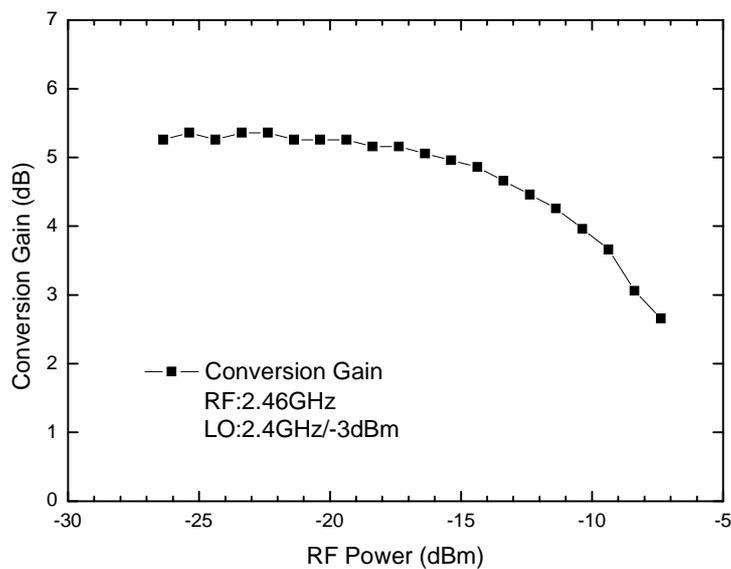
## 2.4.3 晶片量測結果



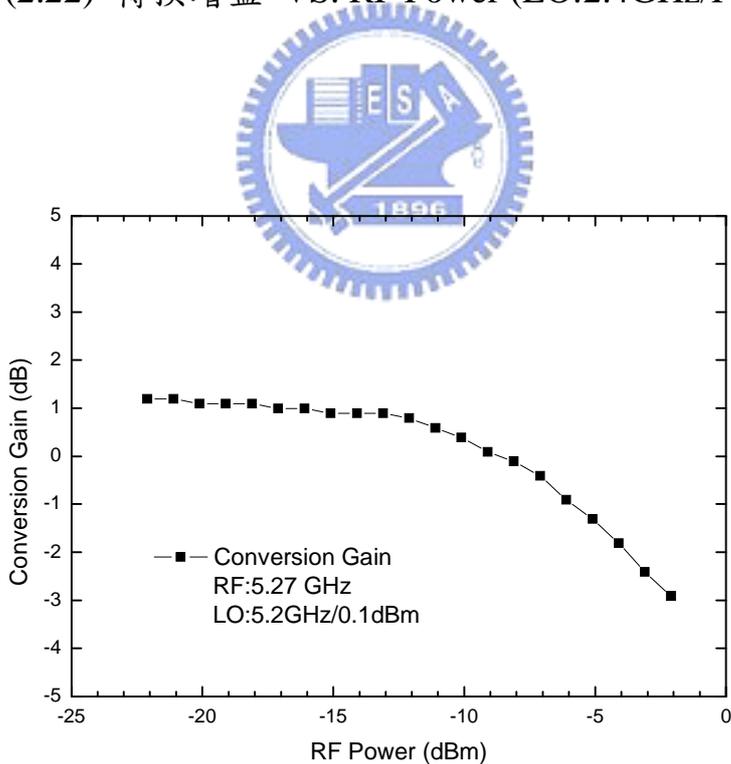
圖(2.20) 轉換增益 VS. LO Power (LO:2.4GHz)



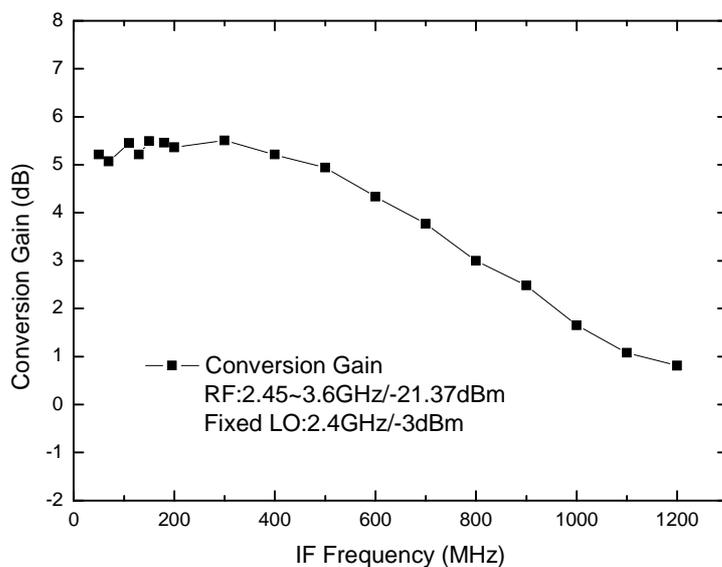
圖(2.21) 轉換增益 VS. LO Power (LO:5.2GHz)



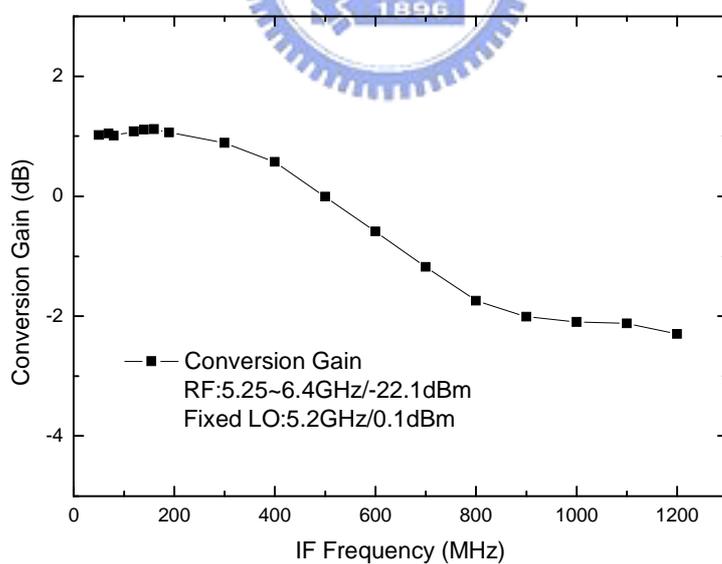
圖(2.22) 轉換增益 VS. RF Power (LO:2.4GHz/P1dB)



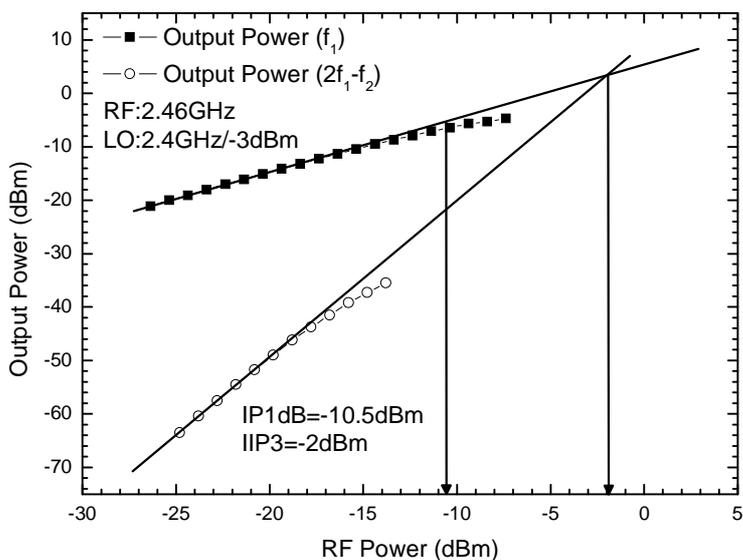
圖(2.23) 轉換增益 VS. RF Power (LO:5.2GHz/P1dB)



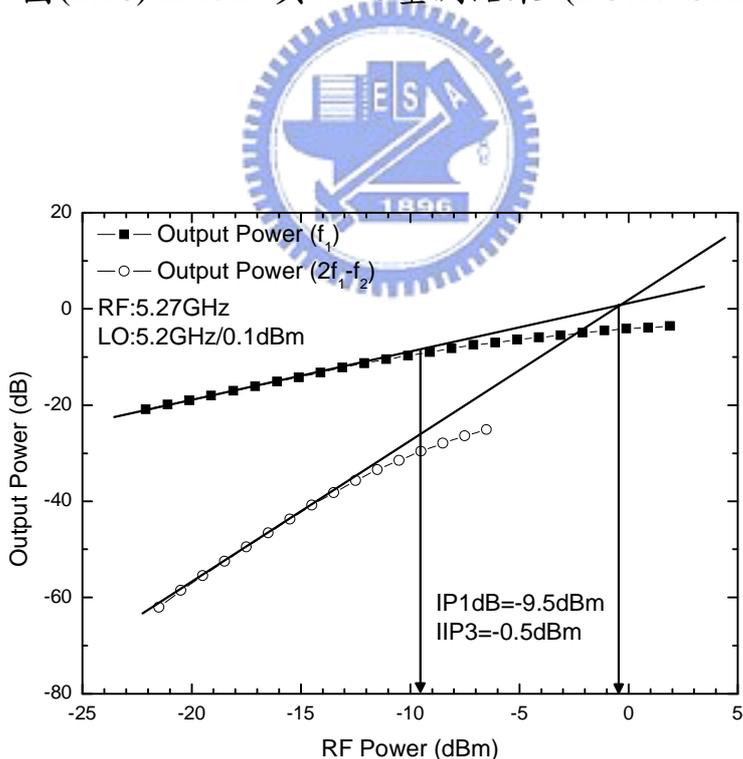
圖(2.24) 轉換增益 VS. IF Frequency (LO:2.4GHz)



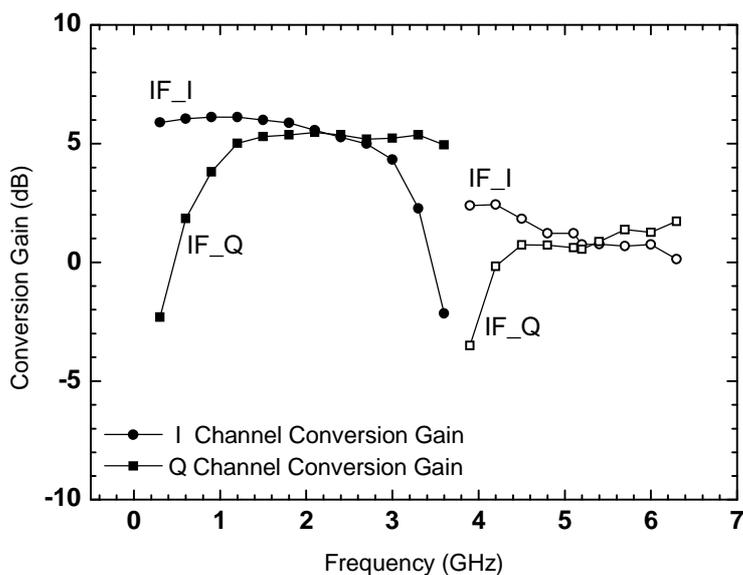
圖(2.25) 轉換增益 VS. IF Frequency (LO:5.2GHz)



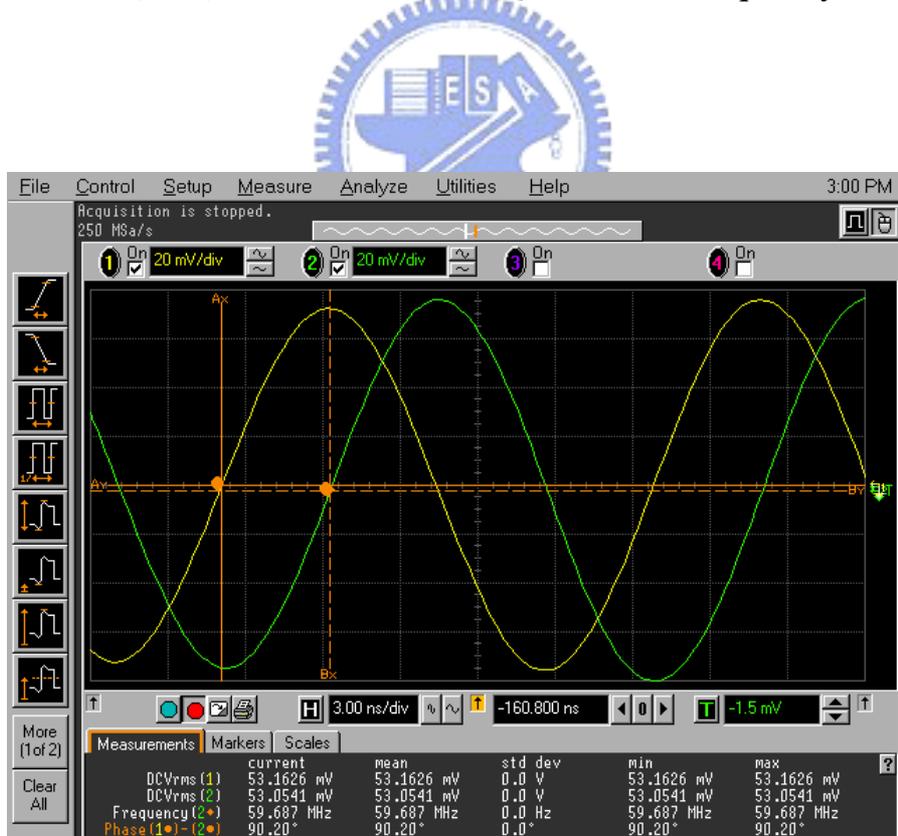
圖(2.26)  $IP1dB$  與  $IIP3$ 量測結果 (LO:2.4GHz)



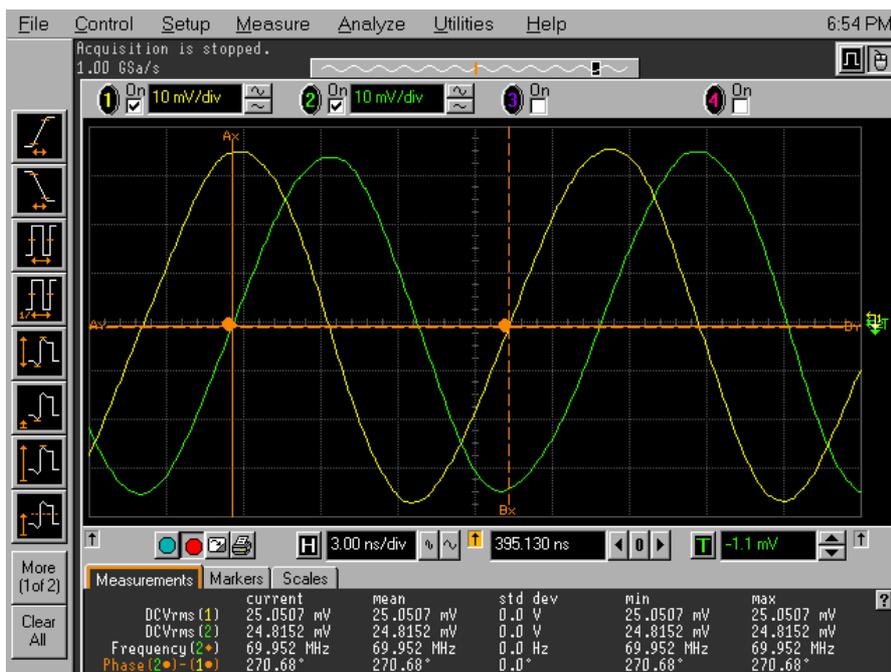
圖(2.27)  $IP1dB$  與  $IIP3$ 量測結果 (LO:5.2GHz)



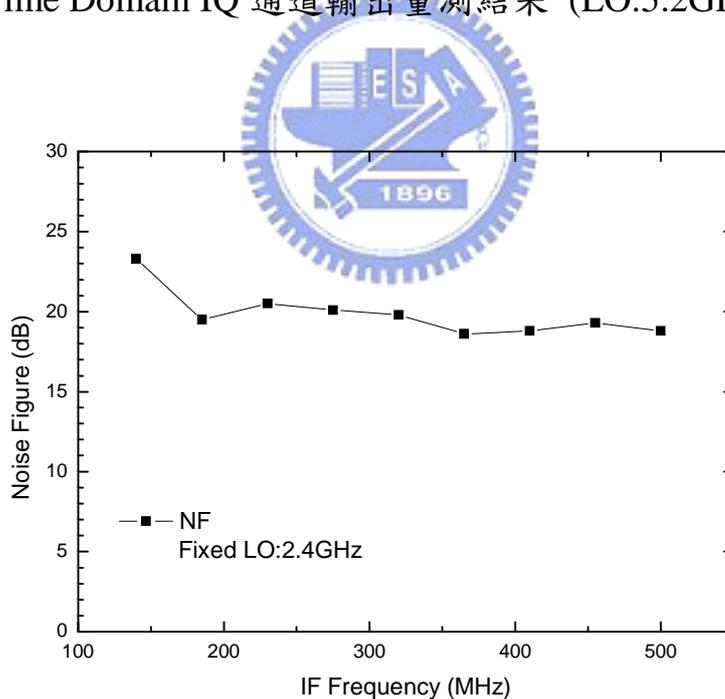
圖(2.28) 轉換增益 VS. I/Q dualband Frequency



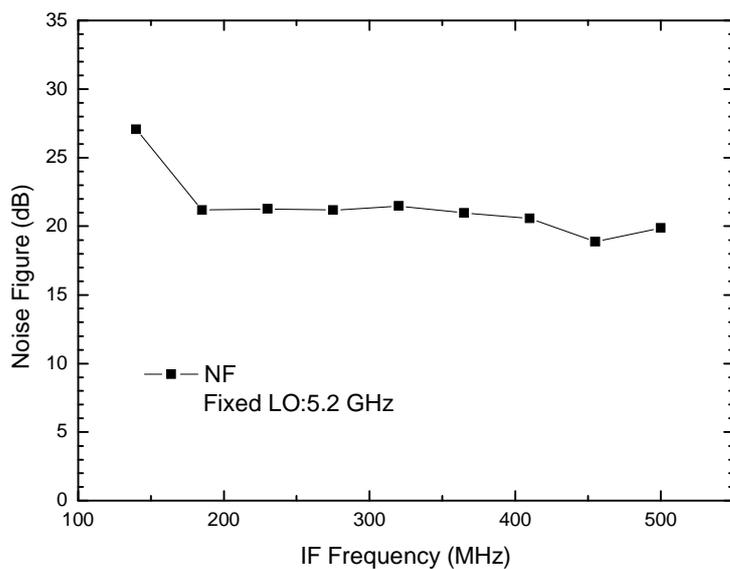
圖(2.29) Time Domain IQ 通道輸出量測結果 (LO:2.4GHz IF:60MHz)



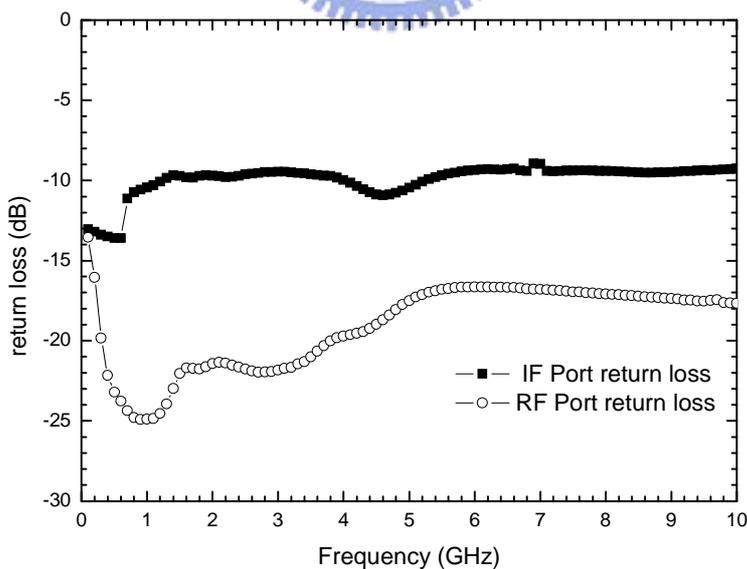
圖(2.30) Time Domain IQ 通道輸出量測結果 (LO:5.2GHz IF:70MHz)



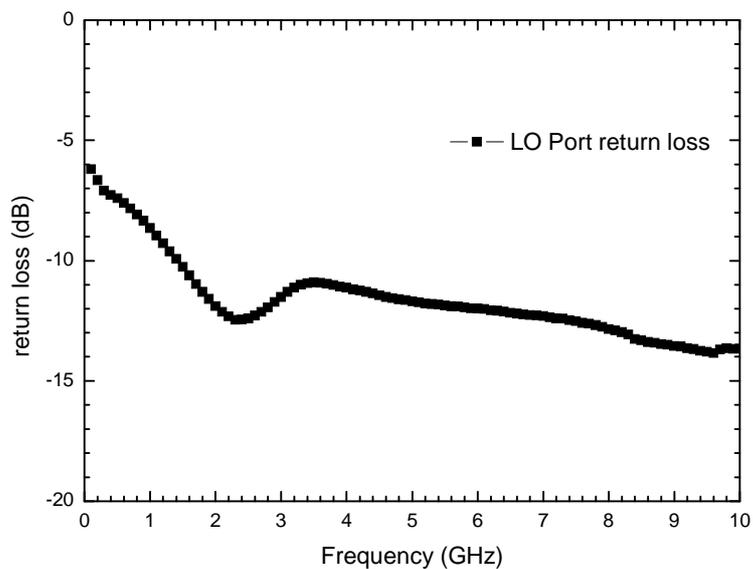
圖(2.31) Noise Figure @ LO:2.4GHz



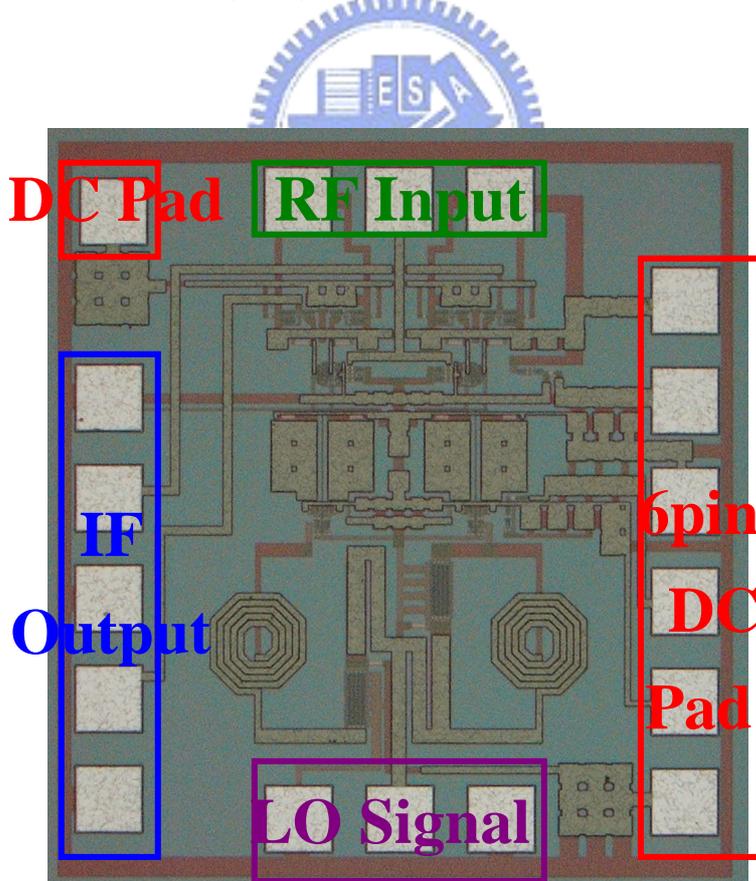
圖(2.32) Noise Figure @ LO:5.2GHz



圖(2.33) RF 端與 IF 端 Return Loss



圖(2.34) LO 端 Return Loss



圖(2.35) Die Photo (1 mm X 1.1 mm)

圖(2.35)為晶片實作照片，晶片的大小為 $1 \times 1.1\text{mm}^2$ ，量測時使用 on-wafer 的高頻量測系統，圖中可以看到，射頻訊號輸入埠在晶片的上方，由於 micromixer 的機制，訊號只需要單端輸入 GSG 下針，而本地振盪訊號輸入埠在晶片的下方，同樣的也只需要單端輸入 GSG 下針，中頻訊號輸出埠在晶片的左方，GSGSG 的雙端輸出來驗證是否為正交訊號，6 pin DC pad 在晶片右方，上方的一個 DC pad 為提供輸出緩衝擊的電流。DC pad 周圍的電容，皆是用來 DC 穩壓之用。

#### 2.4.4 結果與討論

RF 頻帶選定在 $2.4\text{GHz}$ ，因為 active balun 存在的緣故，由圖(2.20)可以發現當本地振盪訊號功率從 $-5\text{dBm}$ 增加到 $12\text{dBm}$ 時，轉換增益都維持在 $5\text{dB}$ 到 $6\text{dB}$ 左右，在此固定本地振盪源 $-3\text{dBm}$ ，得到圖(2.22)、圖(2.26)，轉換增益及 IF 輸出功率對 RF Power 作圖，由圖可以讀出  $\text{IP1dB}=-10.5\text{dBm}$  與  $\text{IIP3}=-2\text{dBm}$ ，圖(2.24)可以看出 IF 3dB bandwidth 大約 $900\text{MHz}$ ，遠遠超過系統需要的頻寬，圖(2.31)量得最低的 IF 埠 Noise Figure 約為 $19\text{dB}$ 。

同樣的另一 RF 頻帶選定在 $5.2\text{GHz}$ ，由圖(2.21)可以發現當本地振盪訊號功率從 $0\text{dBm}$ 增加到 $12\text{dBm}$ 時，轉換增益都維持在 $1\text{dB}$ 左右，在此固定本地振盪源 $0.1\text{dBm}$ ，得到圖(2.23)、圖(2.27)，轉換增益及 IF 輸出功率對 RF Power 作圖，由圖可以讀出  $\text{IP1dB}=-9.5\text{dBm}$  與  $\text{IIP3}=-0.5\text{dBm}$ ，圖(2.25)可以看出 IF 3dB bandwidth 大約 $900\text{MHz}$ ，遠遠超過系統需要的頻寬，圖(2.32)量得最低的 IF 埠 Noise Figure 約為 $21\text{dB}$ 。

圖(2.33) RF 端與 IF 端 Return Loss 都在 $-10\text{dBm}$ 以下，主要是因為 RF 端是 micromixer 機制，阻抗是寬頻匹配，而 IF 端是 emitter follow

的緩衝機制，而在圖(2.34)可以發現 LO 端的調變機制也是符合了2.3節所推導的輸入阻抗寬頻匹配情況。

圖(2.28)可以看出雙頻率2.4GHz與5.2GHz的IQ-channel轉換增益為平衡。而圖(2.29)與圖(2.30)可以發現該系統的輸出中頻I-通道與Q-通道的弦波訊號，在LO=2.4GHz，IF=60MHz時，訊號相位相差90.2度，phase mismatch為0.2度，而gain mismatch為 $\Delta=0.1085\text{mV}$  (0.204%)，另一頻帶LO=5.2GHz，IF=70MHz時，訊號相位相差270.68度，phase mismatch為0.68度，gain mismatch為 $\Delta=0.2355\text{mV}$  (0.944%)，此正交訊號是否會很敏感，將在下一個實驗”可調式雙頻道單邊升頻混波器”利用 Side-band Rejection Ratio 來做驗證。



表2.2 Tunable dual-band I/Q down-converter  
量測結果

<b>Tunable dual-band I/Q down-converter (TSMC 0.35um 3P3M SiGe BiCMOS)</b>		
<b>Frequency</b>	2.4GHz	5.2GHz
<b>Conversion Gain</b>	5.2dB	1.2dB
<b>IP1dB/IIP3</b>	-10.5dBm/-2dBm	-9.5dBm/-0.5dBm
<b>IF bandwidth</b>	900MHz	900MHz
<b>RF Input Return loss</b>	-21.65dB	-17.13dB
<b>LO Input Return loss</b>	-12.45dB	-11.78dB
<b>IF Input Return loss</b>	-9.71dB	-10.28dB
<b>Gain mismatch</b>	0.204%	0.944%
<b>Phase mismatch</b>	0.2°	0.68°
<b>Noise Figure</b>	19dB	21dB
<b>Power Dissipation</b>	37.9mW	33.3mW
<b>Supply Voltage</b>	3.3V	
<b>Chip Size</b>	1mm x 1.1mm	

## 2.5 實作二，可調式雙頻道單邊升頻混波器

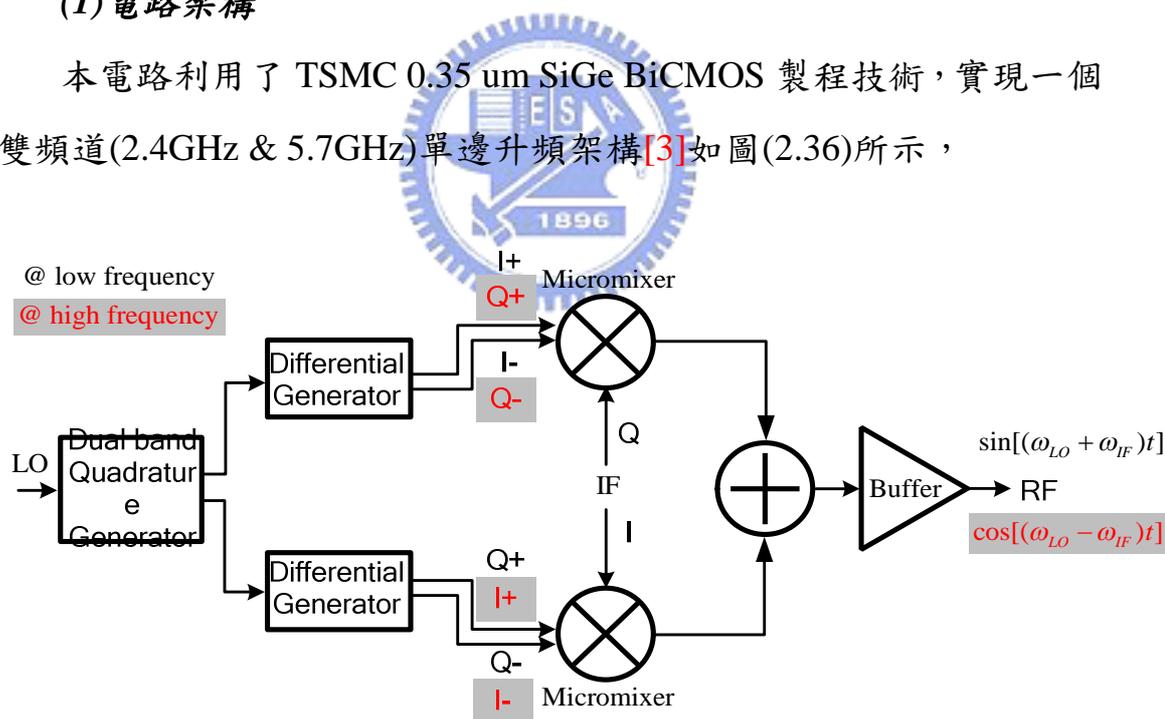
### 2.5.1 研究動機

由於空間的頻寬有限，現在傳送機都必須要做單邊升頻混波器，以減小頻寬的使用，並且壓抑旁帶訊號，防止旁帶訊號干擾其它頻帶訊號。在 IF 端與 LO 端都利用 Quadrature phase input 來消除 RF 輸出端另一邊訊號，在本電路中利用 2.3 節提到的雙頻道正交訊號產生器(2.4GHz&5.7GHz)來達到兩個頻道都可以達到單邊升頻效果。

### 2.5.2 電路設計

#### (1) 電路架構

本電路利用了 TSMC 0.35 um SiGe BiCMOS 製程技術，實現一個雙頻道(2.4GHz & 5.7GHz)單邊升頻架構[3]如圖(2.36)所示，



圖(2.36) 雙頻道單邊升頻混波器示意圖

由於 LO 端利用雙頻道正交訊號產生機制，所以在兩個頻帶產生的訊號一組為+90度，而另一組為-90度，因此在單邊升頻機制上會產生不同邊的升頻效果。利用數學是來證明這一現

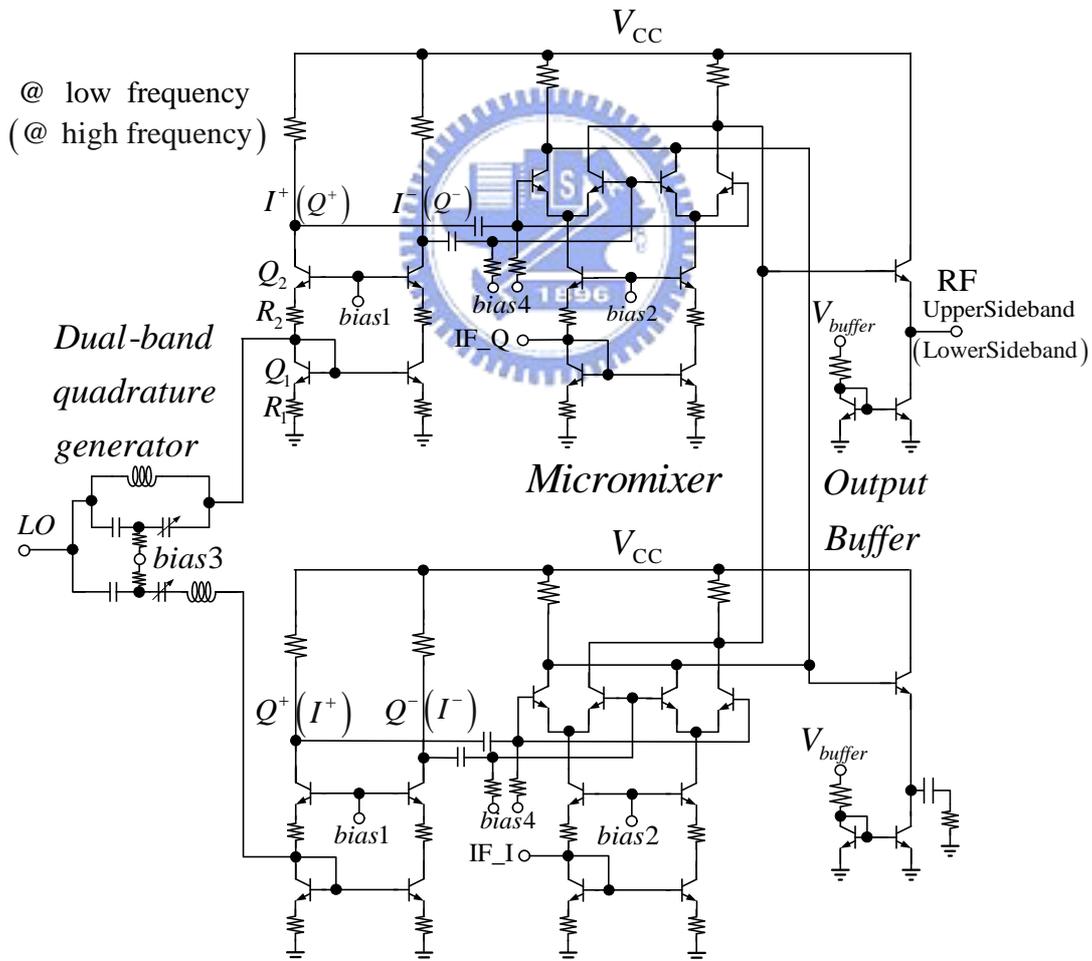
象，I 訊號假設為數學式  $\cos \theta$ ，Q 訊號假設為數學式  $\sin \theta$ ，因此在低頻頻帶得到

$$\begin{aligned} & \sin(\omega_{LO}t)\cos(\omega_{IF}t) + \cos(\omega_{LO}t)\sin(\omega_{IF}t) \\ &= \frac{1}{2}\{\sin[(\omega_{LO} + \omega_{IF})t] + \sin[(\omega_{LO} - \omega_{IF})t]\} + \frac{1}{2}\{\sin[(\omega_{LO} + \omega_{IF})t] - \sin[(\omega_{LO} - \omega_{IF})t]\} \\ &= \sin[(\omega_{LO} + \omega_{IF})t] \end{aligned}$$

而在高頻頻帶得到

$$\begin{aligned} & \cos(\omega_{LO}t)\cos(\omega_{IF}t) + \sin(\omega_{LO}t)\sin(\omega_{IF}t) \\ &= \frac{1}{2}\{\cos[(\omega_{LO} + \omega_{IF})t] + \cos[(\omega_{LO} - \omega_{IF})t]\} + \frac{1}{2}\{-\cos[(\omega_{LO} + \omega_{IF})t] + \cos[(\omega_{LO} - \omega_{IF})t]\} \\ &= \cos[(\omega_{LO} - \omega_{IF})t] \end{aligned}$$

由數學式發現到+90度與-90度造成的單邊升頻效果為不同邊。



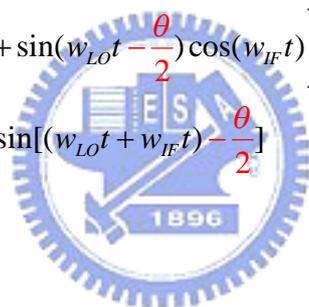
圖(2.37) 可調式雙頻道單邊升頻混波器電路架構

整體電路架構如圖(2.37)所示，由 2.4 節實驗結果可以看到雙頻道正交訊號可以利用可調式機制達成，但是 active balun 的差動訊號卻無法提供準確的  $0^\circ$  與  $180^\circ$ ，即使兩邊的訊號大小值會一樣，但是右路的訊號經過電晶體數量相對於左路多了兩顆，因此 phase 會不對稱，這裡利用數學式來看 active balun 的缺陷會不會對 side-band rejection 造成問題。

假設 active balun 並非提供完美的差動訊號對，I channel 輸出  $\cos(\omega_{LO} + \frac{\theta}{2})$  與  $-\cos(\omega_{LO} - \frac{\theta}{2})$ ，Q channel 輸出  $\sin(\omega_{LO} + \frac{\theta}{2})$  與  $-\sin(\omega_{LO} - \frac{\theta}{2})$ ，

RF端低頻收到  $\Rightarrow$

$$\begin{aligned}
 &= \frac{1}{2} \left[ \cos(\omega_{LO}t + \frac{\theta}{2}) \sin(\omega_{IF}t) + \cos(\omega_{LO}t - \frac{\theta}{2}) \sin(\omega_{IF}t) \right] \\
 &\quad + \frac{1}{2} \left[ \sin(\omega_{LO}t + \frac{\theta}{2}) \cos(\omega_{IF}t) + \sin(\omega_{LO}t - \frac{\theta}{2}) \cos(\omega_{IF}t) \right] \\
 &= \frac{1}{2} \sin[(\omega_{LO}t + \omega_{IF}t) + \frac{\theta}{2}] + \frac{1}{2} \sin[(\omega_{LO}t + \omega_{IF}t) - \frac{\theta}{2}] \\
 &= \sin(\omega_{LO}t + \omega_{IF}t) \cos \frac{\theta}{2}
 \end{aligned}$$



RF端高頻收到  $\Rightarrow$

$$\begin{aligned}
 &= \frac{1}{2} \left[ \cos(\omega_{LO}t + \frac{\theta}{2}) \cos(\omega_{IF}t) + \cos(\omega_{LO}t - \frac{\theta}{2}) \cos(\omega_{IF}t) \right] \\
 &\quad + \frac{1}{2} \left[ \sin(\omega_{LO}t + \frac{\theta}{2}) \sin(\omega_{IF}t) + \sin(\omega_{LO}t - \frac{\theta}{2}) \sin(\omega_{IF}t) \right] \\
 &= \frac{1}{2} \cos[(\omega_{LO}t - \omega_{IF}t) + \frac{\theta}{2}] + \frac{1}{2} \cos[(\omega_{LO}t - \omega_{IF}t) - \frac{\theta}{2}] \\
 &= \cos(\omega_{LO}t - \omega_{IF}t) \cos \frac{\theta}{2}
 \end{aligned}$$

由式子可以發現當 active balun 無法提供完美的差動訊號時，對於消除旁帶訊號(side-band rejection)沒有影響，只會降低主要訊號的增益，以及降低埠對埠的隔離度。

### (2)本地震盪源輸入極

LO 端採用新型的雙頻道正交訊號產生機制，訊號單端輸入，產生雙頻道的正交訊號，運作原理於2.3節有詳細的推導與分析。由於放在吉伯特混頻器的 LO 端，做為電流的開關控制源，相對的 LO 電壓正幅差異就沒有那麼嚴格了，只要 LO 的功率夠大，足夠讓電晶體能夠開關產生混頻效果就可以，因此將新型雙頻道正交訊號產生機制放在 LO 端，可以容許較大的 Magnitude error，也因此提供了此架構較大的正交訊號頻帶範圍。

### (3)射頻輸入極

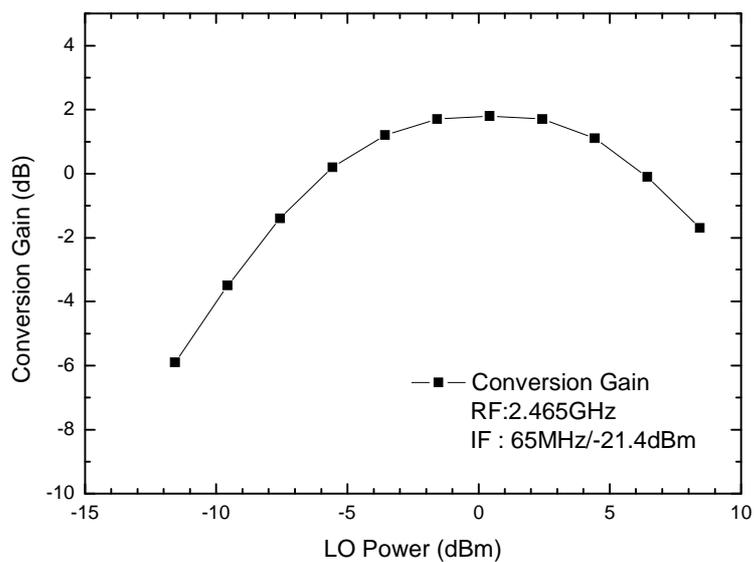
如2.4節射頻輸入極設計一樣，使用 micromixer 機制。

### (4)輸出緩衝極

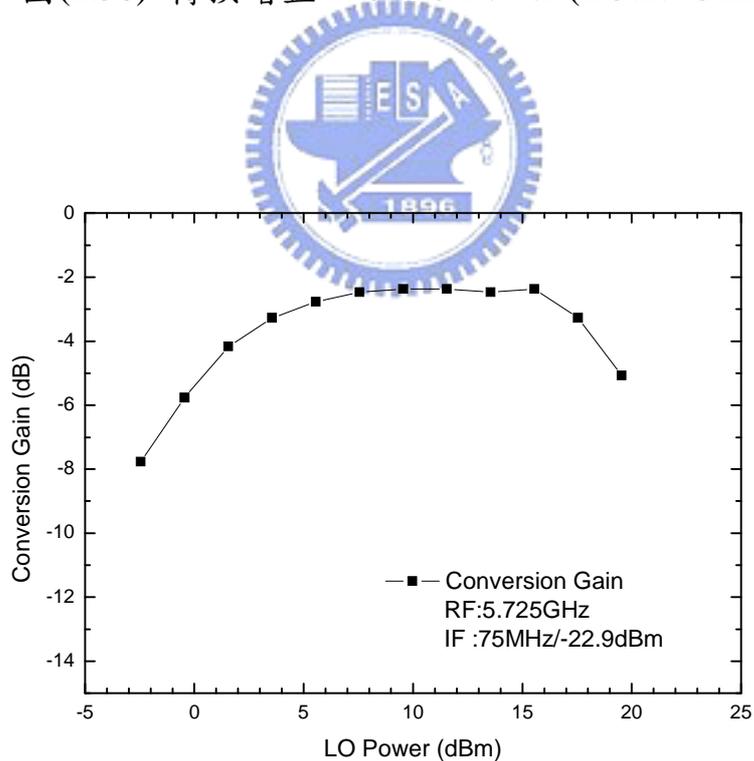
利用一簡單的 common collector 作為輸出端的阻抗匹配，方便量測。



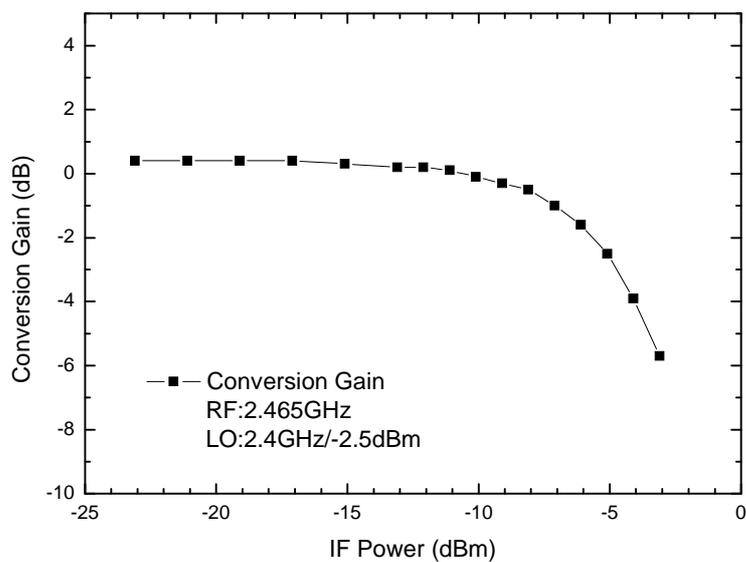
## 2.5.3 晶片量測結果



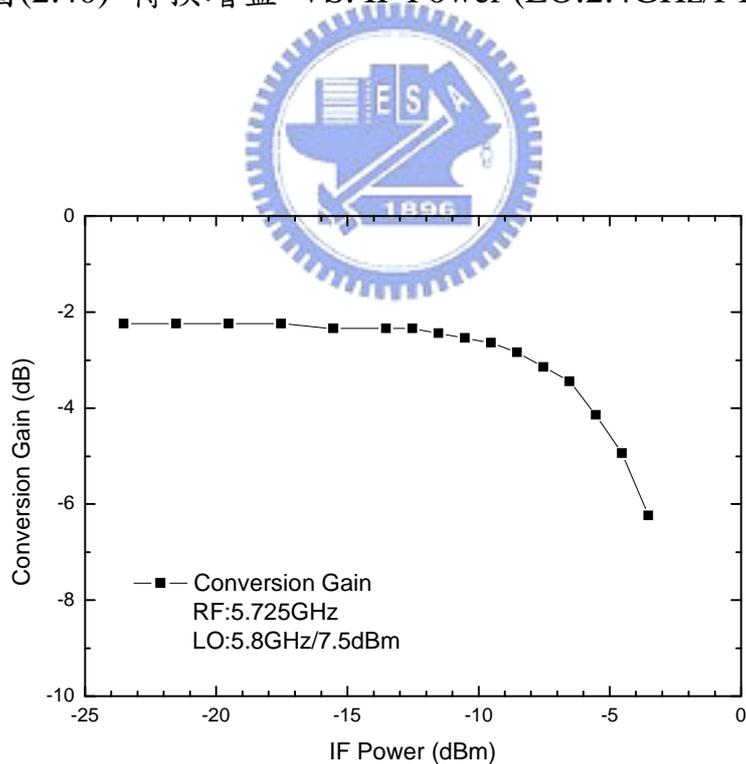
圖(2.38) 轉換增益 VS. LO Power (LO:2.4GHz)



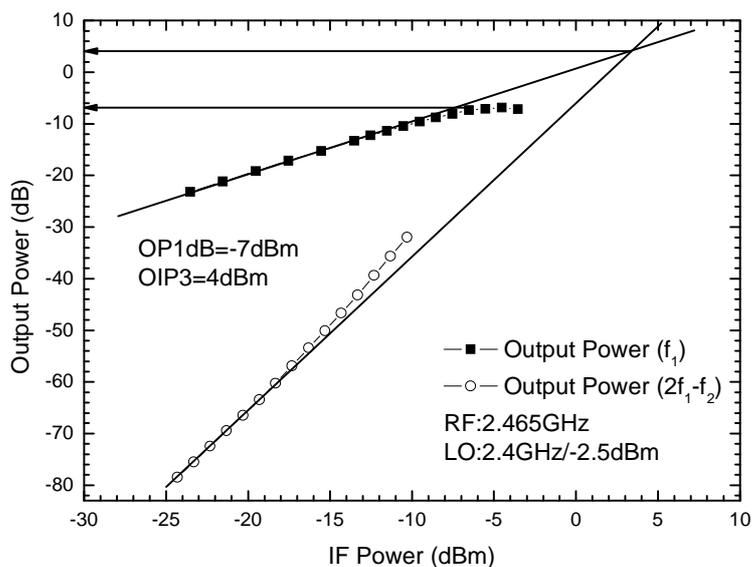
圖(2.39) 轉換增益 VS. LO Power (LO:5.8GHz)



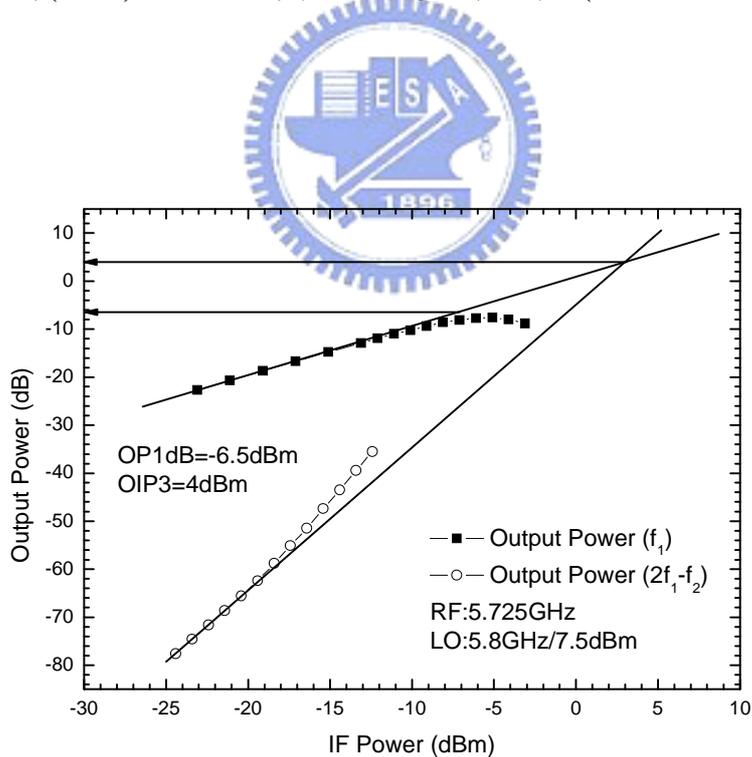
圖(2.40) 轉換增益 VS. IF Power (LO:2.4GHz/P1dB)



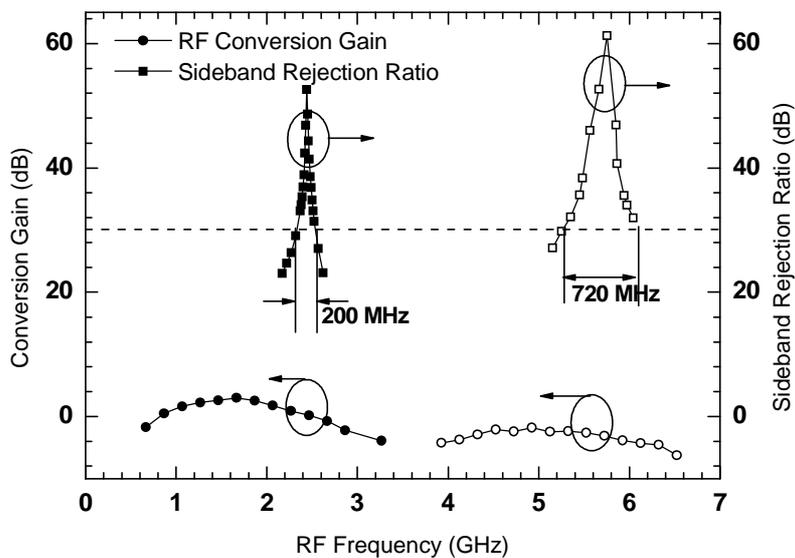
圖(2.41) 轉換增益 VS. IF Power (LO:5.8GHz/P1dB)



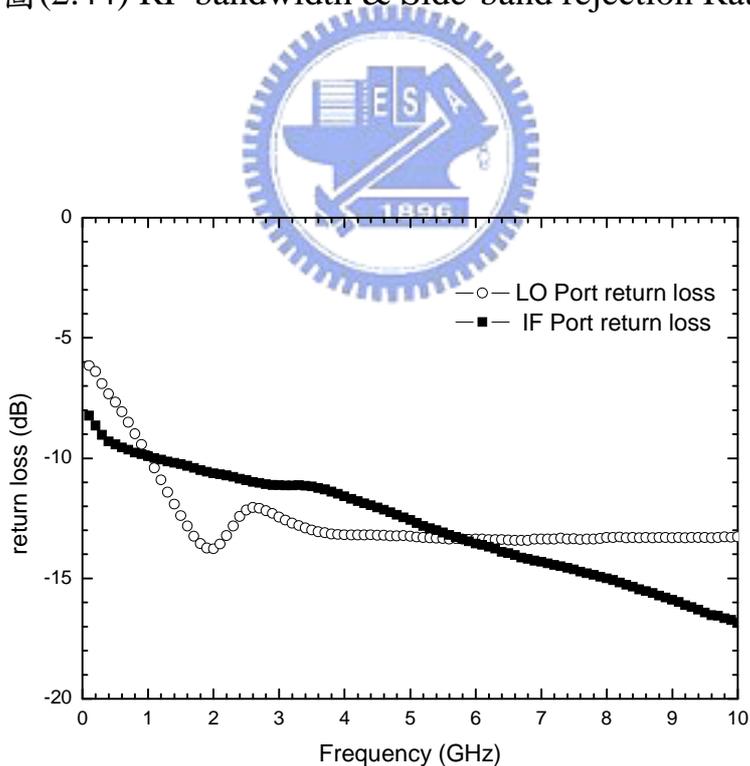
圖(2.42) OP1dB 與 OIP3量測結果 (LO:2.4GHz)



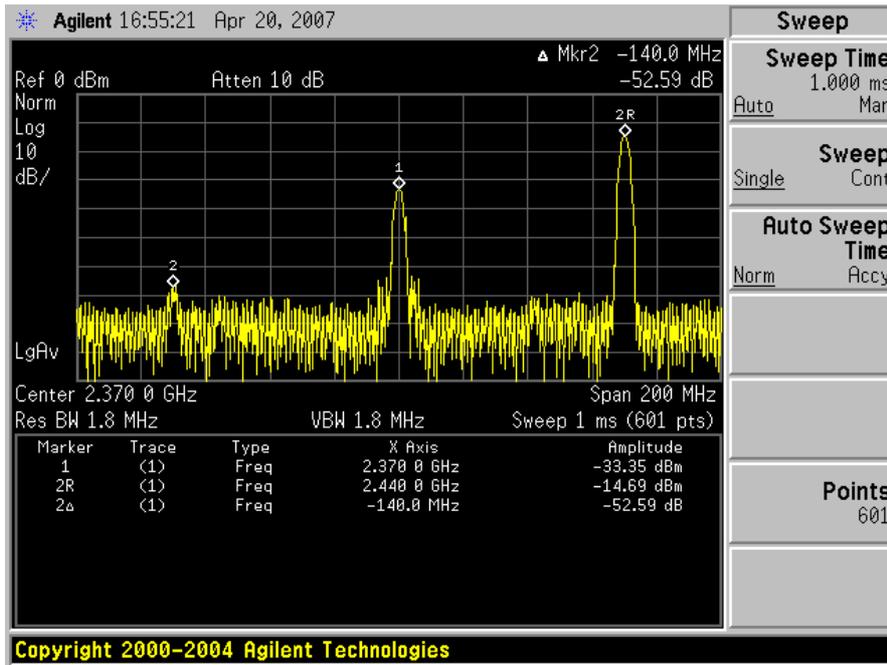
圖(2.43) OP1dB 與 OIP3量測結果 (LO:5.8GHz)



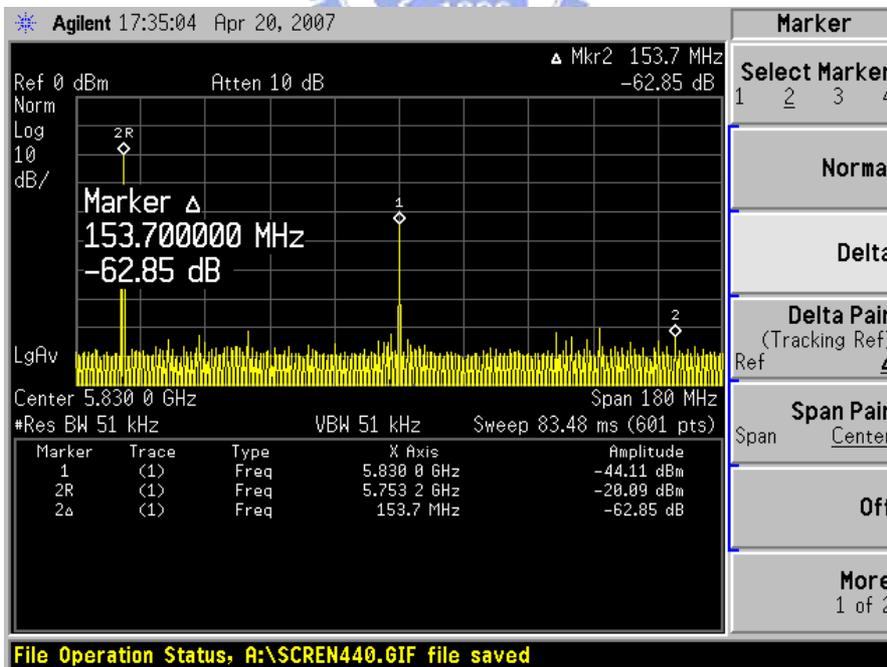
圖(2.44) RF bandwidth & Side-band rejection Ratio



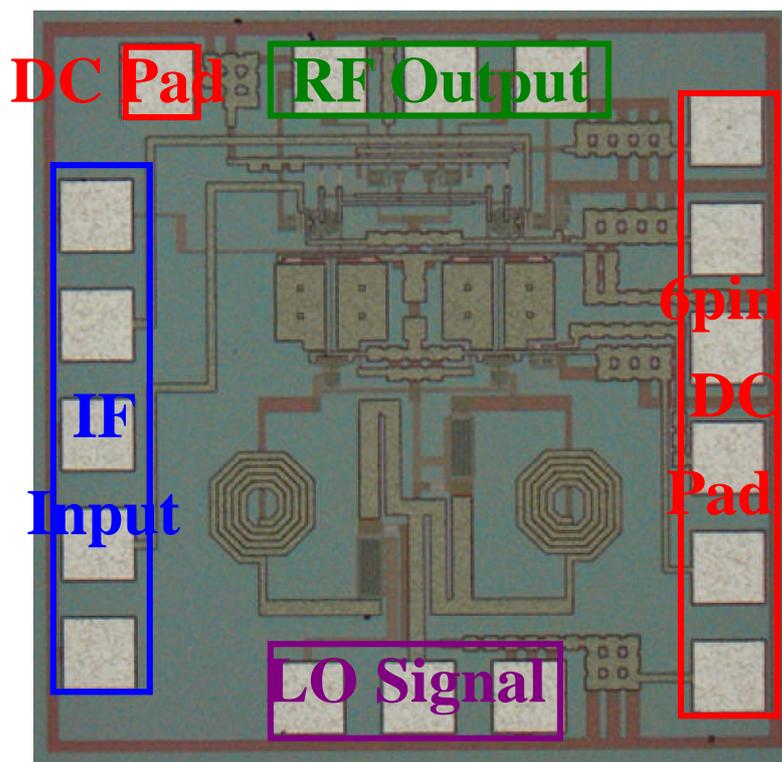
圖(2.45) LO/IF 端 Return Loss



圖(2.46) Side-band rejection Ratio at low sideband



圖(2.47) Side-band rejection Ratio at high sideband



圖(2.48) Die Photo (1 mm X 1 mm)

圖(2.48)為晶片實作照片，晶片的大小為 $1 \times 1 \text{mm}^2$ ，量測時使用 on-wafer 的高頻量測系統，圖中可以看到，中頻訊號輸入埠在晶片的左方，訊號需要正交訊號雙端輸入 GSGSG 下針，而本地振盪訊號輸入埠在晶片的下方，只需要單端輸入 GSG 下針輸入電路就為一組 4-phase quadrature signal，射頻訊號輸出埠在晶片的上方，GSG 的單端輸出來驗證是否為雙頻道單邊升頻系統，6 pin DC pad 在晶片右方，上方的一個 DC pad 為提供輸出緩衝擊的電流。DC pad 周圍的電容，皆是用來 DC 穩壓之用。

#### 2.5.4 結果與討論

2.4節選定2.4GHz 與5.2GHz 來作為雙頻道設計基準，而在這一節裡面則選定802.11b/g 系統的2.4GHz 與802.11a 系統的另一頻道 5.7GHz 來做為雙頻道的設計基準。

RF 頻帶選定在 2.4GHz，因為 active balun 存在的緣故，由圖(2.38) 可以發現當本地振盪訊號功率從 -5dBm 增加到 5dBm 時，轉換增益都維持在 1dB 到 2dB 左右，在此固定本地振盪源 -2.5dBm，得到圖(2.40)、圖(2.42)，轉換增益及 RF 輸出功率對 IF Power 作圖，由圖可以讀出  $OP1dB = -7dBm$  與  $OIP3 = 4dBm$ 。而固定 IF 訊號 IQ 訊號輸入，掃 LO 埠的頻率來求得 tunable IQ 機制可以達到多少 Side-band Rejection Ratio 頻寬，圖(2.44)可以看出最佳點是 52.59dB 的旁帶相消除比，由 2.3 節的討論知道正交訊號頻寬限制在於 I-Q 振幅的不平衡，若定義在 side-band rejection ratio -30dB 的頻寬 (gain mismatch 0.6dB) [22]，那麼此系統將有 200MHz 的頻寬，而從 RF bandwidth 可以明顯看出此系統 mixcromixer 是寬頻低通機制，因為使用電阻當負載，並沒有利用 LC tank 來產生 dual-band 效果，這要做是為了確保 LO 埠可調的頻率範圍都會有增益。

同樣的另一 RF 頻帶選定在 5.7GHz，由圖(2.39)可以發現當本地振盪訊號功率從 3dBm 增加到 18dBm 時，轉換增益都維持在 -2.5dB 左右，在此固定本地振盪源 7.5 dBm，得到圖(2.41)、圖(2.43)，轉換增益及 RF 輸出功率對 IF Power 作圖，由圖可以讀出  $OP1dB = -6.5dBm$  與  $OIP3 = 4dBm$ ，圖(2.44)可以看出最佳點是 62.85dB 的鏡相消除比，同樣地，若定義在 side-band rejection ratio -30dB 的頻寬 (gain mismatch 0.6dB) [22]，那麼此系統將有 740MHz 的頻寬。

由圖(2.45)看出 IF 端 Return Loss 都在 -10dBm 以下，主要是因為 IF 端是 micromixer 機制，阻抗是寬頻匹配，LO 端的調變機制也是符合了 2.3 節所推導的輸入阻抗寬頻匹配情況。

表2.3 Tunable dual-band SSB up-converter  
量測結果

Tunable dual-band SSB up-converter (TSMC 0.35um 3P3M SiGe BiCMOS)		
Frequency	2.4GHz	5.7GHz
Conversion Gain	0.5dB	-2.2dB
OP1dB	-7dBm	-6.5dBm
OIP3	4dBm	4dBm
SRR bandwidth (-30dB)	200MHz	720MHz
LO Input Return loss	-12.4dB	-13.4dB
IF Input Return loss	-10.8dB	-13.3dB
Power Dissipation	38mW	36mW
Supply Voltage	3.3V	
Chip Size	1mm x 1mm	

## 2.6 實作三，正交相位之次諧波降頻混波器

### 2.6.1 研究動機

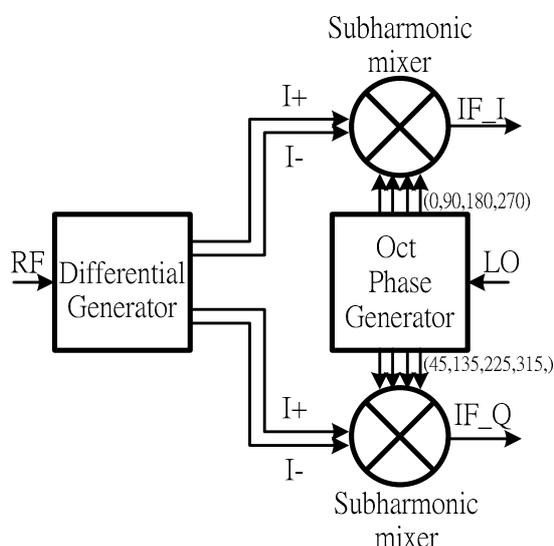
毫米波頻段系統提供了較寬的頻帶，滿足了現代通訊高速率與大容量的需求，因而成為了近十年來歐、美、日等先進國家無線寬頻通訊產品之重要技術，例如區域多點分佈服務系統(LMDS：Local Multipoint Distribution Service)。使用毫米波頻段，除了頻譜需求的考量之外，此頻段尚有其獨特的優點，特別適於高階的無線通訊產品之發展；諸如頻帶寬對載波頻段相對比例較小，因此較容易達到寬頻應用，同時由於其波長大小適中，許多被動元件與天線尺寸不致太小或太大，而容許之機械誤差亦未超出製程能力。

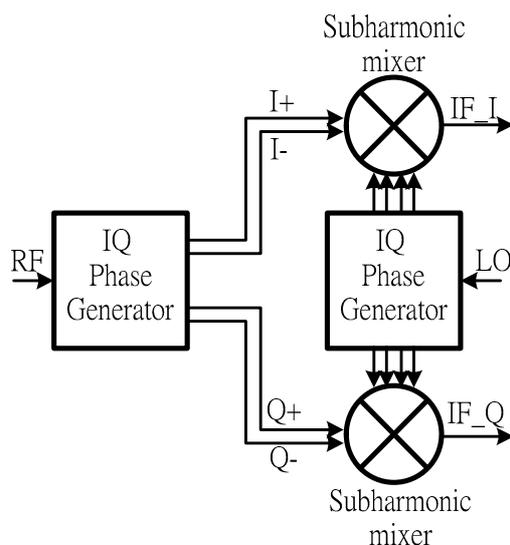
而此次實驗主要是利用在高頻段電路運用時，主動電路結合可整合在IC裡面的被動傳輸線，實現一正交相位之次諧波降頻混波器。

### 2.6.2 電路設計

#### (1) 電路架構

一般產生正交相位之次諧波降頻混波器[2]，有兩種架構，如下圖(2.49)所示，



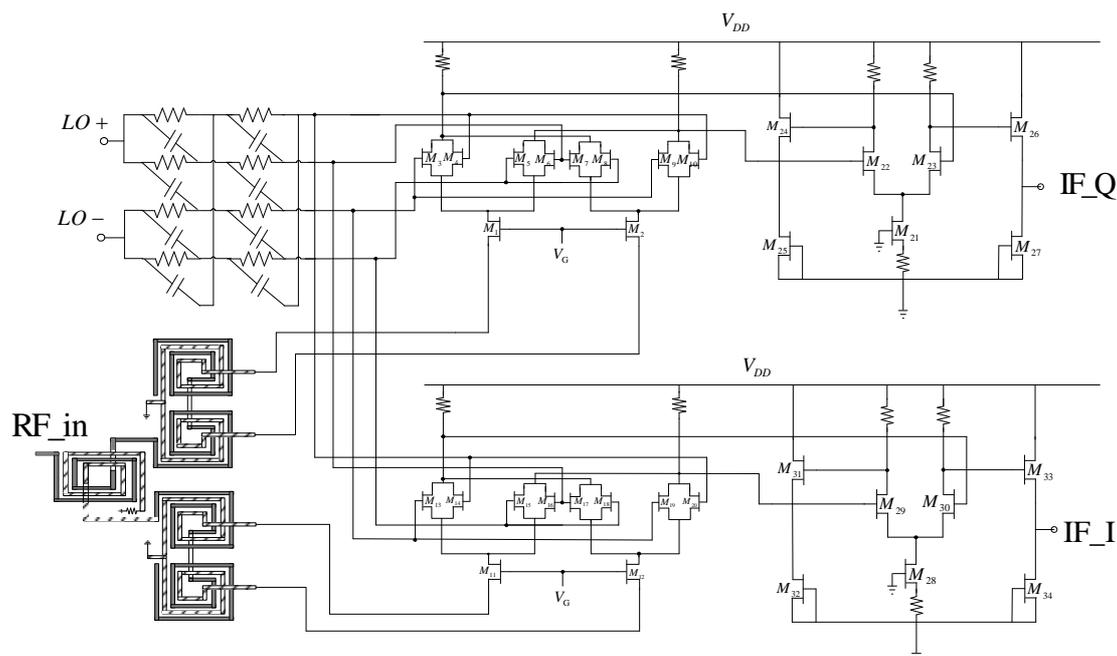


圖(2.49) 正交相位之次諧波降頻混波器示意圖

(a)LO端產生八相位 (b)LO端產生四相位

此次實作是採用LO端產生四相位與RF端產生四相位的方式產生IF端正交相位輸出之次諧波降頻混波器。由於電晶體的非線性特性會造成很多諧波項，而此架構LO端的四個相位目的在使得mixer電流切換能取電晶體的偶次項諧波，達到偶次項諧波混頻的效果，而RF端quadrature四個相位目的在於使電路降頻後，IF輸出端是正交訊號。

此次電路實作，是使用WIN 0.15 $\mu$ m PHEMT 製程來實現。電路是利用PHEMT的 $f_T$ 高達85GHz的特性，設計電路頻率操作在34GHz的次諧波降頻混波器，也因為頻率設計在34GHz，被動傳輸線的size可以實現在IC裡面，再加上PHEMT基板是semi-insulating，所以電路金屬繞線在substrate所造成的損耗很小，根據上述的兩個特點，電路利用couple line以及Marchand balun產生34GHz Quadrature四相位訊號，結合主動電路實現正交相位之次諧波降頻混波器，整體電路架構如圖(2.50)所示，

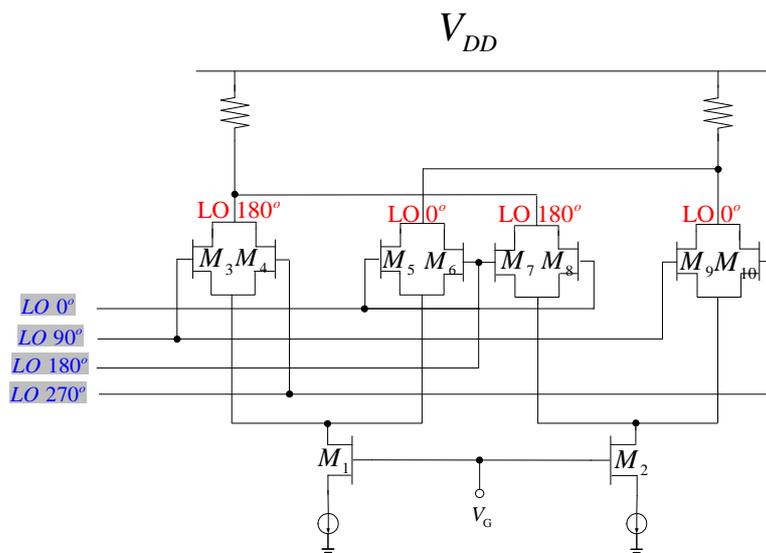


圖(2.50) 正交相位之次諧波降頻混波器電路架構

### (2) 次諧波降頻混波器分析

如圖(2.51)，M3-M4~M9-M10 的汲極及源極都連接在一起，組成了 leveled-LO cells。當  $LO\ 0^\circ$  和  $LO\ 180^\circ$  的差動訊號注入電晶體 M5-M6、M7-M8 時，輸入訊號的基頻會被消除，只有  $2LO$  等偶次諧波電流訊號會出現在汲極端相位為  $0^\circ$ ，同樣的， $LO\ 90^\circ$  和  $LO\ 270^\circ$  的差動訊號注入電晶體 M3-M4、M9-M10，也會在汲極端產生  $2LO$  的訊號相位為  $180^\circ$ ，如此 M3-M4~M9-M10 差動對提供了完美的  $2LO$  差動訊號來和 RF 訊號混頻。而 RF 端是採用 Common Gate 架構輸入，操作速度比 Common Source 快，更適合運用在高頻操作的電路架構，而且 Common Gate 架構能有很好的輸入阻抗匹配特性。

此架構是因為電晶體有非線性項存在，利用 leveled-LO cells 取出電晶體的偶次諧波項與 RF 端做混頻，因為電晶體非線性產生的偶次項能量不會大，因此要確保電流會做切換，此架構將需要大的 LO Power。



圖(2.51) 次諧波降頻混波器架構

### (3) LO 端 Quadrature 訊號產生方式

Quadrature signal 由 poly-phase 產生，運作方式如 2.2.2 節所述，由於 PHEMT 製程屬於 thin film 電阻，可以被精準地實現，加上寄生效果比 CMOS 製程小很多，所以在 PHEMT 製程上 poly-phase 頻率的準確度相對 CMOS 好很多。電路實作中，將實現一組 16.9GHz 的 poly-phase，利用次諧波倍頻到 33.8GHz，與 RF 端 34GHz 訊號做混頻。

### (4) RF 端 Quadrature 訊號產生方式

隨著射頻電路操作的頻率日益提高，傳統使用 RC-CR 多相位產生器(Poly phase generator)在特性或物理結構限制，都面臨了高頻的瓶頸，而過去微波電路使用的傳輸線設計概念，現在都可以整合在高頻 IC 電路實作中，解決了電感、電容、電阻元件在高頻的使用限制。

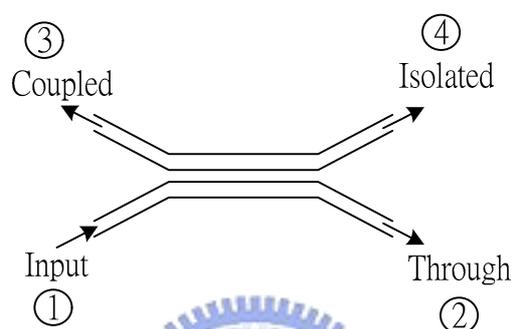
傳輸線的理論在微波電路的相關書籍中已經描述的相當清楚，在本電路實作中將利用 lump 化  $\lambda/4$  長度的耦合線來實現  $90^\circ$  的相位差，

以及串聯 Marchand balun 來實現 quadrature signal。

耦合線[23]四個埠的相對位置如下圖(2.52)所示，依照文獻，如果從 port1 輸入 2V，輸出端 port2，port3，port4 輸出電壓可推得

$$V_2 = V \frac{\sqrt{1-K^2}}{\sqrt{1-K^2} \cos \theta + j \sin \theta}, \quad V_3 = V \frac{jK \tan \theta}{\sqrt{1-K^2} + j \tan \theta}, \quad V_4 = 0$$

耦合線的耦合係數 K 定義為:  $K = \frac{Z_{0e} - Z_{0o}}{Z_{0e} + Z_{0o}}$



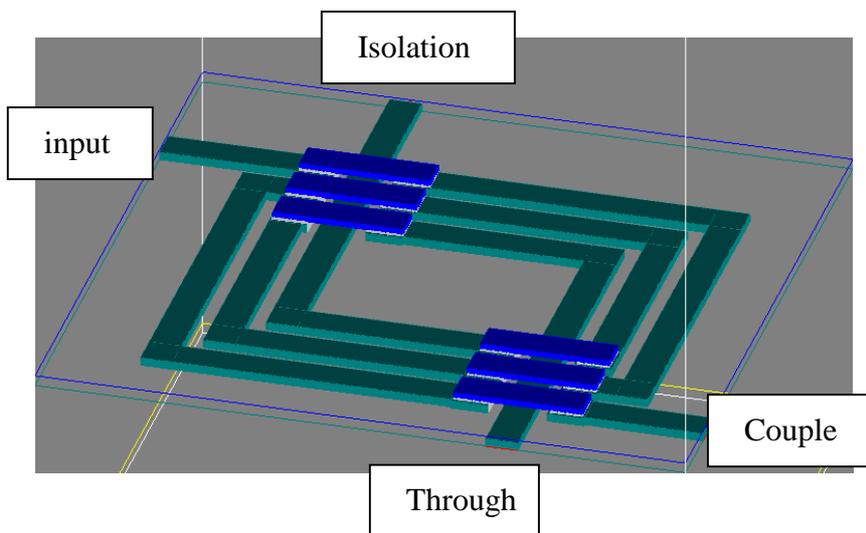
圖(2.52) 耦合線示意圖

如果傳輸線的長度為  $\lambda/4$  則 port2，port3 的輸出可改寫為：

$$V_2 = -jV\sqrt{1-K^2}, \quad V_3 = KV, \quad \text{若 } K \text{ 值為 } \frac{1}{\sqrt{2}} = 0.707, \text{ 則 port2, port3 的電}$$

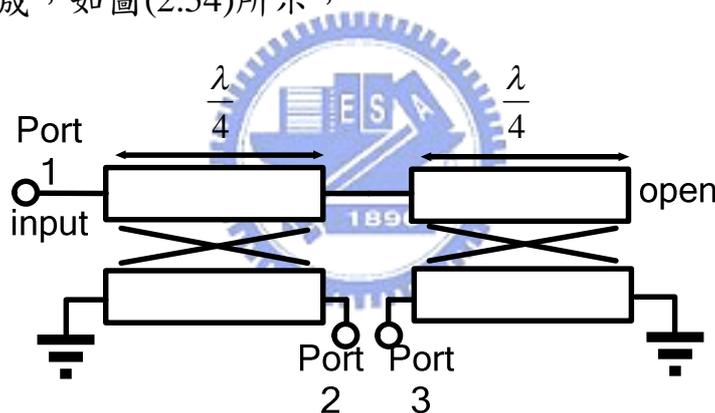
壓振幅會相同，相位相差  $90^\circ$ 。

由於這種作法所需要的耦合線長度為  $\lambda/4$  波長，對 IC 製程來說儘管設計的頻率為 34GHz，長度相對 Chip size 仍然太長，為了產生此一 90 度的相位差，運用 PHEMT 製程有 2 層金屬的特性，採用 Lump 化的方法，如示意圖(2.53)中的結構，即可在 Through port 以及 Couple port 兩處產生 90 度的相位差。



圖(2.53) Lump 化  $\lambda/4$  耦合線示意圖

而用來產生差動訊號的 Marchand Balun [24][25] 主要是由兩組  $\lambda/4$  耦合線所構成，如圖(2.54)所示，



圖(2.54) Marchand Balun

經過推導，所有 S 參數做整理可以下列矩陣表示之：

$$[S]_{1st} = \begin{bmatrix} -C^2 + \frac{T^4}{1+C^2} & -CT + \frac{CT^3}{1+C^2} & CT - \frac{CT^3}{1+C^2} \\ -CT + \frac{CT^3}{1+C^2} & -T^2 + \frac{C^2T^2}{1+C^2} & C^2 - \frac{C^2T^2}{1+C^2} \\ CT - \frac{CT^3}{1+C^2} & C^2 - \frac{C^2T^2}{1+C^2} & -T^2 + \frac{C^2T^2}{1+C^2} \end{bmatrix}$$

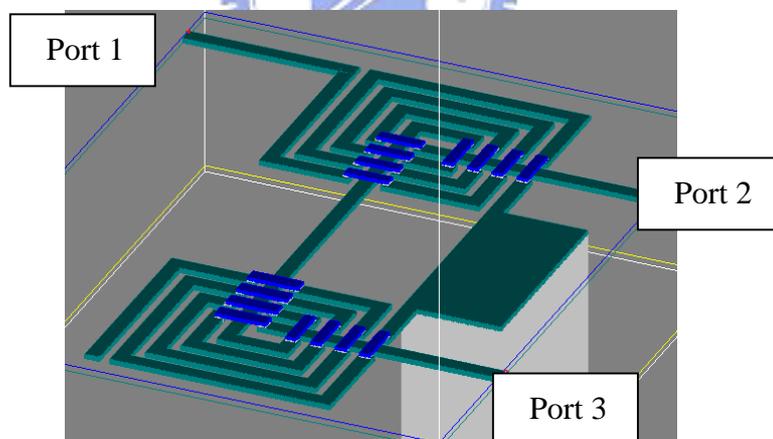
由上面矩陣可以看出即使在有損耗的情況下仍然是保持大小相等，相位反相。

假設沒有損耗情況下將  $T = -j\sqrt{1-C^2}$  代入上面矩陣中可得下列矩陣：

$$[S]_{1st} = \begin{bmatrix} \frac{1-3C^2}{1+C^2} & j\frac{2C\sqrt{1-C^2}}{1+C^2} & -j\frac{2C\sqrt{1-C^2}}{1+C^2} \\ j\frac{2C\sqrt{1-C^2}}{1+C^2} & \frac{1-C^2}{1+C^2} & \frac{2C^2}{1+C^2} \\ -j\frac{2C\sqrt{1-C^2}}{1+C^2} & \frac{2C^2}{1+C^2} & \frac{1-C^2}{1+C^2} \end{bmatrix}$$

所以在  $C = \sqrt{1/3}$  時， $S_{11}$  會達到完美的匹配，

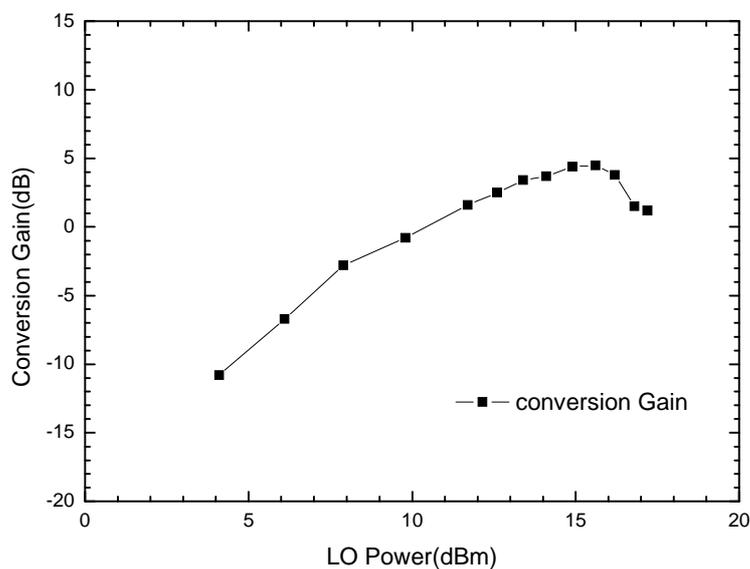
由於這種作法所需要的耦合線長度為兩組  $\lambda/4$  波長，對 IC 製程來說長度依舊太長，因此同樣的運用 PHEMT 製程有 2 層金屬的特性，採用 Lump 化的方法，如示意圖(2.55)中的結構，



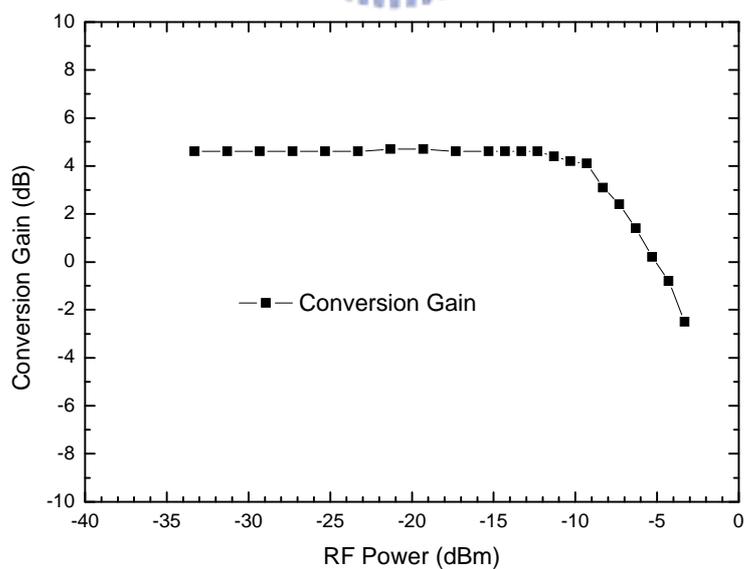
圖(2.55) Marchand Balun 示意圖

因此利用  $\lambda/4$  長度的耦合線串聯兩個 Marchand balun 得以實現四相位 quadrature signal，並利用 Marchand balun 輸入端與輸出端為不同路徑，因此做到直流的隔絕，加上輸出路徑 center-tap 點為 ac ground，所以可以用來做直流的輸入偏壓點。

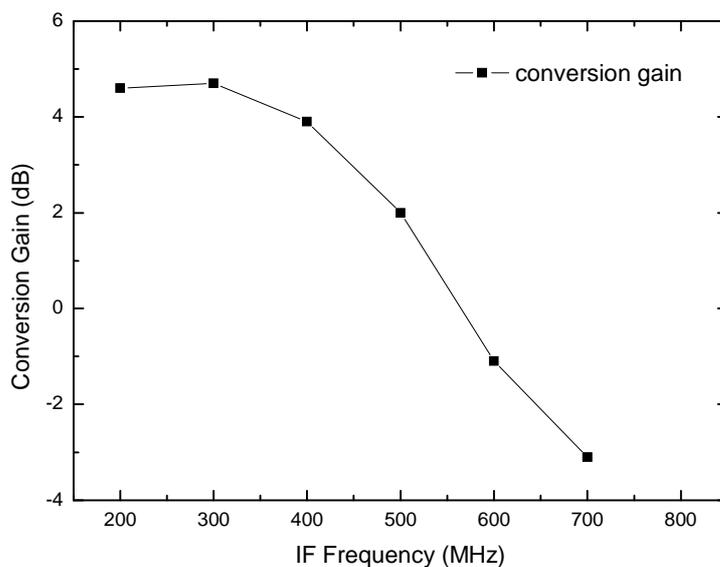
## 2.6.3 電路量測結果



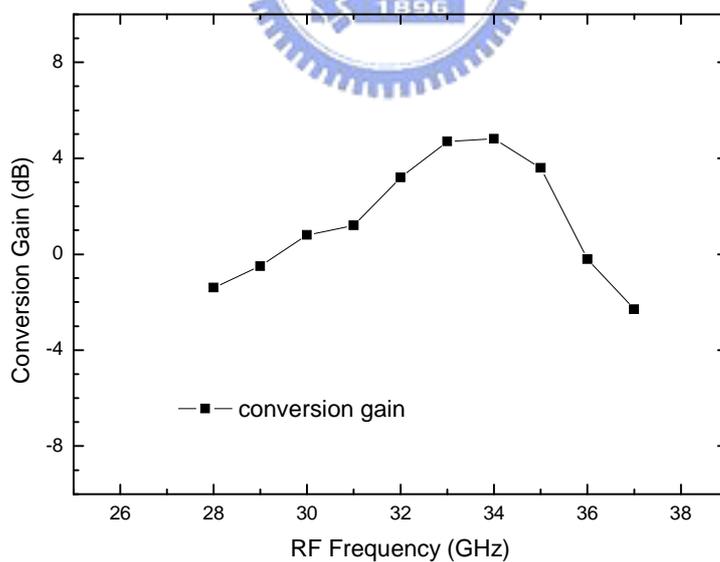
圖(2.56) 轉換增益 VS. LO Power



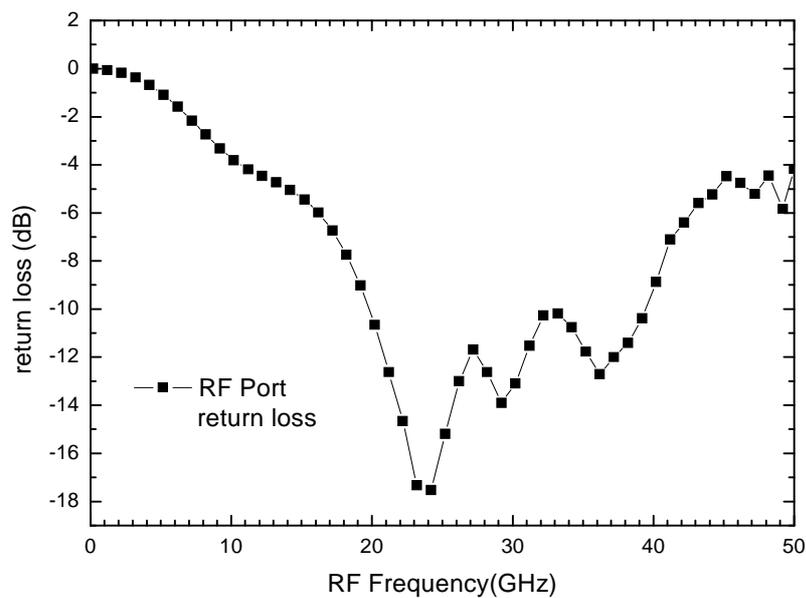
圖(2.57) 轉換增益 VS. RF Power



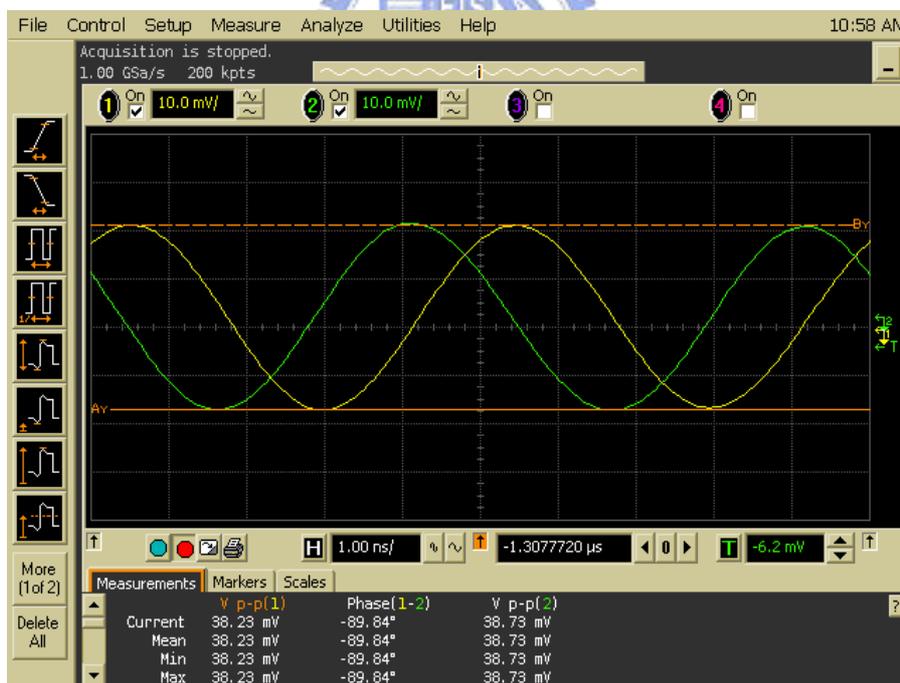
圖(2.58) 轉換增益 VS. IF Frequency



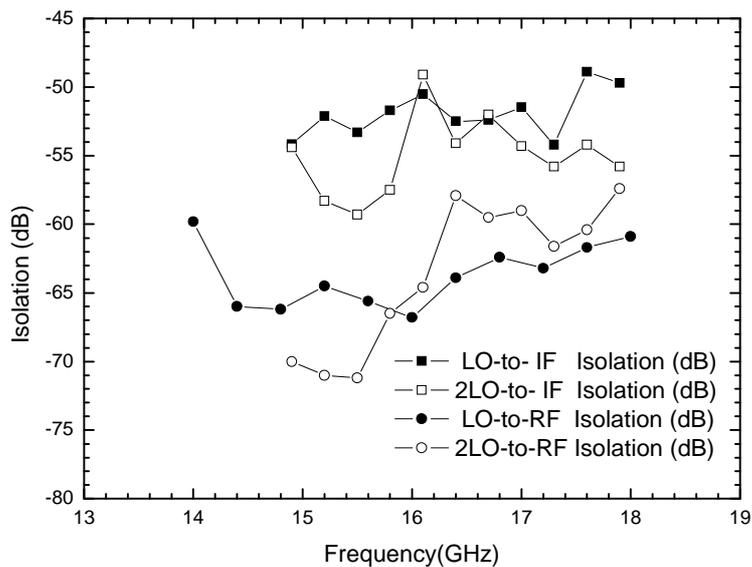
圖(2.59) RF Bandwidth



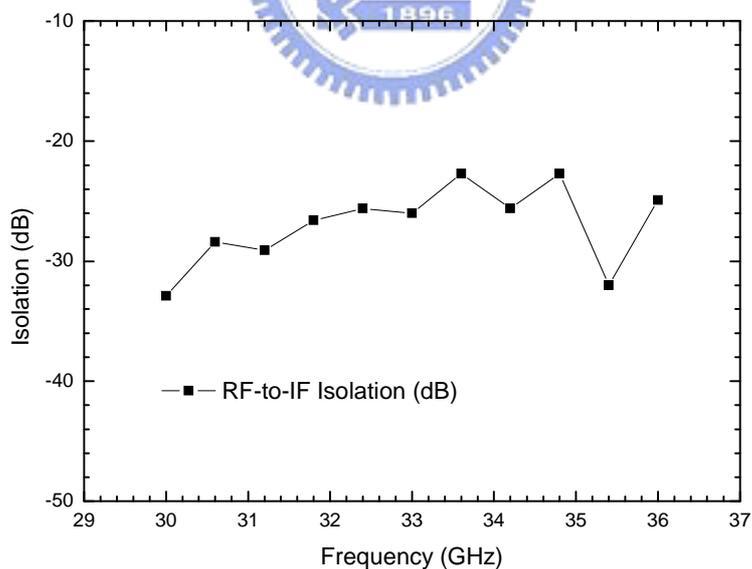
圖(2.60) RF 端 Return Loss



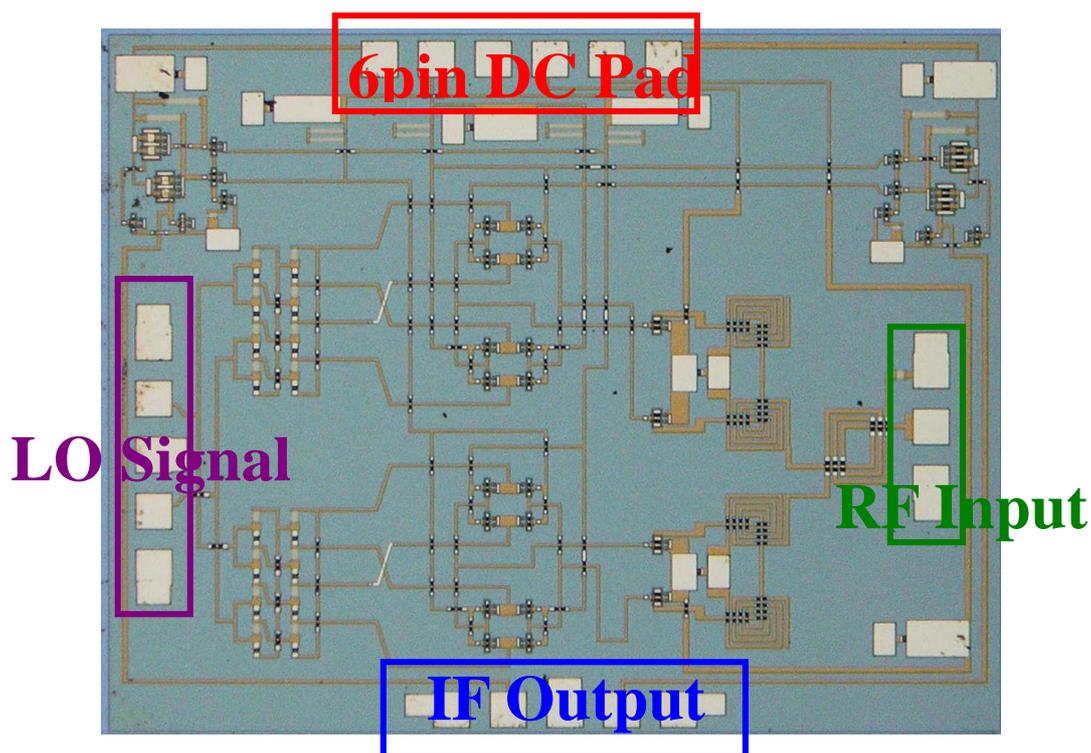
圖(2.61) Time Domain IQ 通道輸出量測結果



圖(2.62) LO 端到 IF、RF 隔離度



圖(2.63) RF 端到 IF 隔離度



圖(2.64) Die Photo (2.5 mm X 2 mm)

圖(2.64)為晶片實作照片，晶片的大小為 $2.5 \times 2\text{mm}^2$ ，量測時使用 on-wafer 的高頻量測系統，圖中可以看到，射頻訊號輸入埠在晶片的右方，由於串聯  $\lambda/4$  耦合線以及 Marchand balun，訊號只需要單端輸入 GSG 下針，而本地振盪訊號輸入埠在晶片的左方，不一樣的地方是 quadrature signal 為 poly-phase 產生，所以需要差動輸入訊號 GSGSG 下針，中頻訊號輸出埠在晶片的下方，GSGSG 的雙端輸出來驗證是否為正交訊號，6 pin DC pad 在晶片上方。DC pad 周圍的電容，皆是用來 DC 穩壓之用。

#### 2.6.4 結果與討論

RF 頻帶選定在 34GHz，由圖(2.56)可以發現本地振盪訊號功率需要到 15Bm 增益才能達到 4.5dB，主要原因是在於 LO 的 quadrature signal 是利用 poly-phase 所產生，使用的電阻造成功率損失，再加上

次諧波混頻所需要的功率就比原本基頻混頻的損耗大，因此造成 LO 功率需要到達 15dBm 輸入，由圖(2.57)則可以讀出  $IP1dB = -8.5dBm$ 。

由圖(2.58)可以讀出 IF 3dB bandwidth 為 550MHz 已經超過需要的 IF 頻寬，而圖(2.59)看出 RF bandwidth 則是以 34GHz 為中心頻率，bandwidth 為 4GHz，正交訊號頻寬主要受限於  $\lambda/4$  長度耦合線的頻寬限制。

RF 輸入端阻抗匹配可以從圖(2.60)中看到電路操作的頻率 34GHz  $S_{11} = -10.75dB$ ，達到了輸入阻抗匹配條件，這也是傳輸線在作設計時的考量，而圖(2.61)則可以看出 IF 在 200MHz 時，輸出中頻 I-通道與 Q-通道的弦波訊號，訊號相位相差 89.84 度，phase mismatch 為 0.16 度，gain mismatch 為  $\Delta = 0.5mV (1.29\%)$ 。

而隔離度則可以從圖(2.62)以及圖(2.63)看出，LO 端不管到 IF 輸出端或 RF 輸入端隔離度都在 50dB 以上，但是圖(2.64)卻發現 RF 端到 IF 端的隔離度沒有很好，主要是因為 LO 端用 poly-phase 產生的 quadrature signal 在相位以及能量大小較為一致，在雙頻平衡混頻器架構中，能得到很好的隔離度，相反的利用傳輸線產生的 quadrature signal 在相位以及能量大小上，就沒有那麼準確，所以隔離度相對較差，但是 RF 的訊號功率都不會很大，因此對系統不會造成太大影響。

表2.4 Quadrature RF Signal Sub-harmonic Down-converter  
量測結果

<b>Quadrature RF Signal Sub-harmonic Down-converter (WIN 0.15um PHEMT)</b>	
Frequency	34GHz
Conversion Gain	4.5dB
IP1dB	-8.5dBm
IF bandwidth	550MHz
RF Input Return loss	-10.75dB
LO-to-IF isolation	-51.48dB
2LO-to-IF isolation	-54.3dB
LO-to-RF isolation	-63.2dB
2LO-to-RF isolation	-59dB
RF-to-IF isolation	-25.6dB
Gain mismatch/Phase mismatch	1.29%/0.16°
Supply Voltage/current	9V/37mA
Chip Size	2.5mm x 2mm

# 第三章

## 雙頻道低雜訊放大器設計



### 3.1 前言

從天線接收訊號，傳送到接收機最前級的射頻電路元件就是一個低雜訊放大器(Low Noise Amplifier)。對於無線通訊而言，訊號在空氣中傳遞，會有許多的雜訊干擾，並且對於訊號的功率會造成大量的衰減，到達接收端時，訊號會變的相當小，且與雜訊混在一起，因此對於可以接收訊號最小值定義為接收機的靈敏度(Sensitivity)為  $P_{in,min} = -174\text{dBm}/\text{Hz} + \text{NF} + 10\log B + \text{SNR}_{min}$ ，動態範圍(Dynamic Range)為  $\text{SFDR} = \frac{2(P_{IP3} + 174\text{dBm} - \text{NF} - 10\log B)}{3} - \text{SNR}_{min}$ ，所以從式子可以發現當雜訊指數增加時，接收機的靈敏度與動態範圍都會變差，對於接收機整體的雜訊指數為  $\text{NF}_{total} = \text{NF}_1 + \frac{\text{NF}_2 - 1}{G_1} + \frac{\text{NF}_3 - 1}{G_1 G_2} + \dots$ ，從式子可以發現，第一級的低雜訊放大器，如果能提供足夠的增益，則後面幾級的電路所造成的雜訊貢獻(noise contribution)，將可被低雜訊放大器的增益消除掉，接收機的雜訊指數只剩下低雜訊放大器本身的雜訊指數。因此對於一個低雜訊放大器而言，必須要有足夠的增益，與夠低的雜訊指數，接收機才可以有好的雜訊指數效能。本章節將討論低雜訊放大器的作法，並且針對無線通訊網路(2.4GHz與5.2GHz)來做一個實現。

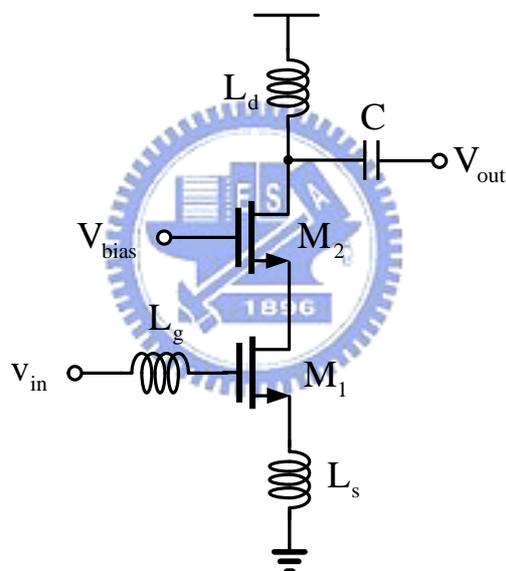
### 3.2 低雜訊放大器設計原理

設計低雜訊放大器有很多參數是互相關聯的，如 noise figure、gain、linearity、impedance matching，以及 power dissipation 必須在這些參數裡面做一個取捨，最常見的設計有以下四種，classical noise matching (CNM) technique、simultaneous noise and input matching (SNIM) technique、power-constrained noise optimization (PCNO) technique，以及 power-constrained simultaneous noise and input

matching (PCNO) technique，在本章節中都是用 SNIM technique 來做設計[1]-[3]。

### 3.2.1 疊接低雜訊放大器架構

如圖(3.1)所示，這是一個最常見的疊接低雜訊放大器架構，電晶體  $M_1$  提供了增益，並且降低電晶體  $M_2$  的雜訊貢獻，而 Common Gate 操作的電晶體  $M_2$  由於低輸入阻值的特色，減小了電晶體  $M_1$  米勒電容，使電路能寬頻操作，而整個疊接組態也提供了較好的反向隔離度。



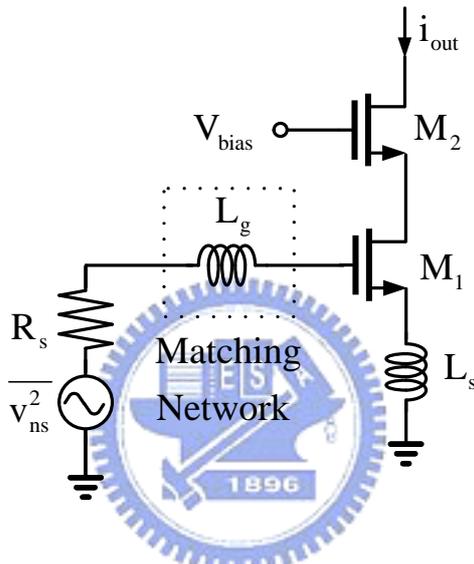
圖(3.1) 疊接低雜訊放大器電路架構

### 3.2.2 同時達到雜訊與輸入阻抗匹配

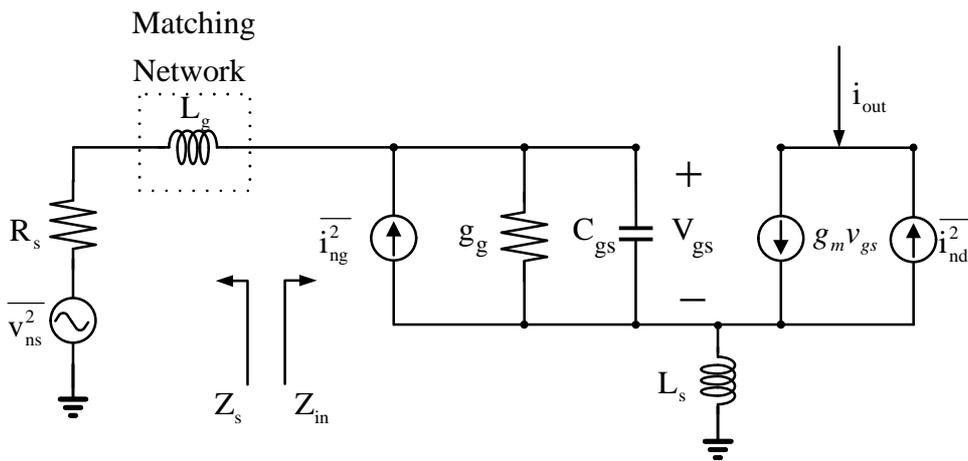
假設匹配點  $Z_s$  能同時達到雜訊最低點  $Z_{opt}$  與最佳輸入阻抗點  $Z_{in}$ ，那麼需要符合下面四項條件，

$$\begin{aligned} \operatorname{Re}[Z_{opt}] &= \operatorname{Re}[Z_s] \\ \operatorname{Im}[Z_{opt}] &= \operatorname{Im}[Z_s] \\ \operatorname{Im}[Z_{in}] &= -\operatorname{Im}[Z_s] && Z_{opt}: \text{最佳雜訊匹配點} \\ \operatorname{Re}[Z_{in}] &= \operatorname{Re}[Z_s] && Z_{in}: \text{最佳輸入阻抗匹配點} \end{aligned}$$

達成四項條件的方法是電路源級作電感性退化，下面介紹如何利用  $L_s$  達到此目的，分析疊接雜訊小訊號等效電路如圖(3.3)所示，



圖(3.2) 源級電感性退化電路



圖(3.3) 雜訊小訊號等效電路

$$R_n = R_n^0 = \frac{\gamma}{\alpha g_m}$$

$$Z_{opt} = Z_{opt}^0 - j\omega L_s = \text{Re}[Z_{opt}^0] - \frac{m}{j\omega C_{gs}} - j\omega L_s$$

$$F_{min} = F_{min}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma\delta(1-|c|^2)}$$

$$Z_{opt}^0 = \frac{1}{Y_{opt}^0} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j(1+\alpha|c|\sqrt{\frac{\delta}{5\gamma}})}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + (1+\alpha|c|\sqrt{\frac{\delta}{5\gamma}})^2 \right\}}$$

$R_n^0$ ， $F_{min}^0$  都是疊接放大器在沒有  $L_s$  串接下的雜訊指數，因此由上面式子看出電路增加了  $L_s$  並不影響  $R_n$  與  $F_{min}$  的值，而且可以將最佳雜訊匹配點  $Z_{opt}$  的虛部拉往  $Z_{in}$  的負虛部。

由於加入了電感  $L_s$ ，輸入阻抗等效為  $Z_{in} = \omega_T L_s + sL_s + \frac{1}{sC_{gs}}$ ，由式子發現  $L_s$  的加入將可以使得輸入阻抗產生一實部  $\omega_T L_s$ ，這將使得  $Z_{opt}$  的實部與  $Z_{in}$  的實部拉近。

需要達到同時雜訊與輸入阻抗匹配點  $Z_s$ ，利用此架構電路能控制的變數只有三個，電晶體 size、電晶體偏壓  $v_{gs}$ ，以及電感  $L_s$ ，電晶體 size 的 L 只會選最小值，以確保達到最大的  $\omega_T$ ，而調整電晶體 size 的 W 來決定  $C_{gs}$  來符合  $\text{Re}[Z_{opt}] = \text{Re}[Z_s]$ ，接著再選定  $L_s$ ，變動  $Z_{opt}$  虛部來符合  $\text{Im}[Z_{opt}] = \text{Im}[Z_s]$ ，最後調整  $v_{gs}$  變動  $\omega_T L_s$  來達到  $\text{Re}[Z_{in}] = \text{Re}[Z_s]$ ，當在選定  $L_s$  來達到最佳雜訊的虛部阻值條件同時也自動的在使得  $\text{Im}[Z_{in}] \approx -\text{Im}[Z_s]$ 。

然而上述的低雜訊放大器設計流程並沒有考慮功率的損耗，電晶體的 size 與偏壓直流將直接反應在功率損耗上，如果想要降低電晶體 size 來改善供率損耗，那麼將可能導致太高的  $\text{Re}[Z_{opr}]$  值，又  $\omega_T L_s$  值需要等於  $\text{Re}[Z_{opr}]$ ，所以在偏壓點已確定  $\omega_T$  的情況下只能加大  $L_s$  值，當  $L_s$  加大到某一定值，將使得  $F_{\min}$  大幅提升。因此為了要讓電路達到雜訊最低點以及最佳輸入阻抗的同時，電路設計將會犧牲功率損耗考量。



### 3.3 實作一，11GHz 低雜訊放大器

#### (TSMC 0.13 $\mu\text{m}$ CMOS)

##### 3.3.1 研究動機

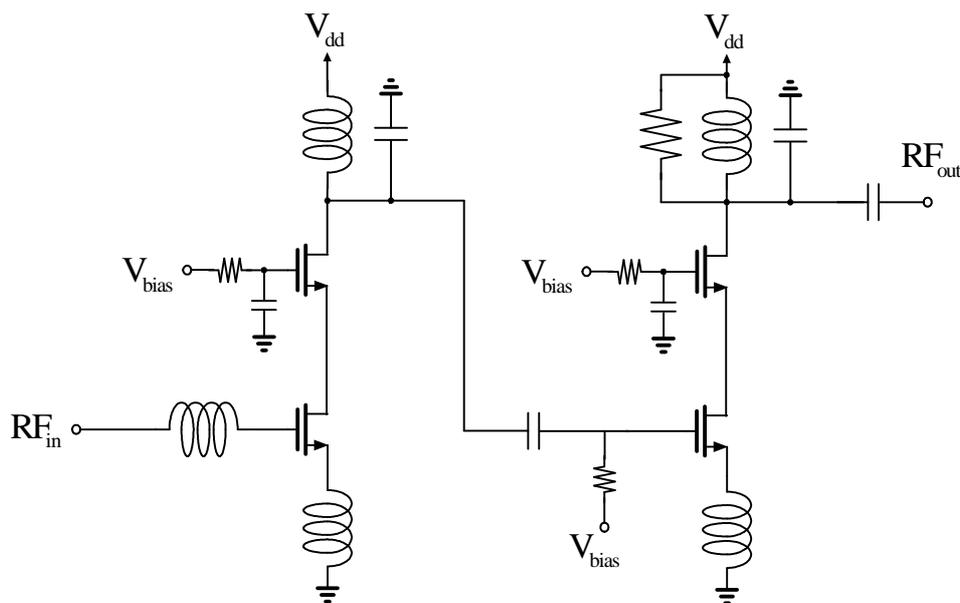
因為個人無線通信的普及使得無線通信系統的需求量大量的成長，對於小型化，低價格，低功率通信元件的需求也持續增加。因而為了成本與整合的考量，未來會趨向使用單一晶片來實現。CMOS在於能提供小面積、高重製性、高穩定性以及在大量生產時低價格的優勢，都給了射頻技術一個很好的選擇。另外，隨著製程技術的進步不斷地提升，具有高截止頻率( $f_c$ )以及最大振盪頻率( $f_{\text{max}}$ )的元件，因此更高操作頻率的射頻IC晶片得以實現，此次實驗是利用CMOS高整合度的特性以及TSMC 0.13 $\mu\text{m}$ 高截止頻率的特性來實現一11GHz的低雜訊放大器。



##### 3.3.2 電路設計

###### (I) 電路架構

此次電路實作，是使用TSMC CMOS 0.13 $\mu\text{m}$ 製程來實現。電路架構採用串接兩級疊接放大器組態來實現11GHz低雜訊放大器[4]，中間利用一顆電容來隔絕DC值，並且做為高通濾波來去除低頻不要的訊號，為了穩定度問題而在輸出端加上電阻。電路架構如圖(3.4)所示，在電路中所使用的電感都是利用TSMC所提供的模型來實作，而低雜訊放大器電路設計步驟如3.2節敘述，將在下面介紹設計流程以及電晶體size與電感的選定。



圖(3.4) 11GHz 低雜訊放大器架構

### (2) 電晶體元件設計

電晶體的變數有四個，分別為Type、Finger、Length，以及Width，電晶體的Type都選擇High Speed，並且Length選最小值，來取得較高的 $\omega_T$ ，因此可以降低電晶體的 $F_{min}$ 值。利用變數Width x Finger來調整 $C_{gs}$ 達到條件 $\text{Re}[Z_{opt}]$ 接近 $50\Omega$ ，而其中Width取最小值，Finger取最大值，才能讓 $R_g$ 確保為最小值，對noise的貢獻最小。如圖(3.5)所示，電晶體size選定2顆(Finger=48，Width= $1.2\mu m$ ，Length= $0.13\mu m$ )並聯，得到 $\text{Re}[Z_{opt}] = 62.96\Omega$ ，並不是最佳值 $50\Omega$ ，如果要達到 $50\Omega$ 還需要再向上加電晶體size，這樣會導致功率損耗太大。

### (3) 電感 $L_g$ 與 $L_s$ 設計

選定電感 $L_s$ 值來達到條件 $\text{Im}[Z_{opt}] = 0$ ，並且電感的Q值最高點要在

使用頻帶內，來確保電感會有最低的雜訊貢獻，利用這兩項條件就能訂出電感  $L_s$  繞線長度、寬度以及圈數，如圖(3.7) 所示，電路最後得到  $\text{Im}[Z_{opt}] = -21.448\Omega$ ，如圖(3.6)所示，當需要達到條件  $\text{Im}[Z_{opt}] = 0$  的情況，那麼需要再加大電感  $L_s$ ，將導致電路增益下降，當  $L_s$  超過某值時會使得雜訊指數大幅提升，因此必需在這之間做一個取捨。至於電感  $L_g$  的選定則可以由輸入阻抗匹配公式  $Z_{in} = \omega_T L_s + s(L_s + L_g) + \frac{1}{sC_{gs}}$  看出來，當電晶體size決定，電晶體  $C_{gs}$  固定，加上  $L_s$  已確定的情況下，由輸入阻抗匹配公式裡虛部項為零的條件  $\omega(L_g + L_s) = \frac{1}{\omega C_{gs}}$  可以決定電感  $L_g$  值。同樣的，必須選定電感繞線長度、寬度以及圈數，使得電感 Q 值在使用頻段內是最大值，如圖(3.8) 所示。

#### (4) 直流偏壓電流設計

電晶體size與電感  $L_g$ 、 $L_s$  皆已選定後，接下來要設計其直流偏壓電流偏壓。根據輸入阻抗匹配公式  $Z_{in} = \omega_T L_s + s(L_s + L_g) + \frac{1}{sC_{gs}}$ ，實部項  $\text{Re}\{Z_{in}\} = 50\Omega$  在  $L_s$  為已知情形下，調整直流偏壓達到條件  $\omega_T L_s = 50\Omega$ 。

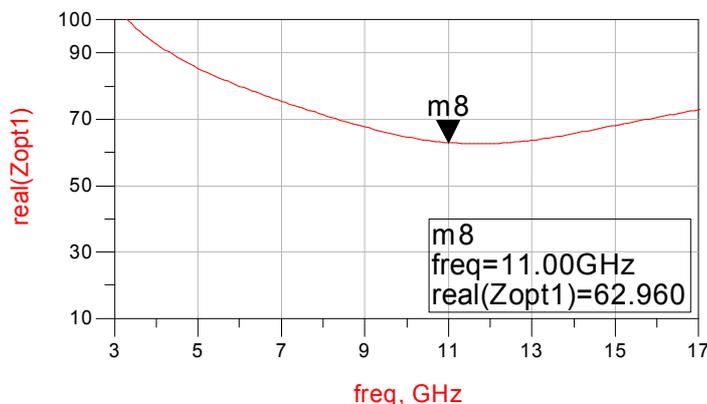
#### (5) 輸出級匹配網路

輸出端利用 LC tank 做簡單的負載，LC 共振頻率選在 11GHz，而電感以及電容的選取就需要考慮  $S_{21}$  最大值，並且  $S_{22}$  小於 -10dB 的條件，而第二級輸出端匹配網路並聯一個電阻，使電路能無條件穩定，不會造成振盪問題，並且此電阻產生的熱雜訊，會經由放大器的增益而消除，因此不太會影響該放大器的雜訊指數。

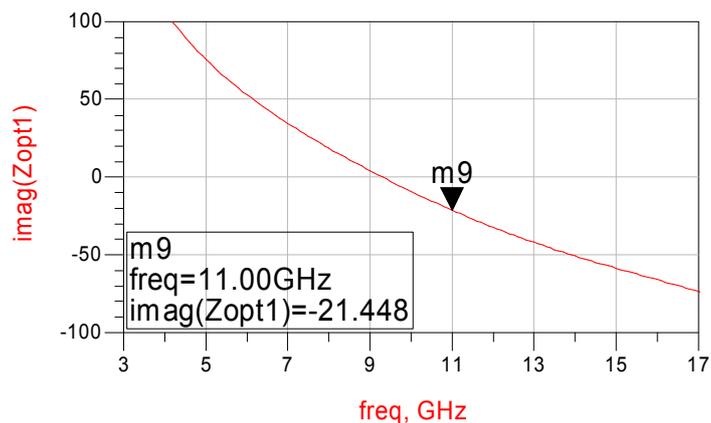
圖(3.9)說明了電晶體在沒有任何外加元件情形下Noise circle 與  $G_A$  circle，Noise circle每多0.1dB劃一圓，而  $G_A$  circle每降0.5dB劃一圓，由圖可以明顯的看出Noise circle與  $G_A$  circle不在同一點，因此無法直接利用匹配電路同時達到noise最低值與  $G_A$  最大值，比較圖(3.10)利用電感  $L_s$  做源級電感性退化的電路設計，明顯的由圖發現Noise circle拉往  $G_A$  circle。電路最終模擬結果雜訊指數為1.841dB距離  $F_{min}$  差了0.119dB，而  $S_{21}$  值為19.688dB， $S_{11}$  值為-19.5dB， $S_{22}$  值為-15.2dB，穩定度Mu值在所有頻帶都恆大於一，操作電壓1.2V，直流偏壓17.68mA，因此損耗功率為21.21mW。



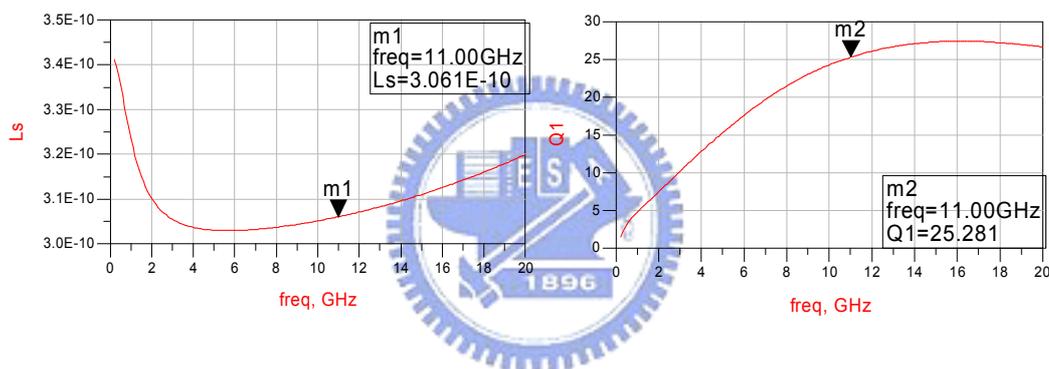
### 3.3.3 電路模擬結果



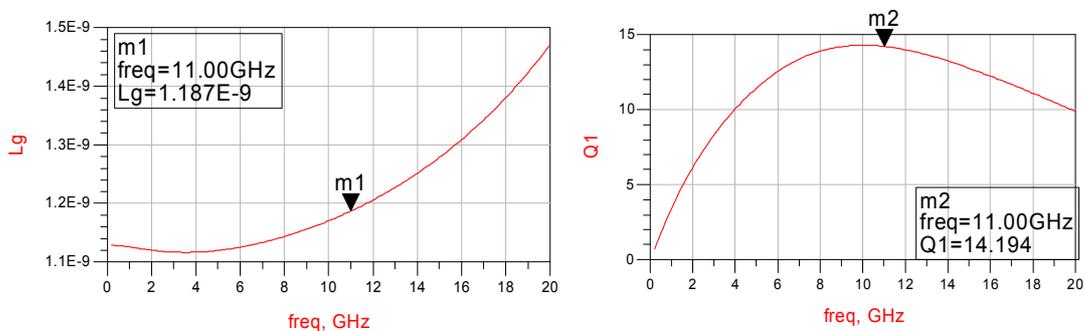
圖(3.5) 電路  $\text{Re}[Z_{opt}]$  模擬



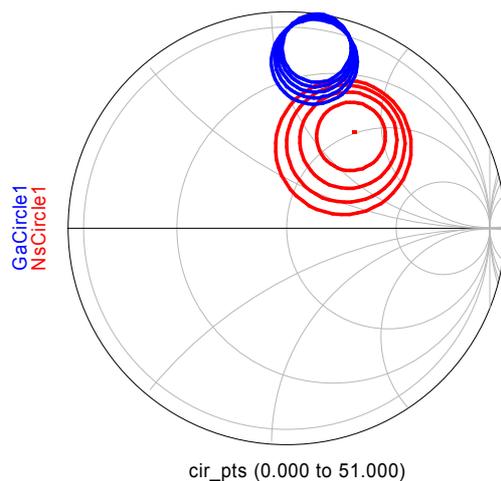
圖(3.6) 電路  $\text{Im}[Z_{opt}]$  模擬



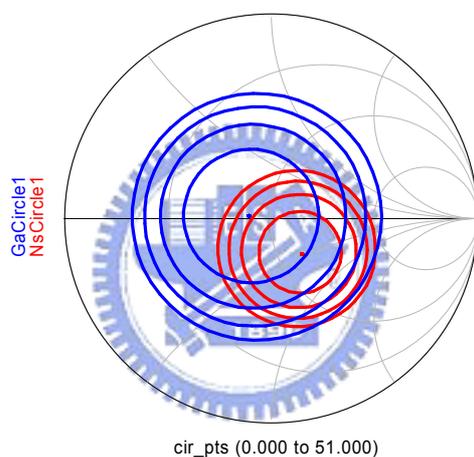
圖(3.7) 電感  $L_s$  (a)感值 (b)Q 值 模擬



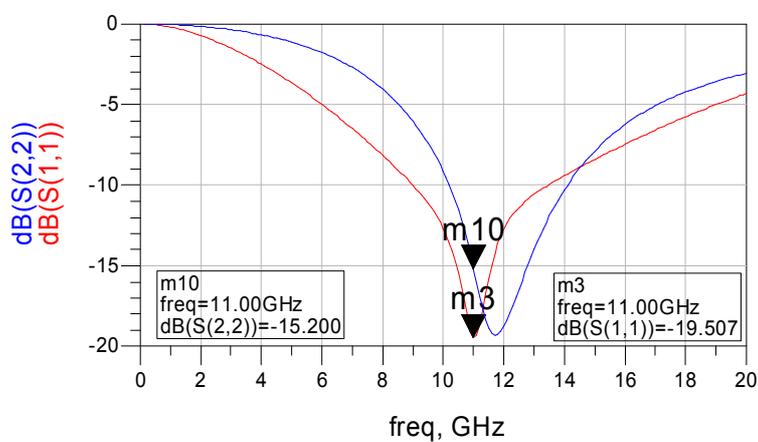
圖(3.8) 電感  $L_g$  (a)感值 (b)Q 值 模擬



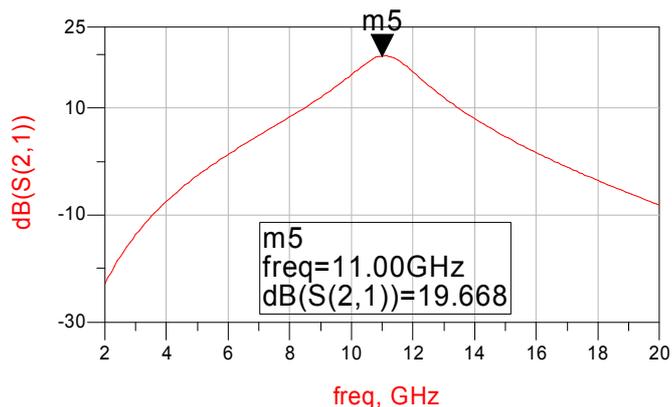
圖(3.9) 電晶體 Noise circle 與  $G_A$  circle(without  $L_s$ ) 模擬



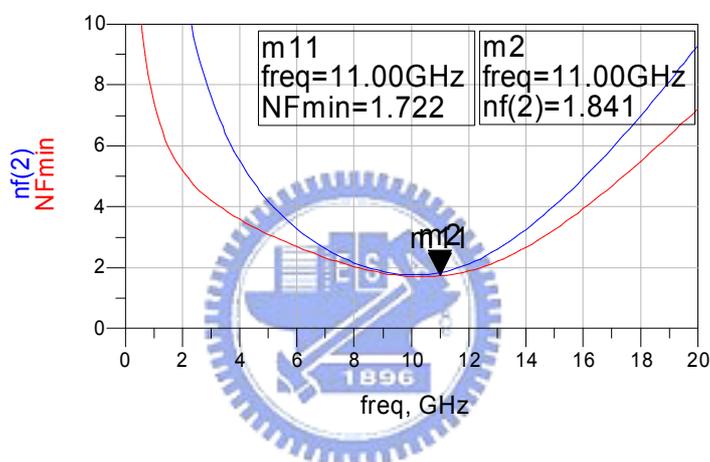
圖(3.10) 源級電感性退化電路 Noise circle 與  $G_A$  circle 模擬



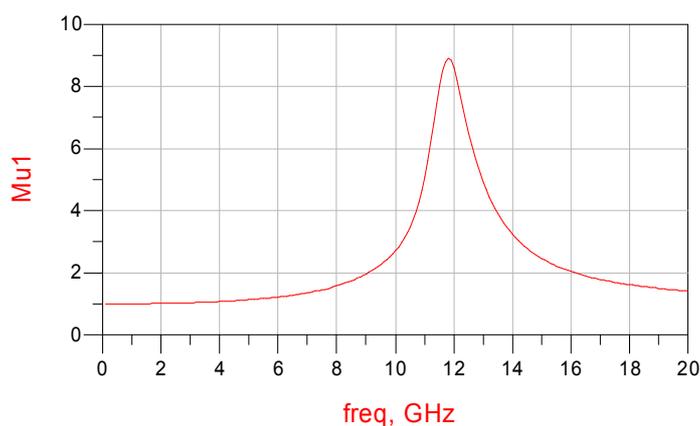
圖(3.11) 11GHz 低雜訊放大器- $S_{11}$ 、 $S_{22}$  模擬



圖(3.12) 11GHz 低雜訊放大器- $S_{21}$  模擬

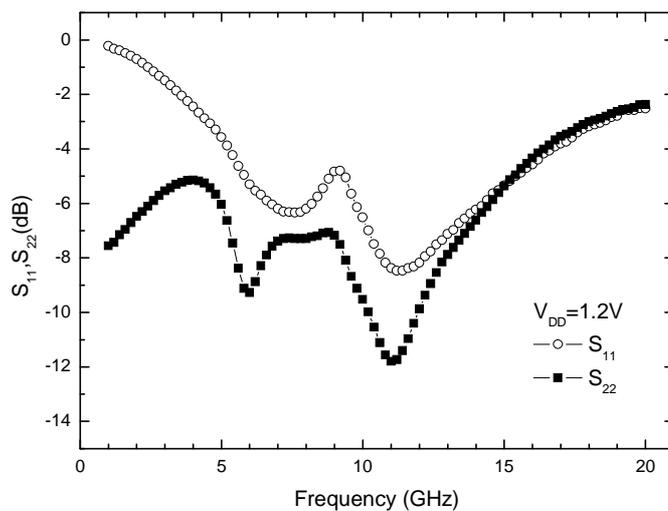


圖(3.13) 11GHz 低雜訊放大器-NF 模擬

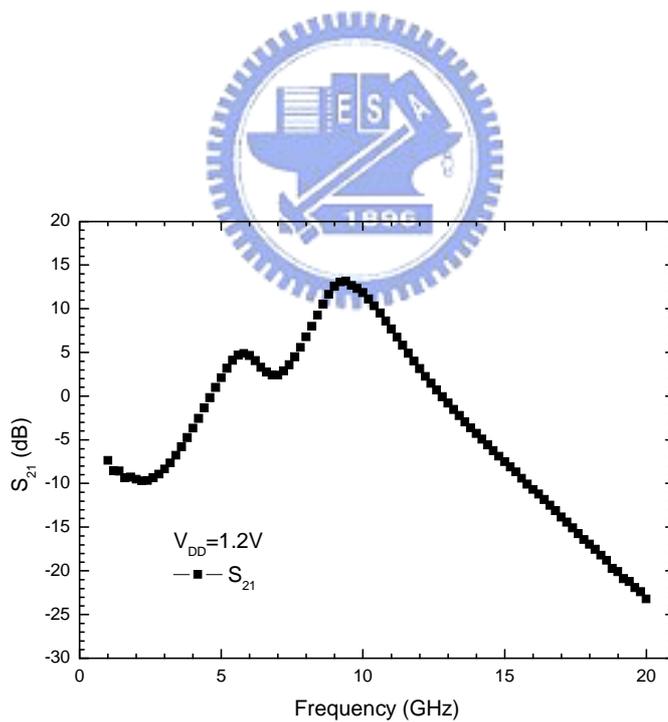


圖(3.14) 11GHz 低雜訊放大器-穩定度模擬

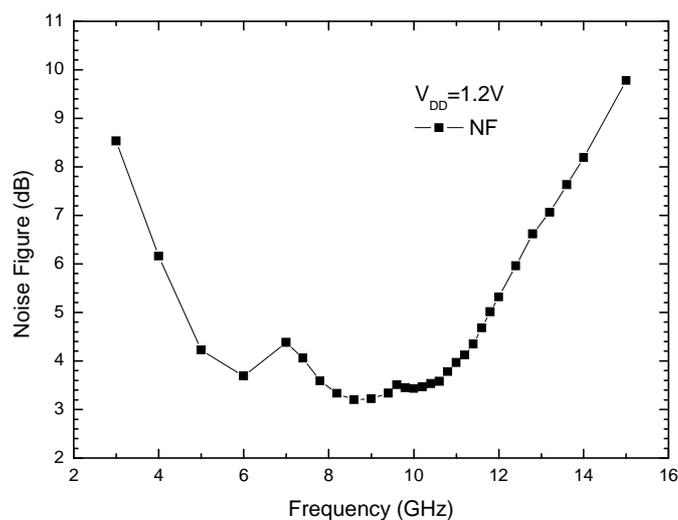
### 3.3.4 晶片量測結果



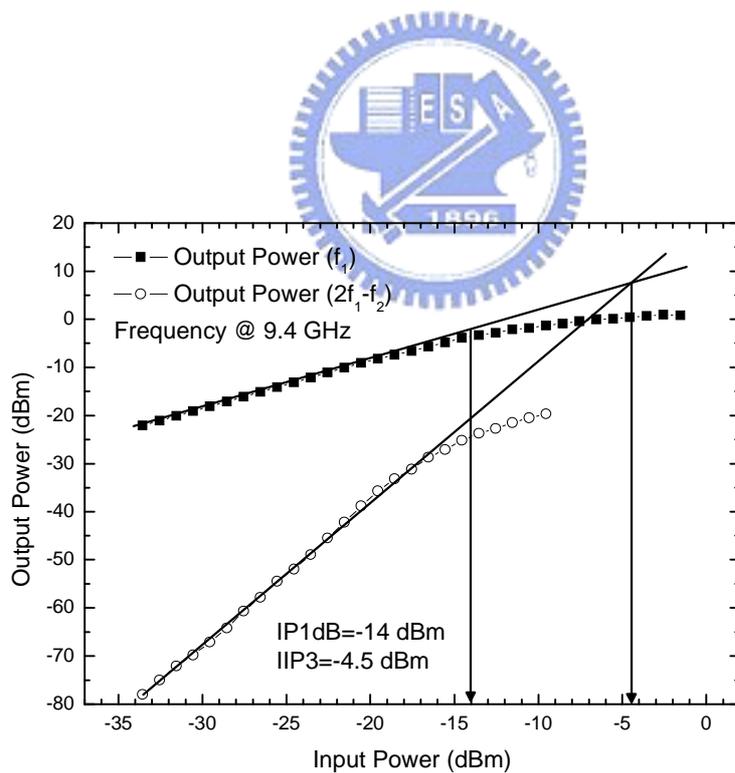
圖(3.15) 11GHz 低雜訊放大器- $S_{11}$ 、 $S_{22}$  量測結果



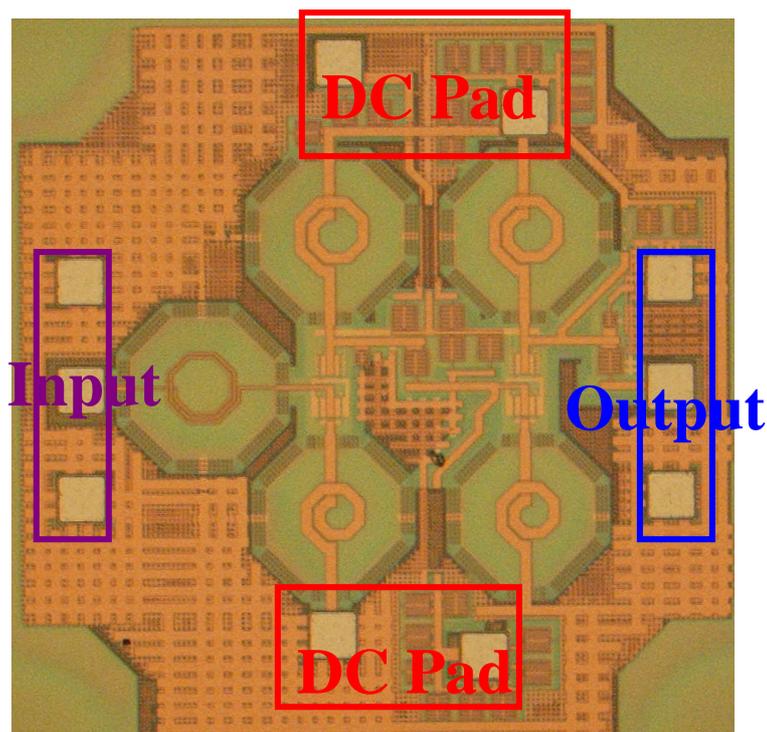
圖(3.16) 11GHz 低雜訊放大器- $S_{21}$  量測結果



圖(3.17) 11GHz 低雜訊放大器-NF 量測結果



圖(3.18) 11GHz低雜訊放大器-線性度 量測結果



圖(3.19) Die Photo(1 mm X 1 mm)

量測時使用 on-wafer 的高頻量測環境，由 2-Port 向量網路分析儀量得 S 參數，而雜訊指數是由高頻雜訊參數量測系統所量得。晶片的大小為  $1 \times 1 \text{ mm}^2$ ，圖(3.19)為晶片實作照片，圖中可以看到，射頻訊號輸入埠在晶片的左邊，輸出埠在晶片的右邊，DC pad 在晶片上方及下方，下方右邊的 DC pad 為提供第二級電晶體的 DC，上方右邊的 DC pad 為提供  $V_{DD}$  的 DC，上方左邊的 DC pad 為提供 2 級 C-G 電晶體的偏壓 DC，而下方左邊的 DC pad 為 ground pad。DC pad 周圍的電容，皆是用來 DC 穩壓之用。

#### 4.3.5 結果與討論

圖(3.16)為該電路的  $S_{21}$  量測結果，由該圖可以發現功率增益  $S_{21}$  的 peak 最高值為 13.14 dB，但其操作頻率向下偏移到 9.4 GHz，若不考慮

頻率偏移，則原先設計的11GHz其功率增益 $S_{21}$ 值為7.68 dB。

圖(3.15)顯示電路的 $S_{11}$ 、 $S_{22}$ 量測結果，由該圖可以看出在頻率9.4GHz時，輸入反射損耗 $S_{11}=-5.05\text{dB}$ 與輸出反射損耗 $S_{22}=-8.09\text{dB}$ ，而在原先設計頻率11GHz下，輸入反射損耗 $S_{11}=-8.38\text{dB}$ 與輸出反射損耗 $S_{22}=-11.8\text{dB}$ 。

圖(3.17)為該電路的雜訊指數量測結果，由該圖可以發現雜訊指數在頻率9.4GHz時，其雜訊指數為3.34dB，而在原先設計頻率11GHz時，其雜訊指數為3.97dB。

由圖(3.18)可以觀察到，該電路在9.4GHz頻段的線性度特性表現，由單調(one-tone)功率量測，可以發現該電路的IP1dB為-14dBm。由雙調(two-tone)功率量測，可以發現該電路的IIP3為-4.5dBm。

由量測結果可以明顯的發現 $S_{21}$ 的peak值不在11GHz，而是向下飄到9.4GHz，並且在頻率5.5GHz也有個peak值，主要是因為串接兩級疊接放大器的中間金屬走線所造成的誤差，使得 $S_{21}$ 不如模擬的預期，最後結果整理表3.1。

表 3.1 11GHz Low Noise Amplifier  
模擬與量測結果

<b>11GHz Low Noise Amplifier (TSMC 0.13<math>\mu</math>m CMOS)</b>		
<b>Item</b>	<b>Simulation</b>	<b>Measurement</b>
<b>Frequency</b>	<b>11GHz</b>	<b>9.4GHz</b> (11GHz)
<b>S21 (dB)</b>	<b>19.688</b>	<b>13.14</b> ( 7.68)
<b>NF (dB)</b>	<b>1.841</b>	<b>3.34</b> ( 3.97)
<b>S11 (dB)</b>	<b>-19.507</b>	<b>-5.05</b> (-8.38)
<b>S22 (dB)</b>	<b>-15.2</b>	<b>-8.09</b> ( -11.8)
<b>IP1dB (dBm)</b>	<b>N/A</b>	<b>-14</b>
<b>IIP3 (dBm)</b>	<b>N/A</b>	<b>-4.5</b>
<b>Supply Voltage</b>	<b>1.2 V</b>	<b>1.2 V</b>
<b>Supply Current</b>	<b>17.68 mA</b>	<b>18.5 mA</b>

## 3.4 實作二，使用變壓器型態之差動雙頻道 LNA (TSMC 0.18 $\mu$ m CMOS)

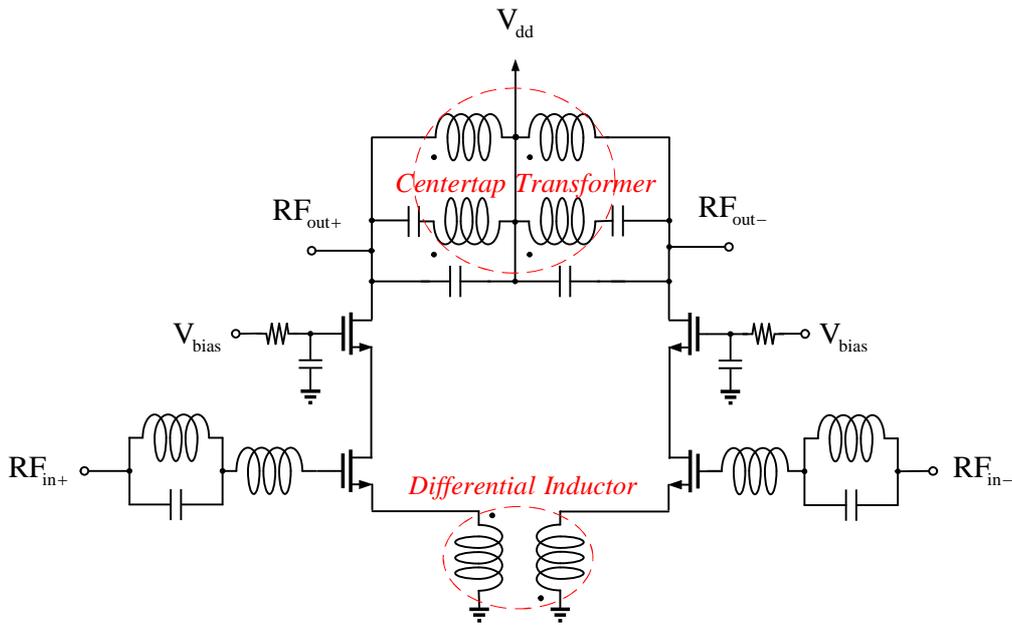
### 3.4.1 研究動機

近年來，因為多頻道多模態(Multi Band Multi Mode)通訊系統架構，為一重要的通訊系統模式。該系統架構，希望可以將多種不同的無線通訊系統，整合到單一收發機。根據這個概念，使得接收機端的低雜訊放大器，需要處理兩個以上的頻率訊號，所以近年來有不少的雙頻道、多頻道低雜訊放大器，但大部分都是以前開關(switch)來切換不同頻率的低雜訊放大器。本次實作的目的，將實現一個使用變壓器型態的共電流差動雙頻道低雜訊放大器，將兩個不同頻率的低雜訊放大器結合為一組能同時處理雙頻率的低雜訊放大器，而不是使用開關來切換使用頻率，並使用一個對稱型的變壓器，它可以看成是由兩個差動驅動電感所組成，相當於四個 single-ended 電感，因此可以縮小晶片面積，並且提升電感的 Q 值，相對的也降低了 noise figure。

### 3.4.2 電路設計

#### (1) 電路架構

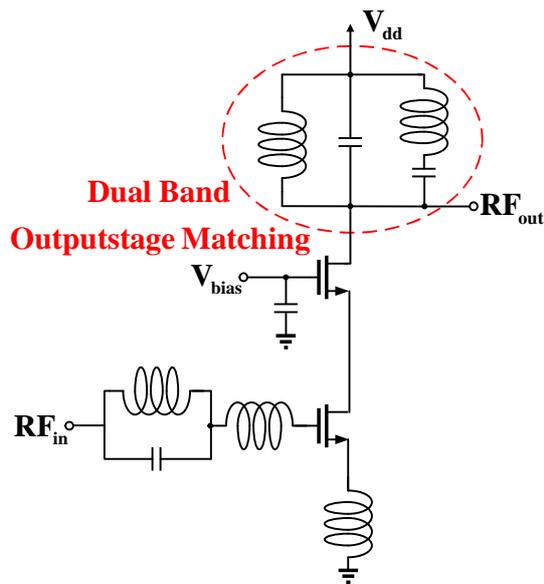
此次電路實作，是使用 TSMC CMOS 0.18  $\mu$ m 製程來實現。電路設計能同時處理 2.4GHz 與 5.2GHz 兩個頻率的訊號，並採用差動輸入的架構來改善  $IIP_2$ ，如圖(3.20)所示，而其中對稱的電感利用 transformer 以及 differential inductor 來化簡電感所佔 IC 的面積，並且提高 Q 值 [5][6]，降低雜訊貢獻度。



圖(3.20) 使用變壓器型態之差動雙頻道 LNA 電路架構

(2) 輸入級匹配網路

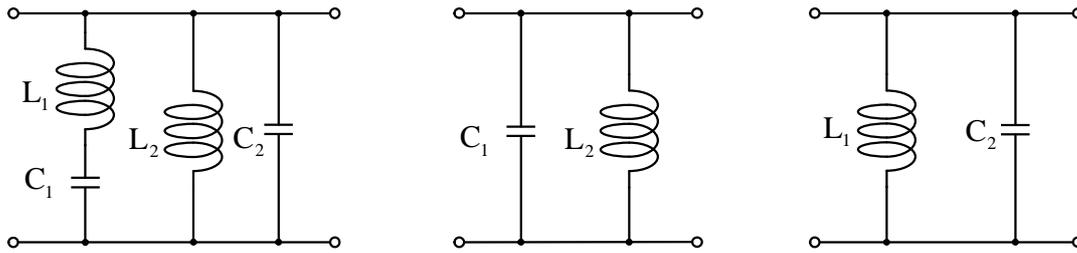
單邊電路架構，如圖(3.21)所示，輸入端利用一共振腔來同時達到 2.4GHz與5.2GHz匹配，其餘電晶體size的選擇以及電感值的決定都與 3.3節設計流程一樣。



圖(3.21) 共電流雙頻道LNA電路

(3) 輸出級匹配網路

該低雜訊放大器電路，希望可以同時在兩個頻率下達到  $S_{22}$  匹配。因此在輸出級匹配網路是由一組 LC branch 和另一組 LC tank 所組成，如圖(3.22)所示。



圖(3.22) 輸出端匹配網路 (a)低頻等效電路 (b)高頻等效電路

該輸出級匹配網路的等效輸出導納為，

$$Y_{out} = \frac{j\omega C_1}{1 - \omega^2 L_1 C_1} + \frac{1}{j\omega L_2} + j\omega C_2$$



令輸出導納為0，可以求得兩個共振頻率  $\omega_1$  以及  $\omega_2$ ，

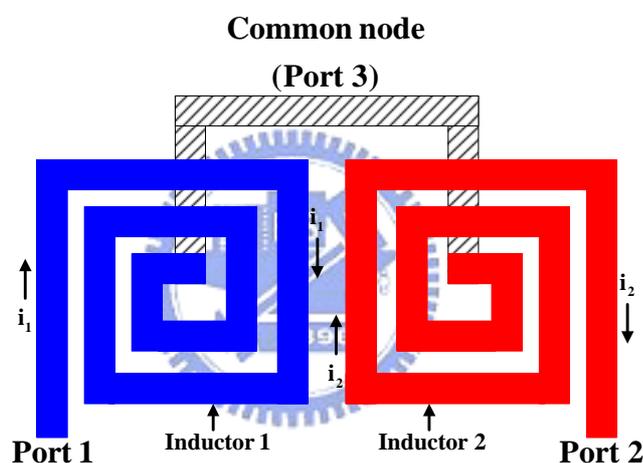
$$\omega_1 = \sqrt{\frac{(L_1 C_1 + L_2 C_2 + L_2 C_1) + \sqrt{(L_1 C_1 + L_2 C_2 + L_2 C_1)^2 - 4L_1 L_2 C_1 C_2}}{2L_1 L_2 C_1 C_2}}$$

$$\omega_2 = \sqrt{\frac{(L_1 C_1 + L_2 C_2 + L_2 C_1) - \sqrt{(L_1 C_1 + L_2 C_2 + L_2 C_1)^2 - 4L_1 L_2 C_1 C_2}}{2L_1 L_2 C_1 C_2}}$$

因此可以決定  $L_1 C_1$  以及  $L_2 C_2$  乘積值，在挑選適當的電感與電容值達到 maximum 的  $S_{21}$  並匹配  $S_{22}$ 。利用此輸出匹配網路，便可以在兩個頻率下同時達到輸出設計需求。

#### (4) 差動驅動對稱型電感

在差動電路的實現中，大部分的電路元件都會重覆，而最佔IC晶片面積的電路元件莫過於電感，把一對差動驅動非對稱spiral電感用於實體的佈局中，通常如圖(3.23)所示。由ac訊號源激發spiral的一端，而把另一端連接在一個common node上(如DC偏壓點或接地)，可以發現Port 1和Port 2的訊號在中間相交處電流流向相反，因此兩個電感之間需要一定的距離隔離，來抑制兩個電感之間互相相消的磁耦合，所以在IC實作上會更佔面積[7][8]。

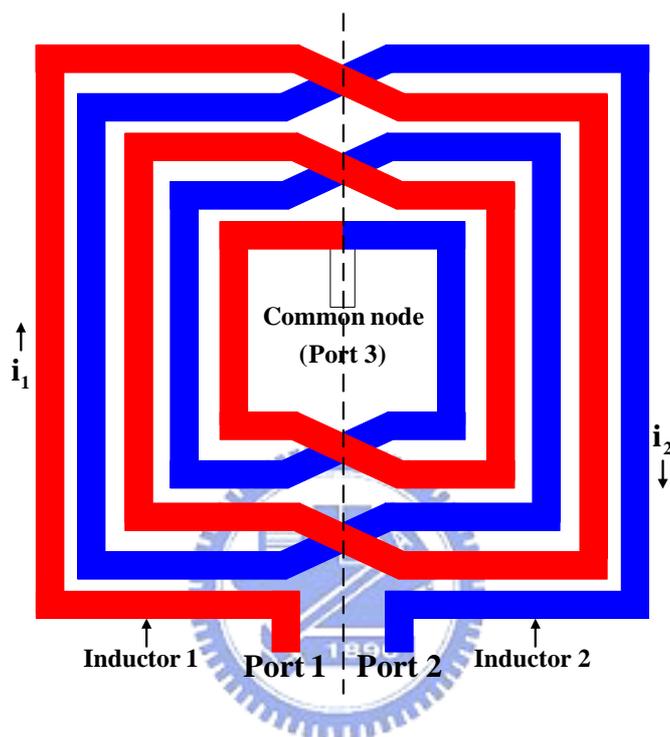


圖(3.23) 差動驅動非對稱型電感

如圖(3.24)所示，對稱型spiral電感差動驅動時，兩個鄰近的金屬線，其彼此間的電壓會反相，但是電流的流動方向會相同。如此一來，會加強由兩個平行金屬導體單位面積耦合產生的磁場，並增加整體單位面積的感值，因此提高了電路的Q值。對於對稱型電感而言，放置common node是很重要，因為它可以將其分為兩個同樣大小的spiral電感，並且使這兩個電感在Port 1和Port 2有相同的substrate寄生效應。

對於使用一對spiral電感，需有一定的距離來抑制彼此間的耦合，

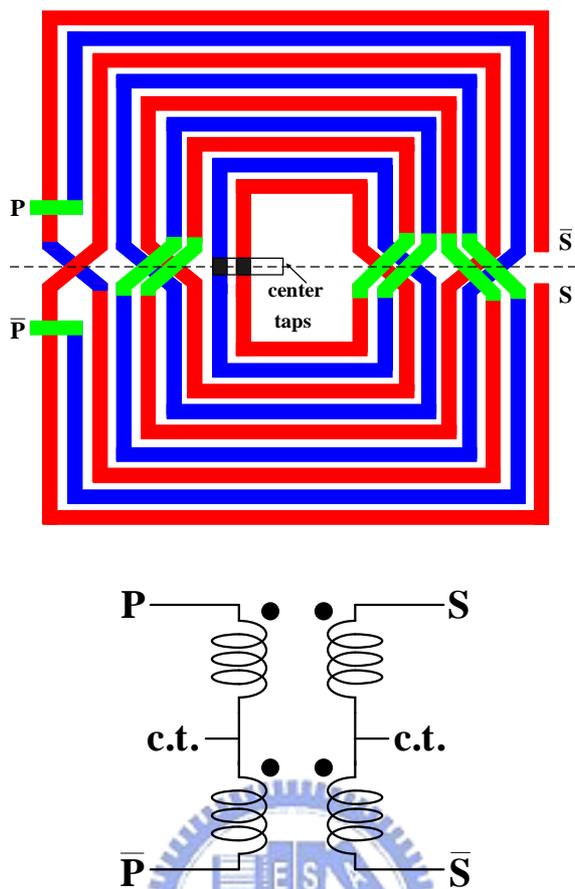
但在對稱型電感中並不需要考慮這個問題，一個差動驅動的對稱型電感可以將兩個spiral電感合併在一起，並且也不需要一定的距離來抑制彼此間的耦合，所以可以將電感佔IC晶片的面積減少，並且提高電感Q值。



圖(3.24) 差動驅動對稱型電感

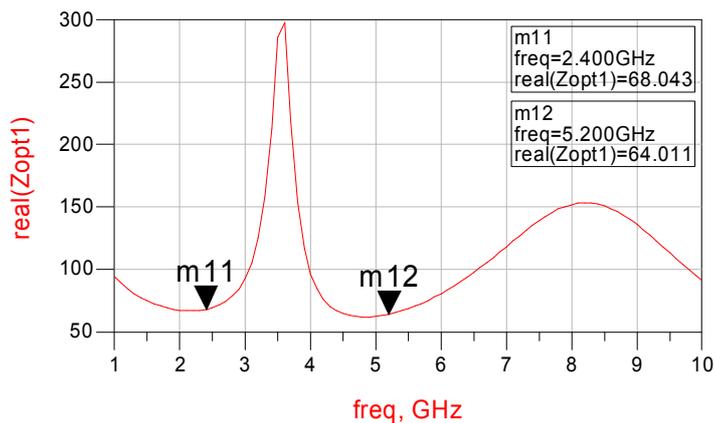
### (5) 差動驅動對稱型變壓器

差動電路輸出級匹配網路共需要四個single-ended電感，利用上述的分析，可以將這四個電感，合併成兩個差動驅動對稱型電感。但同樣的使用一對差動驅動對稱型電感，依舊需有一定的距離來抑制彼此間的耦合，如果使用一個對稱型變壓器架構的話，就不需要考慮這個問題。因此，一個差動驅動的對稱型變壓器，如圖(3.25)所示，可以將兩個差動驅動電感合併在一起，並且不需要一定的距離來抑制彼此間的相消耦合，可以將晶片的面積更為減少，並且提高電感Q值[9]。

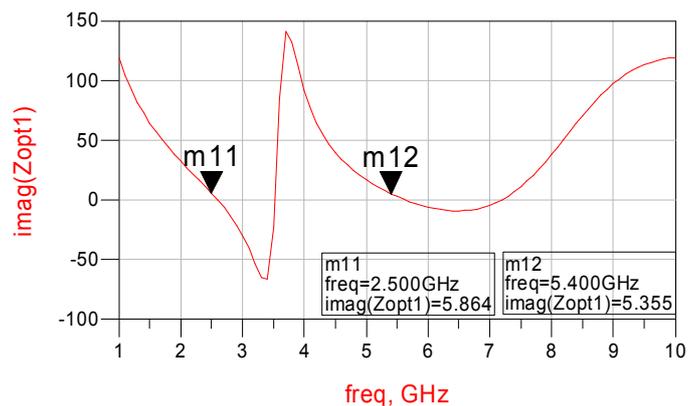


圖(3.25) 差動驅動對稱型變壓器 (a)實際佈局圖 (b)等效電路

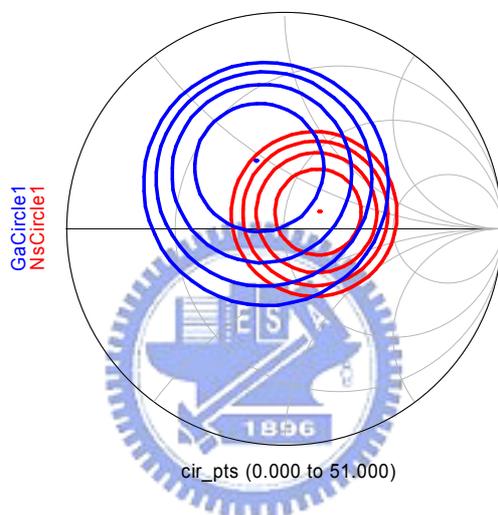
### 3.4.3 電路模擬結果



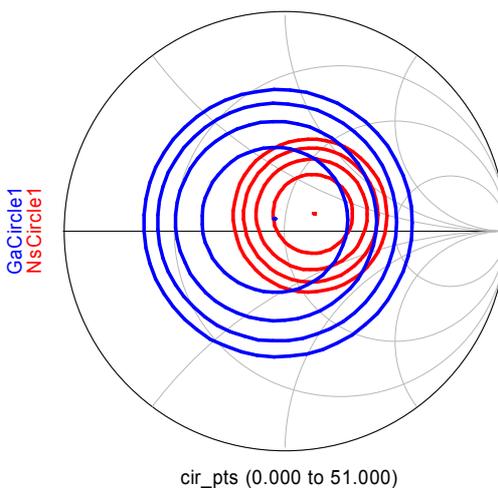
圖(3.26) 電路雙頻道  $\text{Re}[Z_{opt}]$  模擬



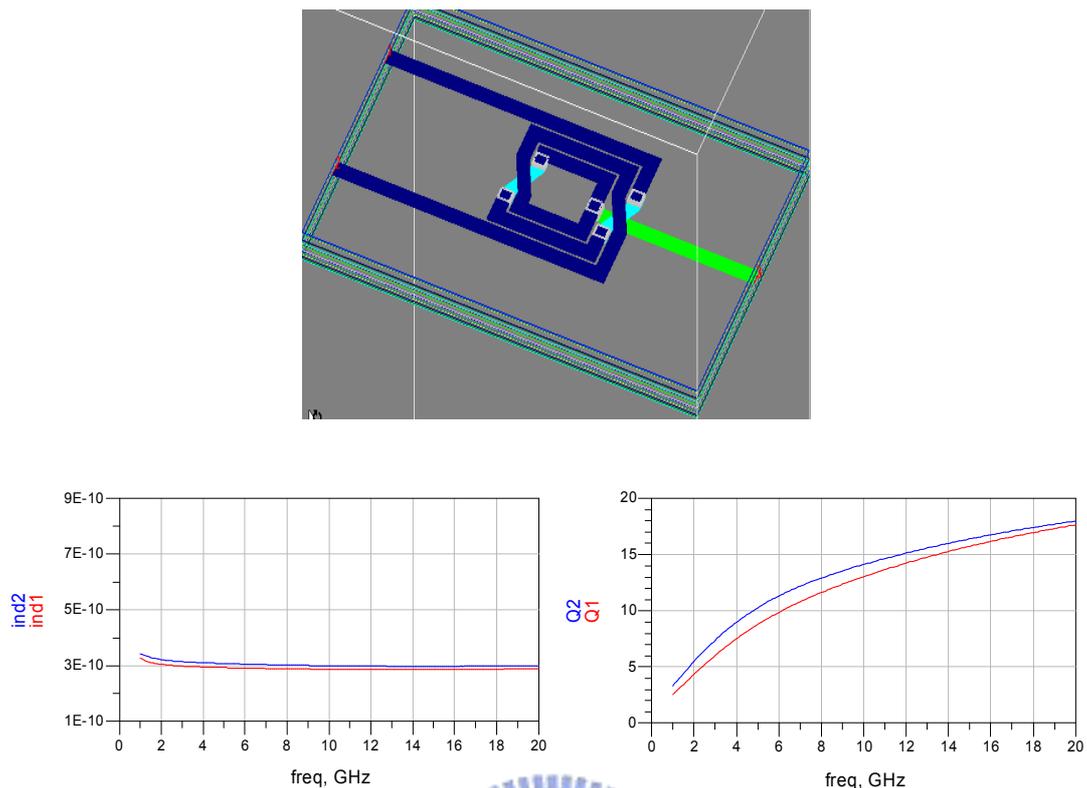
圖(3.27) 電路雙頻道  $\text{Im}[Z_{opt}]$  模擬



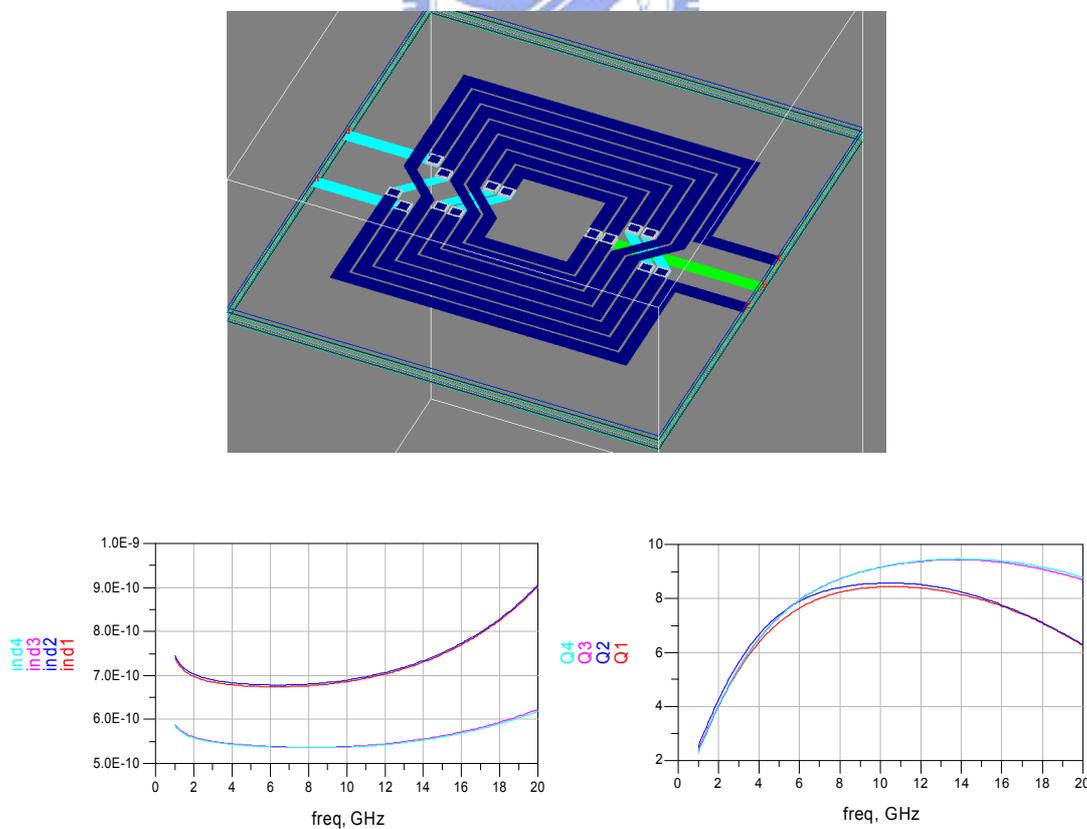
圖(3.28) 2.4GHz 之 Noise circle 與  $G_A$  circle 模擬



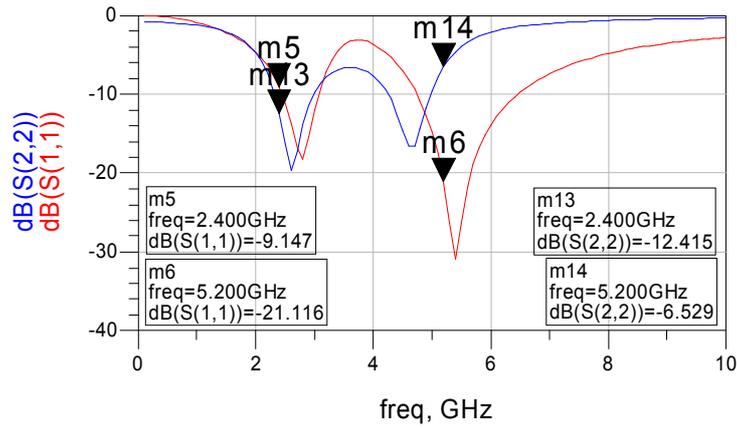
圖(3.29) 5.2GHz 之 Noise circle 與  $G_A$  circle 模擬



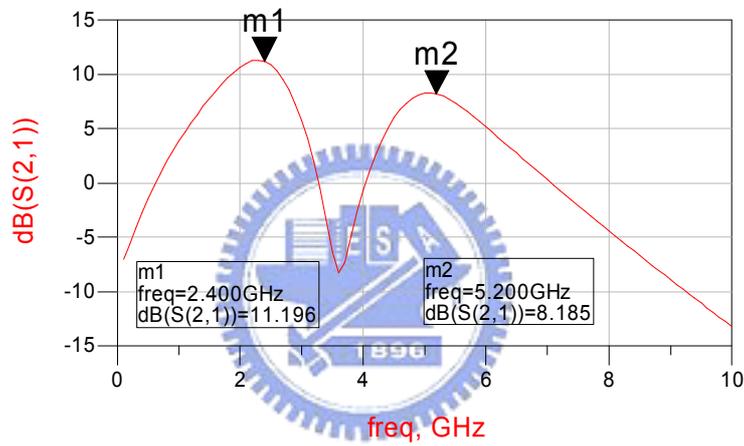
圖(3.30) 差動驅動對稱型電感(a)感值 (b)Q 值 模擬



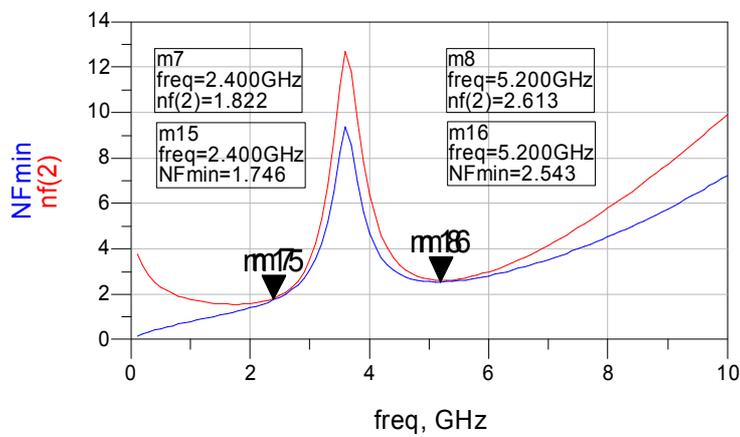
圖(3.31) 差動驅動對稱型變壓器(a)感值 (b)Q 值 模擬



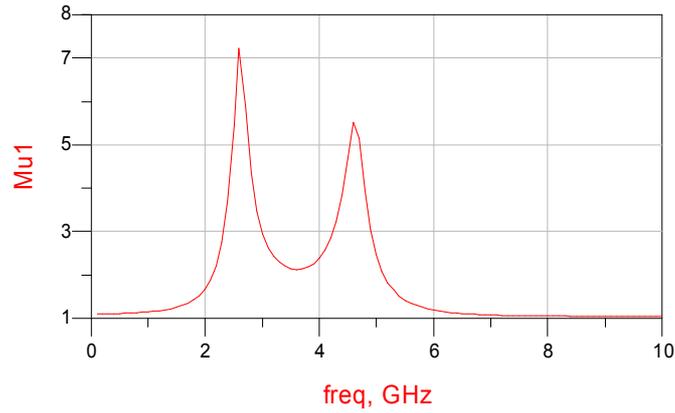
圖(3.32) 使用變壓器型態之差動雙頻道 LNA -  $S_{11}$ 、 $S_{22}$  模擬



圖(3.33) 使用變壓器型態之差動雙頻道 LNA -  $S_{21}$  模擬



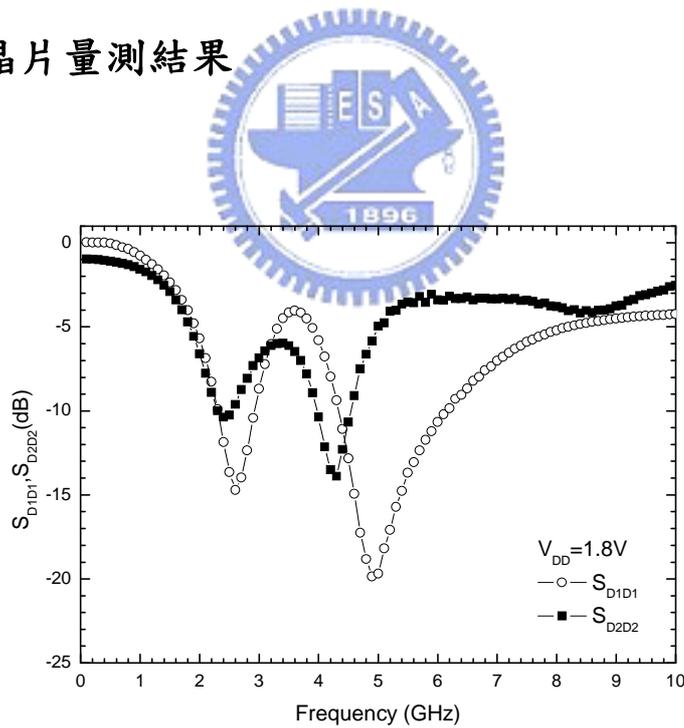
圖(3.34) 使用變壓器型態之差動雙頻道 LNA - NF 模擬



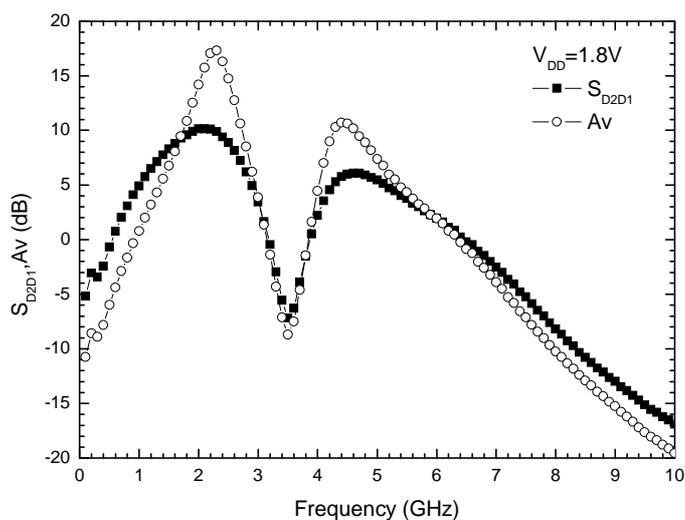
圖(3.35) 使用變壓器型態之差動雙頻道 LNA –穩定度 模擬

圖(3.28)以及圖(3.29)的Noise circle以0.1dB劃一單位圓而 $G_A$  circle則是以0.5dB劃一單位圓，其餘模擬結果數據將整理於表3.2。

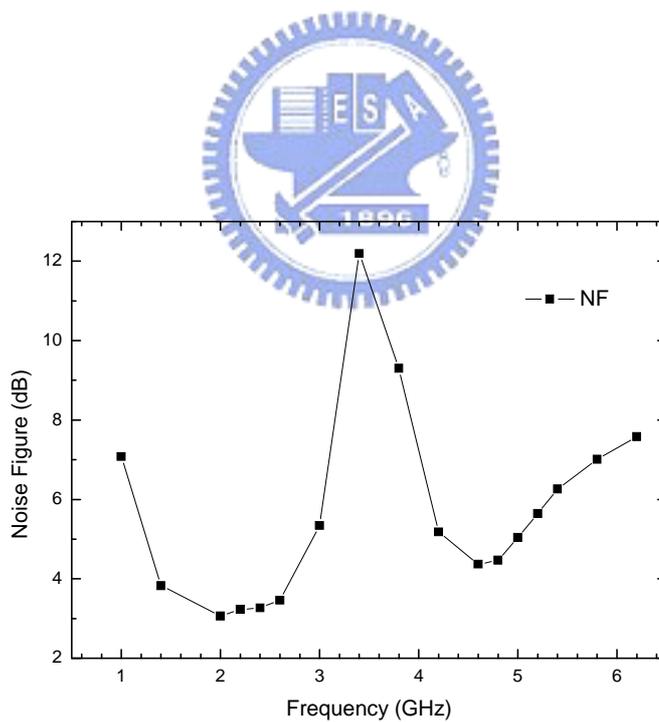
### 3.4.4 晶片量測結果



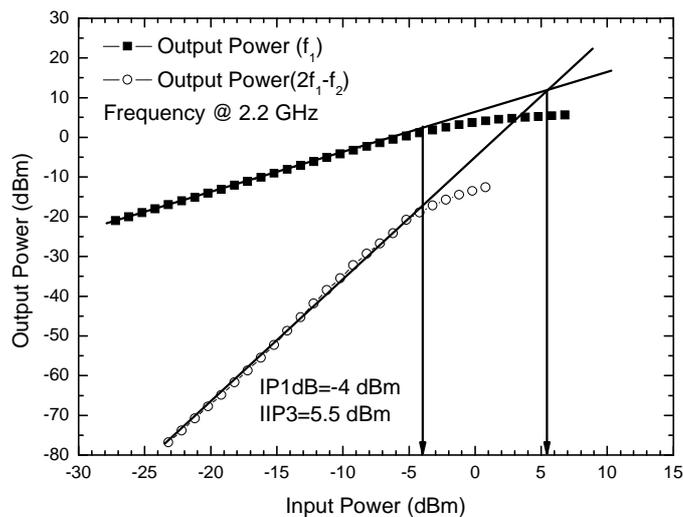
圖(3.36) 使用變壓器型態之差動雙頻道 LNA - $S_{D1D1}$ 、 $S_{D2D2}$  量測結果



圖(3.37) 使用變壓器型態之差動雙頻道 LNA -  $S_{D2D1}$ 、 $A_v$  量測結果

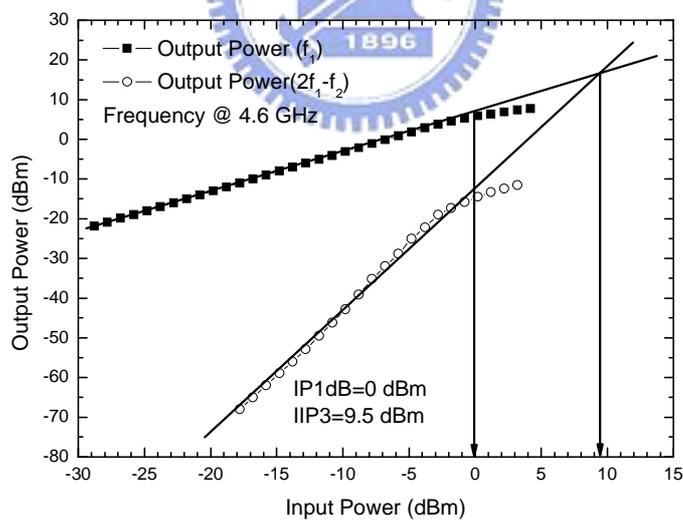


圖(3.38) 使用變壓器型態之差動雙頻道 LNA -NF 量測結果



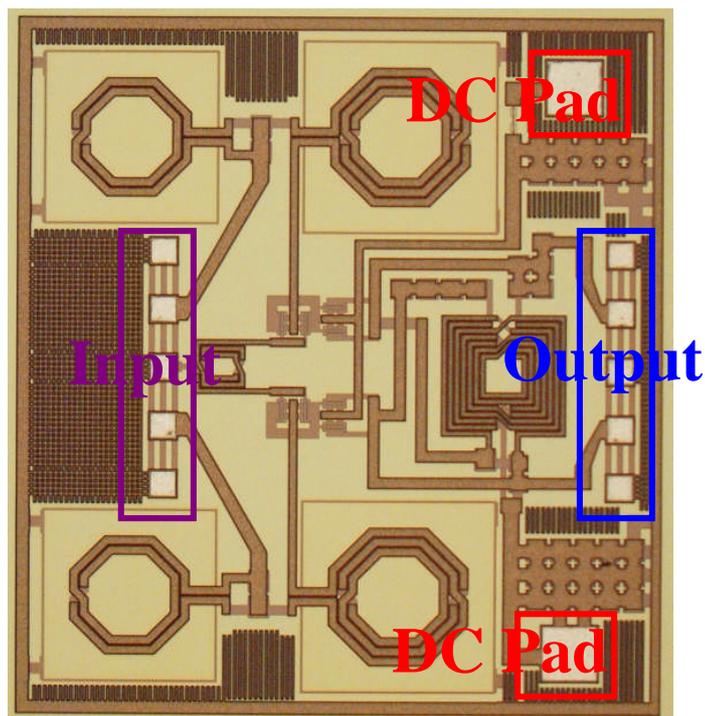
圖(3.39) 使用變壓器型態之差動雙頻道 LNA

-Low Band 線性度量測結果



圖(3.40) 使用變壓器型態之差動雙頻道 LNA

-High Band 線性度量測結果



圖(3.41) Die Photo(1.1 mm X 1.2 mm)

量測時使用 on-wafer 的4-Port 高頻量測環境，由4-Port 向量網路分析儀量得 S 參數，而雜訊指數是由高頻雜訊參數量測系統所量得。晶片的大小為1.1 X 1.2 mm<sup>2</sup>，圖(3.41)為晶片實作照片，圖中可以看到，射頻差動輸入埠在晶片的左邊，差動輸出埠在晶片的右邊，DC pad 在晶片的上方右邊為提供第二級電晶體的 DC，而下方右邊的 DC pad 為提供 V<sub>DD</sub> 的 DC。DC pad 周圍的電容，皆是用來 DC 穩壓之用。

### 3.4.5 結果與討論

因為量測環境是使用 on-wafer 的4-Port 向量網路分析儀，量得4-Port 的 S 參數，因此使用下面 matrix 將4-Port 的 S 參數代入，以得到差動2-Port 的 S 參數。

$$\begin{bmatrix} S_{D1D1} & S_{D1D2} \\ S_{D2D1} & S_{D2D2} \end{bmatrix} = \frac{1}{2} \begin{bmatrix} (S_{11} - S_{12} - S_{21} + S_{22}) & (S_{13} - S_{14} - S_{23} + S_{24}) \\ (S_{31} - S_{32} - S_{41} + S_{42}) & (S_{33} - S_{34} - S_{43} + S_{44}) \end{bmatrix}$$

而電壓增益  $A_v$  (available voltage gain) 為 ABCD 矩陣中 A 的倒數，

所以  $A_v = \frac{2S_{21}}{(1+S_{11})(1-S_{22})+S_{12}S_{21}}$ ，將量測的雙埠 S 參數代入，便可得  $A_v$ 。

圖(3.37)為該電路的  $S_{D2D1}$  量測結果，由該圖可以發現  $S_{D2D1}$  有兩個 peak，可以同時放大兩個頻段的訊號，但其操作頻率同時向下偏移。因此，低頻段的中心頻率從 2.4GHz 向下偏移到 2.2GHz，其功率增益  $S_{D2D1}$  為 10.1dB，電壓增益  $A_v$  為 17.05dB。高頻段的中心頻率從 5.2GHz 向下偏移到 4.6GHz，其功率增益  $S_{D2D1}$  為 6.08dB，電壓增益  $A_v$  為 10.19dB。若不考慮頻率偏移，該電路在低頻段 2.4GHz 時，其功率增益  $S_{D2D1}$  為 9.4dB，電壓增益  $A_v$  為 16.29dB。在高頻段 5.2GHz 時，其功率增益  $S_{D2D1}$  為 4.71dB，電壓增益  $A_v$  為 5.96dB。

圖(3.36)為該電路的  $S_{D1D1}$ 、 $S_{D2D2}$  量測結果，由該圖可以發現  $S_{D1D1}$  與  $S_{D2D2}$  皆有兩個 notch。同樣地，其操作頻率皆向下偏移。該電路在低頻段 2.2GHz 時，其輸入反射損耗為 -8.27dB，輸出反射損耗為 -8.89dB。該電路在高頻段 4.6GHz 時，其輸入反射損耗為 -14.93dB，輸出反射損耗為 -9.1dB。若不考慮頻率偏移，該電路在低頻段 2.4GHz 時，其輸入反射損耗為 -11.85dB，輸出反射損耗為 -10.37dB。在高頻段 5.2GHz 時，其輸入反射損耗為 -17.08dB，輸出反射損耗為 -4.07dB。

圖(3.38)為該電路的雜訊指數量測結果，由該圖可以發現雜訊指數有兩個 notch。該電路在低頻段 2.2GHz 時，其雜訊指數為 3.23dB，

在高頻段4.6GHz 時，其雜訊指數為4.37dB。若不考慮頻率偏移，該電路在低頻段2.4GHz 時，其雜訊指數為3.27dB，在高頻段5.2GHz 時，其雜訊指數為5.64dB。

由圖(3.39)與圖(3.40)可以觀察到，該電路低頻段與高頻段的線性度特性表現，由單調(one -tone)功率量測，可以發現該電路低頻段時的 IP1dB 為-4dBm，高頻段時的 IP1dB 為0dBm。由雙調(two-tone)功率量測，可以發現該電路低頻段時的 IIP3為5.5dBm，高頻段時的 IIP3為9.5dBm。對於該電路而言，因為在高頻段時的增益較低，所以其線性度的表現比低頻段較好。該電路在低頻段與高頻段時，皆有不錯的線性度表現，最後結果整理於表3.2。



表3.2 Differential dual-band LNA utilizing transformer

模擬與量測結果

<b>Differential dual-band LNA utilizing transformer (TSMC 0.18<math>\mu</math>m CMOS)</b>				
<b>Item</b>	<b>Simulation</b>		<b>Measurement</b>	
<b>Frequency</b>	<b>2.4GHz</b>	<b>5.2GHz</b>	<b>2.2GHz (2.4GHz)</b>	<b>4.6GHz (5.2GHz)</b>
<b>S21 (dB)</b>	<b>11.19</b>	<b>8.18</b>	<b>10.1 (9.4)</b>	<b>6.08 (4.71)</b>
<b>Av (dB)</b>	<b>N/A</b>	<b>N/A</b>	<b>17.05 (16.29)</b>	<b>10.19 (5.96)</b>
<b>NF (dB)</b>	<b>1.822</b>	<b>2.613</b>	<b>3.23 (3.27)</b>	<b>4.37 (5.64)</b>
<b>S11 (dB)</b>	<b>-9.14</b>	<b>-21.11</b>	<b>-8.27 (-11.85)</b>	<b>-14.93 (-17.08)</b>
<b>S22 (dB)</b>	<b>-12.41</b>	<b>-6.52</b>	<b>-8.89 (-10.37)</b>	<b>-9.1 (-4.07)</b>
<b>IP1dB (dBm)</b>	<b>N/A</b>	<b>N/A</b>	<b>-4</b>	<b>0</b>
<b>IIP3 (dBm)</b>	<b>N/A</b>	<b>N/A</b>	<b>5.5</b>	<b>9.5</b>
<b>Supply Voltage</b>	<b>1.8 V</b>		<b>1.8 V</b>	
<b>Supply Current</b>	<b>20 mA</b>		<b>20 mA</b>	

## 3.5 實作三，中間級匹配之差動雙頻道 LNA

### (TSMC 0.35 $\mu\text{m}$ SiGe BiCMOS)

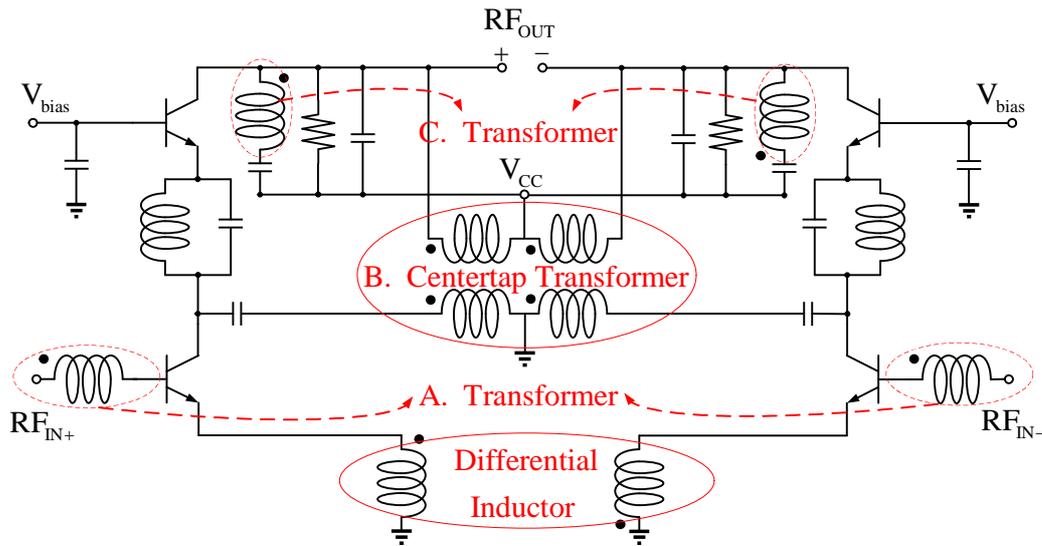
#### 3.5.1 研究動機

一般疊接的低雜訊放大器，在共射極和共基極之間，並沒有考慮中間級匹配(Inter-Stage Matching)的問題。本次實作目的是延續實作二的設計，實現一個使用變壓器型態的共電流差動雙頻道低雜訊放大器，將兩個不同頻率的低雜訊放大器結合為一組能同時處理雙頻率的低雜訊放大器，而不是使用開關來切換頻率，並使用三個對稱型的變壓器與一個差動驅動對稱型電感，來化簡原先需要的 10 個單端電感，因此可以縮小晶片面積，並且提升電感的 Q 值，相對的降低 noise figure，並設計使其中間級匹配[9]，讓增益提高。

#### 3.5.2 電路設計

##### (1) 電路架構

此次電路實作，是使用 TSMC 0.35  $\mu\text{m}$  SiGe BiCMOS 製程來實現。電路設計能同時處理 2.4GHz 與 5.2GHz 兩個頻率的訊號，並採用差動輸入的架構來改善  $IIP_2$ ，如圖(3.42)所示，而其中對稱的電感利用 transformer 以及 differential inductor 來化簡電感所佔 IC 的面積，提高電感 Q 值，並且降低 noise figure，而在共射極和共基極之間同樣的利用匹配網路來達到雙頻率共軛匹配，電晶體的選擇方式以及雙頻道匹配網路都將在下面作詳細的討論。



圖(3.42) 中間級匹配之差動雙頻道 LNA 電路架構

### (2) 電晶體元件設計

由於使用 TSMC SiGe  $0.35\ \mu\text{m}$  製程來實作，所以在 BJT 電晶體的選擇上就只有 type 以及幾種 size 讓使用者選擇，據前面 3.3 節所述，high speed 電晶體的  $F_{\text{min}}$  最小，因此使用 dn 型態的電晶體，而 emitter width 增加會使  $F_{\text{min}}$  增加，所以 emitter width 要選擇最小值。接下來只剩下變數 Finger 數以及 emitter length，Finger x emitter length 的大小增加時， $R_{\text{opt}}$  會變小，而該電路是設計同時處理 2.4GHz 和 5.2GHz 兩個頻率的訊號，所以希望電晶體的 Finger x emitter length 夠大，使這兩個頻率的  $R_{\text{opt}}$  接近  $50\ \Omega$ 。根據上述的條件，電路選擇 dn155C2 的電晶體來設計低雜訊放大器。

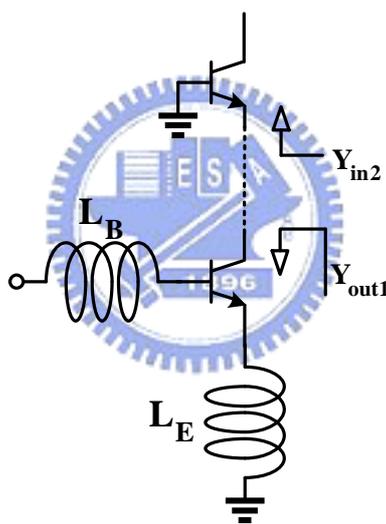
### (3) 中間級匹配網路

傳統的疊接低雜訊放大器，如圖(3.43)所示。第一級共射極電感

性退化架構的輸出端，看到的阻抗  $Z_{out1} = 1/Y_{out1}$  為一高阻抗，而第二級共基極架構的輸入端，看到的阻抗  $Z_{in2} = 1/Y_{in2}$  為一低阻抗，此兩級電晶體阻抗並非共軛匹配，因此無法達到最大功率傳送。

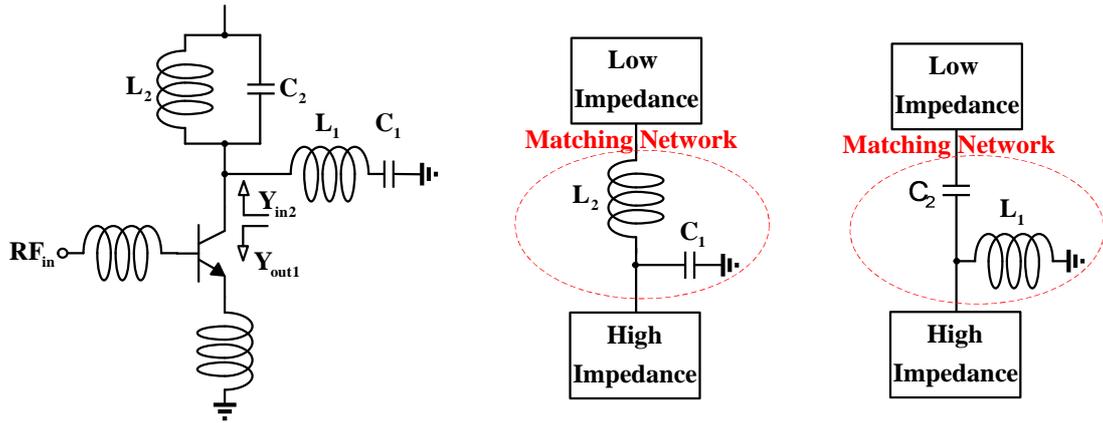
$$Y_{out1} = \frac{g_m \frac{C_\mu}{C_\pi + C_\mu} + j\omega \frac{C_\pi C_\mu}{C_\pi + C_\mu}}{\left[ 1 + \omega^2 C_\mu L_E \left( 1 + \frac{C_\mu}{C_\pi + C_\mu} \right) + j\omega g_m L_E \frac{C_\mu}{C_\pi + C_\mu} \right]}$$

$$Y_{in2} = g_m$$



圖(3.43) 傳統疊接低雜訊放大器內部匹配問題

因此在兩電晶體間加入一中間級匹配網路，以達到最大功率轉換。因為要同時考慮兩個頻率的匹配，因此使用一個LC branch、和一個LC tank來設計中間級匹配網路，如圖(3.44)所示，低頻時等效電路為並聯電容串連電感，高頻時等效電路為並聯電感串連電容，都是利用L型匹配方式，將阻抗由高阻值轉換到低阻值。



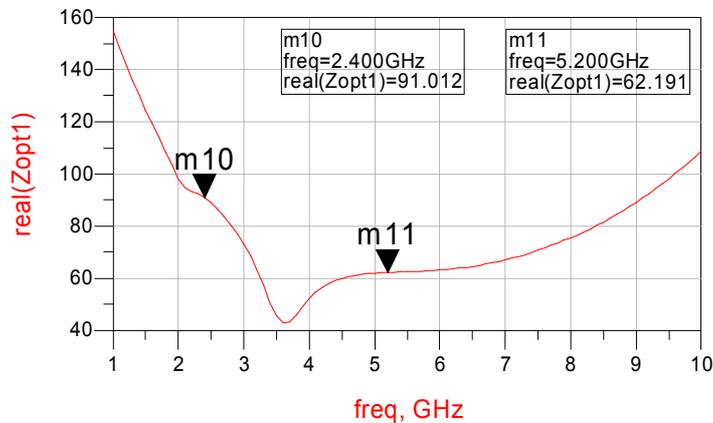
圖(3.44) (a)雙頻道中間級匹配網路

(b)低頻匹配等效電路(c)高頻匹配等效電路

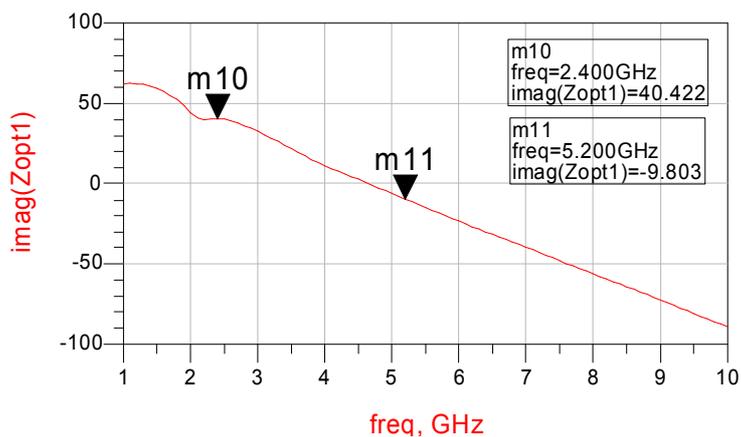
其餘輸入級網路匹配、輸出級網路匹配、直流偏壓電流設計，以及變壓器的選擇都是與3.3節與3.4節設計方法一樣。



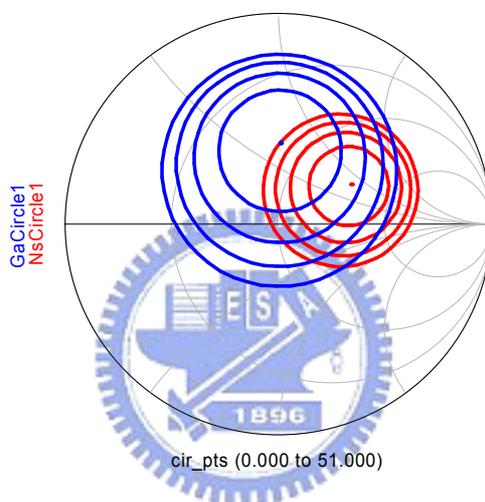
### 3.5.3 電路模擬結果



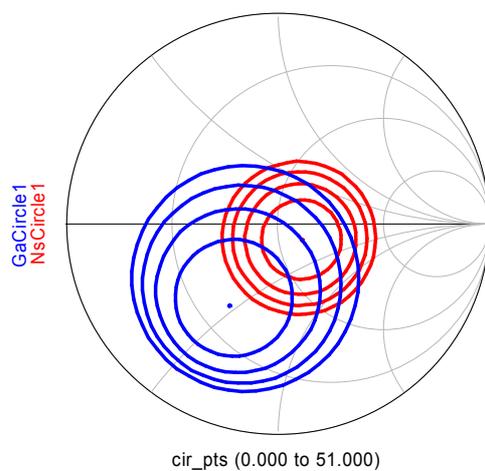
圖(3.45) 電路雙頻道  $Re[Z_{opt}]$  模擬



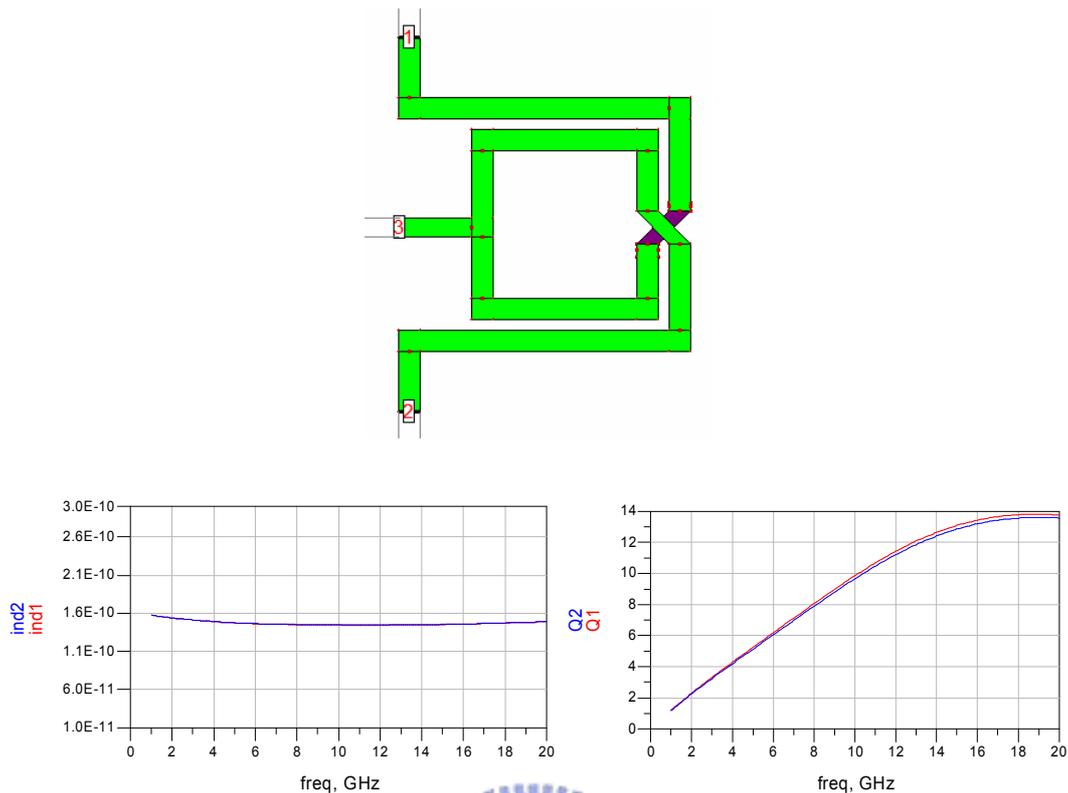
圖(3.46) 電路雙頻道  $\text{Im}[Z_{opt}]$  模擬



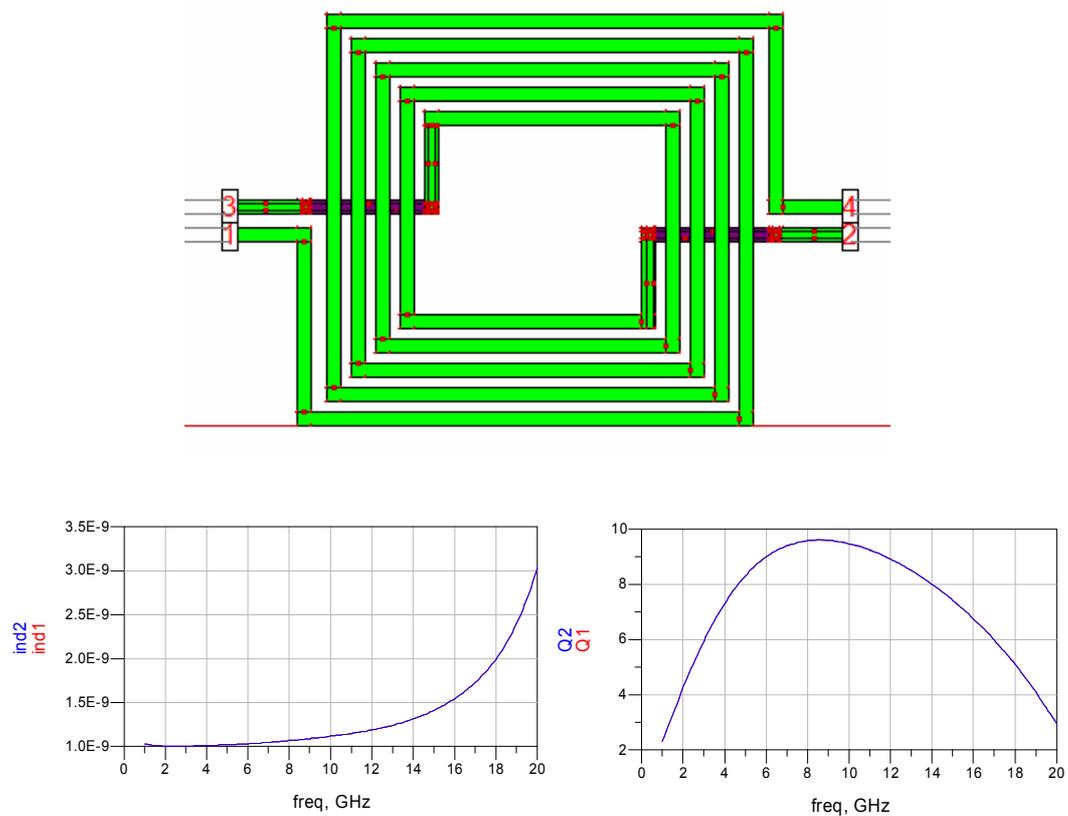
圖(3.47) 2.4GHz 之 Noise circle 與  $G_A$  circle 模擬



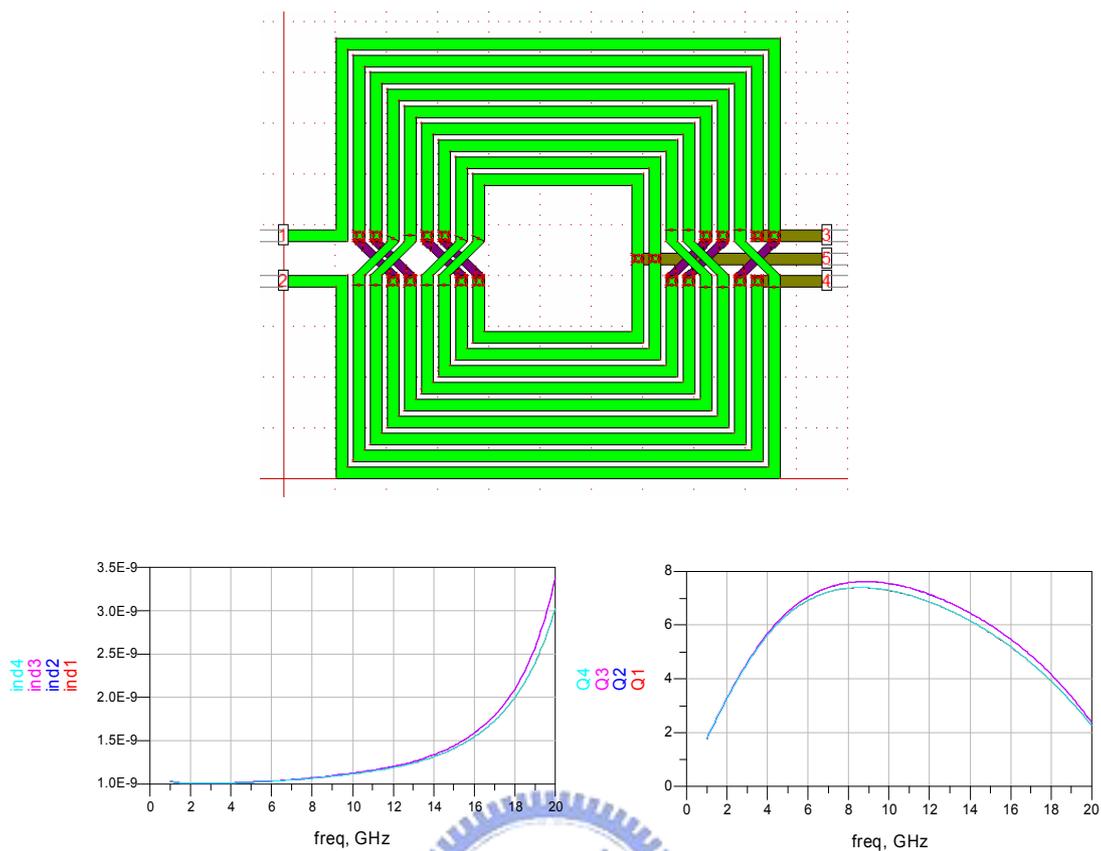
圖(3.48) 5.2GHz 之 Noise circle 與  $G_A$  circle 模擬



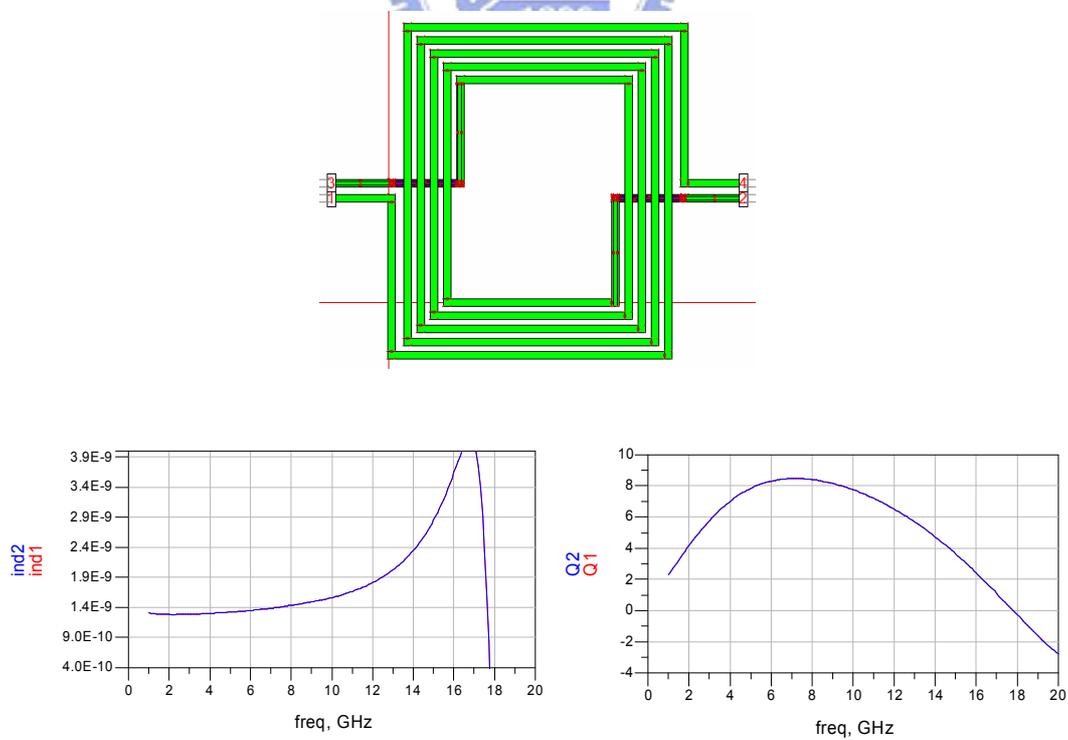
圖(3.49) 差動驅動對稱型電感(a)感值 (b)Q值 模擬



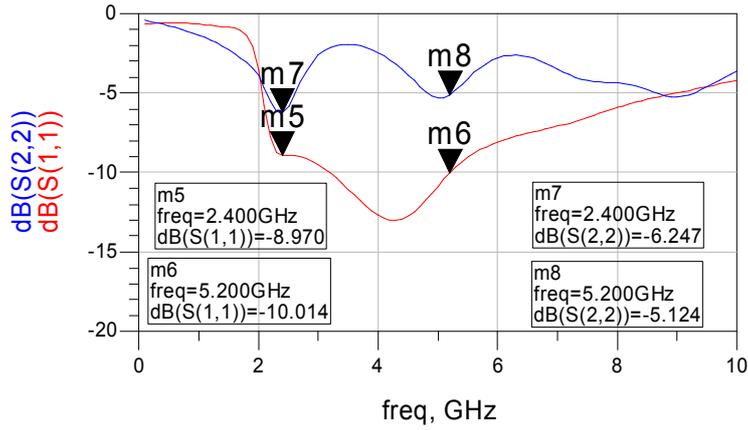
圖(3.50) 差動驅動對稱型變壓器-A (a)感值 (b)Q值 模擬



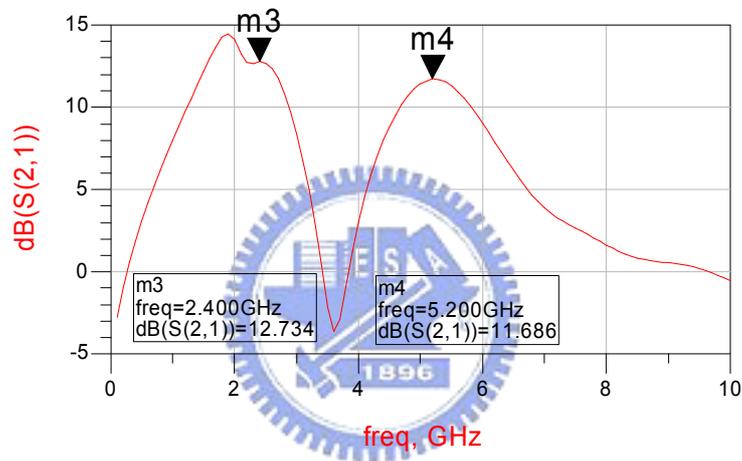
圖(3.51) 差動驅動對稱型變壓器-B (a)感值 (b)Q 值 模擬



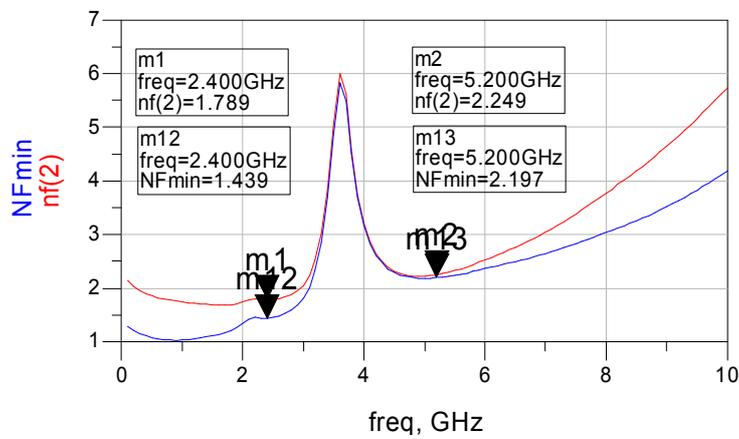
圖(3.52) 差動驅動對稱型變壓器-C (a)感值 (b)Q 值 模擬



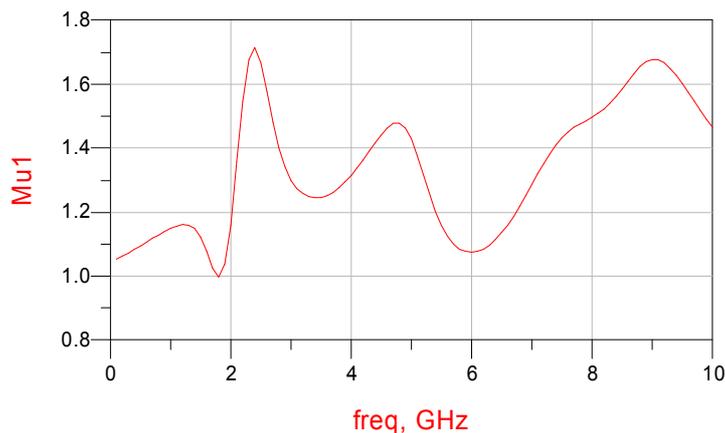
圖(3.53) 中間級匹配之差動雙頻道 LNA -  $S_{11}$ 、 $S_{22}$  模擬



圖(3.54) 中間級匹配之差動雙頻道 LNA -  $S_{21}$  模擬



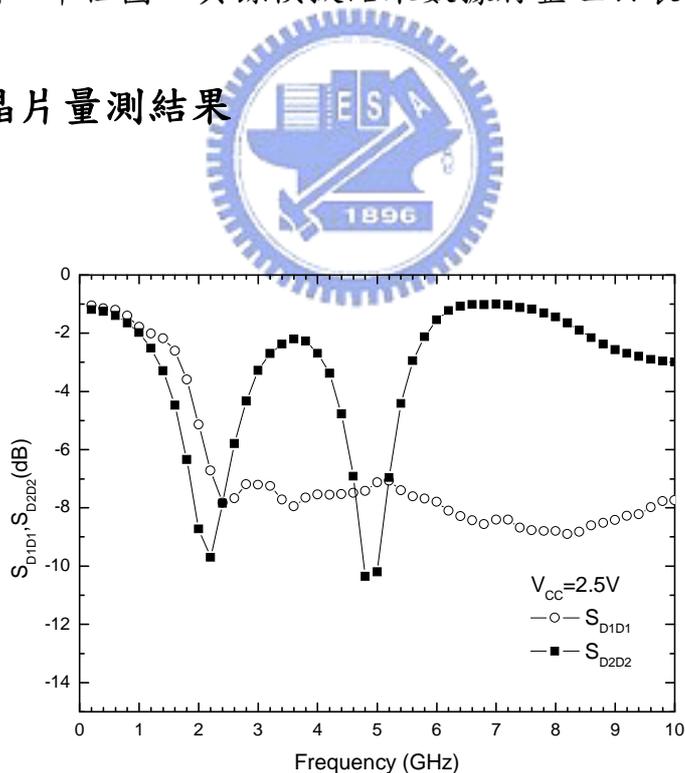
圖(3.55) 中間級匹配之差動雙頻道 LNA -NF 模擬



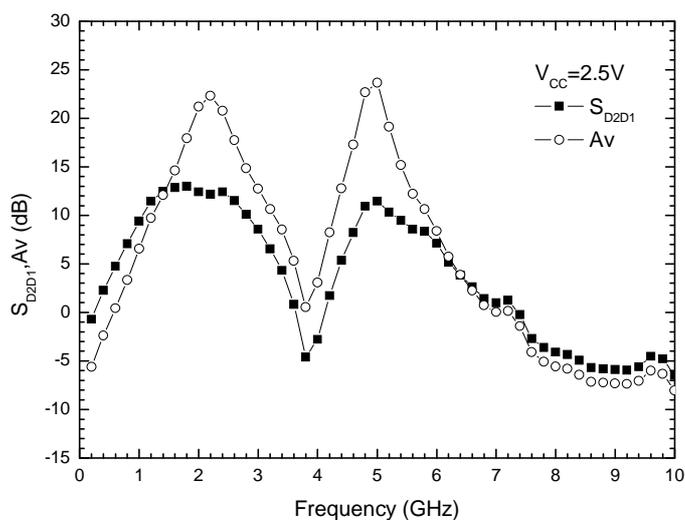
圖(3.56) 中間級匹配之差動雙頻道 LNA –穩定度 模擬

圖(3.47)以及圖(3.48)的Noise circle以0.1dB劃一單位圓而 $G_A$  circle則是以0.5dB劃一單位圓，其餘模擬結果數據將整理於表3.3。

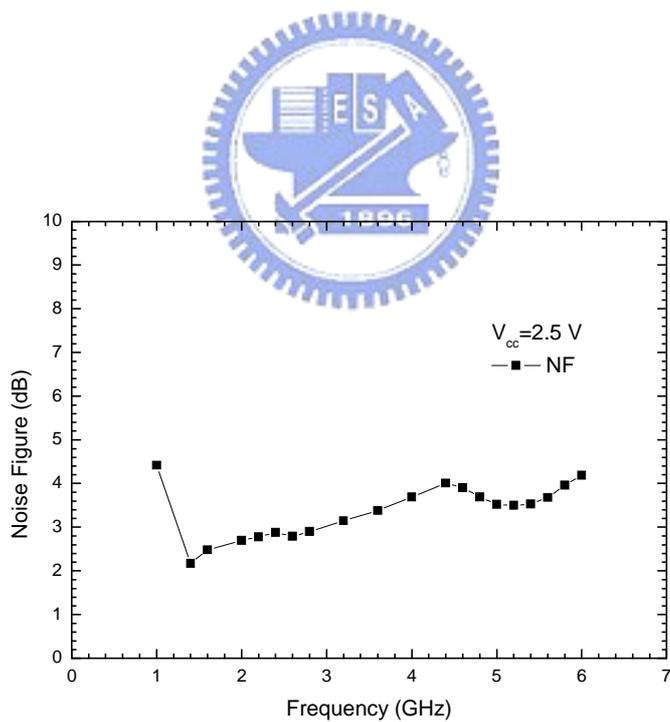
### 3.5.4 晶片量測結果



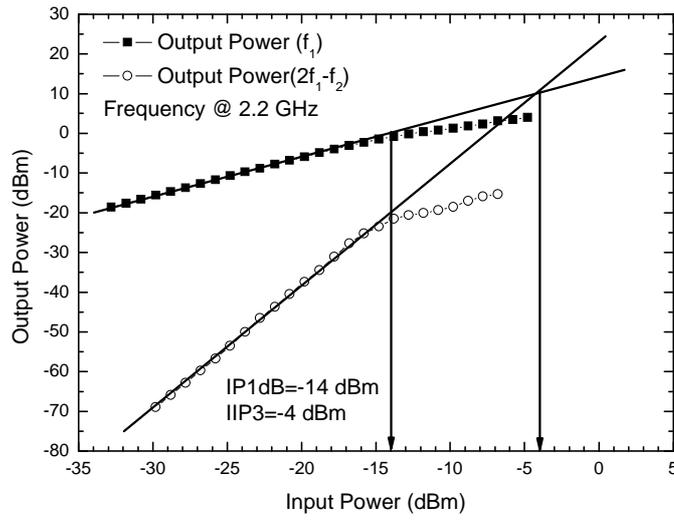
圖(3.57) 中間級匹配之差動雙頻道LNA - $S_{D1D1}$ 、 $S_{D2D2}$  量測結果



圖(3.58) 中間級匹配之差動雙頻道LNA -  $S_{D2D1}$ 、 $A_v$  量測結果

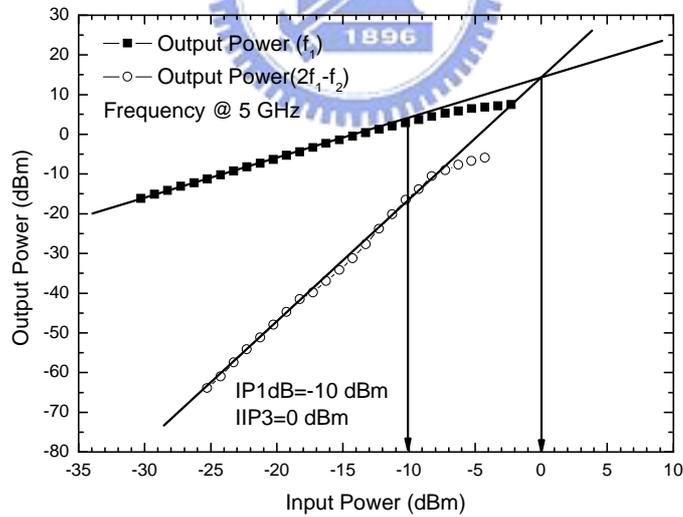


圖(3.59) 中間級匹配之差動雙頻道LNA -NF 量測結果



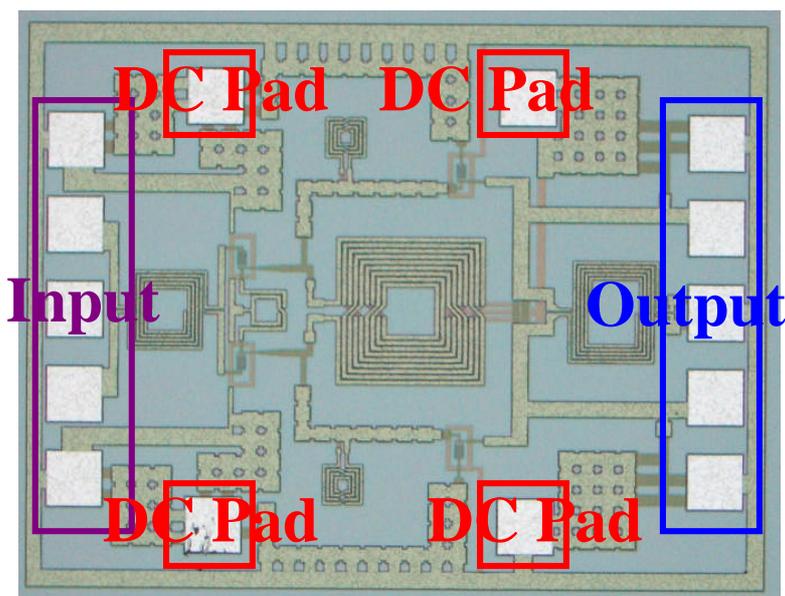
圖(3.60) 中間級匹配之差動雙頻道LNA

-Low Band 線性度量測結果



圖(3.61) 中間級匹配之差動雙頻道LNA

-High Band 線性度量測結果



圖(3.62) Die Photo (1.3 mm X 1 mm)

量測時使用 on-wafer 的4-Port 高頻量測環境，由4-Port 向量網路分析儀量得  $S$  參數，而雜訊指數是由高頻雜訊參數量測系統所量得。晶片的大小為  $1.3 \times 1 \text{ mm}^2$ ，圖(3.62)為晶片實作照片，圖中可以看到，射頻差動輸入埠在晶片的左邊，差動輸出埠在晶片的右邊，DC pad 在晶片的上、下方各兩個 DC 點針，上、下方左邊的 DC pad 為提供第二級電晶體的 DC，上方右邊的 DC pad 為提供  $V_{CC}$  的 DC，下方右邊的 pad 為接地。DC pad 周圍的電容，皆是用來 DC 穩壓之用。

### 3.5.5 結果與討論

圖(3.58)為該電路的  $S_{D2D1}$  量測結果，由該圖可以發現  $S_{D2D1}$  有兩個 peak，可以同時放大兩個頻段的訊號，但其操作頻率同時向下偏移了 200MHz。因此，低頻段的中心頻率從 2.4GHz 向下偏移到 2.2GHz，其功率增益為 12.17dB，電壓增益為 22.3dB。高頻段的中心頻率從 5.2GHz

向下偏移到5GHz，其功率增益為11.46dB，電壓增益為23.64dB。若不考慮頻率偏移，該電路在低頻段2.4GHz時，其功率增益為12.42dB，電壓增益為20.74dB。在高頻段5.2GHz時，其功率增益為10.34dB，電壓增益為19.11dB。從量測結果可以發現，高頻段的功率增益都差不多，主要是因為電晶體在高頻段時相對於在低頻道的功率增益會較小，所以設計差動電感的Q值在高頻時較好，導致在高頻段時有較好的功率增益，但頻寬相對較小，而在低頻Q值較差，所以頻寬也相對較寬，而功率增益則下降到跟高頻對差不多。

圖(3.57)為該電路的 $S_{D1D1}$ 、 $S_{D2D2}$ 量測結果，由該圖可以發現 $S_{D1D1}$ 與 $S_{D2D2}$ 皆有兩個 notch。同樣地，其操作頻率皆向下偏移。該電路在低頻段2.2GHz時，其輸入反射損耗為-6.72dB，輸出反射損耗為-9.7dB。該電路在高頻段5GHz時，其輸入反射損耗為-7.13dB，輸出反射損耗為-10.2dB。若不考慮頻率偏移，該電路在低頻段2.4GHz時，其輸入反射損耗為-7.82dB，輸出反射損耗為-7.83dB。在高頻段5.2GHz時，其輸入反射損耗為-7.07dB，輸出反射損耗為-6.96dB。

圖(3.59)為該電路的雜訊指數量測結果，由該圖可以發現雜訊指數有兩個 notch。該電路在低頻段2.2GHz時，其雜訊指數為2.78dB，在高頻段5GHz時，其雜訊指數為3.52dB。若不考慮頻率偏移，該電路在低頻段2.4GHz時，其雜訊指數為2.88dB，在高頻段5.2GHz時，其雜訊指數為3.5dB。

由圖(3.60)與圖(3.61)可以觀察到，該電路低頻段與高頻段的線性度特性表現，由單調(one-tone)功率量測，可以發現該電路低頻段時的IP1dB為-14dBm，高頻段時的IP1dB為-10dBm。由雙調(two-tone)

功率量測，可以發現該電路低頻段時的 IIP3 為 -4dBm，高頻段時的 IIP3 為 0dBm。對於該電路而言，因為在高頻段時的增益較低，所以其線性度的表現比低頻段較好。該電路在低頻段與高頻段時，皆有不錯的線性度表現。

表3.3 Inter-stage matching differential dual-band LNA

## 模擬與量測結果

Inter-Stage matching differential dual-band LNA (TSMC 0.35 $\mu$ m SiGe BiCMOS)				
Item	Simulation		Measurement	
Frequency	2.4GHz	5.2GHz	2.2GHz (2.4GHz)	5GHz (5.2GHz)
S21 (dB)	12.734	11.686	12.17 (12.42)	11.46 (10.34)
Av (dB)	N/A	N/A	22.3 (20.74)	23.64 (19.11)
NF (dB)	1.789	2.249	2.78 (2.88)	3.52 (3.5)
S11 (dB)	-8.97	-10.014	-6.72 (-7.82)	-7.13 (-7.07)
S22 (dB)	-6.247	-5.124	-9.7 (-7.83)	-10.2 (-6.96)
IP1dB (dBm)	N/A	N/A	-14	-10
IIP3 (dBm)	N/A	N/A	-4	0
Supply Voltage	2.5 V		2.5 V	
Supply Current	20 mA		20 mA	

# 第四章

## 60GHz 驅動放大器設計



## 4.1 前言

毫米波頻段系統提供了較寬的頻帶，滿足了現代通訊高速率與大容量的需求，因而成為了近十年來歐、美、日等先進國家無線寬頻通訊產品之重要技術，例如區域多點分佈服務系統(LMDS：Local Multipoint Distribution Service)。目前使用高頻段毫米波頻段的系統甚多，如符合 IEEE 802.16 的寬頻無線接取系統 (BWA：Broad band Wireless Access)、23~28 GHz 之高速率無線電數據機 (Radio Modem)、35~44 GHz 之超小型口徑通訊站 (USAT)、60 GHz 之高速率無線區域網路、35~77 GHz 之汽車防撞雷達及衛星通信系統等。

此章節電路是在設計在毫米波頻段 V band (60GHz)的驅動放大器及功率放大器，由於 60GHz 的量測設備必須要到國家奈米元件實驗室(National Nano Device Laboratories)NDL 去做測試，而 NDL 只有提供 110GHz 的 S-parameter 以及功率特性，沒有 60GHz 的 Load Pull 量測環境，因此，實驗中將利用 S 參數建立元件小訊號模型，並利用 I-V Curve 畫出的最佳電阻值代回小訊號模型得到最佳輸出功率匹配點，來取代 Load Pull 量測。

傳統 bonding wire 對一般低頻電路的影響不大，但是在頻率 60GHz 的時候，bonding wire 已經超過  $\lambda/4$  的傳輸線長，因此會大大影響電路匹配特性，所以在實作中利用低成本的氧化鋁陶瓷基板進行覆晶封裝(flip-chip)方式，使電路在高頻下仍然不會因為 bonding wire 影響其電路特性。

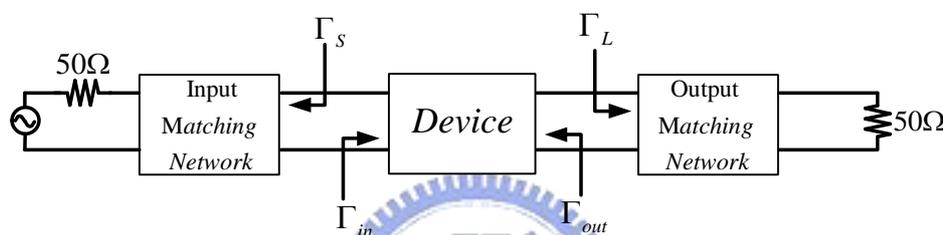
## 4.2 基本放大器設計原理

一般在設計放大器時有幾個重要依據，其中最重要的兩個方向即是穩定度和阻抗匹配的問題，穩定度是希望此放大器不要發生振盪問

題，而阻抗匹配則是希望能將最大的輸入功率傳送到負載端，底下則針對這兩部分進行討論[1][2]。

### 4.2.1 無條件穩定(unconditionally stable)

如圖(4.1)所示，電路選擇一顆電晶體做匹配時，有可能匹配完成後  $S_{11}$  以及  $S_{22}$  大於一，使電路有機會發生震盪。因此設計電路時，希望電路處於無條件穩定狀態，無論  $\Gamma_S$  或  $\Gamma_L$  匹配到 smith chard 任何一個位置都不會發生震盪問題。



圖(4.1) 電晶體匹配關係

電晶體的輸入反射係數  $|\Gamma_{in}| = \left| S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \right|$ ，以及輸出反射係數

$|\Gamma_{out}| = \left| S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \right|$ ，教科書上記載的很清楚，在  $\Gamma_S$  複數平面上畫出

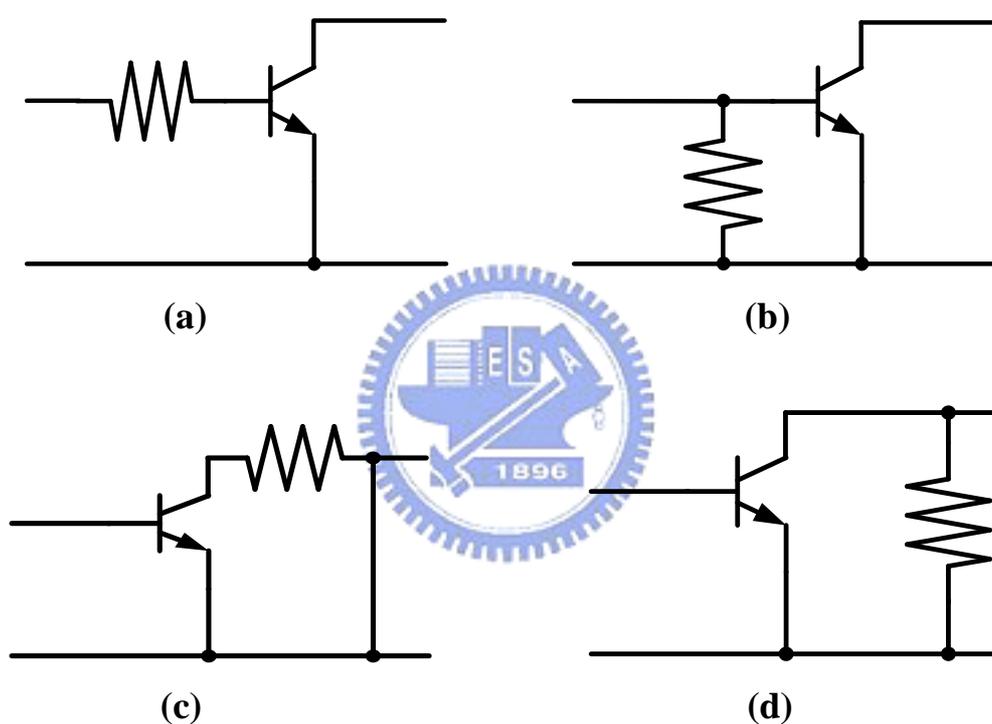
$|\Gamma_{out}|=1$  的圓，只要  $|\Gamma_{out}|=1$  的圓落在  $\Gamma_S$  複數平面以外，則不管輸入匹配網路做的 smith chard 哪個位置，電路都不會發生震盪，同樣的，在  $\Gamma_L$  複數平面上畫出  $|\Gamma_{in}|=1$  的圓，只要  $|\Gamma_{in}|=1$  的圓落在  $\Gamma_L$  複數平面以外，則不管輸入匹配網路做的 smith chard 哪個位置，電路都不會發生震盪，判別電路穩定度已經有幾個完整的式子可以做判斷，這裡列出兩個判別式。

當  $K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1$  和  $|\Delta| < 1$ , ( $\Delta = S_{11}S_{22} - S_{12}S_{21}$ ) 電路處於穩

定狀態，或者可參考式子  $\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^*\Delta| + |S_{21}S_{12}|} > 1$  即是說當  $\mu > 1$ ，則電

路為無條件穩定，其  $\mu$  值愈大，穩定性愈高。

當電路無法確保不會震盪時，一般作法如圖(4.2)所示，四個方式利用外加電阻，提高穩定度，



圖(4.2) 四種外加電阻提高穩定度方式

圖(a)為串聯一個小電阻、圖(b)為並聯一個大電阻，這兩種方式比較使用在一般的驅動放大器或者功率放大器，因為若電阻放在輸出端會降低輸出的功率。而圖(c)為串聯一個小電阻、圖(d)為並聯一個大電阻，這兩種方式則是比較適合在設計低雜訊放大器(LNA)時，因為若將電阻放在輸入端則會增加整體電路的雜訊[3]。

### 4.2.3 阻抗匹配

$$G_T = \frac{P_L}{P_{AVS}} = \frac{\text{power delivered to the load}}{\text{power available from the source}}$$

$$= \frac{1-|\Gamma_S|^2}{|1-S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1-|\Gamma_L|^2}{|1-\Gamma_{out}\Gamma_L|^2} \text{ or } \frac{1-|\Gamma_S|^2}{|1-\Gamma_{in}\Gamma_S|^2} |S_{21}|^2 \frac{1-|\Gamma_L|^2}{|1-S_{22}\Gamma_L|^2}$$

$$G_P = \frac{P_L}{P_{in}} = \frac{\text{power delivered to the load}}{\text{power input to the network}} = \frac{1}{1-|\Gamma_{in}|^2} |S_{21}|^2 \frac{1-|\Gamma_L|^2}{|1-S_{22}\Gamma_L|^2}$$

$$G_A = \frac{P_{AVN}}{P_{AVS}} = \frac{\text{power available from the network}}{\text{power available from the source}} = \frac{1-|\Gamma_S|^2}{|1-S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1}{1-|\Gamma_{out}|^2}$$

設計 60GHz 驅動放大器時，一定以輸出端以及輸入端能達到共軛匹配，達到最大的 transducer power gain 為匹配目標 ( $G_A = G_P = G_T$ )，

而此條件只發生在  $K > 1$ ， $G_T = \frac{|S_{21}|}{|S_{12}|} (K - \sqrt{K^2 - 1})$  解才存在。

## 4.3 實作一，覆晶封裝之 60GHz 驅動放大器

### 4.3.1 電路架構

本電路是以 WIN 0.15  $\mu\text{m}$  PHEMT 製作之兩級驅動放大器，因為要在如此高頻的頻段表現出增益的特性，所以電晶體尺寸採用最小的，即兩級電晶體尺寸皆為 2 x 50um，而傳輸線匹配輸入端及輸出端都採用 co-planar waveguide (CPW) 使得 flip-chip bonding 造成高頻的損耗較小，而電路中間級匹配則是使用 microstrip line (MS) 來達到兩邊共軛匹配，此作法將會比 CPW mode 使用更小的 IC 面積，整體架構如圖(4.3)所示。

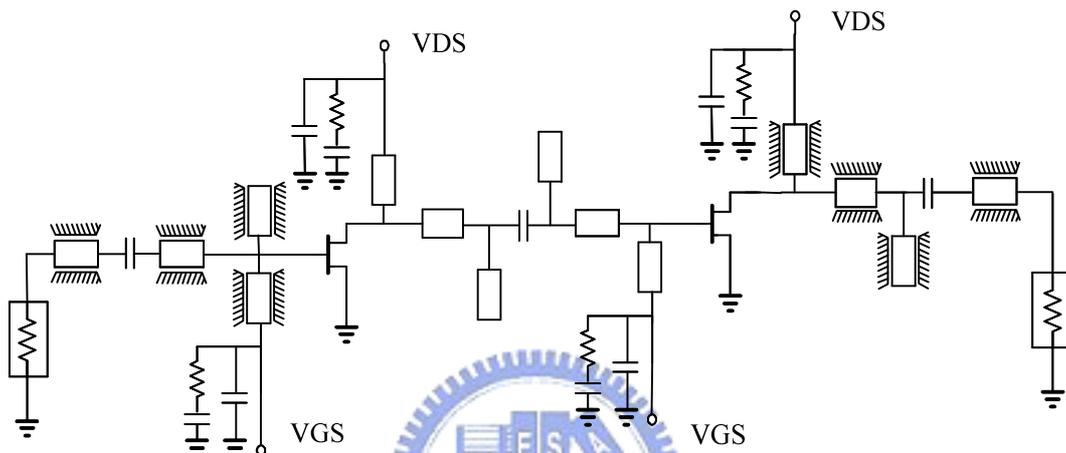
傳輸線輸入端與輸出端採用 CPW mode，是因為此 CPW 模態在覆晶封裝 millimeter-wave monolithic microwave integrated circuits (MMIC) 時，電子在 IC 與基板之間的傳送會較連續，而中間級傳輸線匹配採用 MS mode，原因在於由於 MS mode 電場分佈主要是在

substrate 裡面，所以  $\epsilon_{eff}$  值比電場分佈在空氣中高，由公式

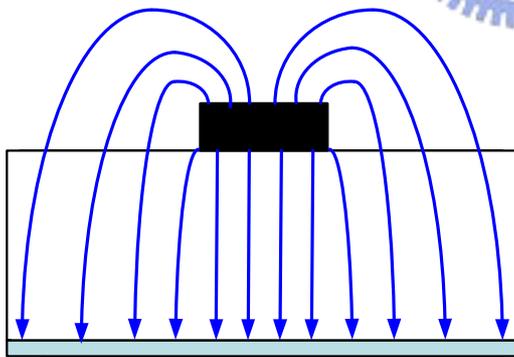
$$\lambda = \frac{2\pi}{\beta} = \frac{2\pi}{\omega\sqrt{LC}} = \frac{2\pi}{\omega\sqrt{\mu\epsilon}}$$

，可以發現同頻率下， $\epsilon$  越高波長越短，因此

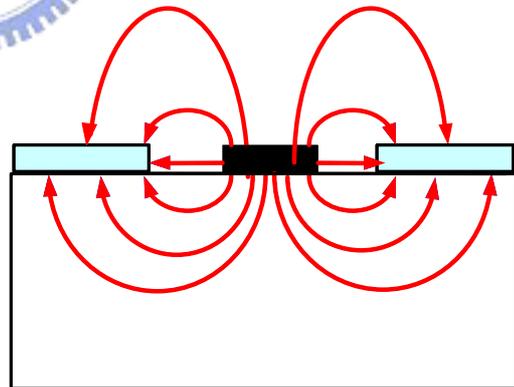
在兩顆電積體中間做共軛匹配時，相較於使用 CPW mode，MS mode 使用的傳輸線長度下可以較短，同樣的，較短傳輸線長度 substrate loss 也較小[4]。如圖(4.4)所示，



圖(4.3) CPW-MS-CPW 兩級驅動放大器架構

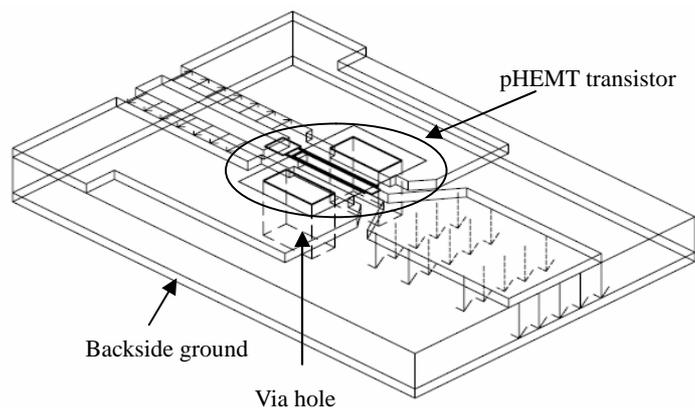


圖(4.4)(a)MS 電場分佈



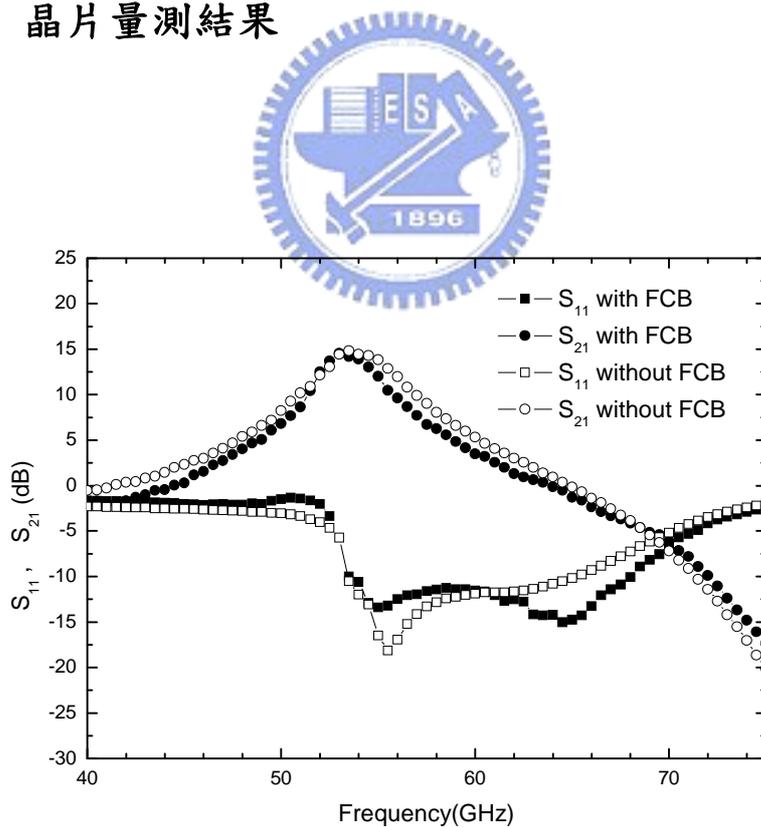
(b)CPW 電場分佈

而 CPW 與 MS 的連接則是利用一顆電晶體兩邊的 Via hole 將此兩種模態作連結，如圖(4.5)所示，CPW 兩邊 ground 經過電晶體 Via holes 將訊號 ground 拉往 backside ground，因此連結了 CPW 與 MS 傳輸線模態。

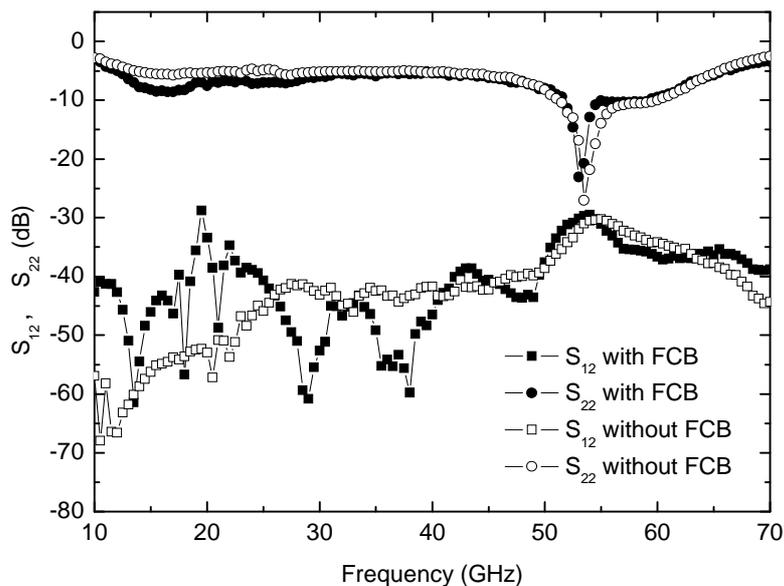


圖(4.5) CPW-MS-CPW 兩級驅動放大器架構

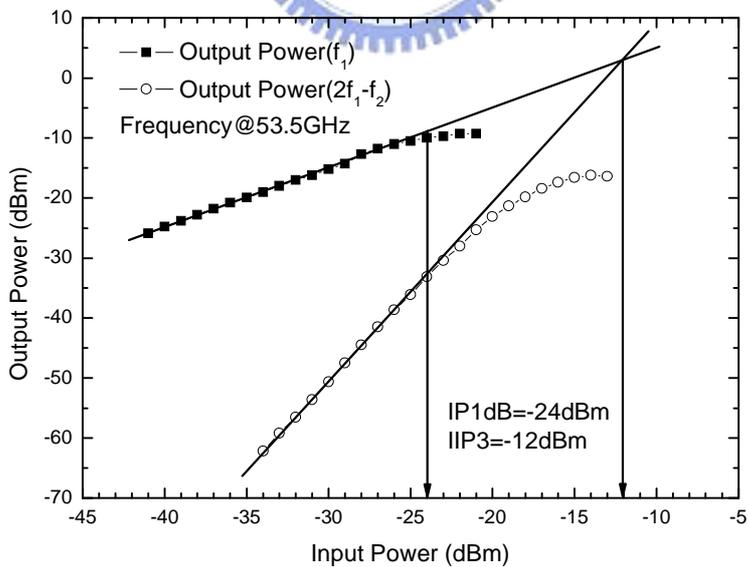
### 4.3.2 晶片量測結果



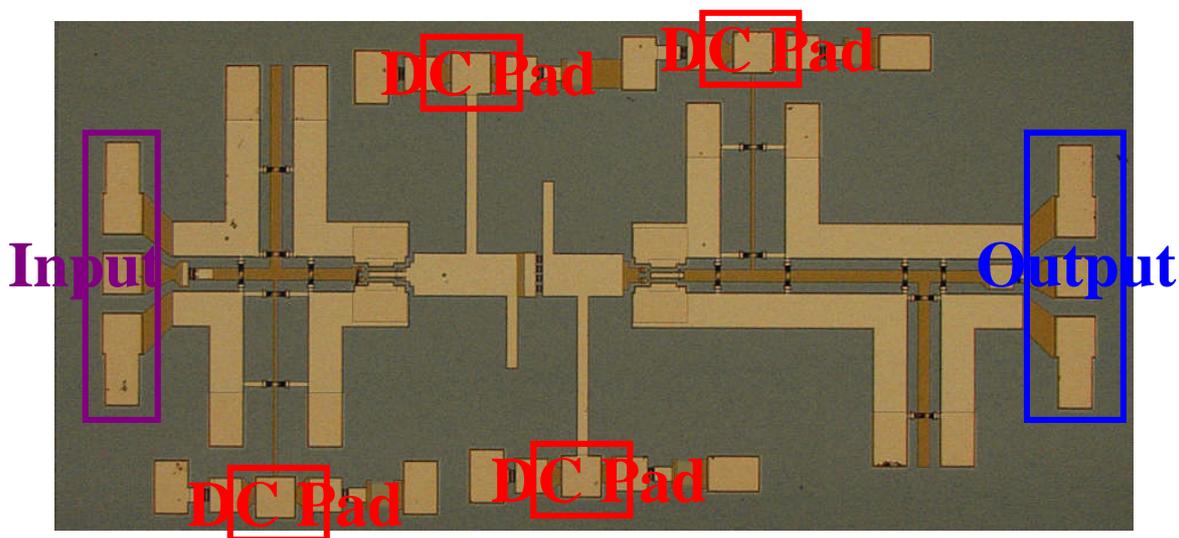
圖(4.6) FCB 前後  $S_{11}$ 、 $S_{21}$  比較



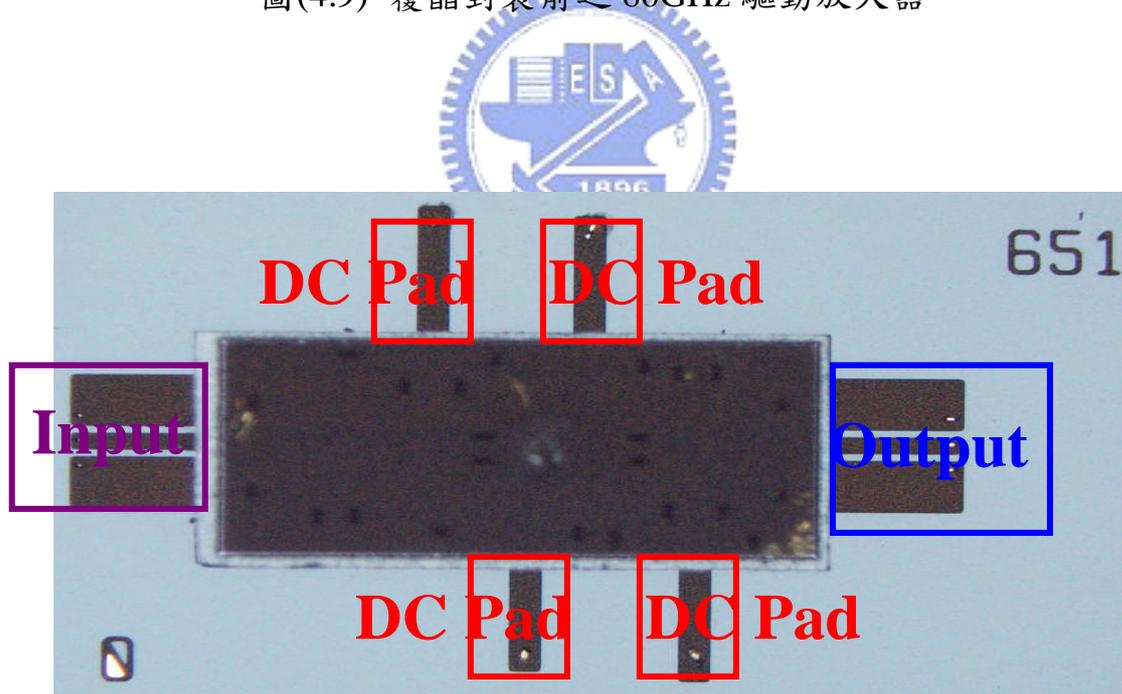
圖(4.7) FCB 前後  $S_{12}$ 、 $S_{22}$  比較



圖(4.8) IP1dB 與 IIP3 量測結果 (LO:53.5GHz)



圖(4.9) 覆晶封裝前之 60GHz 驅動放大器



圖(4.10) 覆晶封裝之 60GHz 驅動放大器

量測時使用 NDL 的 on-wafer 高頻量測環境，由 2-Port 110GHz 網路分析儀量得 S 參數。晶片的大小為  $2 \times 1\text{mm}^2$ ，圖(4.8)為晶片實作

照片，圖中可以看到，射頻訊號輸入埠在晶片的左邊，輸出埠在晶片的右邊，DC pad 在晶片上方及下方，下方兩邊的 DC pad 為提供二級電晶體 Gate 的 DC bias，上方兩邊的 DC pad 為提供  $V_{DD}$  的 DC，DC pad 周圍的電容，皆是用來 DC 穩壓之用，圖(4.9)則是晶片經過 flip-chip 處理後的照片。

### 4.3.3 結果與討論

圖(4.6)以及圖(4.7)則為晶片在 flip-chip 前後量測的結果，由圖可以明顯的發現功率增益  $S_{21}$  的 peak 值從模擬的 60GHz 飄到 53.5GHz，值為 14.81dB，輸入反射損耗  $S_{11}$  為 -13.3dB 低於 -10dB，輸出反射損耗  $S_{22}$  為 -27dB，隔離度  $S_{12}$  小於 -30dB，而電路在經過 flip-chip 處理過後，電路 matching 又再飄移到 53GHz，功率增益  $S_{21}$  值為 14.52dB，輸入反射損耗  $S_{11}$  為 -18.1dB 低於 -10dB，輸出反射損耗  $S_{22}$  為 -23dB，隔離度  $S_{12}$  小於 -30dB。flip-chip 過後電路特性  $S_{21}$  頻率位置與大小值沒有相差很多，因此驗證了 flip-chip 不太影響 matching，以及在輸入\輸出端利用 CPW mode 使得晶片與基板電場傳遞時，會有較小損耗的目的。

由於電路在作設計時，ADS 沒有提供 CPW mode 傳輸線的模型，因此在設計時，傳輸線的部份都需要 EM 軟體模擬額外模擬，增加了電路設計的不確定性，並且在電晶體 CPW mode 轉 MS mode 或 MS mode 轉 CPW mode 的電場分佈，這部份也沒有辦法做相當準確的估計，因此量測到的中心頻率 53GHz 與電路設計的 60GHz 有一段差距。

表4.1 60GHz Flip-Chip Driving Amplifier

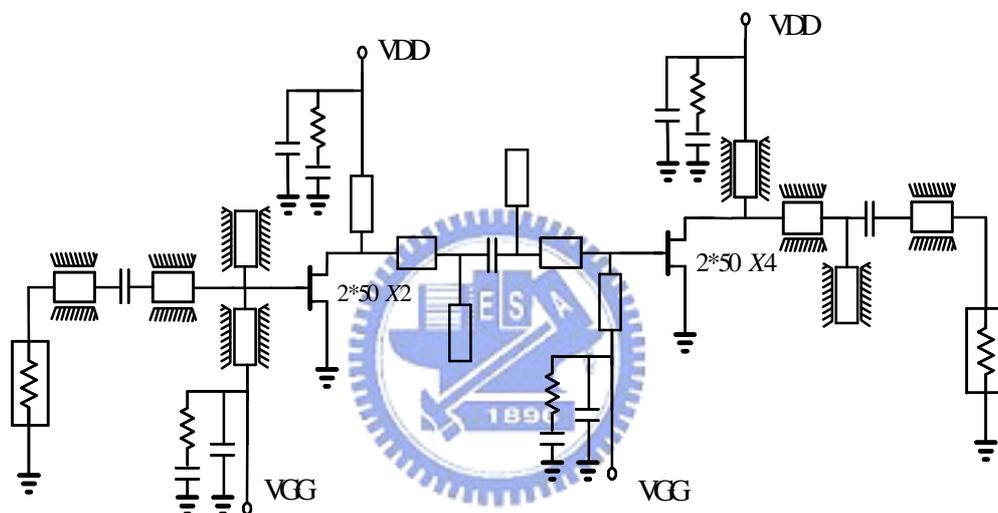
量測結果

<b>60GHz Flip-Chip Driving Amplifier (WIN 0.15um PHEMT)</b>		
<b>Item</b>	<b>Before (FCB)</b>	<b>After (FCB)</b>
<b>Frequency</b>	<b>53.5 GHz</b>	<b>53 GHz</b>
<b>S21 (dB)</b>	<b>14.81</b>	<b>14.52</b>
<b>S11 (dB)</b>	<b>-13.3</b>	<b>-18.1</b>
<b>S22 (dB)</b>	<b>-27</b>	<b>-23</b>
<b>S12 (dB)</b>	<b>&lt; -30</b>	<b>&lt; -30</b>
<b>IP1B(dBm)</b>	<b>-24</b>	<b>N/A</b>
<b>IIP3(dBm)</b>	<b>-12</b>	<b>N/A</b>
<b>Die size</b>	<b>2.0mm x 1.0mm</b>	

## 4.4 實作二， 60GHz 驅動放大器

### 4.4.1 電路架構

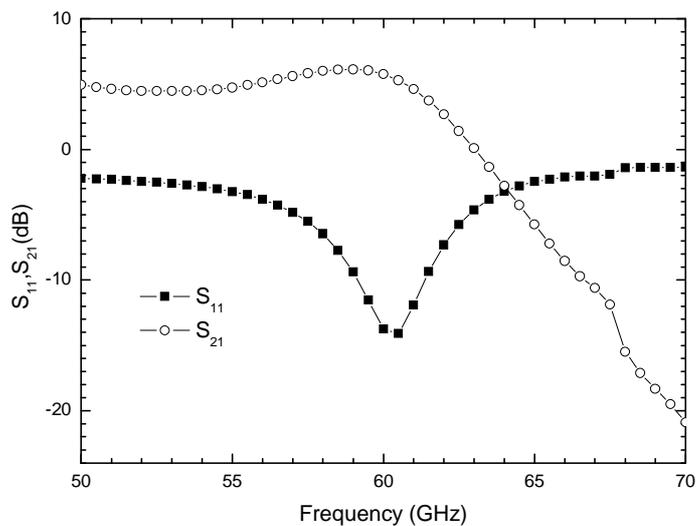
本電路同樣的利用 WIN  $0.15\ \mu\text{m}$  PHEMT 製作實現兩級驅動放大器。希望能在輸出端得到較大的輸出功率，因此第一級並聯兩顆 ( $2 \times 50\ \mu\text{m}$ ) 電晶體，第二級並聯四顆 ( $2 \times 50\ \mu\text{m}$ ) 電晶體，最大增益不變的情況下，改善輸出功率，電路架構如下圖(4.11)所示，



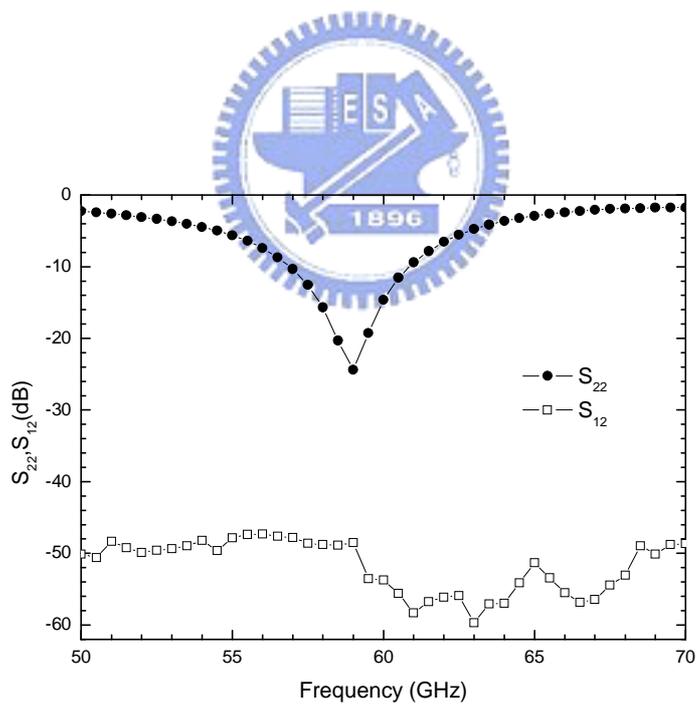
圖(4.11) 60GHz 驅動放大器架構

並聯電晶體數目改善輸出功率的同時，也要確保不同增益路徑的輸出功率能同相位相加，因此電路以樹枝狀的方式來做設計。電路設計在汲級電壓 3V，閘級電壓 -0.2V (最大  $g_m$  偏壓點)，並在偏壓點 (DC pad) 並聯電容電阻以去除 DC 不必要的雜訊，防止 DC 雜訊造成電路振盪。

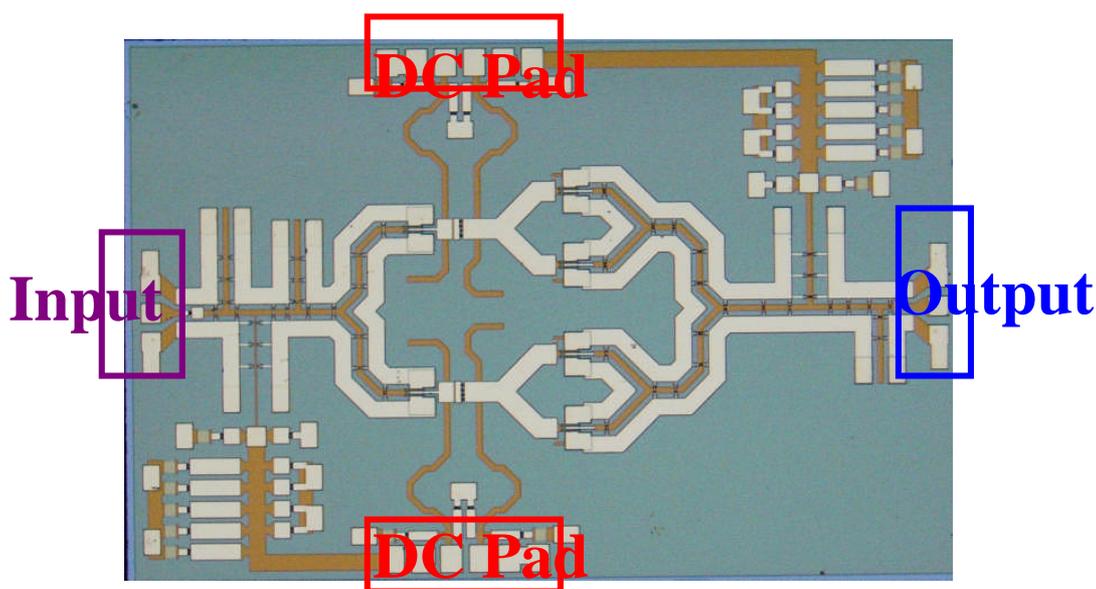
### 4.4.2 晶片量測結果



圖(4.12) 60GHz 驅動放大器- $S_{11}$ 、 $S_{21}$  量測結果



圖(4.13) 60GHz 驅動放大器- $S_{22}$ 、 $S_{12}$  量測結果



圖(4.14) 60GHz 驅動放大器

量測時使用 NDL 的 on-wafer 高頻量測環境，由 2-Port 110GHz 網路分析儀量得  $S$  參數。晶片的大小為  $3 \times 2\text{mm}^2$ ，圖(4.14)為晶片實作照片，圖中可以看到，射頻訊號輸入埠在晶片的左邊，輸出埠在晶片的右邊，6 Pin DC pad 在晶片上方及下方，分別為提供二級電晶體 Gate 的 DC bias 以及提供電路的  $V_{DD}$ ，DC pad 周圍的電容，皆是用來 DC 穩壓之用。

#### 4.4.3 結果與討論

圖(4.12)以及圖(4.13)為晶片  $S$  參數量測結果，由圖可以明顯的發現功率增益  $S_{21}$  值在 60GHz 為 5.77dB，輸入反射損耗  $S_{11}$  為 -13.76dB 低於 -10dB，輸出反射損耗  $S_{22}$  為 -14.62dB，隔離度  $S_{12}$  小於 -45dB。電路在 60GHz 頻率匹配上做的很準確，美中不足的是功率增益  $S_{21}$  不夠大。

表4.2 60GHz Driving Amplifier

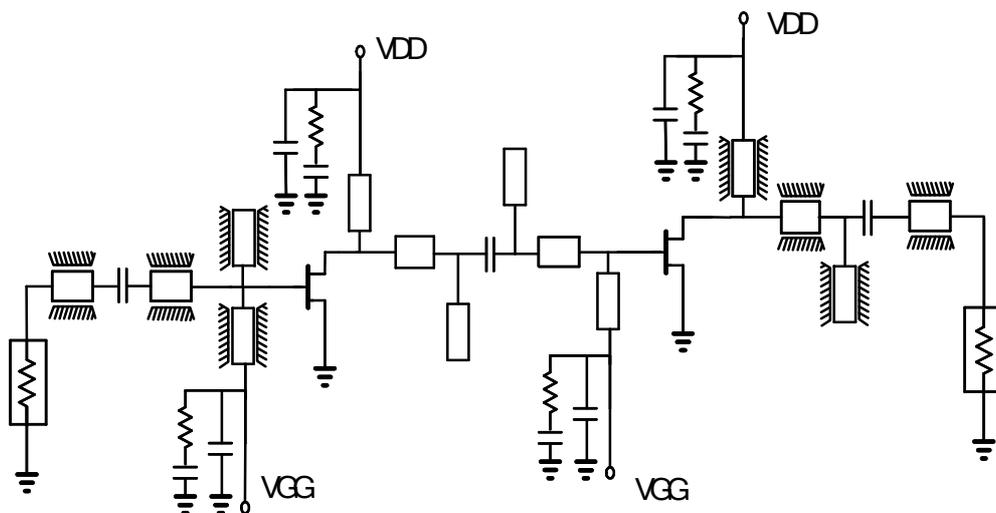
量測結果

60GHz Driving Amplifier (WIN 0.15um PHEMT)	
Frequency	60 GHz
S21 (dB)	5.77
S11 (dB)	-13.76
S22 (dB)	-14.62
S12 (dB)	< -50
Die size	3.0mm x 2.0mm

## 4.5 實作三，MHEMT 製程之 60GHz 驅動放大器

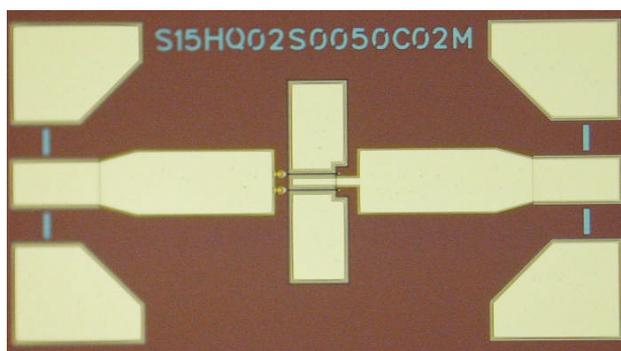
### 4.5.1 電路架構

本電路同實驗一，利用採用尺寸最小的電晶體( $2 \times 50 \mu\text{m}$ )做出兩級的 60GHz 驅動放大器，不同的是採用 MHEMT 製程，希望能獲得更高的增益，電路架構如下圖(4.15)所示，

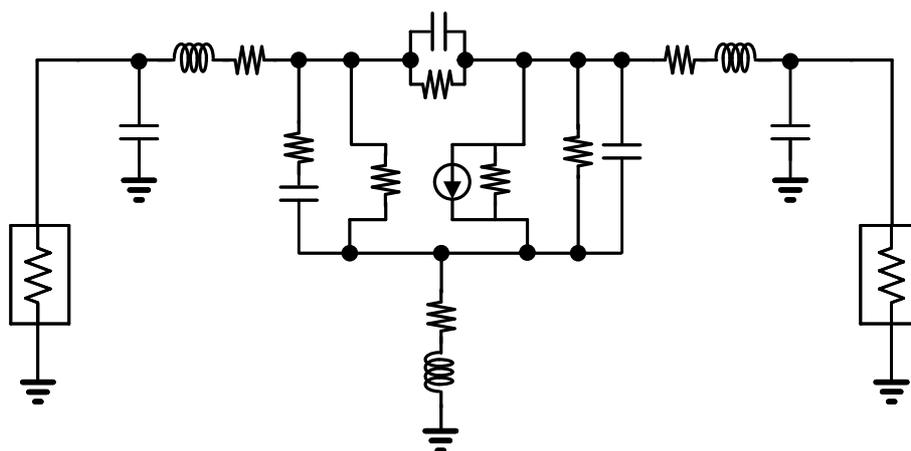


圖(4.15) MHEMT 製程之 60GHz 驅動放大器架構

驅動放大器設計上必需先將電晶體的 S 參數定義好才能做設計，由於製程廠沒有提供到 60GHz 的電晶體 S 參數，因此必需自行建立小訊號模型。利用製程廠提供的電晶體，如圖(4.16)所示，在國家奈米實驗時提供的高頻 110GHz 網路分析儀系統下量測，再建立小訊號模型匹配量測資料並去除電晶體前後傳輸線效果，得到電晶體小訊號模型，小訊號模型架構如下圖(4.17)所示，



圖(4.16) MHEMT 製程電晶體( $2 \times 50 \mu\text{m}$ )

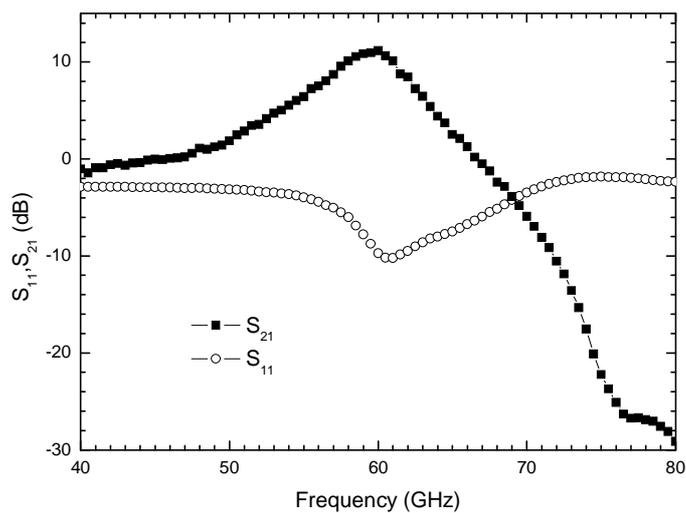


圖(4.17) 小訊號 S 參數模型架構

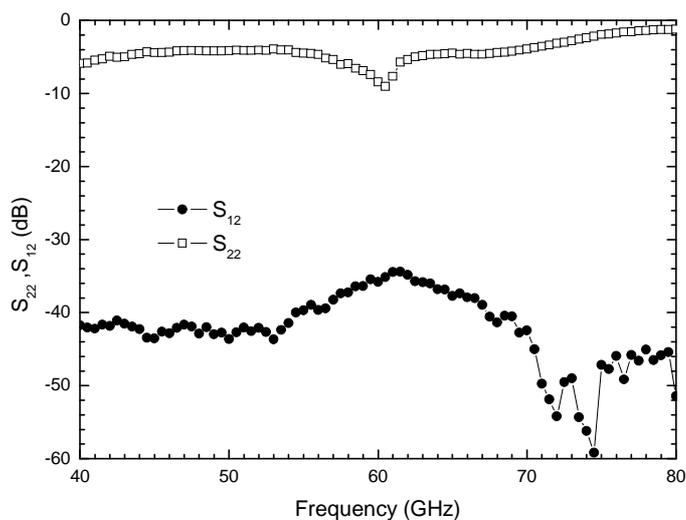


圖(4.18) 小訊號模型與量測資料比較

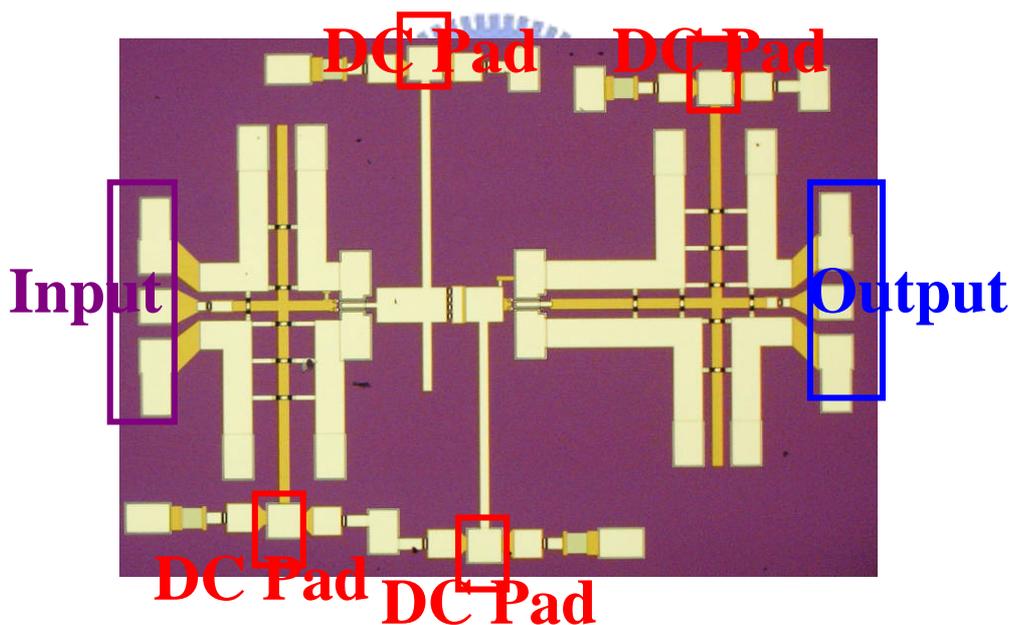
4.5.2 晶片量測結果



圖(4.19) MHEMT 製程之 60GHz 驅動放大器- $S_{11}$ 、 $S_{21}$  量測結果



圖(4.20) MHEMT 製程之 60GHz 驅動放大器- $S_{22}$ 、 $S_{12}$  量測結果



圖(4.21) MHEMT 製程之 60GHz 驅動放大器

量測時使用 NDL 的 on-wafer 高頻量測環境，由 2-Port 110GHz 網路分析儀量得 S 參數。晶片的大小為  $1.5 \times 1.1 \text{mm}^2$ ，圖(4.21)為晶片實作照片，圖中可以看到，射頻訊號輸入埠在晶片的左邊，輸出埠在晶片的右邊，DC pad 在晶片上方及下方，下方兩邊的 DC pad 為提供

二級電晶體 Gate 的 DC bias，上方兩邊的 DC pad 為提供  $V_{DD}$  的 DC，DC pad 周圍的電容，皆是用來 DC 穩壓之用。

### 4.5.3 結果與討論

圖(4.19)以及圖(4.20)為晶片 S 參數量測結果，由圖可以明顯的發現功率增益  $S_{21}$  值在 60GHz 為 11.15B，輸入反射損耗  $S_{11}$  為 -9.17dB，輸出反射損耗  $S_{22}$  為 -8.44dB，隔離度  $S_{12}$  小於 -30dB。電路在 60GHz 頻率匹配上做的很準確，代表了小訊號模型的準確，美中不足的是功率增益  $S_{21}$  沒有比 PHEMT 高，代表的是電路增益不是最大值。



表4.3 MHEMT 60GHz Driving Amplifier

量測結果

<b>MHEMT 60GHz Driving Amplifier (WIN 0.15um MHEMT)</b>	
<b>Frequency</b>	<b>60 GHz</b>
<b>S21 (dB)</b>	<b>11.15</b>
<b>S11 (dB)</b>	<b>-9.17</b>
<b>S22 (dB)</b>	<b>-8.44</b>
<b>S12 (dB)</b>	<b>&lt; -30</b>
<b>Die size</b>	<b>1.5mm x 1.1mm</b>

# 第五章

## 結論



本論文第二章利用了 TSMC 0.35  $\mu\text{m}$  SiGe BiCOMS 製程，實作與量測”可調式雙頻道 IQ 降頻混波器”以及”可調式雙頻道單邊升頻混波器”，利用這兩種架構可以看到 CR-LR 取代 poly-phase 的特點，第二章實驗一，”可調式雙頻道 IQ 降頻混波器”可以看出由於此機制為可調，所以在 IQ 輸出端 IF 埠可以得到很好的雙頻道正交相位訊號，在頻率 2.4GHz 時，gain mismatch 0.204%，phase mismatch 0.2 度，而另一頻率 5.2GHz 時，gain mismatch 0.944%，phase mismatch 0.68 度。同樣的，第二章實驗二，”可調式雙頻道單邊升頻混波器”則利用 sideband rejection 看出此雙頻率正交相位的頻寬範圍，在頻率 2.4GHz 時，sideband rejection -30dB 的頻寬為 200MHz，在頻率 5.7GHz 時，sideband rejection -30dB 的頻寬為 740MHz，由上述總結看出此可調式雙頻道正交相位機制可以達到 802.11a/b/g 頻帶，並且有不錯的正交相位特性，並且由 S 參數可以看到，此雙頻道正交產生機制是寬頻匹配。在第二章實驗三中則是使用 WIN 0.15  $\mu\text{m}$  PHEMT 製程技術，實現了利用傳輸線產生正交相位，並結合主動電路達到”正交相位之次諧波混頻器”，而利用傳輸線產生的正交訊號輸出 gain mismatch 1.29%，phase mismatch 0.16 度依舊有不錯表現。

論文第三章，利用 SNIM technique 實現了三顆低雜訊放大器。第三章實驗一，利用 TSMC 0.13  $\mu\text{m}$  CMOS 製程完成了一個具有 9.4GHz 單頻道低雜訊放大器，實驗結果顯示該低雜訊放大器在 1.2V 操作時，擁有 13.41dB 的功率增益；3.34dB 的雜訊指數；-5.05dB 的輸入反射損耗；-8.09dB 的輸出反射損耗；-14dBm 之 IP1dB 增益壓縮；-4.5dBm 之 IIP3；與 22.2mW (18.5mA@1.2V) 的功率消耗，由雜訊指數可以驗證設計流程無誤。第三章實驗二，利用 TSMC 0.18  $\mu\text{m}$  CMOS 製程完成了一個具有 2.2GHz、4.6GHz 的使用變壓器型態之差動雙頻

道低雜訊放大器，實驗結果顯示該低雜訊放大器在 1.8V 操作時，擁有 10.1、6.08dB 的功率增益；17.05、10.19dB 的電壓增益；3.23、4.37dB 的雜訊指數；-8.27、-14.93dB 的輸入反射損耗；-8.89、-9.1dB 的輸出反射損耗；-4、0dBm 之 IP1dB 增益壓縮；5.5、9.5dBm 之 IIP3；與 36mW (20mA@2.5V) 的功率消耗。第三章實驗三，利用 TSMC 0.35  $\mu\text{m}$  SiGe BiCMOS 製程完成了一個具有 2.2GHz、5GHz 的中間級匹配之差動雙頻道低雜訊放大器，實驗結果顯示該低雜訊放大器在 2.5V 操作時，擁有 12.17、11.46dB 的功率增益；22.3、23.64dB 的電壓增益；2.78、3.52dB 的雜訊指數；-6.72、-7.13dB 的輸入反射損耗；-9.7、-10.2dB 的輸出反射損耗；-14、-10dBm 之 IP1dB 增益壓縮；-4、0dBm 之 IIP3；與 50mW (20mA@2.5V) 的功率消耗。

最後論文第四章則利用 WIN 0.15  $\mu\text{m}$  PHEMT 製程技術設計 60GHz 微帶線與共平面波導式的趨動放大器，並利用覆晶封裝的技術，實際量測 Flip chip 前後的區別，並由量測結果可以發現以共平面波導的方式來設計趨動放大器，其 Flip chip 的效果會比微帶線式的還要好，即使在如此高頻，其覆晶封裝的技術仍然是可行的。

### 第二章：

- [1] K. R. Rao, J. Wilson, and M. Ismail, "A CMOS RF front-end for a multistandard WLAN receiver," *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 5, pp. 321–323, May 2005.
- [2] L. Sheng, J.C. Jensen and L.E. Larson, "A wide-bandwidth Si/SiGe HBT direct conversion sub-harmonic mixer/downconverter," *IEEE J. Solid-State Circuits*, vol. 35, no. 9, pp.1329-1337, Sept. 2000.
- [3] K. Hettak, G. A. Morin, and M. G. Stubbs, "A novel miniature multilayer MMIC CPW single side band CPW mixer for up conversion at 44.5 GHz," *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 9, pp. 606–608, Sep. 2005.
- [4] J. C. Rundell, J.-J. Ou, T. B. Cho, G. Chien, F. Brianti, J. A. Weldon, and P. R. Gray, "A 1.9 GHz wide-band IF double conversion CMOS integrated receiver for cordless telephone applications," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 2071–1088, Dec. 1997.
- [5] B. Razavi, *RF Microelectronics*. Upper Saddle River, NJ: Prentice-Hall, 1998, pp. 133-136.
- [6] B. Razavi, "Design considerations for direct-conversion receivers," *IEEE Trans. Circuits Syst. II*, vol. 44, no. 6, pp. 428-435, June 1997.
- [7] F. Gruson, G. Gaborit, P. Abele, and H. Schumacher, "A broadband SiGe mixer for 5-GHz WLAN applications with X-band quadrature generation and high image-rejection," in *IEEE Radio Freq. Integrated Circuits Symp.*, Fort Worth, TX, Jun. 2004, pp. 523–526.
- [8] P. Andreani and X.Wang, "On the phase-noise and phase-error performances of multiphase LC CMOS VCOs," *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 1883–1893, Nov. 2004.
- [9] P. Andreani, A. Bonfanti, L. Ramano, and C. Samori, "Analysis and design of a 1.8-GHz CMOS LC quadrature VCO," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1737–11747, Dec. 2002.
- [10] S. L. J. Gierkink, S. Levantino, R. C. Frye, C. Samori, and V. Bocuzzi, "A low-phase-noise 5-GHz CMOS quadrature VCO using superharmonic coupling," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1148–1154, Jul. 2003.

- [11] C.-Y. Chi, and G. M. Rebeiz, "Design of Lange-couplers and single-sideband mixers using micromachining techniques," *IEEE Trans. Microw. Theory Tech.*, vol. 45, no. 2, pp. 291-294, Feb. 1997.
- [12] R. C. Frye, S. Kapur, and R. C. Melville, "A 2-GHz quadrature hybrid implemented in CMOS technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 3, pp. 550-555, Mar. 2003.
- [13] H.-C. Chen, T. Wang, S.-S. Lu, and G.-W. Huang, "A monolithic 5.9-GHz CMOS I/Q direct-down converter utilizing a quadrature coupler and transformer-coupled subharmonic mixers," *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 4, pp. 197-199, Apr. 2006.
- [14] J. D. van der Tang, D. Kasperkovitz, and A. van Roermund, "A 9.8-11.5-GHz quadrature ring oscillator for optical receivers," *IEEE J. Solid-State Circuits*, vol. 37, no. 3, pp. 438-442, Mar. 2002.
- [15] Z. Zhang, Z. Chen, L. Tsui and J. Lau, "A 930 MHz CMOS DC-offset-free direct-conversion 4-FSK receiver," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2001, pp.290-291.
- [16] A. A. Abidi, "Phase Noise and Jitter in CMOS Ring Oscillators," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1803-1816, Aug. 2006.
- [17] F. Behbahani, Y. Kishigami, J. Leete, and A. A. Abidi, "CMOS mixers and polyphase filters for large image rejection," *IEEE J. Solid-State Circuits*, vol. 36, no. 6, pp. 873-887, Jun. 2001.
- [18] D. I. Sanderson, R. M. Svitek, and S. Raman, "A 5-6-GHz polyphase filter with tunable I/Q phase balance," *IEEE Microw. Wireless Compon. Lett.*, vol. 14, no. 7, pp. 364-366, Jul. 2004.
- [19] Y. Itoh, M. Nii, Y. Kohno, M. Mochizuki, and T. Takagi, "A 4 to 25 GHz 0.5 W monolithic lossy match amplifier," in *IEEE MTT-S Int. Microw. Symp. Dig.*, San Diego, CA, May 1994, pp. 257-260.
- [20] B. Gilbert, "The MICROMIXER: A highly linear variant of the Gilbert mixer using a bisymmetric class-AB input stage," *IEEE J. Solid-State Circuits*, vol. 32, no. 9, pp. 1412-1423, Sep. 1997.
- [21] S. C. Tseng, C. C. Meng, C. H. Chang, C. K. Wu, and G. W. Huang, "Monolithic broadband Gilbert micromixer with an integrated Marchand balun using standard silicon IC process," *IEEE Trans. Microwave Theory Tech.*, vol. 54, no. 12, pp. 4362-4371, Dec. 2006.
- [22] J. Janssens and M. Steyaert, *CMOS Cellular Receiver Front-Ends*. Boston: Kluwer Academic Publishers, 2002, ch. 3, sec. 3.5.5, pp. 44.
- [23] David Pozar, *Microwave Engineering*. 3rd Edition, N.Y.: John Wiley & Sons, 1998, pp.337-345

- [24] K. S. Ang, S. B. Economides, S. Nam, and I. D. Robertson, "A compact MMIC balun using spiral transformers," *Asia Pacific Microwave Conference*, vol. 3, pp. 655-658, Nov. 1999.
- [25] J. R. Long , "Monolithic transformers for Silicon RF IC design," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1368-1382, Sept. 2000.

### 第三章：

- [1] T. K. Nguyen, C. H. Kim, G. J. Ihm, M. S. Yang, and S. G. Lee, "CMOS Low-Noise Amplifier Design Optimization Techniques," *IEEE Trans. Microwave Theory Tech*, vol. 52, no. 5, pp. 1433–1442, May. 2004.
- [2] H. Hashemi and A. Hajimiri, "Concurrent multiband low-noise amplifiers-theory, design, and application," *IEEE Trans. Microwave Theory Tech*, vol. 50, no. 1, pp. 288–301, Jan. 2002.
- [3] G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*. Upper Saddle River, NJ: Prentice-Hall, 1997, pp. 485-492.
- [4] D. K. Shaeffer and T. H. Lee, "A 1.5 V, 1.5 GHz CMOS low noise amplifier," *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 745–759, May 1997.
- [5] J. R. Long, "Monolithic Transformers for Silicon RF IC Design," *IEEE J. Solid-State Circuits*, vol. 35, no. 9, pp. 1368–1382, Sept. 2000.
- [6] M. Danesh, J. R. Long, "Differentially Driven Symmetric Microstrip Inductors," *IEEE Trans. Microwave Theory Tech*, vol. 50, no. 1, pp. 332–341, Jan. 2002.
- [7] A. Niknejed and R. Mayer , "Analysis, Design , and Optimization of Spiral Inductors and Transformers for Si RF IC's," *IEEE J. Solid-State Circuits*, vol. 33 , no.10 , pp. 1470-1481, Oct. 1998.
- [8] Y.C. Shih , C.K. Pao , and T. Itoh , "A Broadband Parameter extraction technique for the equivalent circuit of planar inductors ," *MTT-S Int. Dig.* , vol. 3, Jun. 1992, pp 1345-1348.
- [9] 廖樺興,"威福-哈特利鏡像消除降頻器與雙頻道低雜訊放大器,"交通大學碩士論文,2006

### 第四章：

- [1] David Pozar, *Microwave Engineering*, 2<sup>nd</sup> Edition, John Wiley & Sons, N.Y 1998.
- [2] Guillermo Gonzalez, *Microwave transistor amplifiers analysis and design*, 2<sup>nd</sup> Edition, Prentice Hall.

- [3] Reinhold Ludwig and Pavel Bretchko, RF Circuit Design Theory and Application, International Edition, Prentice Hall
- [4] 張家宏, "被動分合波器與主動混頻器之整合及覆晶封裝之毫米波驅動放大器 設計與實作," 交通大學碩士論文, 2006

