

國立交通大學

電信工程學系

碩士論文

馬爾尚分合波器之混頻器與利用除頻器與  
振盪器之訊號產生電路

Mixers with Different Type Marchand Baluns and Signal  
Generation by Frequency Dividers and Oscillators

研究生：樞冠璋

指導教授：孟慶宗

中華民國 九十六年 八月

馬爾尚分合波器之混頻器與利用除頻器與振盪  
器之訊號產生電路

Mixers with Different Type Marchand Baluns and Signal  
Generation by Frequency Dividers and Oscillators

研究生: 樞冠璋

Student: Kuan-Chang Tsung

指導教授: 孟慶宗 博士

Advisor: Dr. Chin-Chun Meng

國立交通大學

電信工程學系碩士班



Submitted to Department of Communication Engineering

College of Electrical and Computer Engineering

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

July 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年八月

# 馬爾尚分合波器之混頻器與利用除頻器與振盪器 之訊號產生電路

學生：樞冠璋

指導教授：孟慶宗 博士

國立交通大學

電信工程學系碩士班

## 摘 要

本篇論文主要是研究在射頻積體電路中的二大主題。第一個主題為被動馬爾尚分合波器，並將其與主動式混頻器結合；第二個主題為訊號產生電路包含除頻器與振盪器。

我們使用 TSMC 0.35 $\mu\text{m}$  CMOS 與 TSMC 0.18 $\mu\text{m}$  CMOS 製程來實作不同類型的馬爾尚分合波器測試元件，接著將馬爾尚分合波器與主動式的微混頻器整合，當成混頻器本地振盪端的輸入，整合電路則是使用 TSMC SiGe 0.35 $\mu\text{m}$  BiCMOS 製程來實作。

在除頻器部分，探討了常見的數位式與類比式除頻電路，在數位式的除頻電路上我們利用 TSMC SiGe 0.35 $\mu\text{m}$  BiCMOS 來實作產生 50% 工作週期之除 5 電路；而適合於高頻操作的類比式除頻器，我們則利用 Win 0.15 $\mu\text{m}$  HEMT 高截止頻率的製程技術來實現。在振盪器部分，使用雙變壓器 (Trifilar) 這個元件來達成訊號的耦合作用，不管是透過串接式電晶體訊號耦合或直接訊號耦合方式皆可以使輸出為正交相位的訊號，振盪器的實作則是利用 TSMC 0.18 $\mu\text{m}$  CMOS 與 TSMC 0.13 $\mu\text{m}$  CMOS 二種製程技術。

# **Mixers with Different Type Marchand Baluns and Signal Generation by Frequency Dividers and Oscillators**

Student: Kuan-Chang Tsung

Advisor: Chin-Chun Meng

Department of Communication Engineering  
National Chiao Tung University

## **Abstract**

In this thesis, we focus on two topics of Radio Frequency Integrated Circuits. The first is Marchand baluns and combination of Marchand baluns and active mixers. The second is signal generation by frequency dividers and oscillators.

We implement different type Marchand baluns by using TSMC 0.35 $\mu$ m CMOS technology and TSMC 0.18 $\mu$ m CMOS technology. Then Marchand baluns are integrated into active micro-mixers as LO input element, and it is demonstrated in TSMC 0.35 $\mu$ m SiGe BiCMOS technology process.

Conventional analog and digital frequency dividers are discussed in this thesis. We use TSMC 0.35 $\mu$ m SiGe BiCMOS technology process to implement truly 50% duty cycle divide-by-5 digital frequency dividers. Analog frequency dividers are more adaptable for high speed operation than digital ones, and they are implemented in high cut-off frequency Win 0.15 $\mu$ m HEMT technology process. In Oscillator circuits, we utilize trifilar to couple output signals. Direct coupling and series coupling by transistors both can generate quadrature signals. Finally, Quadrature Oscillators are implemented in TSMC 0.18 $\mu$ m CMOS technology process and TSMC 0.13 $\mu$ m CMOS technology process.

## 誌謝

---

二年來的研究所生活即將落幕，其間受到了許多人的幫助與扶持，使得這本論文可以從無到有，讓小弟順利畢業。首先很感謝孟慶宗老師的指導，讓我能在研究過程中得到許多寶貴的經驗得以克服種種困難進而增進學識涵養，不僅如此，生活上亦受益良多，著實令我成長了不少。並感謝林育德教授與張志揚教授在百忙之中能參加論文口試並給予寶貴的建議，使得本論文內容能更加完整。

研究生活中，因為有 lab 918 的各位，讓這兩年的生活充滿了回憶。感謝宗翰、聖哲、珍儀、宏儒、樺興、家宏與英杰學長姐們在研究上的指導與量測上的幫助，讓我解決各種疑難雜症。同時要感謝勝文、柏誼與約廷的砥礪與協助，使得我在課業上和體能上皆能持續不斷地精進。此外，感謝學弟妹們金詳、宜蓁、揚鮮、雅惠、宜珊與威宇幫忙與陪伴，為實驗室帶來不少活力與歡樂。

最後特別感謝我的父、母親與弟弟以及詩雯在求學過程中，給予我最大的支持及關懷，在此僅把此論文的榮耀獻給我的家人以及身邊所有關懷我的朋友們。

---

# 目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
表目錄	vii
圖目錄	viii
第一章 導論	1
1.1 研究動機	2
1.2 論文組織	3
第二章 不同類型 Marchand balun 特性比較與混頻器設計	4
2.1 前言	5
2.2 不同類型 Marchand balun 比較與實作	5
2.2.1 耦合傳輸線	5
2.2.2 二種 Marchand balun 與二種 $0^\circ, 0^\circ$ 分波器	7
2.2.3 Type I 與 Type IV Marchand balun 實作	9
2.2.4 Type V 與 Type VI $0^\circ, 0^\circ$ 分波器實作	15
2.3 結合 Marchand balun 混頻器設計與實作	21
2.3.1 研究動機	21
2.3.2 實作電路架構	22
2.3.3 實測結果	25
2.3.4 結論與討論	32
第三章 除頻電路	34
3.1 前言	35
3.2 除頻電路的應用-頻率合成器	36
3.2.1 頻率合成器 (Synthesizer) 在收發機上的應用	36
3.2.2 直接頻率合-Carrier Frequency Generator	38
3.3 除頻電路的應用-收發機上正交訊號的產生	41
3.3.1 鏡像消除接收機與單頻帶升頻器	41
3.3.2 正交訊號的產生方法	42
3.4 高速除頻電路架構	46
3.4.1 高速 Flip-Flop 除二電路	46
3.4.2 訊號再生式除二電路 (Regenerative Frequency Divider)	
原理與架構	48

3.4.3 其它除數訊號再生式除頻電路 .....	50
3.4.4 注入鎖住式除二電路 (Injection Locked Frequency Divider) 原理與架構 .....	51
3.4.5 其它除數注入鎖住式除頻電路 .....	56
3.5 實作一 產生 50% 工作周期的除五電路 .....	58
3.5.1 研究動機 .....	58
3.5.2 實作電路架構 .....	59
3.5.3 實測結果 .....	62
3.5.4 結論與討論 .....	67
3.6 實作二 訊號再生式除二電路 .....	68
3.6.1 研究動機 .....	68
3.6.2 實作電路架構 .....	68
3.6.3 實測結果 .....	70
3.6.4 結論與討論 .....	73
3.7 實作三 正交訊號輸出訊號再生式除二電路 .....	73
3.7.1 研究動機 .....	73
3.7.2 28GHz IQ RFD 電路架構 .....	74
3.7.3 28GHz IQ RFD 實測結果 .....	75
3.7.4 35GHz IQ RFD 電路架構 .....	79
3.7.5 35GHz IQ RFD 實測結果 .....	79
3.7.6 結論與討論 .....	82
3.8 實作四 注入鎖住式除二電路 .....	83
3.8.1 研究動機 .....	83
3.8.2 實作電路架構 .....	83
3.8.3 實測結果 .....	84
3.8.4 結論與討論 .....	86
3.9 實作五 注入鎖住式除三電路 .....	87
3.9.1 研究動機 .....	87
3.9.2 實作電路架構 .....	87
3.9.3 實測結果 .....	88
3.9.4 結論與討論 .....	90
第四章 正交相位壓控振盪器 .....	91
4.1 前言 .....	92
4.2 相位雜訊 .....	92
4.2.1 何謂相位雜訊 .....	92
4.2.2 相位雜訊模型 .....	94
4.3 正交相位壓控振盪器理論 .....	100
4.4 實作一 Series Coupling Quadrature VCO .....	102

4.4.1 研究動機	102
4.4.2 實作電路架構	103
4.4.3 模擬結果	107
4.4.4 結論與討論	109
4.5 實作二 Trifilar Coupling Quadrature VCO	109
4.5.1 研究動機	109
4.5.2 實作電路架構	110
4.5.3 實測結果	111
4.5.4 結論與討論	114
第五章 結論	115
參考文獻	117





# 表目錄

---

表 2.1	Type I and Type IV Marchand balun summary .....	14
表 2.2	Type V and Type VI $0^{\circ}, 0^{\circ}$ 分波器 summary .....	20
表 2.3	Marchand balun 混頻器 performance summary .....	32
表 3.1	電流交換式 D flip-flop 真值表 .....	59
表 3.2	SHSHH 與 SSHSH 接線方式 .....	60
表 3.3	SHSHH 與 SSHSH performance summary .....	67
表 3.4	RFD performance summary .....	72
表 3.5	28GHz IQ RFD performance summary .....	78
表 3.6	35GHz IQ RFD performance summary .....	81
表 3.7	除 2 ILFD performance summary .....	86
表 3.8	除 3 ILFD performance summary .....	90
表 4.1	3D series trifilar QVCO 預計規格表 .....	108
表 4.2	QVCO based on trifilar coupling performance summary .....	113



# 圖目錄

圖 2.1	耦合傳輸線結構圖	6
圖 2.2	四種類型 Marchand balun	7
圖 2.3	二種類型 $0^\circ, 0^\circ$ 分波器	8
圖 2.4	螺旋型線圈式 Type I 與 Type IV Marchand balun 示意圖	9
圖 2.5	Type I 與 Type IV IE3D layout 圖	10
圖 2.6	Type I magnitude response	11
圖 2.7	Type IV magnitude response	11
圖 2.8	Type I phase response	12
圖 2.9	Type IV phase response	12
圖 2.10	Type I VS. Type IV S21 and S31 magnitude error	13
圖 2.11	Type I VS. Type IV S21 and S31 phase difference	13
圖 2.12	Type I and Type IV Marchand balun die photo	14
圖 2.13	螺旋型線圈式 Type V 與 Type VI IE3D layout	16
圖 2.14	Type V magnitude response	17
圖 2.15	Type VI magnitude response	17
圖 2.16	Type V phase response	18
圖 2.17	Type VI phase response	18
圖 2.18	Type V VS. Type VI S21 and S31 magnitude error	19
圖 2.19	Type V VS. Type VI S21 and S31 phase difference	19
圖 2.20	Type V and Type VI $0^\circ, 0^\circ$ 分波器 die photo	20
圖 2.21	混頻器本地振盪源輸入端偏壓電路	22
圖 2.22	微混頻器射頻輸入端電路	23
圖 2.23	結合 Marchand balun 混頻器整體電路圖	24
圖 2.24	Type I 轉換增益 VS. LO 功率	25
圖 2.25	Type IV 轉換增益 VS. LO 功率	25
圖 2.26	轉換增益 VS. RF frequency	26
圖 2.27	轉換增益 VS. IF frequency	26
圖 2.28	Type I P1dB and IIP3 @ RF 7GHz	27
圖 2.29	Type IV P1dB and IIP3 @ RF 7GHz	27
圖 2.30	P1dB and IIP3	27
圖 2.31	Type I isolation	28
圖 2.32	Type IV isolation	28
圖 2.33	Type I 輸入返回損耗	29

圖 2.34	Type IV 輸入返回損耗	29
圖 2.35	Type I noise figure	30
圖 2.36	Type IV noise figure	30
圖 2.37	結合 Marchand balun Type I 混頻器 die photo	31
圖 2.38	結合 Marchand balun Type IV 混頻器 die photo	31
圖 3.1	頻率合成器在收發機上的應用	36
圖 3.2	Spur 對接收訊號的影響	36
圖 3.3	頻率合成器跳頻時 VCO 輸出頻率變化	37
圖 3.4	頻率合成器 settling time 對接發頻道的影響	38
圖 3.5	除二電路在頻率合成器上的應用-前置除頻器	38
圖 3.6	Frequency of operation for a mode 1 device	39
圖 3.7	Direct frequency synthesizer for UWB mode 1 application	40
圖 3.8	Frequency of operation for a mode 2 device	40
圖 3.9	Direct frequency synthesizer for UWB mode 2 application	40
圖 3.10	單頻帶升頻器	41
圖 3.11	RC phase shifter	42
圖 3.12	N 級環型 VCO	43
圖 3.13	Cross-coupled VCO with parallel coupling	44
圖 3.14	除二輸出正交訊號波形	44
圖 3.15	輸入工作週期對輸出正交相位準度的影響	45
圖 3.16	將 spur 分為 AM 和 PM sideband	45
圖 3.17	除二輸入與輸出的波形	46
圖 3.18	Master-slave flip-flop 除二電路圖	47
圖 3.19	單一 D-latch 電路圖	47
圖 3.20	Regenerative modulator	48
圖 3.21	Second-order regenerative modulator	49
圖 3.22	除 2 RFD block diagram	49
圖 3.23	除 2 RFD 低頻操作限制	50
圖 3.24	除 3 RFD 電路架構	51
圖 3.25	除 $2^N - 1$ RFD 電路架構	51
圖 3.26	一般 free running VCO 模型	52
圖 3.27	Common ILO 模型	52
圖 3.28	二種架構 ILFD	54
圖 3.29	Unified ILO 模型	55
圖 3.30	除 N ILFD 電路圖	57
圖 3.31	除 3 ILFD 電路圖	58
圖 3.32	除三與除五電路輸出波形	58
圖 3.33	電流可交換式 D flip-flop	59

圖 3.34	SHSHH 除 5 電路圖	60
圖 3.35	SSSH 除 5 電路圖	60
圖 3.36	前置輸入級電路圖	61
圖 3.37	輸出緩衝級電路圖	61
圖 3.38	SHSHH sensitivity	62
圖 3.39	SSSH sensitivity	62
圖 3.40	SHSHH input and output waveform	63
圖 3.41	SSSH input and output waveform	63
圖 3.42	SHSHH input return loss	64
圖 3.43	SSSH input return loss	64
圖 3.44	SHSHH input and output phase noise	65
圖 3.45	SSSH input and output phase noise	65
圖 3.46	SHSHH 除 5 die photo	66
圖 3.47	SSSH 除 5 die photo	66
圖 3.48	RFD 實作電路 schematic	69
圖 3.49	RFD 輸入 7GHz 頻譜圖	70
圖 3.50	RFD 輸入 19GHz 頻譜圖	70
圖 3.51	RFD input sensitivity	71
圖 3.52	RFD input and output phase noise	71
圖 3.53	RFD die photo	72
圖 3.54	正交訊號輸出 RFD 架構圖與訊號波形	74
圖 3.55	28GHz IQ RFD 電路圖	74
圖 3.56	Passive SSB up-converter	75
圖 3.57	Rejection ratio with amplitude / phase mismatch	75
圖 3.58	28GHz IQ RFD input sensitivity	75
圖 3.59	28GHz IQ RFD 輸入 22GHz 頻譜圖	76
圖 3.60	28GHz IQ RFD 輸入 28GHz 頻譜圖	76
圖 3.61	28GHz IQ RFD input and output phase noise	77
圖 3.62	28GHz IQ RFD output waveform	77
圖 3.63	28GHz IQ RFD die photo	78
圖 3.64	35GHz IQ RFD 電路圖	79
圖 3.65	35GHz IQ RFD input sensitivity	79
圖 3.66	35GHz IQ RFD 輸入 35GHz 頻譜圖	80
圖 3.67	35GHz IQ RFD side-band rejection	80
圖 3.68	35GHz IQ RFD die photo	81
圖 3.69	除 2 ILFD 電路圖	83
圖 3.70	除 2 ILFD input sensitivity	84
圖 3.71	除 2 ILFD 輸入 49GHz 頻譜圖	85

圖 3.72	除 2 ILFD die photo .....	85
圖 3.73	除 3 ILFD 電路圖 .....	87
圖 3.74	除 3 ILFD input sensitivity .....	88
圖 3.75	除 3 ILFD 輸入 30.6GHz 頻譜圖 .....	89
圖 3.76	除 3 ILFD die photo .....	89
圖 4.1	VCO 頻譜 .....	92
圖 4.2	發射機 LO 相位雜訊對 adjacent channel 訊號的影響 .....	93
圖 4.3	接收機 LO 相位雜訊造成 reciprocal mixing .....	94
圖 4.4	RLC 振盪器 .....	94
圖 4.5	相位雜訊 (Leeson) .....	95
圖 4.6	Current pulse 訊號注入至 LC 振盪器 .....	97
圖 4.7	振幅與相位 impulse response .....	97
圖 4.8	Hajimiri 模型相位雜訊產生過程示意圖 .....	99
圖 4.9	注入訊號至 VCO 小訊號模型 .....	100
圖 4.10	耦合 VCO 小訊號模型 .....	101
圖 4.11	Anti-phase coupling VCO .....	101
圖 4.12	Cross couple 回授方法 .....	103
圖 4.13	Series coupling QVCO .....	104
圖 4.14	利用 trifilar 之 series coupling QVCO .....	105
圖 4.15	Trifilar .....	106
圖 4.16	平面式 trifilar layout .....	106
圖 4.17	3D trifilar layout .....	106
圖 4.18	Tuning range 模擬圖 .....	107
圖 4.19	Output power 模擬圖 .....	107
圖 4.20	Phase noise 模擬圖 .....	107
圖 4.21	Sideband rejection 模擬圖 .....	107
圖 4.22	3D trifilar series QVCO die photo .....	108
圖 4.23	QVCO based on trifilar coupling 電路圖 .....	110
圖 4.24	主動式 balun 電路圖 .....	111
圖 4.25	QVCO based on trifilar coupling tuning range .....	111
圖 4.26	QVCO based on trifilar coupling output power .....	111
圖 4.27	QVCO based on trifilar coupling phase noise .....	112
圖 4.28	QVCO based on trifilar coupling side band rejection .....	112
圖 4.29	QVCO based on trifilar coupling die photo .....	113

# 第一章

## 導論



## 1.1 研究動機

近年來無線通訊科技的蓬勃發展，包含2G與3G手機、無線區域網路 (Wireless LAN: WLAN)、Bluetooth、Wimax等無線通訊系統，無線通訊已完全融入我們的生活之中成為人與人之間不可或缺的溝通方式。同時，要求具備高通訊品質、高資料傳輸率，以及在單位頻寬內能有更多的頻道可供多人同時使用已成為迫不及待的目標。

總體而言，無線通訊的前端電路是整個系統電路的瓶頸，必須將基頻訊號加以調變再經由發射機發送射頻訊號至接收端，期間必須抗拒環境的各種干擾；而在接收機上需要處理極微弱的射頻訊號，並調變至基頻再進一步做數位訊號的處理。因為射頻電路需要考慮許多參數，包含了雜訊指數、線性度、功率消耗、阻抗匹配、操作頻率、信號振幅……等，以符合通訊系統規格的要求，各種參數相互地影響使得設計上更為困難。

另一方面，由於半導體技術不斷的進步，電晶體的單位電流增益頻率 ( $f_T$ ) 與最大振盪頻率 ( $f_{max}$ ) 亦不斷的提升，使得射頻電路朝向整合至積體電路中以達到成本降低、體積縮小、消耗功率降低及可高重覆性製作的目標前進；然而，隨著電路操作頻率的升高，電晶體模型只能描述部份現象，就算做了Layout上寄生效應的萃取，並不能保證設計電路正常運作，為了可以得到更正確的電路行為，訊號的走線與被動元件都需經過EM模擬以估測高頻訊頻的耦合效應，如此一來使得射頻積體電路在設計上的困難度更加提升數倍。

而在射頻晶片製程技術上，由於CMOS技術的成本較低且有極佳的系統整合能力，使用CMOS製程技術在單一晶片上同時實現射頻前

端電路及基頻電路已是最新的趨勢。但從特性觀點來看，PHEMT、MHEMT與SiGe BiCMOS之製程技術有更高的截止頻率、更高的轉導值，用來實現射頻前端電路相對CMOS消耗較少的功率，所以這類技術非常適合高速電路之應用。而本篇論文將採用上述之技術來設計混頻器、除頻器與振盪器等電路來展示其製程的特色。

## 1.2 論文組織

本論文分為五個章節，第一章為導論，說明研究動機及論文組織。第二章介紹寬頻被動元件Marchand balun與其衍生應用，並實作在損耗的矽基版上，接著與主動式混頻器結合，將balun整合至積體電路中，並比較其特性。第三章為除頻電路的設計與實作，介紹除頻電路在接發機上的應用與不同類型除頻電路的架構與原理。第四章為正交相位壓控振盪器，將介紹振盪器的基本原理與振盪器重要的規格相位雜訊，接著介紹正交相位振盪器的原理與種類。第五章對於電路設計與實作結果做一結論。



# 第二章

## 不同類型 Marchand balun 特性比較與混頻器設計



## 2.1 前言

近年來，由於無線通訊的普及，使得無線通訊系統的需求量大量成長，對於單晶微波積體電路(MMIC)與射頻積體電路(RFIC)的通訊元件需求量也持續地增加，而射頻積體電路的設計，從電感、變壓器等被動元件的整合，逐漸到各種微波被動電路都得整合在單一晶片。在大部分的電路運作中都是以差動 (differential) 訊號為主，但是射頻訊號的傳送卻是以單端訊號 (single ended) 為主，因此 balun 在無線系統中為一個不可或缺的電路原件 (balun 為 balance to unbalance 的縮寫)，提供單端訊號與差動訊號之間的互相轉換，單端的訊號經過理想的被動式 balun 後會產生 -3dB 的能量衰減與相位差 180 度的輸出訊號，而 balun 可用的工作頻寬是最常被用來評斷 balun 特性好壞的依據，如何設計一個寬頻的 balun 是一項挑戰。寬頻被動 Balun 中最常見的為 Marchand balun，這種類型的 balun 又可細分為不同類型，本章節將討論不同類型的 Marchand balun 的特性與優劣，接著將不同類型的 Marchand balun 與主動式的混頻器結合，由混頻器所表現的特性間接來探討不同類型 Marchand balun 特性對電路的影響。

## 2.2 不同類型 Marchand balun 比較與實作

### 2.2.1 耦合傳輸線

Marchand balun 為二組四分之一波長的耦合傳輸線所組成，耦合傳輸線即是將二條傳輸線互相靠近，讓二條傳輸線之間做電磁場的耦合，耦合線大略可分為二類，一為邊緣耦合 (edge couple) 傳輸線，為最常見的耦合線結構，二為寬邊耦合 (broadside couple) 傳輸線，

其結構為圖2.1所示，S=耦合線的間距，d=基板的厚度，W=傳輸線的寬度。傳統微波電路要製作寬邊耦合有物理結構上的困難，然而在IC製程上提供多層金屬供設計者選擇，可輕易地實現寬邊耦合的結構。

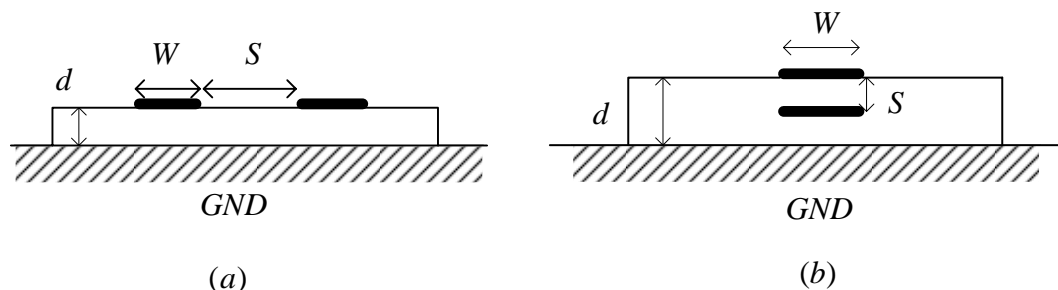


圖2.1 (a) 邊緣耦合傳輸線 (b) 寬邊耦合傳輸線

耦合線在中心頻長度為  $\lambda/4$  時，耦合係數 C 與傳輸係數 T 兩者

滿足：

$$\begin{cases} |C|^2 + |T|^2 = 1 & \text{, without loss} \\ |C|^2 + |T|^2 < 1 & \text{, with loss} \end{cases}$$

透過奇偶模 (odd mode, even mode) 分析，假設奇偶模的特性阻抗分別為  $Z_{oo}$  與  $Z_{oe}$ ，則耦合線的耦合係數 C 定義成：

$$C = \frac{Z_{oe} - Z_{oo}}{Z_{oe} + Z_{oo}} \dots\dots\dots \text{(式2.1)}$$

一般而言，量測微波網路的特性阻抗是  $50\Omega$ ，給定  $Z_0 = \sqrt{Z_{oe}Z_{oo}}$  根據式 (2.1)，可以得到：

$$Z_{oe} = Z_0 \sqrt{\frac{1+C}{1-C}} \dots\dots\dots \text{(式 2.2)}$$

$$Z_{oo} = Z_0 \sqrt{\frac{1-C}{1+C}} \dots\dots\dots \text{(式 2.3)}$$

由上式可發現，當耦合量足夠大的時候，偶模的阻抗  $Z_{oe}$  會比奇模的阻抗  $Z_{oo}$  大很多，在傳統微波電路設計上耦合傳輸線通常只能實現邊緣耦合傳輸線，若要得到較大的耦合量，兩條傳輸線的距離必須

十分靠近，可能無法實作。

## 2.2.2 二種 Marchand balun 與二種 $0^\circ, 0^\circ$ 分波器

從傳統式的 Marchand balun 可以延伸出四種類型的 Marchand balun (圖 2.2) [4]，利用傳輸線理論來推導這四種 Marchand balun 之散射參數 (scattering parameter) [6]，發現 Type II 為窄頻的電路，Type III 達到輸入匹配時需要  $C > 1$  是無法實現的，所以我們有興趣的為 Type I 與 Type IV 之 Marchand balun，Type I 為一般常見的 Marchand balun，而 Type IV 另一類型的 Marchand balun。

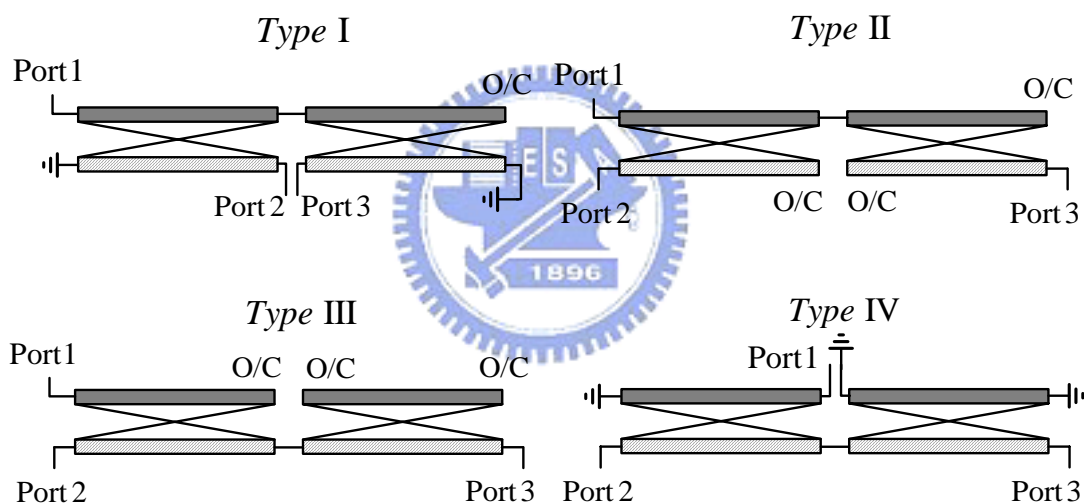


圖 2.2 四種類型 Marchand balun

Type I ( $0^\circ, 180^\circ$ ) 散射矩陣

$$[S]_{1st} = \begin{bmatrix} -C^2 + \frac{T^4}{1+C^2} & -CT + \frac{CT^3}{1+C^2} & CT - \frac{CT^3}{1+C^2} \\ -CT + \frac{CT^3}{1+C^2} & -T^2 + \frac{C^2T^2}{1+C^2} & C^2 - \frac{C^2T^2}{1+C^2} \\ CT - \frac{CT^3}{1+C^2} & C^2 - \frac{C^2T^2}{1+C^2} & -T^2 + \frac{C^2T^2}{1+C^2} \end{bmatrix} \xrightarrow[T=-j\sqrt{1-C^2}]{\text{lossless}} [S]_{1st} = \begin{bmatrix} \frac{1-3C^2}{1+C^2} & j\frac{2C\sqrt{1-C^2}}{1+C^2} & -j\frac{2C\sqrt{1-C^2}}{1+C^2} \\ j\frac{2C\sqrt{1-C^2}}{1+C^2} & \frac{1-C^2}{1+C^2} & \frac{2C^2}{1+C^2} \\ -j\frac{2C\sqrt{1-C^2}}{1+C^2} & \frac{2C^2}{1+C^2} & \frac{1-C^2}{1+C^2} \end{bmatrix}$$

無耗損情況下， $C = \sqrt{\frac{1}{3}}$  時，S11 會達到完美的匹配。

Type IV ( $0^\circ, 180^\circ$ ) 散射矩陣

$$[S]_{4th} = \begin{bmatrix} -T^2 - \frac{C^4}{1-T^2} & -TC - \frac{C^3T}{1-T^2} & TC + \frac{TC^3}{1-T^2} \\ -TC - \frac{C^3T}{1-T^2} & -C^2 - \frac{C^2T^2}{1-T^2} & T^2 + \frac{T^2C^2}{1-T^2} \\ TC + \frac{C^3T}{1-T^2} & T^2 + \frac{T^2C^2}{1-T^2} & -C^2 - \frac{T^2C^2}{1-T^2} \end{bmatrix} \xrightarrow[T=-j\sqrt{1-C^2}]{\text{lossless}} [S]_{4th} = \begin{bmatrix} \frac{2-3C^2}{2-C^2} & \frac{j2C\sqrt{1-C^2}}{2-C^2} & \frac{-j2C\sqrt{1-C^2}}{2-C^2} \\ \frac{j2C\sqrt{1-C^2}}{2-C^2} & \frac{-C^2}{2-C^2} & \frac{2C^2-2}{2-C^2} \\ \frac{-j2C\sqrt{1-C^2}}{2-C^2} & \frac{2C^2-2}{2-C^2} & \frac{-C^2}{2-C^2} \end{bmatrix}$$

無耗損情況下， $C = \sqrt{\frac{2}{3}}$  時，S11 會達到完美的匹配。

觀察圖 2.2 可以發現一個有趣的現象，若將 Type I 的 Marchand balun 開路端變短路端，短路端變開路端，則形成如圖 2.3 Type V 的分波器，若將 Type IV 的 Marchand balun 開路端變短路端，短路端變開路端，則形成如圖 2.3 Type VI 的分波器。

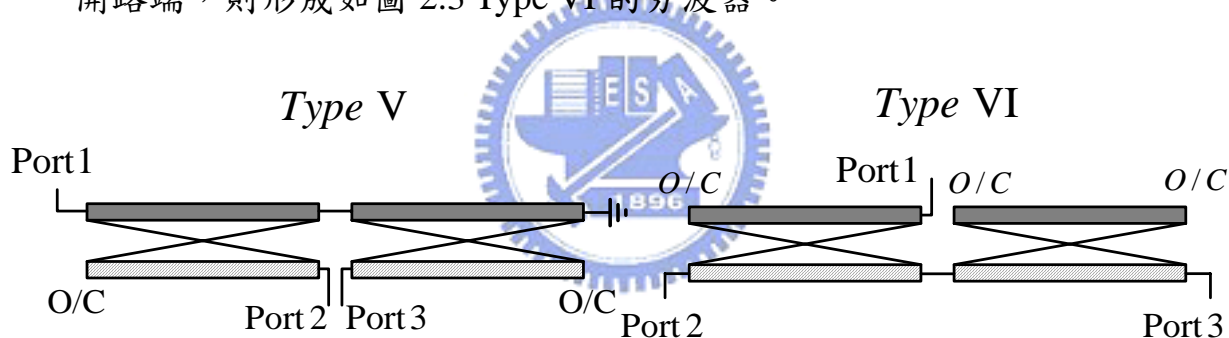


圖 2.3 二種類型  $0^\circ, 0^\circ$  分波器

Type V ( $0^\circ, 0^\circ$ ) 散射矩陣

$$[S]_{5th} = \begin{bmatrix} C^2 - \frac{T^4}{1+C^2} & CT - \frac{CT^3}{1+C^2} & CT - \frac{CT^3}{1+C^2} \\ CT - \frac{CT^3}{1+C^2} & T^2 - \frac{C^2T^2}{1+C^2} & C^2 - \frac{C^2T^2}{1+C^2} \\ CT - \frac{CT^3}{1+C^2} & C^2 - \frac{C^2T^2}{1+C^2} & T^2 - \frac{C^2T^2}{1+C^2} \end{bmatrix} \xrightarrow[T=-j\sqrt{1-C^2}]{\text{lossless}} [S]_{5th} = \begin{bmatrix} \frac{3C^2-1}{1+C^2} & -j\frac{2C\sqrt{1-C^2}}{1+C^2} & -j\frac{2C\sqrt{1-C^2}}{1+C^2} \\ -j\frac{2C\sqrt{1-C^2}}{1+C^2} & \frac{C^2-1}{1+C^2} & \frac{2C^2}{1+C^2} \\ -j\frac{2C\sqrt{1-C^2}}{1+C^2} & \frac{2C^2}{1+C^2} & \frac{C^2-1}{1+C^2} \end{bmatrix}$$

無耗損情況下， $C = \sqrt{\frac{1}{3}}$  時，S11 會達到完美的匹配。

Type VI ( $0^\circ, 0^\circ$ )

$$[S]_{6th} = \begin{bmatrix} T^2 + \frac{C^4}{1-T^2} & TC + \frac{C^3T}{1-T^2} & TC + \frac{TC^3}{1-T^2} \\ TC + \frac{C^3T}{1-T^2} & C^2 + \frac{C^2T^2}{1-T^2} & T^2 + \frac{T^2C^2}{1-T^2} \\ TC + \frac{C^3T}{1-T^2} & T^2 + \frac{T^2C^2}{1-T^2} & C^2 + \frac{T^2C^2}{1-T^2} \end{bmatrix} \xrightarrow[T = -j\sqrt{1-C^2}]{\text{lossless}} [S]_{6th} = \begin{bmatrix} \frac{3C^2-2}{2-C^2} & \frac{-j2C\sqrt{1-C^2}}{2-C^2} & \frac{-j2C\sqrt{1-C^2}}{2-C^2} \\ \frac{-j2C\sqrt{1-C^2}}{2-C^2} & \frac{C^2}{2-C^2} & \frac{2C^2-2}{2-C^2} \\ \frac{-j2C\sqrt{1-C^2}}{2-C^2} & \frac{2C^2-2}{2-C^2} & \frac{C^2}{2-C^2} \end{bmatrix}$$

無耗損情況下， $C = \sqrt{\frac{2}{3}}$  時，S11 會達到完美的匹配。

### 2.2.3 Type I 與 Type IV Marchand balun 實作

(TSMC 0.18 $\mu\text{m}$  CMOS)

Marchand balun 二對耦合線在中心頻的長度為  $\lambda/4$ ，以微帶線式的耦合線來實作的話，低頻電路尺寸會非常大，難以整合至積體電路中；以螺旋型線圈型式之耦合線來設計的話，可以有效地縮小 layout 面積，Type I 與 Type IV 的 layout 如下圖所示。

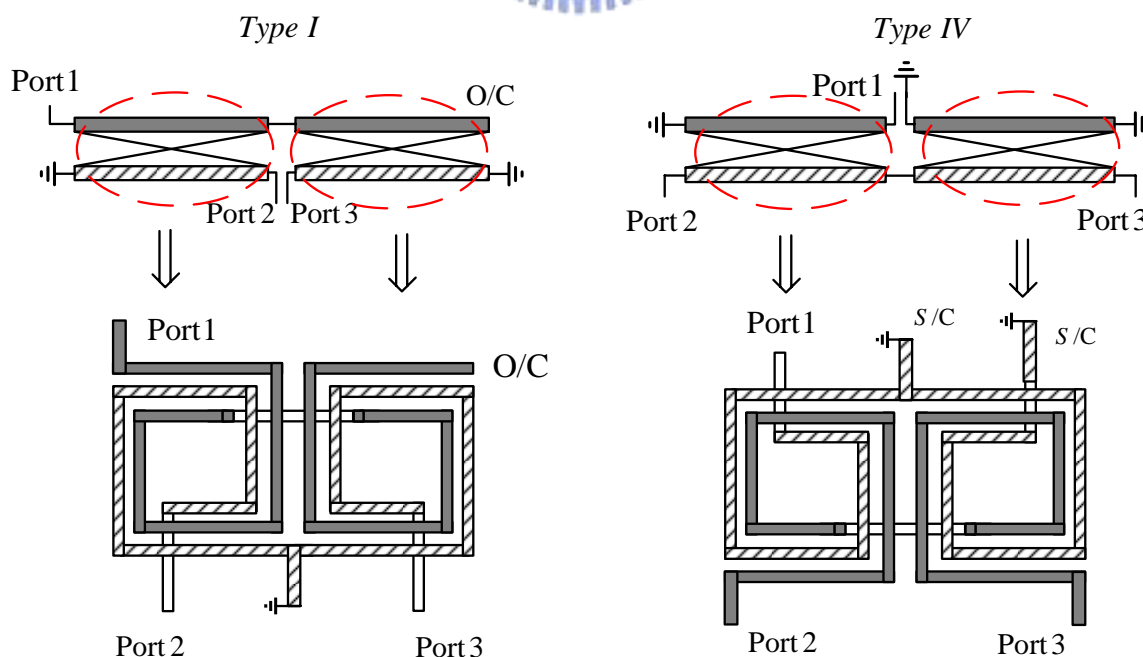


圖 2.4 螺旋型線圈式 Type I 與 Type IV Marchand balun 示意圖

因為二種類型需要不同的耦合量來達到 S11 的匹配，在 IE3D 模擬 layout 如圖 2.5 所示，Type I 的耦合量較低利用邊緣耦合即可達成，但是 Type IV 需要較高的耦合量，採用寬邊耦合的結構來設計。

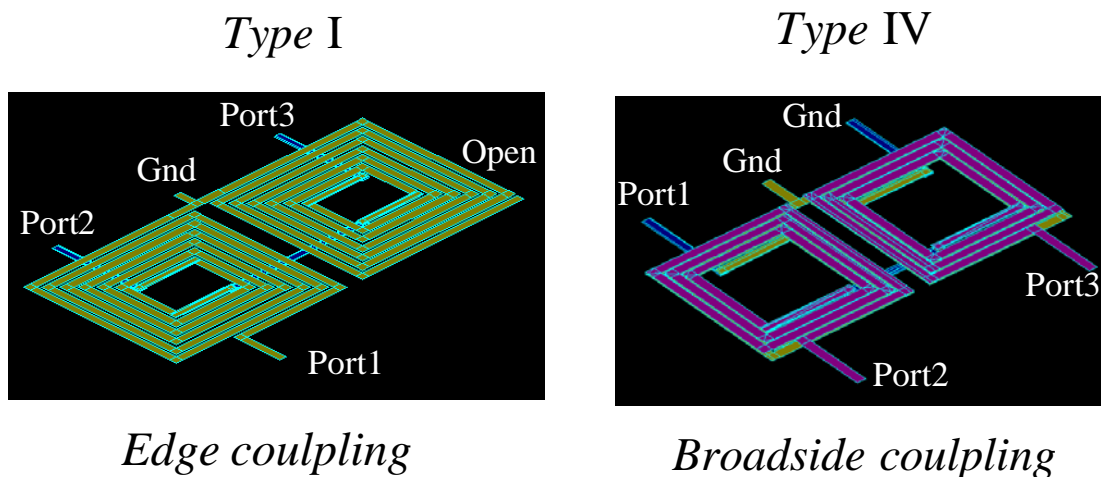


圖 2.5 Type I 與 Type IV IE3D layout 圖



### 量測結果

#### (1) Magnitude Response

Type I

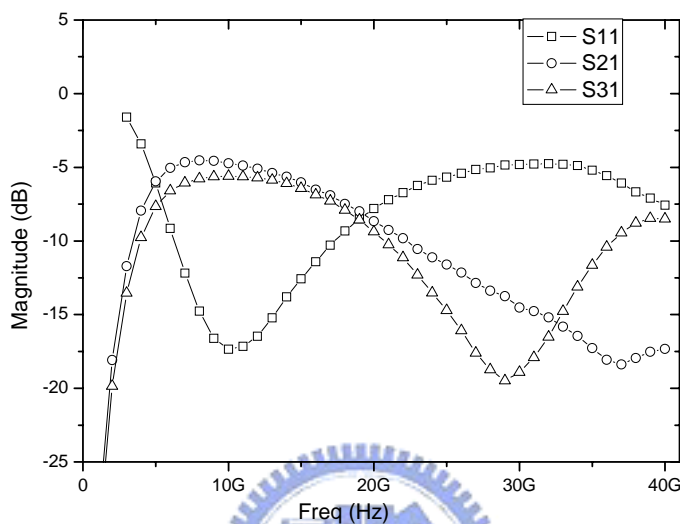


圖 2.6 Type I magnitude response

Type IV

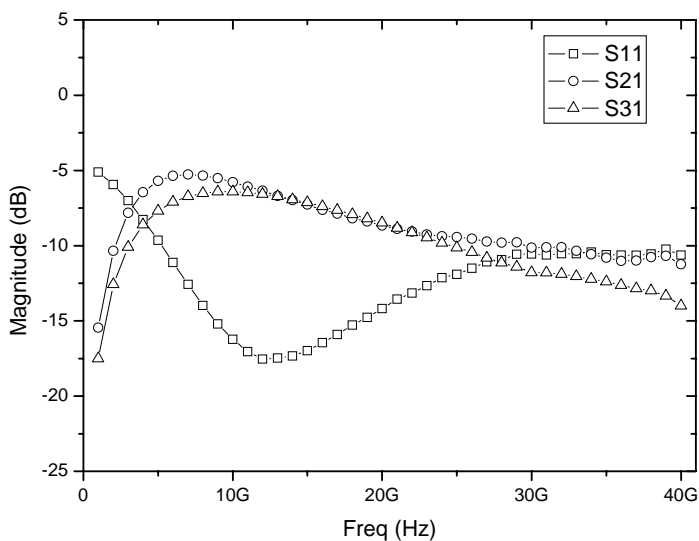


圖 2.7 Type IV magnitude response



## (2) Phase Response

Type I

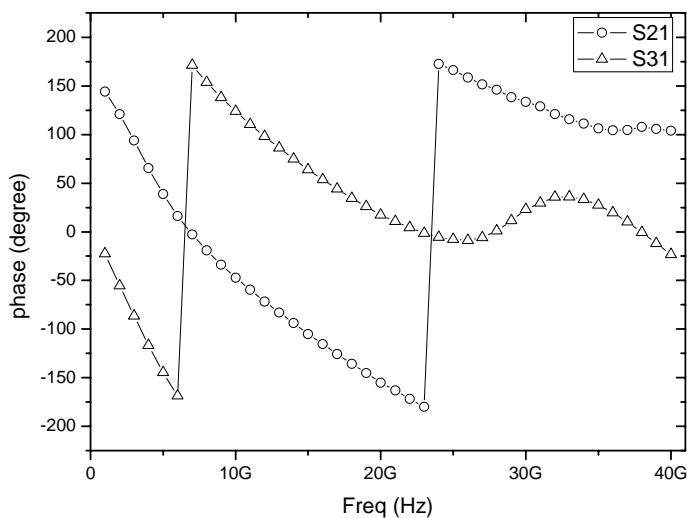
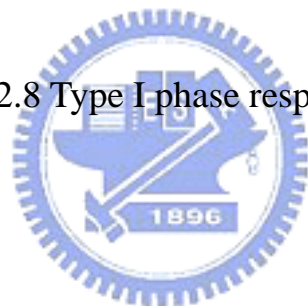


圖 2.8 Type I phase response



Type IV

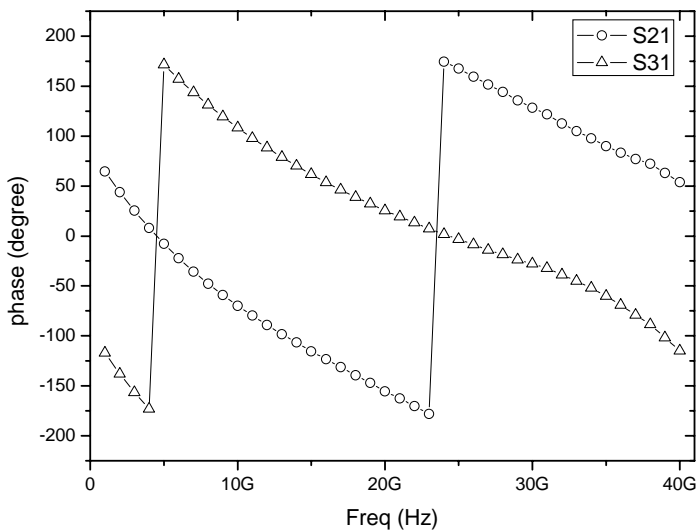


圖 2.9 Type IV phase response

### (3) Magnitude difference

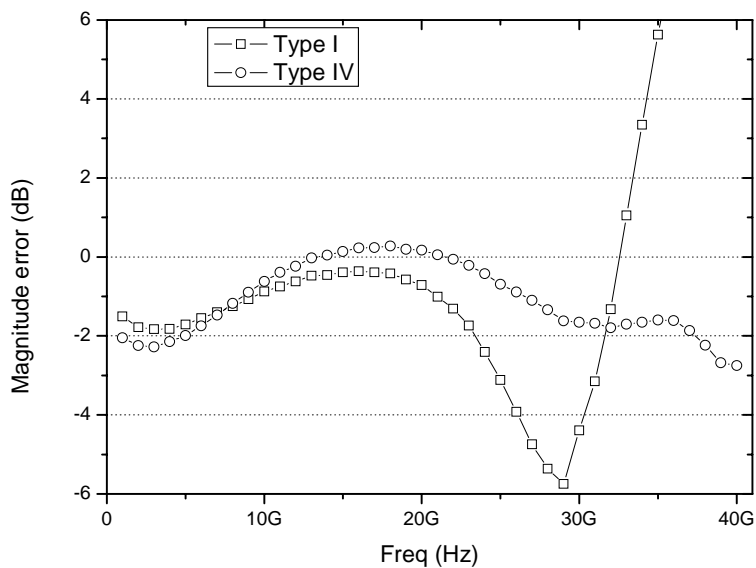


圖 2.10 Type I VS. Type IV S21 and S31 magnitude error

### (4) Phase difference

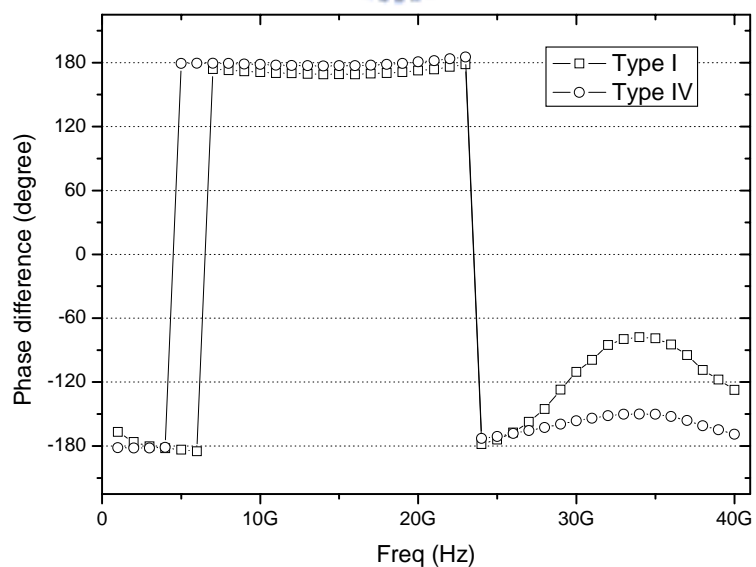


圖 2.11 Type I VS. Type IV S21 and S31 phase difference

表 2.1 Type I and Type IV Marchand balun Summary

Technology	TSMC 0.18 $\mu$ m CMOS	
Type	I (edge couple)	IV (broadside couple)
Center Frequency	10GHz	12GHz
S11@Center Frequency	-17.3 dB	-17.5 dB
S21@Center Frequency	-4.7 dB	-6.3 dB
S31@Center Frequency	-5.6dB	-6.6 dB
Phase difference	171 deg	177.5 deg
S11 < -10dB	6GHz~17GHz	5GHz~40GHz
S11 < -12dB	7GHz~14GHz	7GHz~25GHz
Die size	220 $\mu$ m x 450 $\mu$ m	170 $\mu$ m x 320 $\mu$ m



Die photo

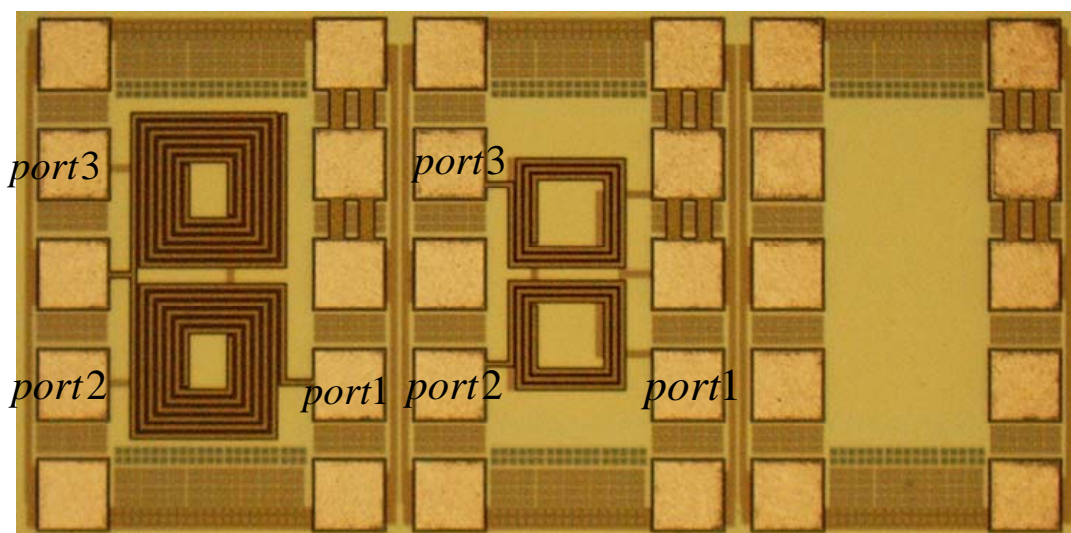
*Type I**Type IV**Open Pad*

圖 2.12 Type I and Type IV Marchand balun die photo

## 結果與討論

實測結果顯示，Type IV Marchand balun 不管是在 port2 與 port3 的 magnitude error 上或是在 phase difference 上的特性皆比傳統式的 Type I Marchand balun 佳。由輸入匹配來看，在二個 type 的中心頻率，Type I 的 return loss S11 為-17.3dB 而 type IV 的 return loss S11 為-17.5dB。一般而言，可用頻率為 S11 在-10dB 以下之操作頻寬，但因為 Type IV 高頻表現較大損耗，使得 S11 在高頻皆小於-10dB，無法代表其真正操作頻寬，所以我們以 S11 小於-12dB 來比較二者的頻寬，在此條件下 Type I 頻寬為 7GHz~14GHz 而 Type IV 為 7GHz ~ 25GHz，操作頻寬明顯地為 Type IV 較寬，與理論相符。此外，因為 Type IV 為寬邊耦合的結構，故其電路尺寸相對於 Type I 而言比較小；但是訊號在高頻的損耗，Type IV 寬邊耦合結構較嚴重。

### 2.2.4 Type V 與 Type VI $0^\circ, 0^\circ$ 分波器實作 (TSMC 0.18 $\mu$ m CMOS)

Type V 與 Type VI 只是在 Type I 與 Type IV 上將開路改成短路，短路改成開路，需要的耦合係數並沒有改變，故 Type V 依舊為邊緣耦合的結構而 Type VI 依舊為寬邊耦合的結構。在電路的佈局上，只是將 2.2.3 節的實作之開路改成短路，而短路改成開路。佈局示意如圖 2.13。

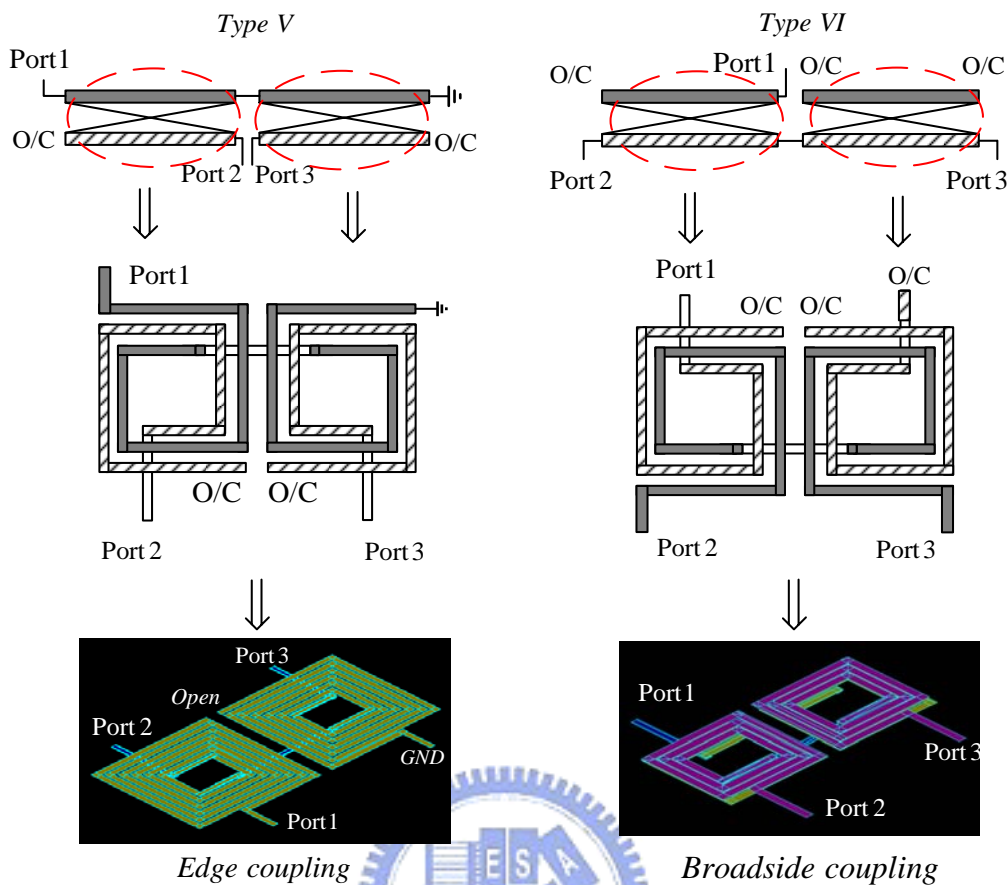


圖 2.13 螺旋型線圈式 Type V 與 Type VI IE3D layout

量測結果

(1) Magnitude Response

Type V

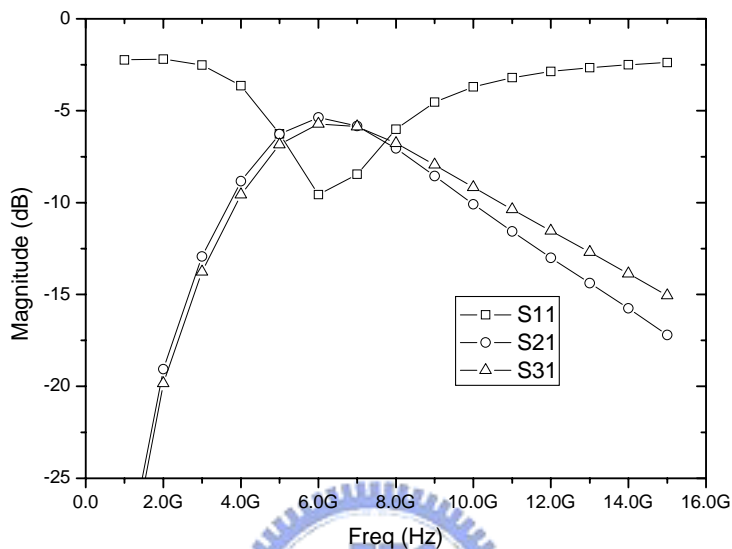


圖 2.14 Type V magnitude response

Type VI

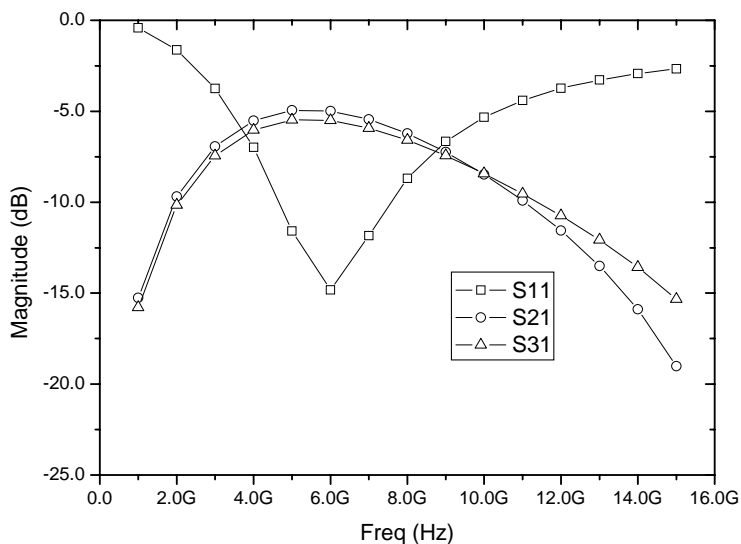


圖 2.15 Type VI magnitude response

## (2)Phase Response

### Type V

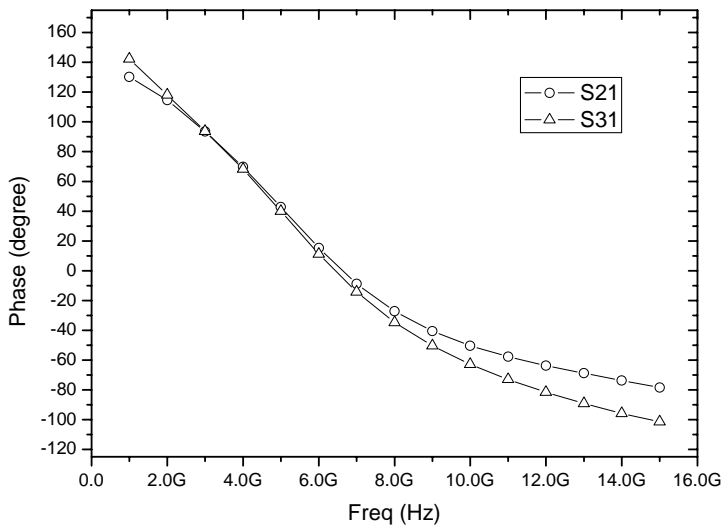


圖 2.16 Type V phase response



### Type VI

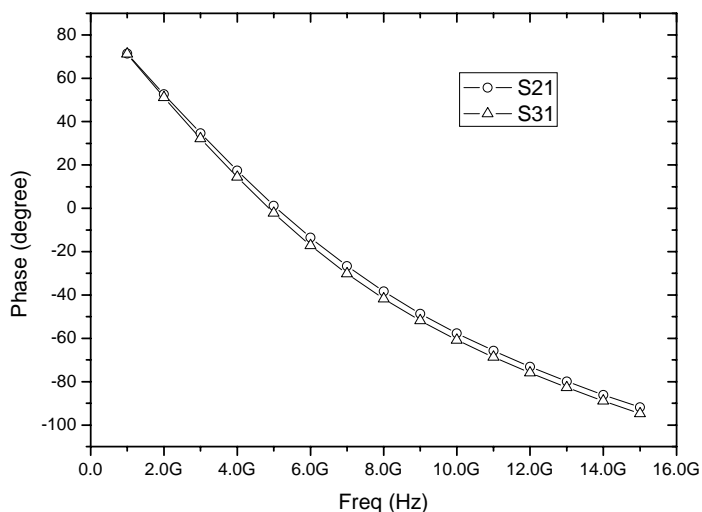


圖 2.17 Type VI phase response

### (3) Magnitude difference

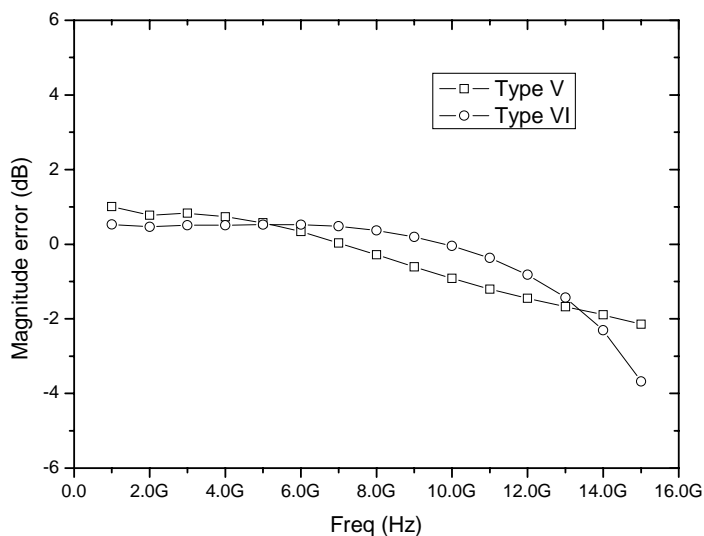


圖 2.18 Type V VS. Type VI S21 and S31 magnitude error



### (5) Phase difference

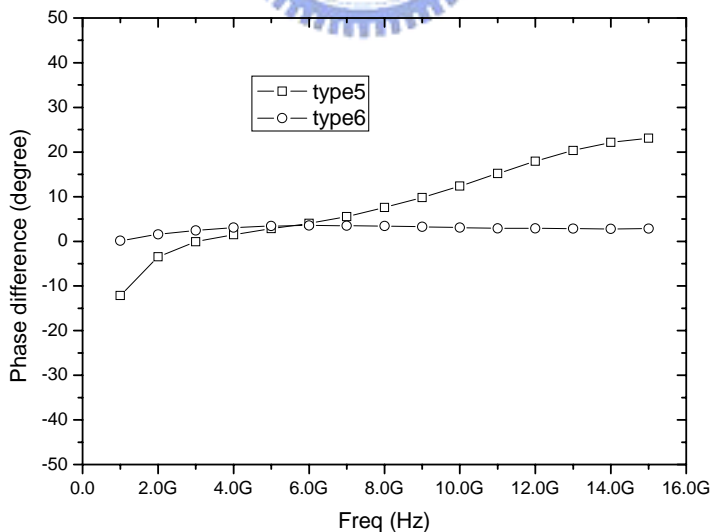


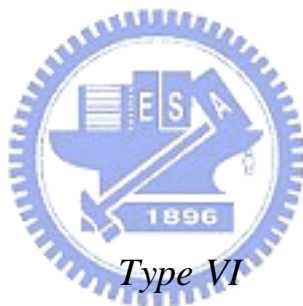
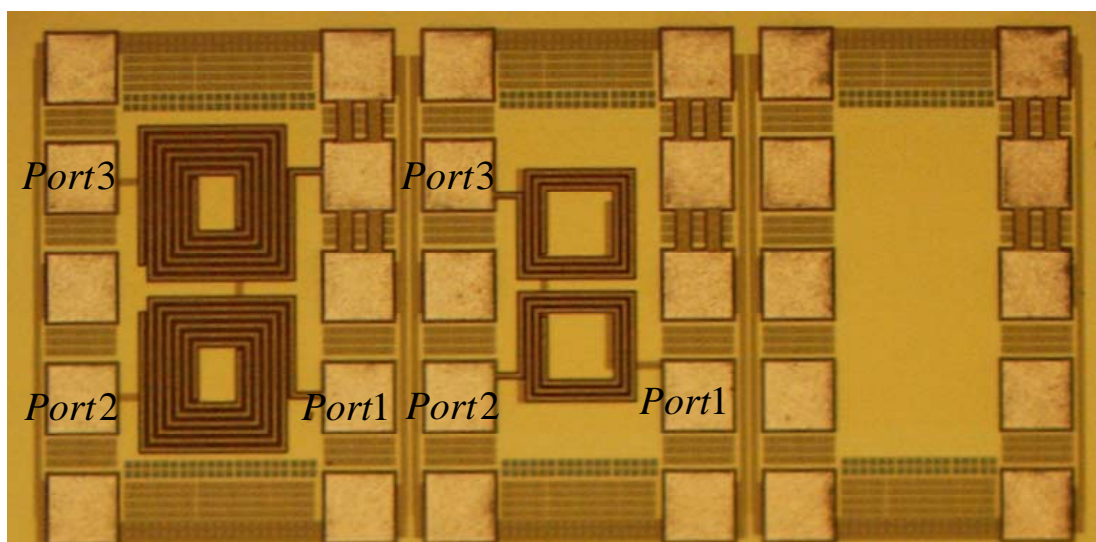
圖 2.19 Type V VS. Type VI S21 and S31 phase difference



表 2.2 Type V and Type VI  $0^\circ, 0^\circ$  分波器 Summary

Technology	TSMC 0.18 $\mu$ m CMOS	
Type	V(edge couple)	VI(broadside couple)
Center Frequency	6GHz	6Hz
S11@Center Frequency	-9.4 dB	-14.8 dB
S21@Center Frequency	-5.3 dB	-5 dB
S31@Center Frequency	-5.7dB	-5.5 dB
Phase difference	4 deg	3.6 deg
S11 < -10dB	NO	4.5GHz~7.5GHz
Die size	220 $\mu$ m x 450 $\mu$ m	170 $\mu$ m x 320 $\mu$ m

Die photo

*Type V**Type VI**Open Pad*圖 2.20 Type V and Type VI  $0^\circ, 0^\circ$  分波器 die photo

## 結果與討論

實測結果顯示，Type VI 不管是在 port2 與 port3 的 magnitude error 上或是在 phase difference 上的特性皆比 Type V 要。雖然傳輸線的結構與 2.2.3 節實作一樣，只是開路與短路互換的不同，但我們可以發現 Type V 與 Type VI 在 port 2 與 port 3 的 magnitude 的差異大多在 1dB 以內，而相位差 Type VI 都在 3 度以內，Type V 的相位差則不盡理想，只有窄頻在相位差 3 度以內。輸入匹配並不如預期有達到寬頻的匹配，可能是因為電路結構負載的不同導致寄生效應也不一樣，使得原本設計的耦合量離開我們所需的值，這是此次設計上的一大缺失。不由相位差的響應看來，利用理想無損耗四分之一波長的耦合傳輸線來推導 Marchand 式  $0^\circ, 0^\circ$  分波器的散射矩陣是正確的，但傳輸線在矽基板上的損耗所造成的非理想效應，在  $0^\circ, 0^\circ$  分波器上影響很大，散射參數推導中必須考慮耗損效應才能描述切確 magnitude 響應特性。

## 2.3 結合 Marchand balun 混頻器之設計與實作

### 2.3.1 研究動機

由上一節可以發現，Type IV Marchand balun 的頻寬較傳統式 Type I Marchand balun 的頻寬更寬，是因為 Type IV 為了輸入阻抗匹配需要較高的耦合係數，接著我們將這二類的 balun 與混頻器結合，比較這二種類型 balun 與主動電路結合時主動電路特性的優劣。為了顯現出 balun 的影狀，在主動混頻器電路設計完全一樣，而且使用最簡單的電路結構。

### 2.3.2 實作電路架構

#### 本地震盪源輸入極

LO 端我們採用 Marchand balun 產生 differential 訊號，其理論在上一節已做分析，而佈局結構如圖 2.5 所示，Type I 為邊緣耦合，Type IV 為寬邊耦合，訊號由 port 1 進去到另一端為開路，耦合到 port 2 和 port 3 出去，且為差動訊號輸出。Type 1 之 port 2 與 port 3 中間為 Common ground，在整合於混頻器時，我們將 common ground 節點利用電容讓 LO 較高頻訊號在此點看到 ground，而 LO 所需要的 DC 訊號由 Common ground 那一點注入混頻器內，如圖 2.21 (a) 所示；而 Type IV 之 port 2 與 port 3 之中心點為一傳輸線，我們使用大電阻當成 choke 把 DC 訊號由此節點灌入，如圖 2.21 (b)。

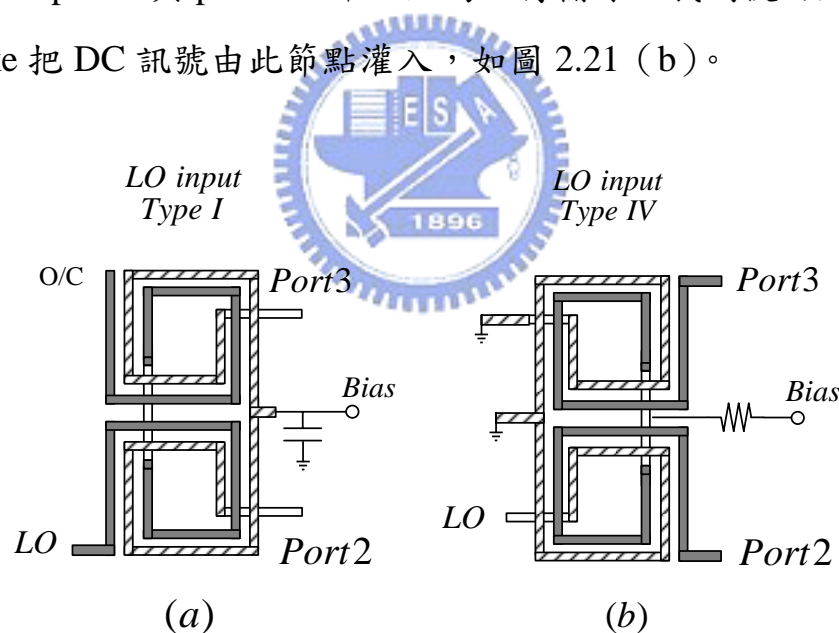


圖2.21 混頻器本地振盪源輸入端偏壓電路

因為放在 Gilbert 混頻器的 LO 端，如果 Marchand balun 所產生的訊號 Port2 與 Port3 不夠平衡，埠對埠的隔離度會變差，但對於 Magnitude 誤差的要求並不嚴格，只要 LO 的輸入功率夠大，足夠讓 Gilbert cell 的電晶體產生電流交換的效果，即可達到混頻的效果。

## 射頻輸入極

Gilbert mixer 射頻輸入極為一個 differential pair 放大器，將 RF 訊號由電壓轉為電流，而電流經過上面 LO 四個電晶體電流的切換來達成混頻，但此架構在 RF 端需要做阻抗的匹配，L-type 匹配網路會佔較大的面積，此外，我們還需要一個 balun 將 RF 單端訊號轉成差動訊號，被動的 balun 在低頻所佔面積將會很大；但射頻輸入極若以微混頻器為主體的話[7]如圖 2.22，在輸入端的轉導放大器由 Q1、Q2 和 Q3 構成，它是一個 Single to Differential 之電路，Q2 為共射極 (common emitter) 轉導放大器，將輸入電壓轉換成反相電流，而另一端 Q3 為共基極 (common base) 轉導放大器，會產生與共射極反相之電流，則可得到 RF 差動電流訊號，所以只需要單端輸入訊號即可。輸入阻抗匹配部分，可設計電阻  $r_1$ 、 $r_3$  和電晶體的  $1/gm$  提供輸入電阻匹配：
$$\left(\frac{1}{gm_1} + r_1\right) // \left(\frac{1}{gm_3} + r_3\right) = 50\Omega$$
。使用微混器的好處在於 RF 輸入端不需要額外的被動式 balun 與輸入阻抗匹配，可以減少電路所佔面積，而且在量測考量上，單端訊號輸入較易量測。

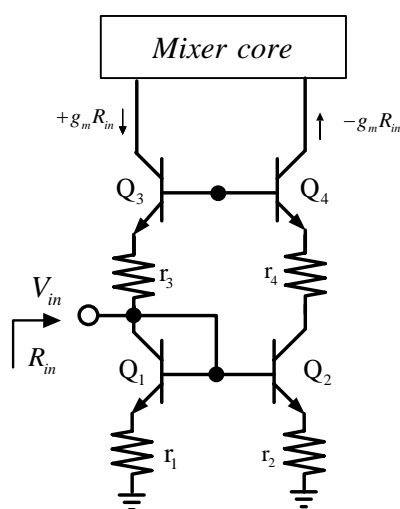


圖2.22 微混頻器射頻輸入端電路

## 整體電路圖

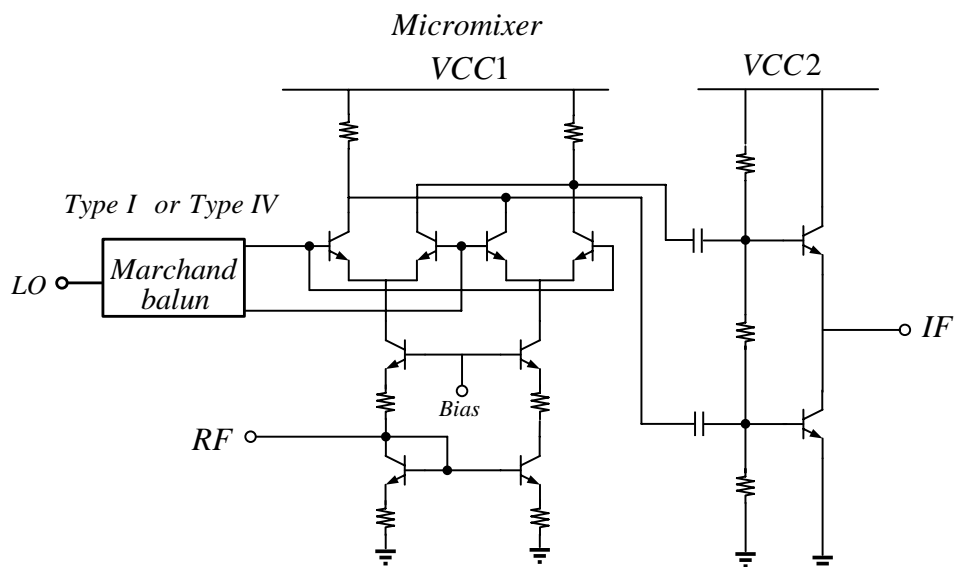


圖 2.23 結合 Marchand balun 混頻器整體電路圖

射頻輸入端與本地振盪源輸入端的電路如同上述，在輸出緩衝極的電路採用共集極（common collector）與共射極作為中頻訊號（IF）輸出端的緩衝器，將差動輸出訊號做功率合成轉換成單端輸出，以方便量測。

### 2.3.3 實測結果

#### (1) 轉換增益 VS. LO 功率

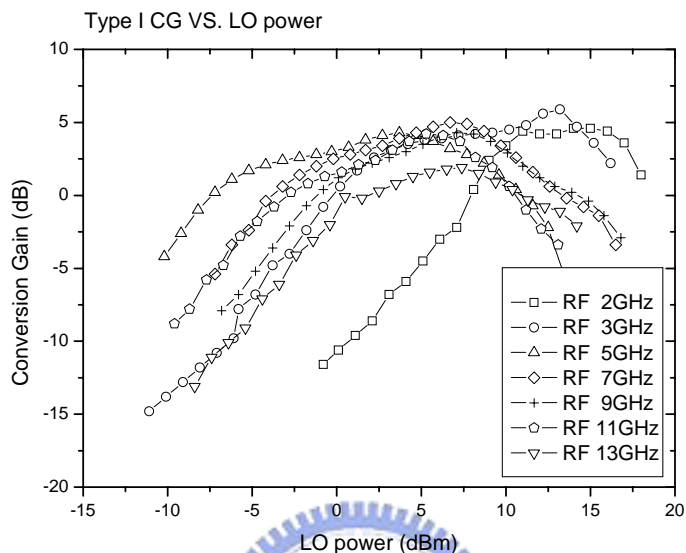


圖 2.24 Type I 轉換增益 VS. LO 功率

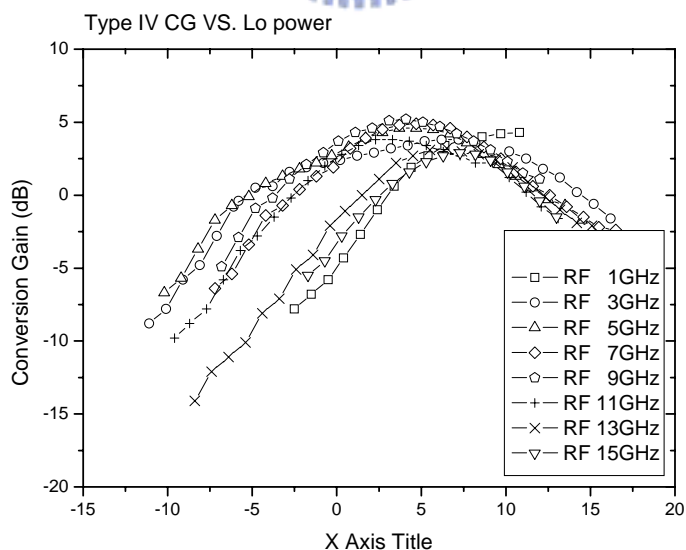


圖 2.25 Type IV 轉換增益 VS. LO 功率

(2) 轉換增益 VS. RF frequency ( RF bandwidth )

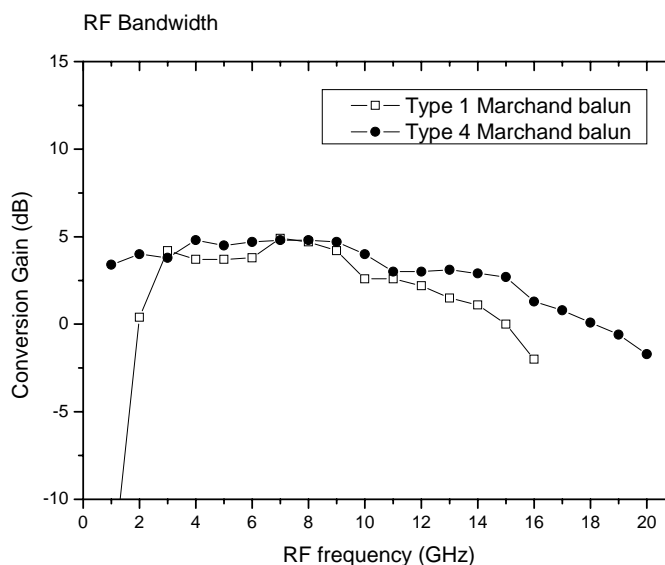


圖 2.26 轉換增益 VS. RF frequency

(3) RF@7GHz-轉換增益 VS. IF frequency ( IF bandwidth )

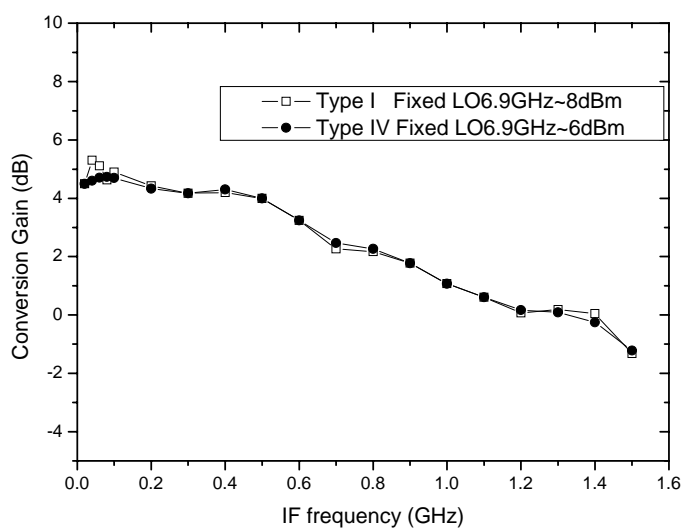


圖 2.27 轉換增益 VS. IF frequency

(4) P1dB / IIP3 (線性度)

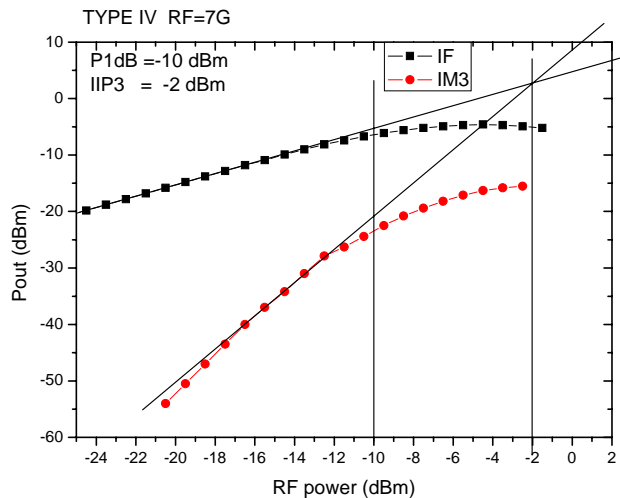
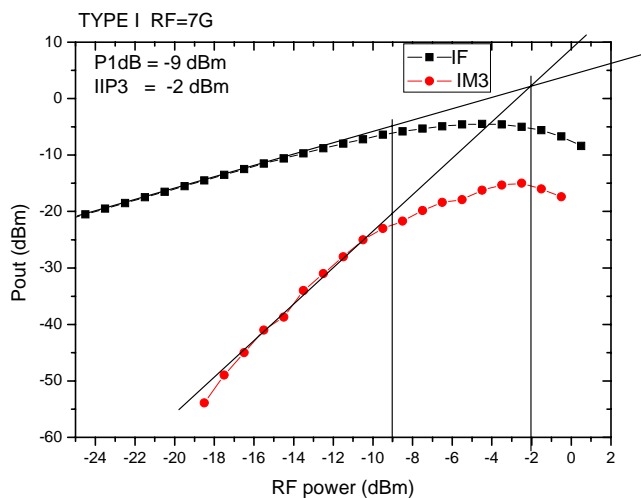


圖 2.28 Type I P1dB and IIP3 @ RF 7GHz

圖 2.29 Type IV P1dB and IIP3 @ RF 7GHz

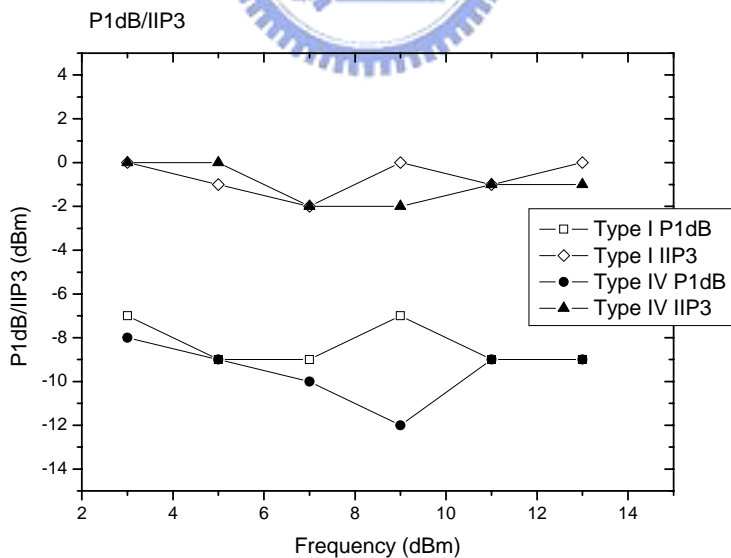


圖 2.30 P1dB and IIP3



### (5) Isolation

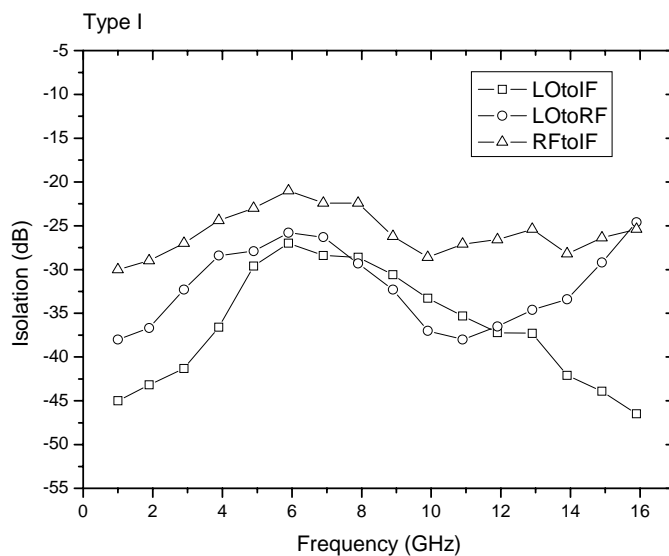


圖 2.31 Type I isolation

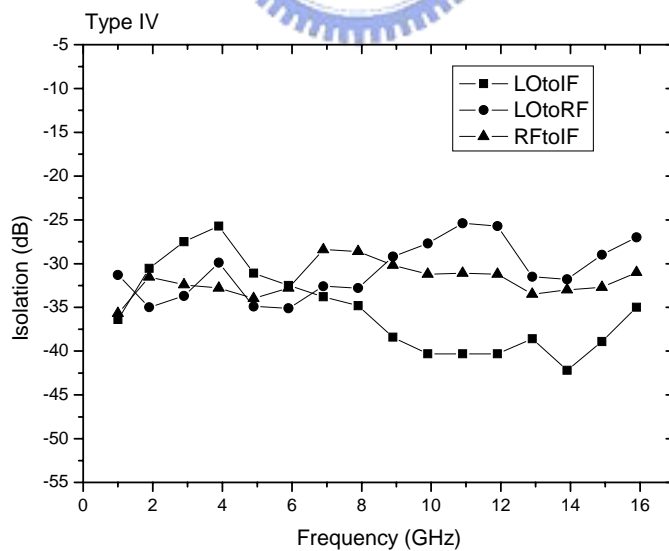


圖 2.32 Type IV isolation

(6) RF and LO 輸入返回損耗

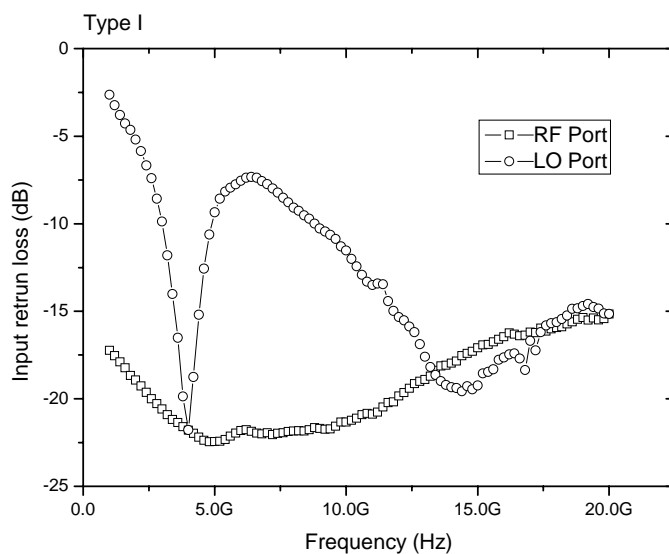


圖 2.33 Type I 輸入返回損耗

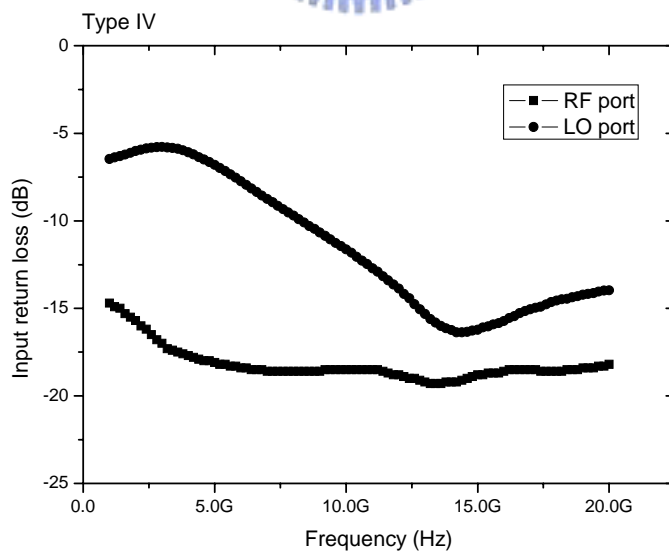


圖 2.34 Type IV 輸入返回損耗

(7) Noise Figure

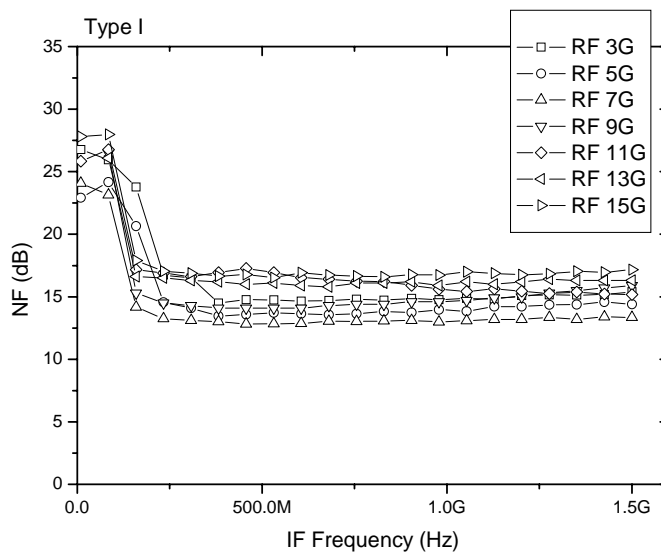


圖 2.35 Type I noise figure

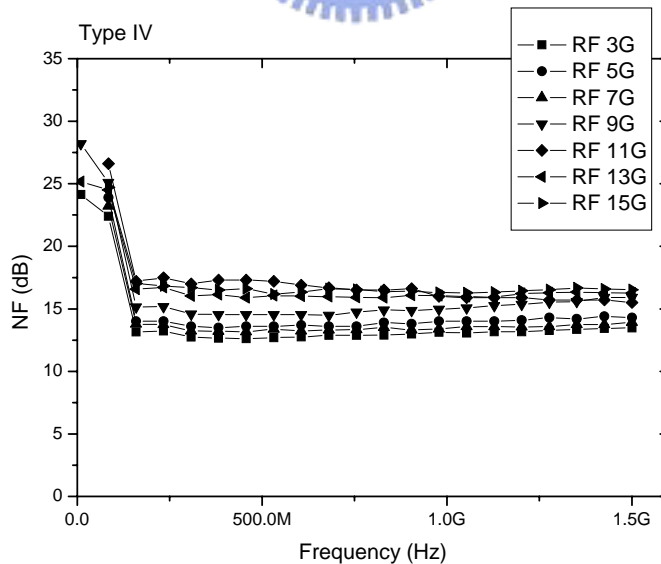


圖 2.36 Type IV noise figure

Die photo

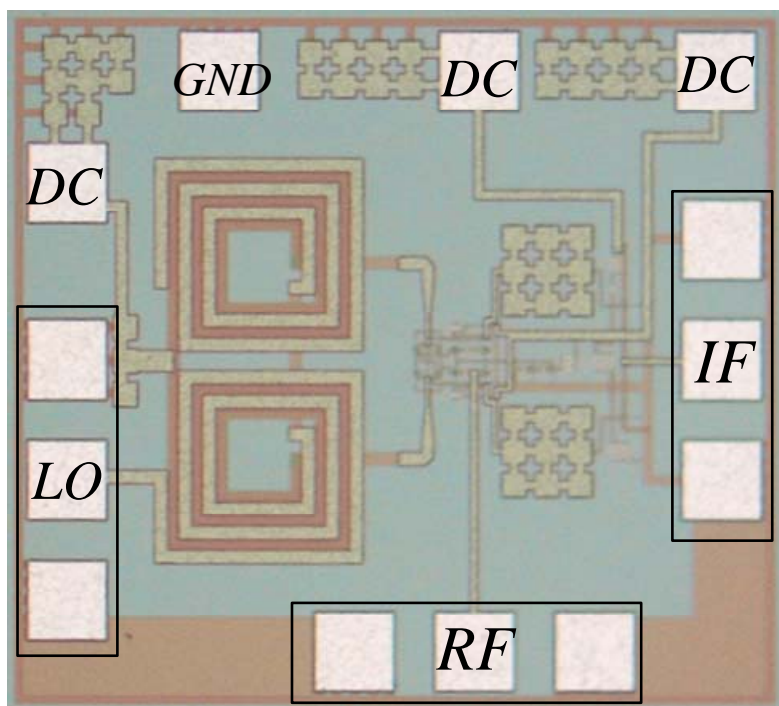


圖 2.37 結合 Marchand balun Type I 混頻器 die photo

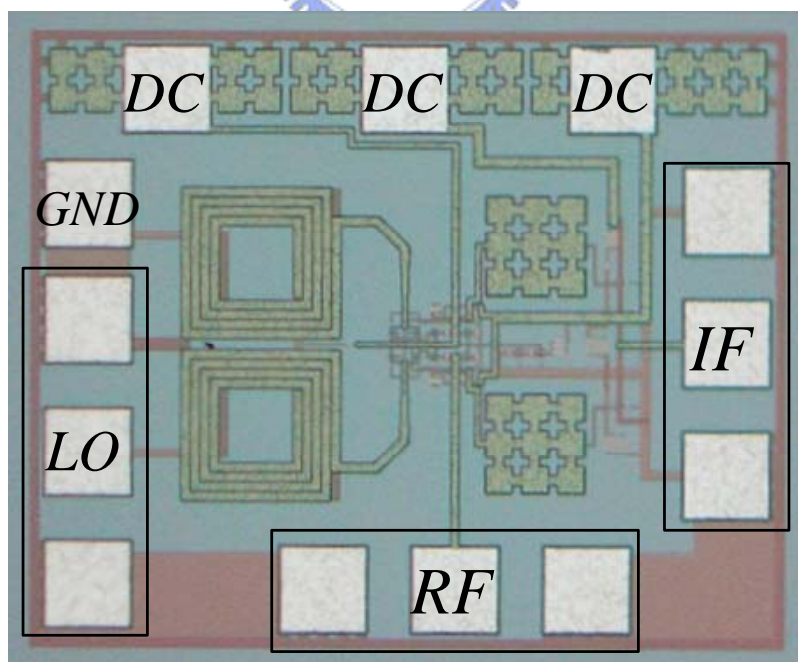


圖 2.38 結合 Marchand balun Type IV 混頻器 die photo

## Chip performance

Process	TSMC 0.35 $\mu$ m SiGe BiCMOS	
Marchand Balun Type	I	IV
Supply Voltage	3.3V	3.3V
Supply Current	2.54mA	2.5mA
RF/LO/IF Frequency	7GHz/6.9GHz/0.1GHz	7GHz/6.9GHz/0.1GHz
Conversion Gain	4.9dB	4.8dB
P1dB / IIP3	-9dBm / -2dBm	-10dBm / -2dBm
RF Bandwidth	3GHz~13GHz	1GHz~15GHz
IF Bandwidth	20MHz~900MHz	20MHz~900MHz
S11(RF match)	<-10dB	<-10dB
NF	14.2dB	13.8dB
LO-to-IF isolation	<-25dB	<-25dB
LO-to-RF isolation	<-20dB	<-25dB
RF-to-IF isolation	<-20dB	<-20dB
Power consumption	8.4 mW	8.3mW
Chip Size	0.95 x 0.86 mm <sup>2</sup>	0.86 x 0.71 mm <sup>2</sup>

表 2.3 Marchand balun 混頻器 performance summary

## 2.3.4 結論與討論

我們可以發現除了 RF 操作 3dB 頻寬 Type IV 1GHz ~ 15GHz 比 Type I 3GHz ~ 13GHz 明顯還要寬，除此之外，其它特性皆差不多：RF 在中心頻率 7GHz 的轉換增益分別為 Type I 4.9 dB 與 Type IV 4.8 dB，僅相差 0.1dB；IF 寬頻二者皆為 0.2MHz ~ 900MHz；在 RF 輸入返回損耗，透過微混頻器的特性，在所有頻率皆小於-10dB，為非常好的匹配；因為主動電路設計皆相同，消耗功率亦差不多。在晶片的大小方面，是被 Marchand balun 大小所限制，因為 Type IV Marchand balun 為寬邊耦合 (without offset) 面積較小；而 Type I Marchand balun

在此 IC 製程技術上需要的耦合量，利用邊緣耦合結構無作實現，也是採用寬邊耦合（with offset）故面積較大。從這二個電路的實作結果可發現 RF 操作頻寬是被本地振盪源的元件特性所限住，且 RF 工作頻寬結果顯示與 Marchand balun 的測試件得到相同的結果，即為 Type IV Marchand balun 需要較大的耦合量，故有較寬的操作頻率。



# 第三章

## 除頻電路



### 3.1 前言

在通訊系統之中，不管是在發送端或是接收端都需要有一個穩定的本地端信號，本地端信號常常需要利用頻率合成器或是鎖相迴路，將壓控振盪器的輸出信號穩定後，降低相位雜訊以符合通訊系統的需求才能運用，故接收機中所用到的VCO通常會嵌入在頻率合成器中，使輸出頻率更為穩定。頻率合成器大致可分為integer-N和fractional-N架構，在這二種架構中通常需要除頻器來將VCO振出的訊號降至低頻，與石英振盪器或其他準確度高的振盪訊號作相位比較。除頻器的電路設計可區分為二類：(1) 數位電路，利用數個D-type Flip-Flop(DFF)做邏輯的推算形成計數器 (counter) 設計方式，可實現高除數的除頻器。(2)類比電路，適合於高頻、低消耗功率的設計，常見有訊號再生式除頻電路 (Regenerative frequency divider) 與注入鎖住式除頻電路 (Injection locked frequency divider) 二種架構。不同架構有個別的優缺點，可依系統需求擇一使用。

除頻電路除了在頻率合成器中被廣泛的運用之外，在鏡像消除的接收機架構下，需要利用正交相位的本地訊號來達成鏡像消除的功用，因為除頻電路的輸出訊號本身具有多相位的特性，所以除頻電路常被拿來做為正交相位訊號的產生電路；鏡像消除比例(Image rejection ratio)和本地訊號正交相位準度相關之外，和本地訊號的工作週期 (duty cycle) 也有相關，如何使數位式奇除數的除頻電路可以輸出50%工作週期的訊號也是一重要的研究重點。



## 3.2 除頻電路的應用-頻率合成

### 3.2.1 頻率合成器 (Synthesizer) 在收發機上的應用

在一般的無線通訊系統會要求振盪頻率移動數十kHz來做接傳訊號的頻段切換，所以必須借重頻率合成器來完成符合系統要求的跳頻動作，架構如圖3.1所示。

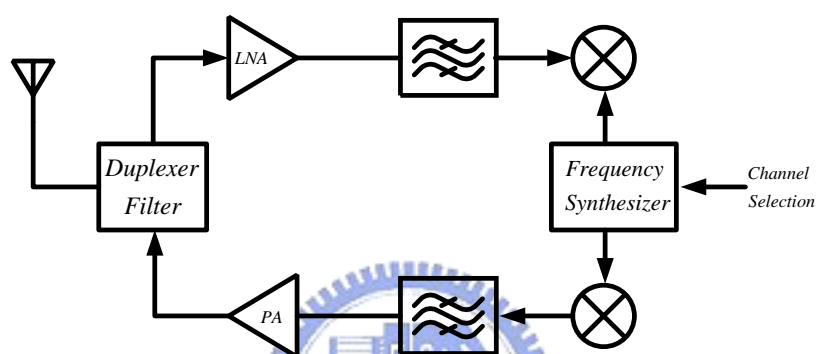


圖3.1 頻率合成器在收發機上的應用

除了上述的要求外，頻率合成器還需要考慮spur (sideband)以及locking time (settling time)、phase noise，這些因素都會影響收發機的特性。一般獨立的VCO輸出訊號不會有spur產生，不過置入到頻率合成器後就會有spur出現。Spur對接收訊號的影響可以由圖3.2來說明。

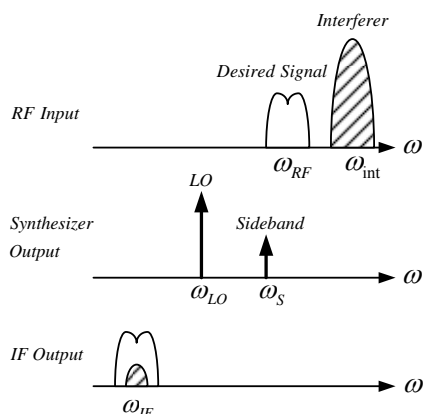


圖3.2 Spur對接收訊號的影響

當頻率合成器的輸出除了 $\omega_{LO}$ 外還有spur在 $\omega_s$ ，若接收機的接收的訊號除了 $\omega_{RF}$ 還有干擾源 $\omega_{int}$ ，當 $\omega_s - \omega_{LO} = \omega_{int} - \omega_{RF}$ 關係成立，在 $\omega_{LO}$ 把 $\omega_{RF}$ 的訊號降到IF band( $\omega_{IF}$ )的同時 $\omega_s$ 也把干擾源 $\omega_{int}$ 降到 $\omega_{IF}$ ，造成訊號的損毀。所以一般的系統會要求spur要比carrier低60dB，不然就是將 $\omega_s - \omega_{LO}$ 的間隔變大，讓干擾源 $\omega_{int}$ 可以用duplexer或band pass filter來抑制。

從頻域觀察頻率合成器的settling time可清楚地說明settling time對接發機系統的影響。圖3.3為VCO輸出的頻率變化在頻率合成器從有某一channel頻率跳到 $\omega_o$  channel時的示意圖：

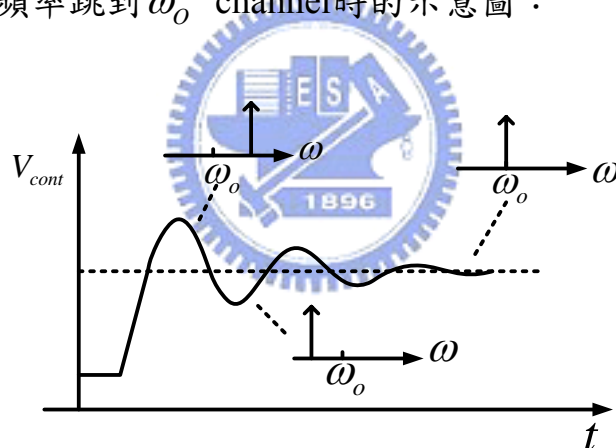


圖3.3 頻率合成器跳頻時VCO輸出頻率變化

可以發現在VCO的控制電壓 $V_{cont}$ 未達到穩定時，VCO輸出的頻率一直在變化，在接收訊號時會將adjacent channel之訊號給接收到系統中；在傳發訊號時將會把adjacent channel的訊號給發送到傳送頻道上，對於接發機的特性造成影響如圖3.6所示。

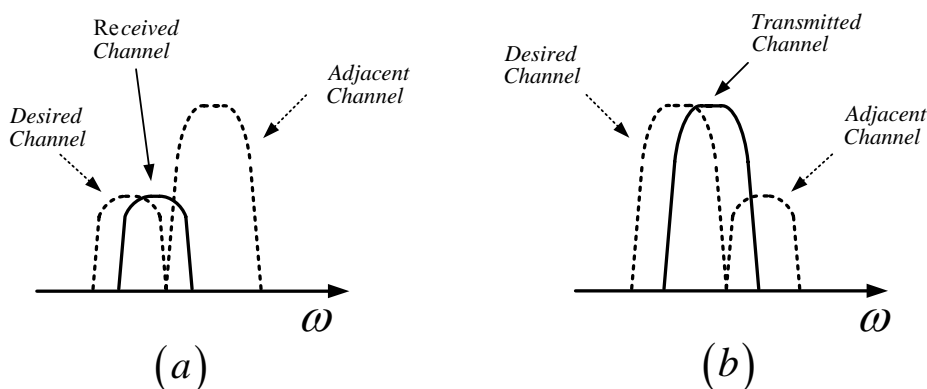


圖3.4 頻率合成器settling time對接發頻道的影響

因為除二的速度比高除數的除頻器還要快，所以被用來接在頻率合成器的VCO之後當成前置除頻器（prescaler），將頻率降到可程式除頻器可用的範圍(圖3.5)。

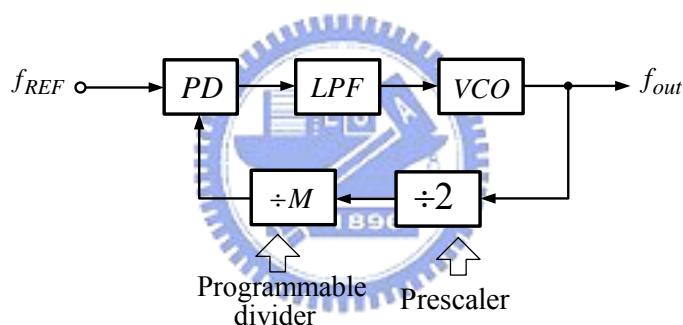


圖3.5 除二電路在頻率合成器的應用-前置除頻器

### 3.2.2 直接頻率合成-Carrier Frequency Generator

#### Ultra-Wide-Band (UWB) 系統跳頻需求

為了達到高速的無線通訊需求，UWB通訊系統為目前廣受大家研究的題目，其頻譜位於3.6GHz~10.1GHz，在7.5GHz的頻譜中可分為14個頻帶的運用，而每個頻帶有528MHz的頻寬，根據不同模組（mode1 and mode2）而運用不同的頻帶群。因為UWB為MB-OFDM（multi-band orthogonal frequency division multiplexing）系統，一般的頻率合器並不適用在UWB的系統上，主要的原因有二項，一是因為

頻率合成器很難達到寬頻的頻率合成，以mode 2為例，mode 2包含7個頻帶，頻率合成器很難達到3.1GHz~8.2GHz的頻率合成；二是因為一般頻率合成器跳頻速度約在數十 $\mu\text{s}$ ，而系統要求要少於9 ns，這顯示在UWB的收發機上，不同頻率的產生與合成需要透過別的方式來達成，透過frequency planning，direct frequency synthesizer被用來達到產生寬頻的載波（carrier frequency generation）。

### UWB Mode 1和Mode 2 載波頻率產生器架構

Mode 1的頻帶如下圖3.6所示：

在mode 1下的運作，需要在3.4GHz~4.5GHz的頻譜裡產生三個載波分為3.432GHz、3.96GHz與4.488GHz。因為要做頻率的合成，載波產生電路必定包含可轉換頻率的電路：倍頻器、混頻器與除頻器。在設計上首先做頻譜規畫而決定輸入的載波，頻率合成的方式會根據頻譜規畫的方式不同而不同。

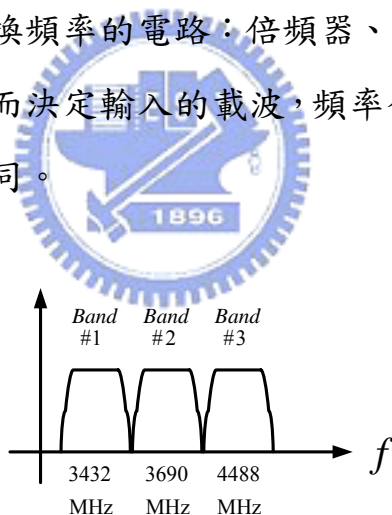


圖3.6 Frequency of operation for a mode 1 device

圖3.7為mode 1載波產生電路的一個例子，輸入訊號為3.96GHz，經過一個除3電路（一個SSB混頻器與一個除電路所組成）與除2.5電路（一個SSB混頻器與二個除2電路所組成）後再與電路輸入訊號做混頻，利用SSB混頻器的頻帶選擇交換，可得到upper band訊號、本身輸入訊號和lower band訊號輸出三個載波訊號，這個方式的頻率交換速度可以小於9ns。

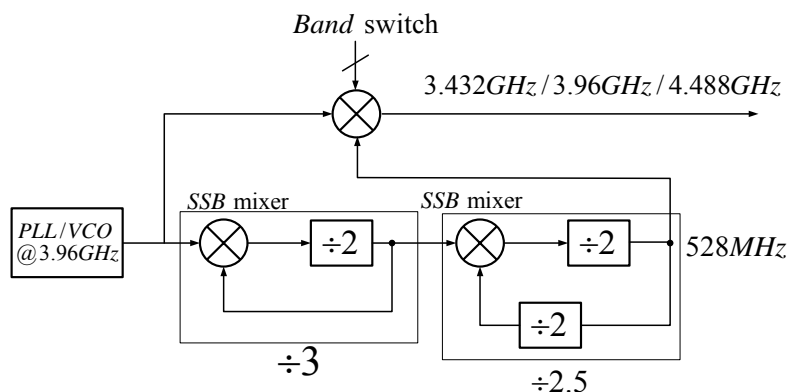


圖3.7 Direct frequency synthesizer for UWB mode 1 application

Mode 2的頻帶如下圖3.8 所示

在mode 2下的運作，在3.4GHz~8GHz頻譜中有七個頻帶在運用，頻帶的中心頻率如圖上所示。

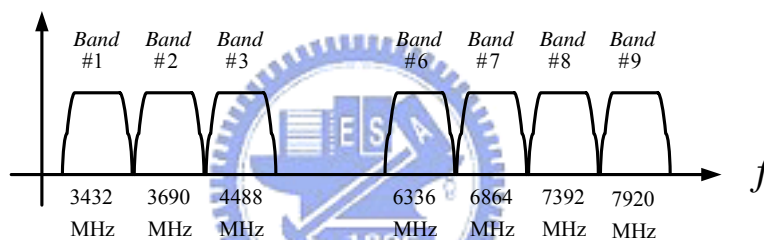


圖3.8 Frequency of operation for a mode 2 device

頻率合成方式也是由不同的頻率規畫而由所不同。圖3.9為產生七個頻帶輸出的例子。輸入頻率為16.896GHz，電路中包含二組SSB混頻器、八個除二電路與二組switched buffer選擇輸出頻率。

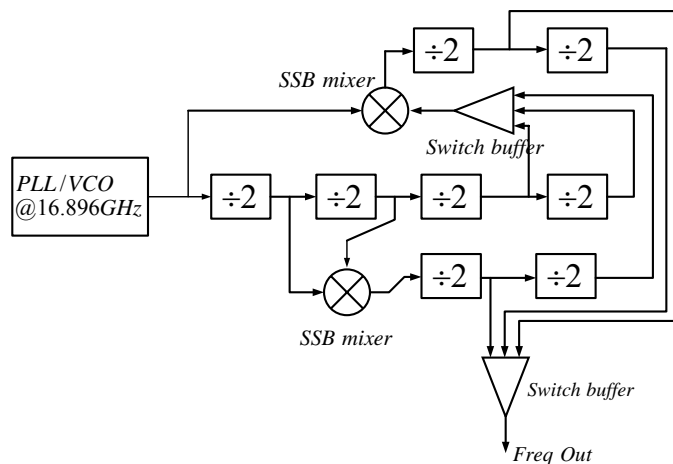


圖3.9 Direct frequency synthesizer for UWB mode 2 application

我們可以發現不管是頻率合成器或者是直接頻率合成電路，只要是電路中有需要頻率轉換的動作，除頻器是不可或缺的一個子電路，特別是在寬頻的頻率合成中，除二電路的運用是不可避免的。

### 3.3 除頻電路的應用-收發機上正交訊號的產生

#### 3.3.1 鏡像消除接收機與單頻帶升頻器

Homodyne 接收機在降頻時直接把 RF 訊號降到基頻，所以被稱為 zero-IF 或直接降頻。Zero-IF 與 Low-IF 是目前被廣泛運用的接收機架構，由於此架構不需使用外接的被動元件（濾波器），可用單一積體電路來實現，所以在無線收發機設計時常會使用該架構。但為了避免傳收訊號的不完全，此架構需正交相位的本地振盪器訊號來傳收訊號。目前廣泛使用的鏡像消除接收架構為 Hartley 架構與 Weaver 架構，二者皆需要使用到正交相位的本地振盪器。

單頻帶升頻器中，需要輸入正交的基頻訊號，透過一組正交相位的 LO 訊號將基頻訊號升頻到高频，而單頻帶的操作原理可由下式來說明： $Output = \cos \omega_{IF}t \cos \omega_{LO}t \pm \sin \omega_{IF}t \sin \omega_{LO}t = \cos(\omega_{IF} \mp \omega_{LO})t$

只要將升頻後的二路訊號做適當的加減則可以得 upper 或 lower 單一頻帶的訊號。

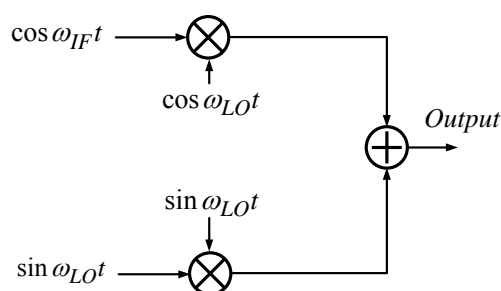


圖3.10 單頻帶升頻器

上述接收機的兩種架構與單頻帶升頻器都需要正交相位的 LO 訊號，LO 的相位準確度、振幅不一致都會影響到整個架構的 image rejection 與 side band rejection ration 的效果。通常 image rejection ratio 與 side band rejection ration 需達到 30 ~ 40dB，LO 只能存在 0.2 ~ 0.6dB 的振幅誤差或是 1 ~ 5 度的相位誤差，因此如何產生準確的正交相位訊號一直廣受大家的研究與討論。

### 3.3.2 正交訊號的產生方法

正交訊號的產生方式最常見可有三類分別為：被動RC元件組成的電路、輸出為正交相位的VCO與利用除二電路得到正交相位的輸出。以下將介紹每種電路的原理與其優缺點。

#### (1)RC-Network

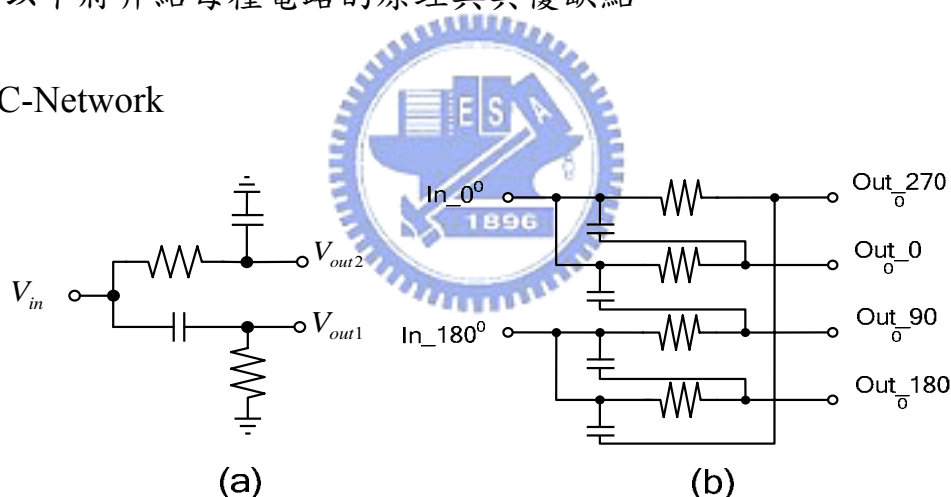


圖3.11 RC phase shifter

如果我們將一訊號分別經過一個RC與CR的電路如圖3.11(a)所示，對圖3.11(a)作推導：

$$V_{out1} = V_{in} \frac{sRC}{1+sRC} = V_{in} \frac{j\omega RC}{1+j\omega RC} \rightarrow \angle 1 = \frac{\pi}{2} - \tan^{-1}(\omega RC)$$

$$V_{out2} = V_{in} \frac{1}{1+sRC} = V_{in} \frac{1}{1+j\omega RC} \rightarrow \angle 2 = -\tan^{-1}(\omega RC)$$

我們可得到在  $\omega = \frac{1}{RC}$  此頻率輸出二個訊號的相位角度相差90度且振幅相同，故我們可以利用RC來組成正交相位的產生電路如圖3.11(b) 這個電路雖然簡單，但在積體電路的實作上存在很大的缺點，就是無法實作出精確的電阻值，而且電路本身振幅的頻率響應是窄頻，當電阻飄移時，設計中心頻率跟著飄移使得此電路無法使用。若要增加這個電路的頻寬，則要串接多級的RC-network，但是因為電阻為損耗性的元件，串接多級的RC-network後訊號的衰減量將相當可觀，可能需要放大器將訊號損失補償回來，則會增加功率消耗。此外若輸入訊不是弦波，則輸入訊號存在有諧波項都會通過RC-network，因為不同頻率的相位與振幅響應都不一樣，會造成輸出訊號工作週期(duty cycle)的失真。

## (2) 正交相位輸出VCO

環型VCO是由多級delay cells所組成的（圖3.12），如果N級delay cells串接，每級的相位差等於： $\theta = \frac{(360^\circ - 180^\circ)}{N}$ ，所以環型VCO可以用來產生多相位的輸出。但是因為環型VCO的架構中並沒有頻率選擇的電路，使得輸出訊號的相位雜訊太差而不適用於現今的收發機。

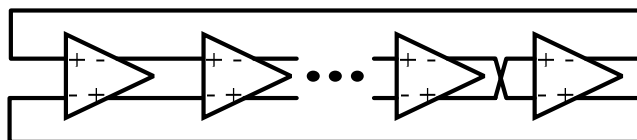


圖3.12 N級環型VCO

若只是要得正交相位的訊號並考量相位雜訊下，可以使用二組LC-tank cross-coupled的VCO耦合來得正交相位的輸出，最簡單的架構如圖3.12 所示。但是這個架構中存在有相位雜訊與相位誤差(phase error)之間的trade off，這會在第4.3節做說明。當VCO的元件中存有



mismatch，則輸出訊號的工作週期也可能失真而非50%工作週期。

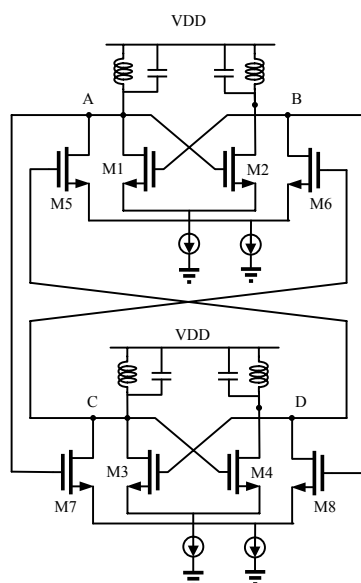


圖3.13 Cross-coupled VCO with parallel coupling

(3)利用除二電路產生正交訊號輸出

利用除二產生正交訊號這種方法為目前較為被廣泛使用的，設計一個VCO操作在需要正交訊號頻率的兩倍頻，再經過除頻電路後得到正交相位的訊號(圖3.14)。此方法最大的缺點在於除頻器輸入為二倍頻訊號，若數位式除頻器要達到高頻操作，則電晶體的current density 必須提高到讓  $f_T$  達極值，則增加電路的功率消耗；為了功率的考量，高速操作的除頻器一般是採用類比方式來設計，所以利用類比式的除二電路來產生正交訊號也是目前研究的趨勢。

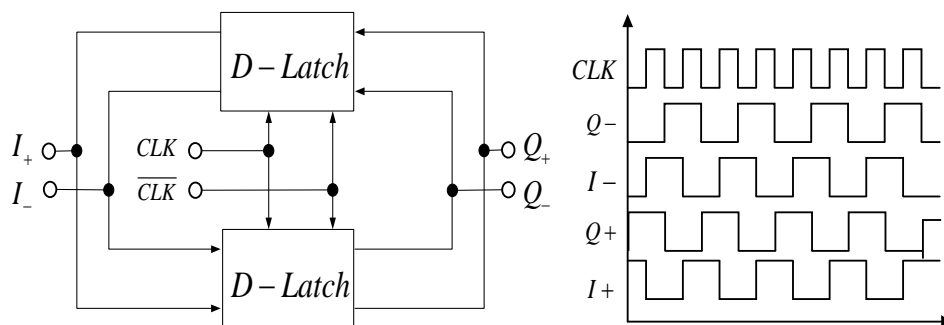


圖3.14 除二輸出正交訊號波形

利用除二電路來產生正交訊號需要二倍頻的輸入訊號，二倍頻的

VCO雖然很難達到50%工作週期的訊號輸出，但非50%工作週期的訊號經過除二電路後可以達到50%工作週期的輸出，不過除二輸出正交訊號的精確度會受到VCO輸入訊號的工作週期影響如圖3.15

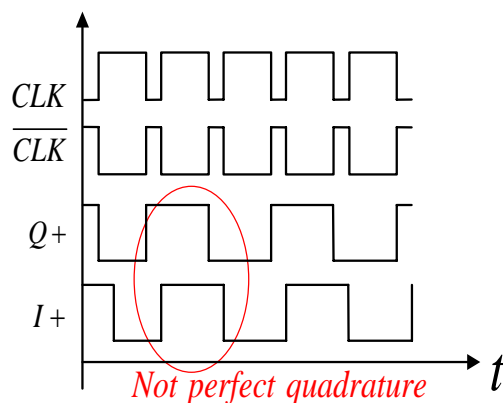


圖3.15 輸入工作週期對輸出正交相位準度的影響

但利用此方法產生正交訊號還有一好處：VCO輸入訊號含有其它 spurs時，spurs經過除二電路會被降低[11]。當輸入訊號頻率為 $\omega_1$ ，有相對輸入訊號很小的spur在 $\omega_2 = \omega_1 + \Delta\omega$ 處，大小為 $\varepsilon$ ，如圖3.16 所示。將spur分為AM與PM二組sideband，大小為 $\frac{1}{2}\varepsilon$ ，flip-flop只會對輸入訊號threshold crossing有反應（假設輸入的differential threshold為0），而非輸入訊號的大小，故只有PM sideband對flip-flop有影響。

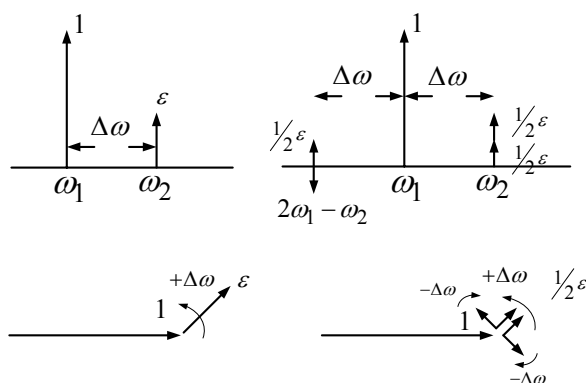


圖3.16 將spur分為AM和PM sideband

由時域來看的話（圖3.17），flip-flop輸出的變化只在輸入訊號大於

differential threshold 且是 positive trigger 時產生變化，我們可以發現因為輸出頻率為輸入頻率的一半，所以在  $\omega_1/2$  頻率的相位變化量相對於輸入  $\omega_1$  頻率只有一半，則輸出的 PM sideband 大小變成輸入的一半為  $1/4 \varepsilon$ ，但輸出 spur 與輸出頻率的間隔不變仍為  $\Delta\omega$ ，即 sideband 位於  $\omega_1/2 \pm \Delta\omega$  處。

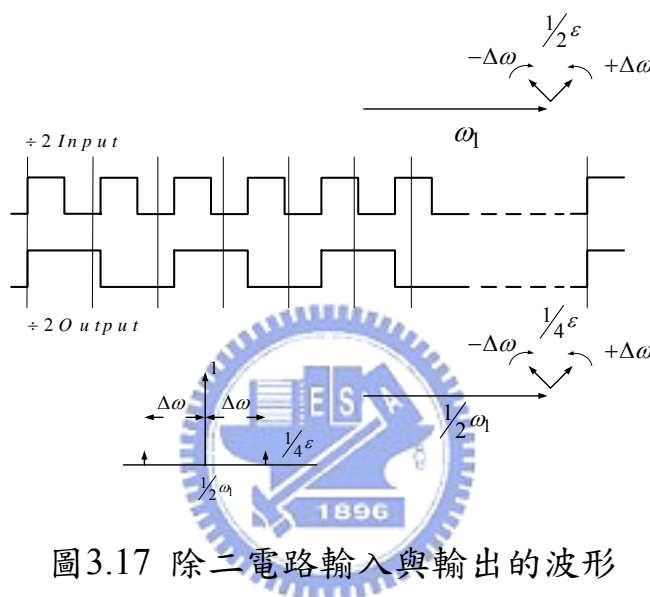


圖3.17 除二電路輸入與輸出的波形

因此，輸入訊號的 spur 經過除二電路後，spur 會在輸出頻率的兩邊頻帶距離相同的頻率偏移量處出現，但大小變成原來的  $1/4$ ，故 spur 經過除二電路後可以被降低。

### 3.4 高速除頻電路架構

#### 3.4.1 高速 Flip-Flop 除二電路

簡單來說，除二電路就是利用一個主從式 (master-slave) 的 flip-flop 作正回授 (圖3.18)，使每個 latch 的訊號可以操作在 high 與 low 二種狀態。

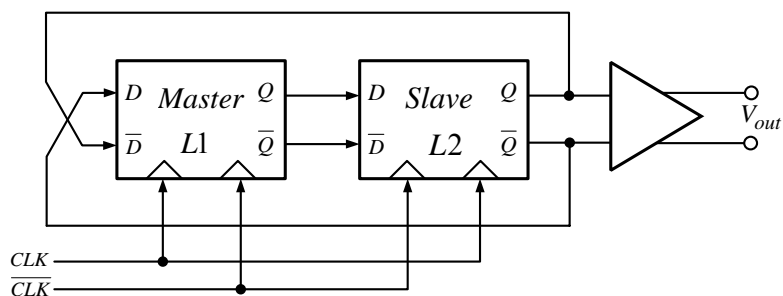


圖3.18 Master-slave flip-flop 除二電路圖

為了達到最高的運作速度，必須採用最快速的電路架構：在BJT上稱為ECL(emitter coupling logic)或在MOS上稱為CML(current mode logic)。在ECL架構下實現出來的latch電路是由一組differential pair加上regenerative pair形成(圖3.19)，而驅動該電路需要用一組differential的clock訊號。單一D-latch的運作過程如下：當CLK為high時，訊號由Vin端讀入differential pair中，此時的regenerative pair處於off狀態；當CLK為low時，differential pair停止讀取動作，regenerative pair開始將訊號鎖在該cross-coupled的latch架構中。

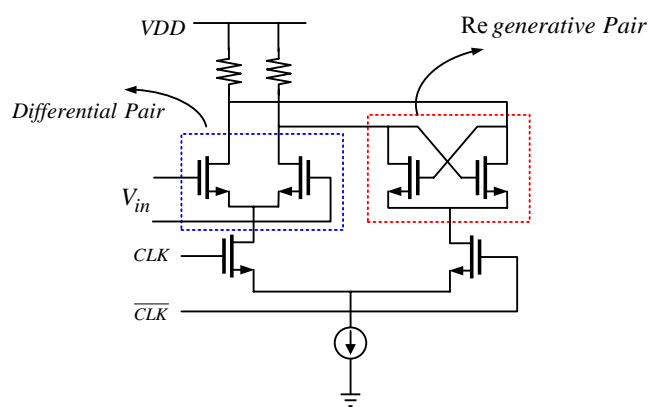


圖3.19 單一D-latch電路圖

數位式主從式D型存鎖器所組成的除頻電路最高可操作的速度，就FET而言大約在其1/5到1/4的 $f_T$  (GHz)之間，就BJT而言大約在

其1/4到1/3的  $f_{\max}$  (GHz) 之間，因此這類的電路若操作在高速，除了需要較大的功率消耗外還可能需要更先進的製程技術才能達成。

### 3.4.2 訊號再生式除二電路 (Regenerative Frequency Divider) 原理與架構

RFD是以regenerative modulation的概念來運作的，regenerative modulation的操作原理我們利用圖3.20來作說明：一個regenerative modulator架構包含三個部分modulator  $K$ 、filter network  $N_1$  與 amplifier  $\mu$  並將輸出訊號回授到modulator。

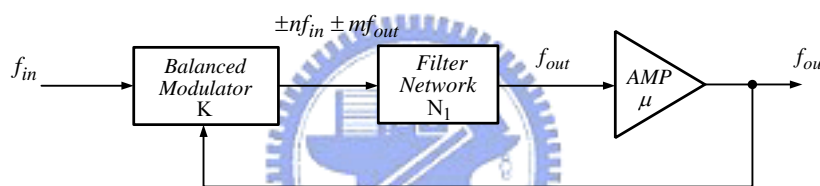


圖3.20 Regenerative modulator

假設  $K$  為二階的modulator，那麼輸入  $f_{in}$  訊號與輸出  $f_{out}$  訊號經過modulator作訊號調變後的輸出為  $f_{in} \pm f_{out}$ ，當amplifier提供足夠的放大效果補償調變時訊號的損耗和訊號經過filter network的損耗，加上  $f_{in} \pm f_{out} = f_{out}$  這個關係成立時， $f_{out}$  訊號便可在迴路中維持與輸出。只要  $f_{in}$  為一有限的值，則可得到  $f_{out} = \frac{f_{in}}{2}$  關係，即頻率除二的效果。進一步對圖3.19作普遍的分析，即  $K$  為高階的modulator，可以得到以下的關係式： $nf_{in} - mf_{out} = f_{out}$  ( $nf_{in} > mf_{out}$ ) ……………(式3.1)

或  $mf_{out} - nf_{in} = f_{out}$  ( $mf_{out} > nf_{in}$ ) ……………(式3.2)

簡化上述二個式子可以得到  $f_{out} = \frac{n}{m \pm 1} f_{in}$  .....(式3.3)

當  $K$  為三階的 modulator，可能得到  $n=1, m=2$  為頻率除三的效果。

以上的分析是在 network  $N_1$  與 amplifier  $\mu$  皆不會產生諧波項的情況下才成立，若我們在迴路中加入產生諧波項電路做分析如圖3.21

所示，可以得到更一般的式子： $f_{out} = \frac{n}{rm \pm 1} f_{in}$

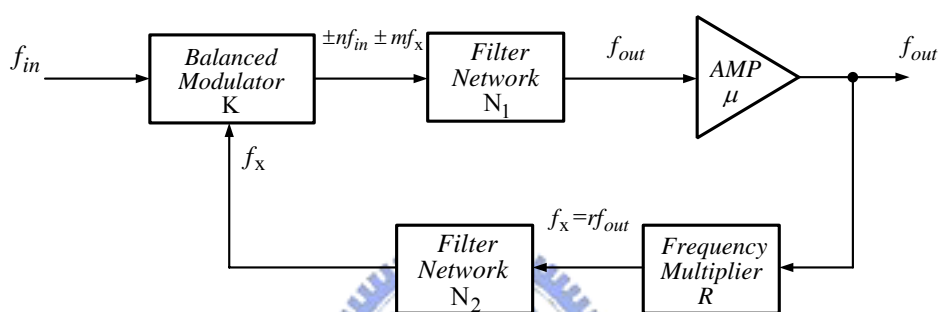


圖3.21 Second-order regenerative modulator

圖3.22表示除2 RFD的block diagram，包含Mixer、low-pass filter以及amplifier，Mixer的功能即作為訊號modulator使用。Mixer的一端輸入  $f$  頻率的輸入訊號，另一端則由輸出端拉回  $f/2$  頻率的訊號作混頻。理想對稱的Mixer只會混出  $f/2$  的 odd harmonic 項，如  $3f/2$ 、 $5f/2$ ...，而這些不要的訊號會被 low-pass filter 濾掉，只有  $f/2$  會被 amplifier 放大，藉此也減少 conversion loss。

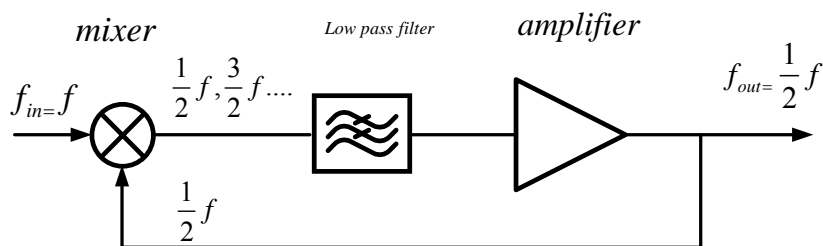


圖3.22 除2 RFD block diagram

此電路最高的操作頻率 $f_{\max}$ 是由loop的upper cutoff frequency決定，而該cutoff frequency是由mixer和amplifier所限制；相對的，數位式flip-flop frequency divider的 $f_{\max}$ 則是受loop delay決定，所以RFD可以比數位式除頻哈更高頻操作。不過RFD的最低操作範圍 $f_{\min}=f_{\max}/3$ 不像數位式可到很低頻，因為當輸入訊號低於該頻率時， $3f/2$ 項諧波就不會被low-pass filter濾掉，會進入mixer與輸入訊號混頻，產生不要的輸出頻率( $f_{\max}/3*3/2=f_{\max}/2$ )如圖3.23所示。

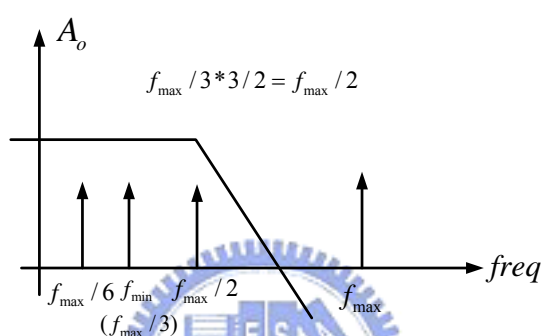


圖3.23 除2 RFD的低頻操作限制

因此整個迴路的LPF的corner frequency  $f_{LPF}$ 需要落在 $f/2$ 到 $3f/2$ 之間。這個電路除了最低操作頻率有限制這個缺點外，因為輸出同時存 $f/2$ 和 $3f/2$ 頻率的訊號， $f/2$ 訊號的波型在每半週期波型的中間會有deep notch會降低輸出訊號high和low之間margin。

### 3.4.3 其它除數訊號再生式除頻電路

RFD最常見的是除2電路架構，但如果要達到其它除數的話，在迴路裡面則需要加入倍頻器或是除頻器來達成其它頻率的輸出。圖3.24是除三的RFD架構，可以發現它的電路架構比除2的架構在迴路裡多了一個除2電路，而且使用的混頻器為SSB架構，利用SSB混頻器來選擇混頻之後輸出lower sideband之頻率，因為SSB架構需要利用而二組的正交訊號，所以要正交訊號的輸入，增加了電路的複雜度。

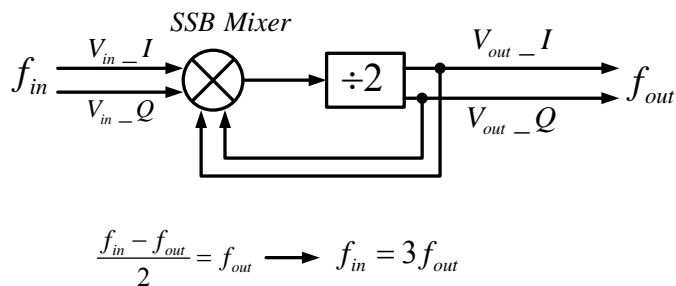


圖3.24 除3 RFD電路架構

在回授路徑裡增加了N級的除2電路，則可以達到除 $2^N - 1$ 的效果，如圖3.25所示，若除數愈高所需要的除2電路愈多造成消耗功率的增加。

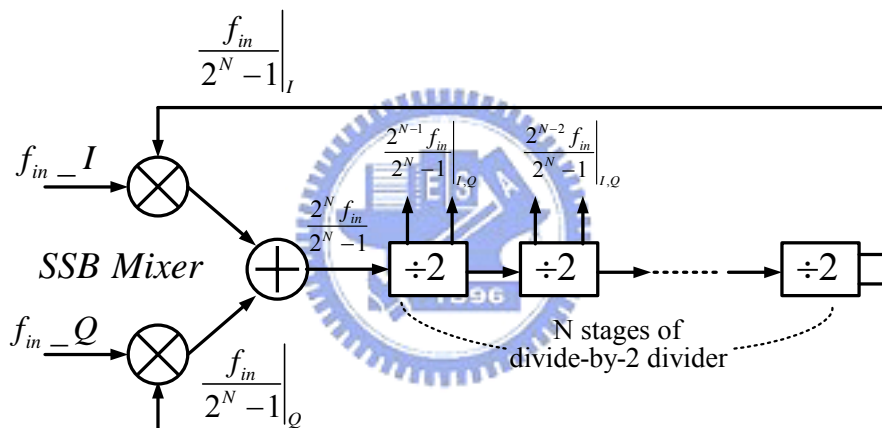


圖3.25 除 $2^N - 1$  RFD電路架構

### 3.4.4 注入鎖住式除頻電路 (Injection Locked Frequency Divider) 原理與架構

ILFD的工作原理是注入訊號到VCO，讓VCO訊號與注入訊號同步化來達成除頻的動作，此電路的核心為一injection locked oscillator (ILO)，以下將先討論free running的VCO模型，接著介紹二種模型來解釋ILO的操作機制。



### Free running VCO 模型

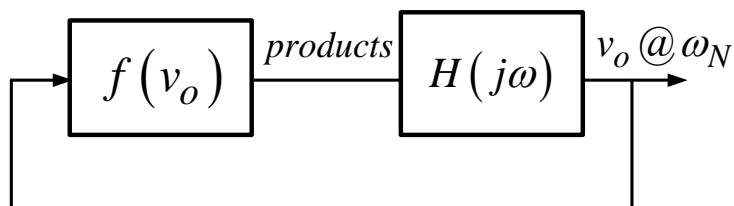


圖3.26 一般free running VCO模型

在訊號未注入VCO時，VCO為free running狀態，圖3.26為free running VCO一般模型，包含一個非線性的gain block  $f$  和一個線性的濾波器  $H(j\omega)$ ， $H(j\omega)$  會做頻率選擇，使VCO free running的頻率為 $\omega_N$ ，其它的頻率被濾掉。假設輸出弦波 $v_o(t)=V_o \cos(\omega_N t + \phi)$ ，若 $f$ 為memoryless function，則products可表示成富立葉級數：

$$products = f(V_o \cos(\omega_N t + \phi)) = \sum_{m=0}^{\infty} C_m(V_o) \cdot \cos(m\omega_N t + m\phi)$$

根據巴克豪森振盪準則，要滿足下列二式： $|C_1| \cdot |H(j\omega_N)| = V_o$  和  $\angle C_1 + \angle H(j\omega_N) = 2k\pi$ 。其中 $k$ 為一整數，我們可以發現 $f$ 提供的相位飄移根據 $C_1$ 的極性只會是 $0$ 或 $\pi$ ，如此一來 $H(j\omega)$ 提供的相位飄移量只會是 $0$ 或 $\pi$ 。

### Common ILO 模型(Adler)[21]

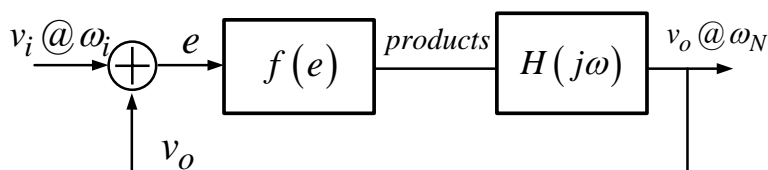


圖3.27 Common ILO模型

當有訊號注入VCO時，ILO最常見的模型是由Adler所提出的如圖3.27所示。依據注入訊號與VCO的訊號頻率的關係比例可分為三類：(1)first-harmonic，輸入訊號頻率的基頻與VCO振盪頻率相同。(2)sub-harmonic，輸入訊號頻率是VCO振盪頻率的分數。(3)super-harmonic，輸入訊號頻率是VCO震盪頻率倍數。根據種類的不同，ILO會嘗試著去追隨注入訊號的諧波或次諧波項之相位與頻率。

圖3.26與圖3.27一樣包含二個block：非線性的gain block與線性的慮波器，不同的是free running VCO只有輸出訊號輸入gain block，而此模型的ILO是輸入與輸出訊號相加後再經過非線性的放大。若  $f$  為 memoryless function，假設輸入與輸出皆為弦波分別  $v_i(t)=V_i\cos(\omega_i t+\varphi)$  與  $v_o(t)=V_o\cos(\omega_o t)$ ，則products可表示成富立葉級數：

$$\text{products} = f(v_i + v_o) = \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} K_{m,n} \cos(n\omega_i t + n\varphi) \cos(m\omega_o t)$$

其中  $m$  與  $n$  為整數，當  $|m\omega_o \pm n\omega_i| = \omega_o$  時， $f$  提供的相位飄移並不只會是  $0$  或  $\pi$  而是根據注入訊號的相位與頻率不同而改變。為了要維持巴克豪森振盪準則， $H(j\omega)$  得提供額外的相位飄移，如此一來迴路則會改變頻率來使整個迴路的相位為  $2k\pi$ ，這個機制會使得VCO的頻率去追蹤注入訊號的頻率達到同步化。

ILFD除二效果是利用super-harmonic此類型ILO，如果假設  $f(e)$  是三階多項式 ( $f(e)=a_0+a_1e+a_2e^2+a_3e^3$ )，輸入訊號： $v_i(t)=V_i\cos(\omega_i t+\varphi)$ ， $\varphi$  是輸入與輸出的 phase 差；輸出訊號： $v_o(t)=V_o\cos(\omega_o t)$ ；

$$u(t)=f(x(t))=f(v_o(t)+v_i(t))；H(\omega)=\frac{H_0}{1+j2Q\frac{\omega-\omega_r}{\omega_r}}，\text{RLC tank的參數：}\omega_r，$$

resonant frequency ; Q , quality factor 。可以推導出 phase-limited 與 gain-limited 的鎖頻範圍[22]。

$$(1)\text{phase-limited} : \left| \frac{\Delta\omega}{\omega_r} \right| < \left| \frac{H_0 a_2 V_i}{2Q} \right|$$

$\Delta\omega$  是對  $\omega_r$  的一段偏移量，由上式可得知鎖頻範圍正比於輸入訊號  $V_i$  的大小反比於頻率選擇器的 Q 值。

$$(2)\text{gain-limited} : V_o = \sqrt{\frac{4}{3} \frac{1}{a_3 H_0} \left[ 1 - H_0 \left( a_1 + \frac{3}{2} a_3 V_i^2 + a_2 V_i \cos(\varphi) \right) \right]}$$

在 phase-limited 的條件中可知，增加  $V_i$  也可增加所頻範圍，不過當  $V_i$  增加到使  $V_o$  變虛數時，ILFD 也就無法運作。

這個模型較適用輸入與輸出有一對一關係的電路如圖 3.28(a)，即輸入與輸出訊號相加後再經過非線性的放大；但若是對於圖 3.28(b) 的電路 這個模型則是缺少物理意義的，因為圖 3.28(b) 的電路類似一個單平衡的混頻器，輸入會與輸出透過差動對會有混頻的動作，則 Unified ILO 模型被提出來描述此行為。

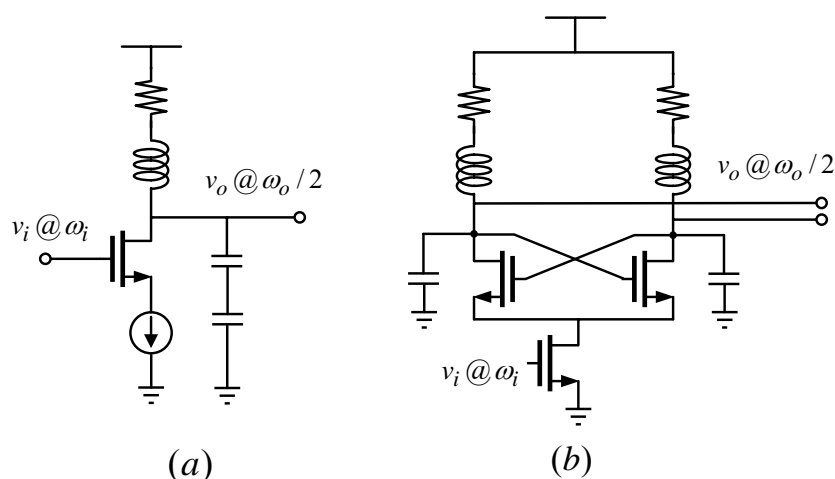


圖 3.28 二種架構的 ILFD

Unified ILO 模型 [23]

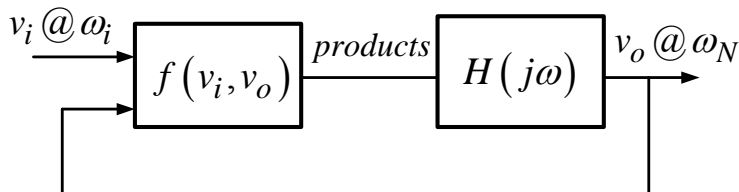


圖3.29 Unified ILO模型

Unified模型是用來描述最一般ILO的行為的如圖3.29所示，由一個線性濾波器及一個非線性的放大block所組成。假設  $f$  對輸入  $v_i(t)$  與輸出  $v_o(t)$  皆為memoryless function，在直流偏壓附近（small injection）將輸入以泰勒級數展開，取前二項可得

$$f(v_i + v_o) \cong \sum_{m=0}^{\infty} a_m(V_{dc}) \cdot v_o^m + (v_i - V_{dc}) \cdot \left[ \sum_{m=0}^{\infty} \widetilde{a}_m(V_{dc}) \cdot v_o^m \right]$$

其中  $\widetilde{a}_m(V_{dc}) = \left. \frac{\partial}{\partial v_i} a_m(v_i) \right|_{v_i=V_{dc}}$ ，

當輸入與輸出弦波分別為  $v_i(t) = V_{dc} + V_i \cos(\omega_i t)$  與  $v_o(t) = V_o \cos(\omega_o t + \varphi)$

在small injection的情況下得到

$$f(v_i + v_o) \cong \sum_{m=0}^{\infty} A_m \cos(m\omega_o t + m\varphi) + \frac{1}{2} \sum_{m=0}^{\infty} V_i \widetilde{A}_m [\cos(m\omega_o t \pm \omega_i t) + m\varphi]$$

其中  $\widetilde{A}_m(V_{dc}) = \left. \frac{\partial A_m}{\partial v_i} \right|_{v_i=V_{dc}}$ ， $A_m$  為  $a_m$  與  $V_o$  的函數。

當沒有注入訊號時，我們可以發現上式的第一項類似於free running VCO，而第二項表示注入訊號與輸出訊號的混頻訊號。就除

二的ILFD而言 $\omega_i = 2\omega_o$ ，輸入訊號與振盪器自然頻率相差很近時，相位飄移可以看成線性的關係 $\angle H(j\omega_o) \cong S(\omega_o - \omega_N)$ （ $S$ 為一時間常數），在loop gain滿足巴克豪森振盪準則時，我們可以得到這個模型

下鎖頻的phase-limited： $|\omega_o - \omega_N| \leq \left| \frac{1}{S} \tan^{-1} \left( \frac{k_1 - k_0}{\sqrt{1 - (k_1 + k_0)^2}} \right) \right|$ ，其中

$k_o = \frac{V_i \widetilde{A}_0}{2A_1}$ ， $k_1 = \frac{V_i \widetilde{A}_3}{2A_1}$ ，利用此模型所得到的phase-limited式子會較

符合圖3.27(b)此類型的ILFD的鎖頻範圍。

### 3.4.5 其它除數注入鎖住式除頻電路

ILFD最常見的也是除二的電路架構如圖3.28所示，圖3.28(a)是一個以Colpitts振盪器為核心的除2電路，是單端輸出的架構；而圖3.28(b)是以LC cross-coupled振盪器為核心的除2電路，為差動輸出的架構。這二種架構的振盪器對於較高除數的除頻電路設計是較為困難的，但若環形振盪器為核心的除頻器，因為其振盪的原理是訊號經過多級delay cells後符合巴克豪森振盪準則，我可以設計delay cells的級數來達成高除數的除頻電路。如圖3.30為一個以環形振盪器為核心的電路架構，根據它的delay cells的級數 $N$ ，可以產生除 $N$ 的效果，而當迴路訊號鎖住時必須達到二個條件，第一是訊號注入端訊號 $V_x$ 必須與輸入訊號 $V_{RF} @ \omega_i$ 同步，第二即是在注入訊號之後，迴路依然滿足巴克豪森振盪準則。

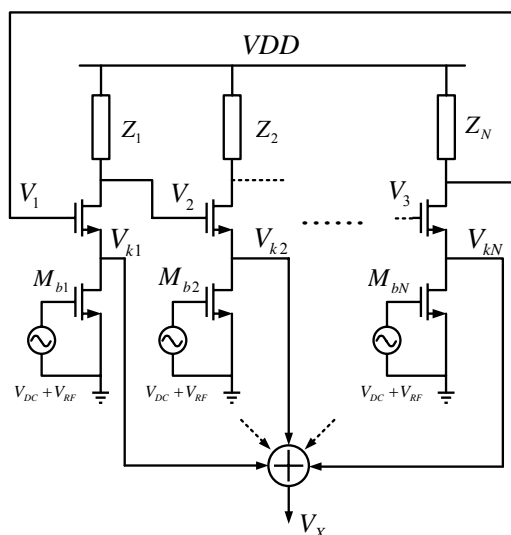


圖3.30 除N ILFD電路圖

VCO free running，假設  $V_j = A \sin[\omega_o t + (2\pi j / N)]$  ( $j=1,2\dots N$ )，而  $V_j$  訊號經過非線性的電晶體在source端產生的訊號為  $V_{k,j}$ ，以簡化的式子表示成

$$V_{k,j} = \alpha_0 + \alpha_1 V_j^1 + \alpha_2 V_j^2 + \dots \dots \dots \text{ (式3.4)}$$

利用佈線或閘 (wired-OR connection) 把每個source接在一起，可以得到

$$V_X = \beta_0 + \beta_1 A^N \sin(N\omega_o t) + \beta_2 A^{2N} \sin(2N\omega_o t) + \dots \dots \dots \text{ (式3.5)}$$

當把source接在一起時，由上式可知在  $V_X$  處的頻率會是輸出訊號  $V_j$  頻率的N次諧波項，而在  $V_X$  端低次的諧波項會被抑制掉。所以當注入訊號在  $\omega_i = N\omega_o$  頻率時，當VCO達到同步時會輸出  $\omega_o = \frac{1}{N} \omega_i$  的頻率，即產生除N的效果，這個架構的操作頻率會被  $M_b$  這個電晶體的操作速度所限制住，故高除數的電路會消耗較大的功率。舉個例子，三級delay cells的環形振盪器是最常見的，若訊號注入的方式如圖3.31所示，此電路即為除3的ILFD。

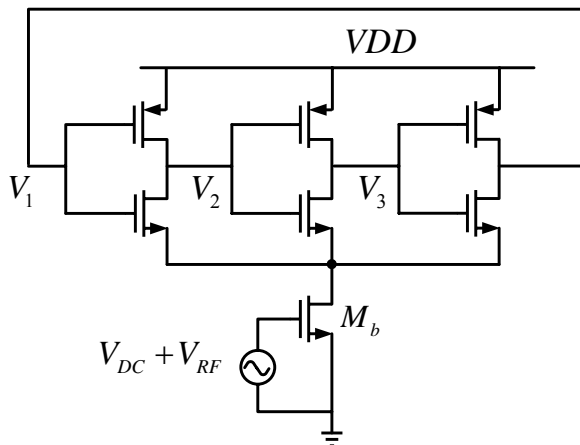


圖3.31 除3 ILFD電路圖

### 3.5 實作一 產生50%工作週期的除五電路 (TSMC 0.35 μm SiGe BiCMOS)

#### 3.5.1 研究動機

利用 flip-flop 所構成的除頻器，若除數為偶數，那麼經過除頻器的運作之後，產生的訊號自然是50%工作週期的訊號；若除數為奇數的話，輸出並不是50%工作週期的訊號。

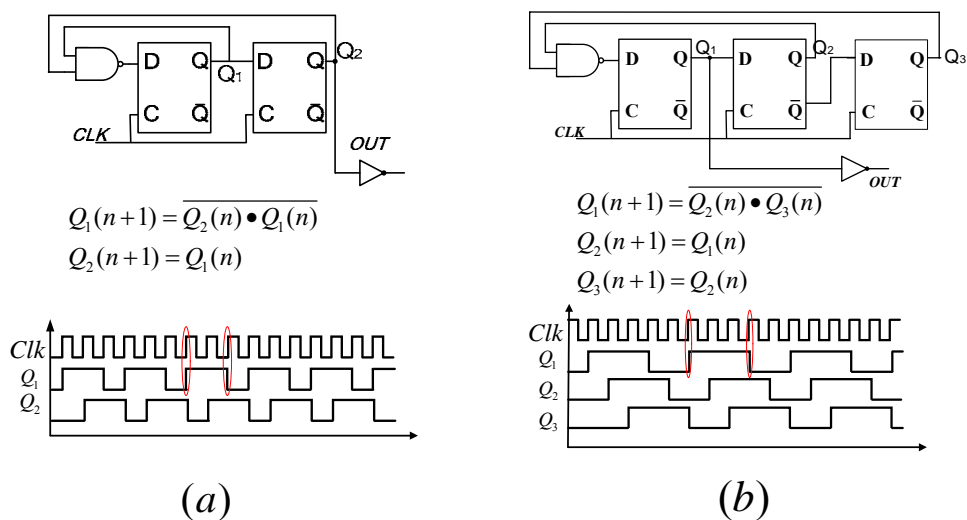


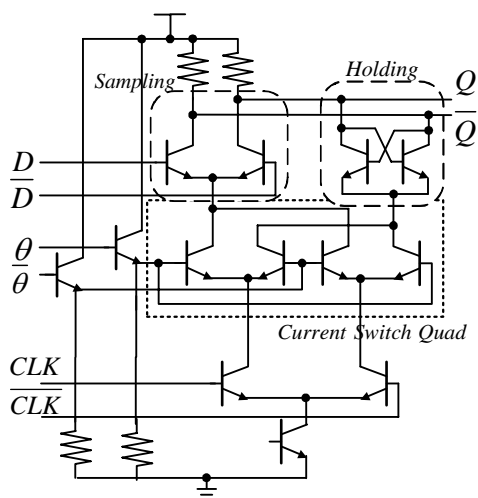
圖3.32 (a) 除三電路與輸出波形 (b) 除五電路與輸出波形

圖3.32 (a) 為一傳統的除三電路，其輸出的工作週期為33%或是67%，而圖3.32 (b) 則為除五電路，輸出的工週期為40%或是60%。因為flip-flop為單緣觸發 (single edge trigger) 的電路，故在奇除數時沒有辦法產生工作周期為50%的信號。

在直接降頻收發機中，是利用相位相消的方法來消除鏡像頻率，萬一LO不是50%的工作週期時，會顯著的降低收發機系統的鏡像排斥比。除此之外，若LO訊號非為50%工作週期時，也會造成LO訊號嚴重地feed through到RF端，即LO-RF的隔絕度變差。

### 3.5.2 實作電路架構

這次除五電路是利用 TSMC 0.35 $\mu\text{m}$  SiGe BiCMOS 來實現，利用一個新型電流可交換式的 D flip-flop (圖 3.33) [15]，我們在 Data 和 CLK 端的中間加入一級可切換電流的元件與控制訊號 $\theta$ 。新型的 D flip-flop 直值表如表 3.1 所示，當 $\theta$ 和 CLK 的 XOR 為 1 時，此電路的作用為保持 Hold(H)態；而當 $\theta$ 和 CLK 皆為 0 或皆為 1 時電路為接收 Sample(S)態。



D	$\theta$	CLK	Q
0	0	0	0
0	0	1	Hold
0	1	0	Hold
0	1	1	0
1	0	0	1
1	0	1	Hold
1	1	0	Hold
1	1	1	1

圖3.33電流可交換式D flip-flop      表3.1 電流交換式D flip-flop真值表



我們實作二個不同的接線分式來比較控制訊號來源對於電路操作速度的影響，表3.2為接線方法。

Mode	$\theta_1$	$\theta_2$	$\theta_3$	$\theta_4$	$\theta_5$
SHSHH	$\overline{Q_5}$	$\overline{Q_1}$	$Q_2$	$\overline{Q_3}$	$Q_4$
SSSHS	$\overline{Q_2}$	$Q_3$	$\overline{Q_4}$	$Q_5$	$Q_1$

表3.2 SHSHH與SSSHS接線方式

圖3.34與圖3.35分別為SHSHH與SSSHS的電路架構與訊號走向圖。SHSHH的 $\theta$ 控制訊號是由前一級的flip-flop輸出得到的與D端讀取資料的訊號來自同一級flip-flop；SSSHS架構 $\theta$ 控制訊號是由後一級的flip-flop輸出得到的，而D端讀取資料的訊號是來自前一級flip-flop，所以我們預估SHSHH的操作速度應該會比SSSHS更快。

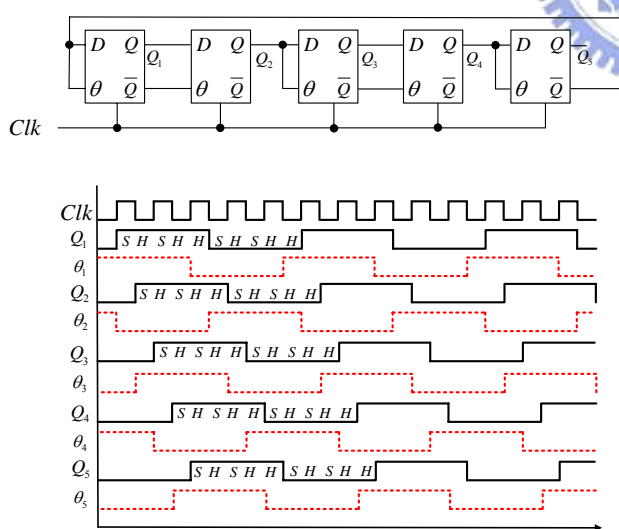


圖3.34 SHSHH 除5電路圖

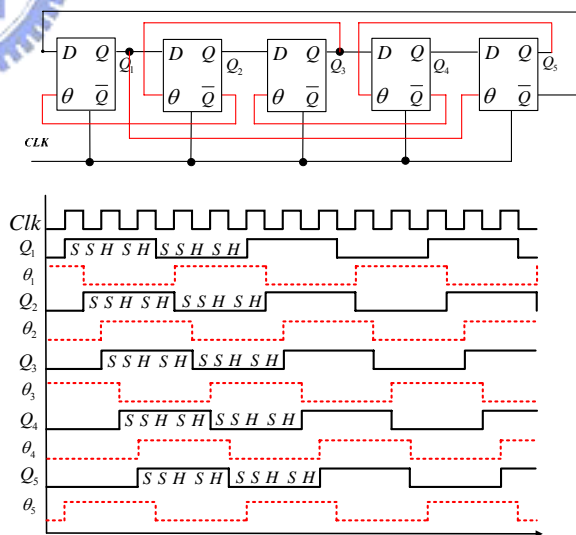


圖3.35 SSSHs 除5電路圖

除了新型D flip-flop的核心電路以外，電路上的設計還包含二個部分，前置輸入級與輸出緩衝級。

前置輸入級：

將單端輸入之信號，轉為差動模的信號以提供全差動的電路使用。並在輸入端作 $50\Omega$ 的阻抗匹配，可以有效隔絕儀器端或是對前端電路的影響。電路如圖3.36所示。

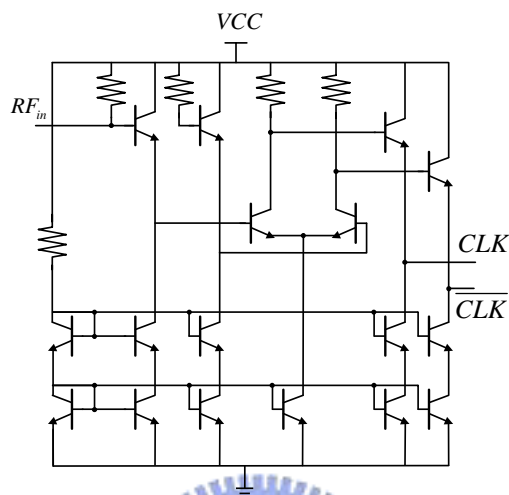


圖3.36 前置輸入級電路圖

輸出緩衝級：

因為使用 ECL 的邏輯閘，若下級電路的負載較小，會吃掉許多電流，而使邏輯準位不正確，為了避免此一狀況的發生，在輸出端加上一組輸出緩衝級，不但可正確的傳出電壓準位，更可將信號放大。電路如圖 3.37 所示。

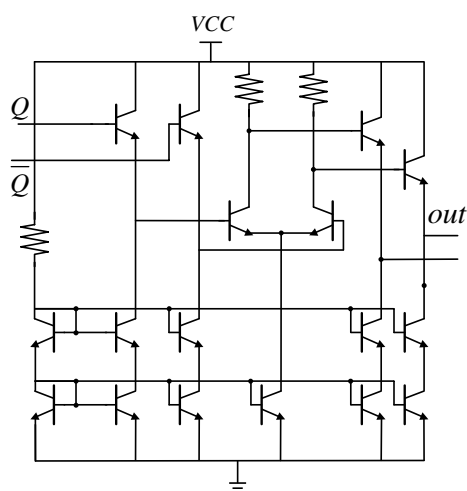


圖3.37 輸出緩衝級電路圖

### 3.5.3 實測結果

#### (1) Input sensitivity

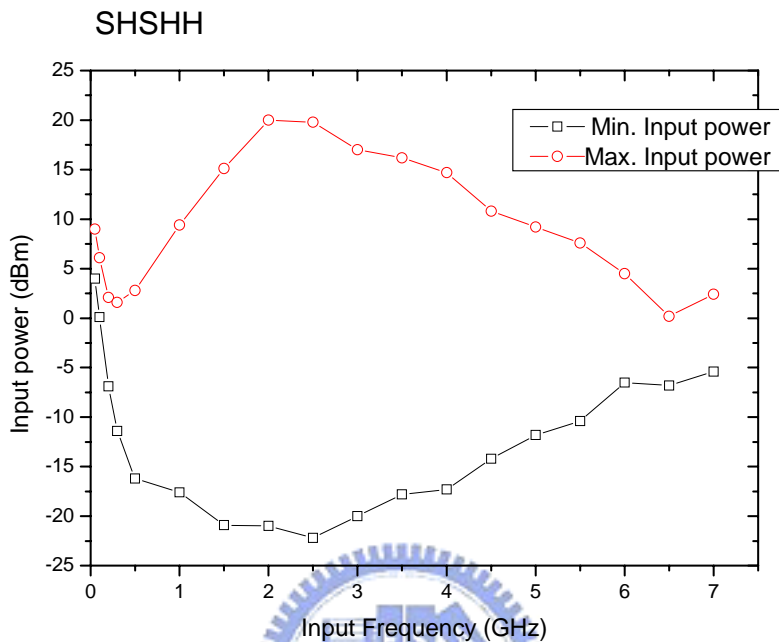


圖 3.38 SHSHH sensitivity

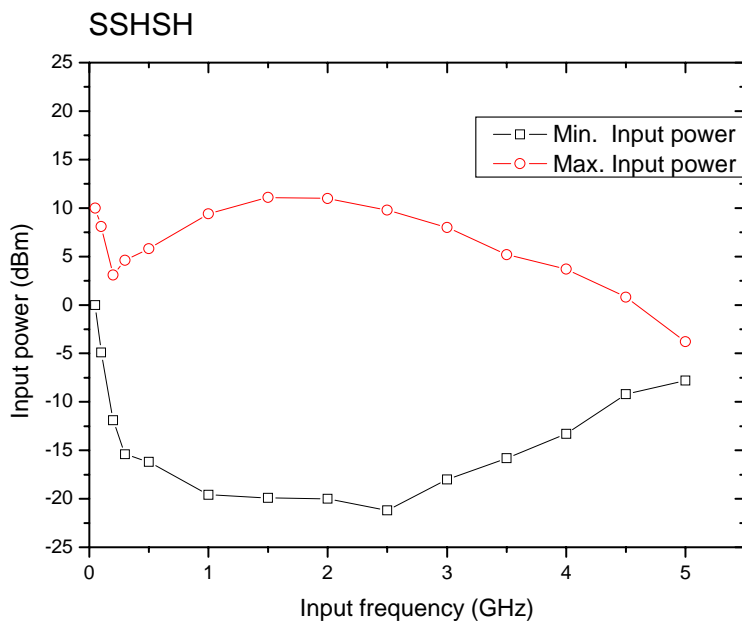


圖 3.39 SSHSH sensitivity

(2) Input and output waveform

SHSHH Input@7GHz,output@1.4GHz



圖 3.40 SHSHH input and output waveform



SSHSH Input@5GHz,output@1GHz

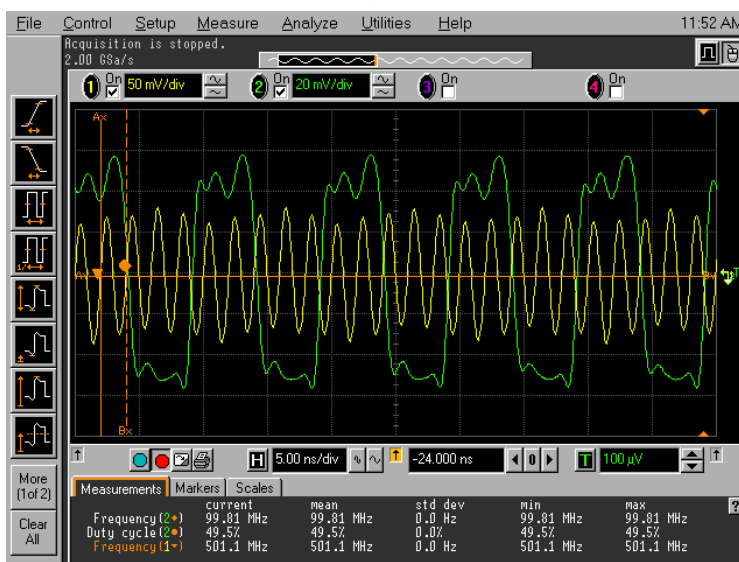


圖 3.41 SSHSH input and output waveform

### (3) Input return loss

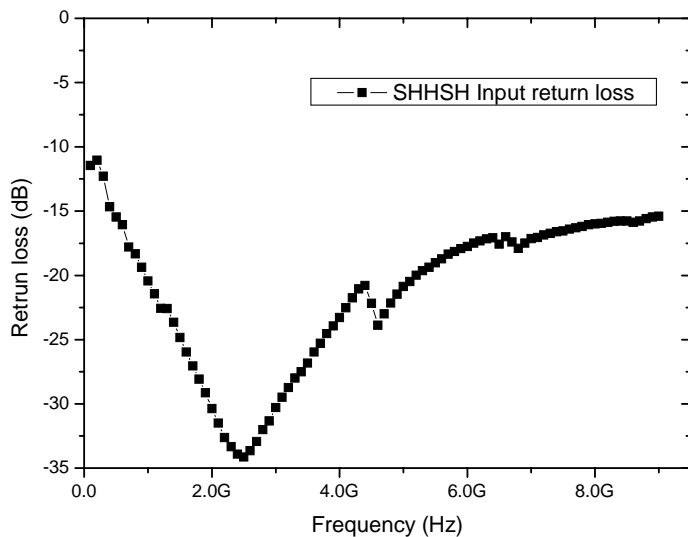


圖 3.42 SHSHH input return loss

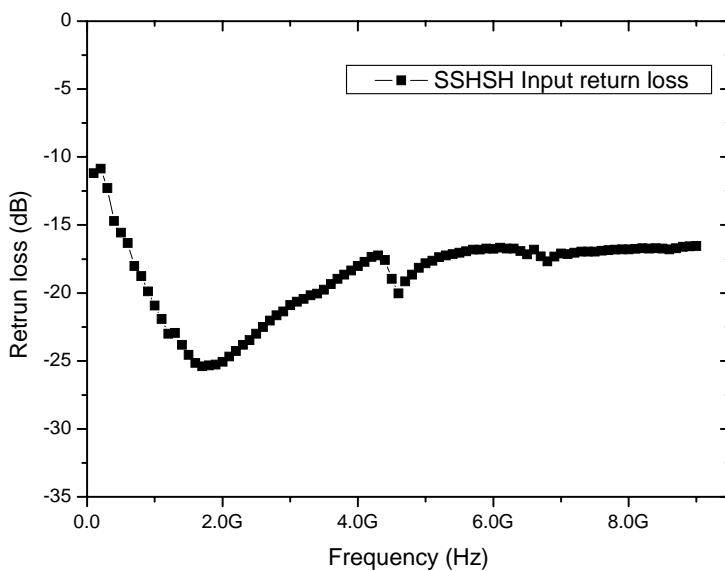


圖 3.43 SSHSH input return loss

### (4) Phase noise

Input@3GHz,output@0.6GHz

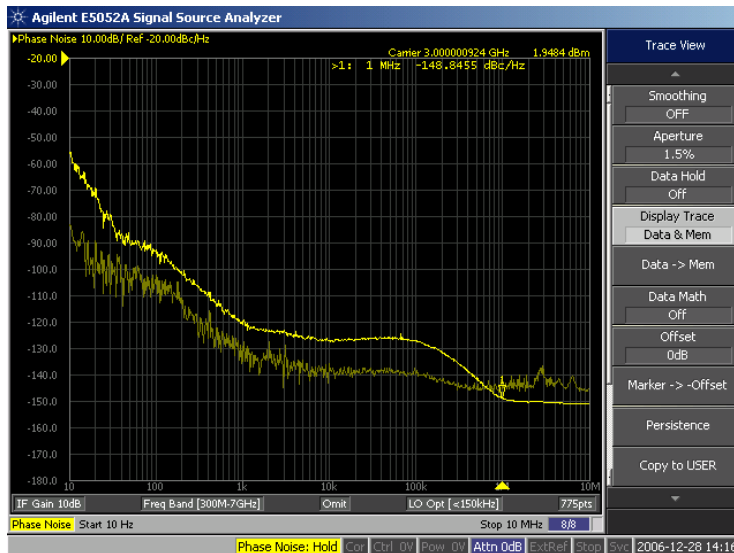


圖 3.44 SHSHH input and output phase noise

Input@3GHz,output@0.6GHz



圖 3.45 SSHSH input and output phase noise

Die photo

SHSHH

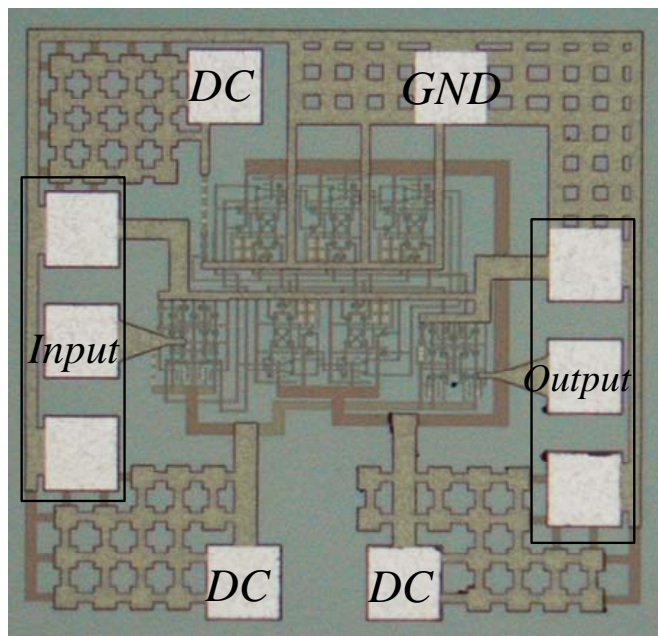


圖3.46 SHSHH 除5 die photo

SSHS

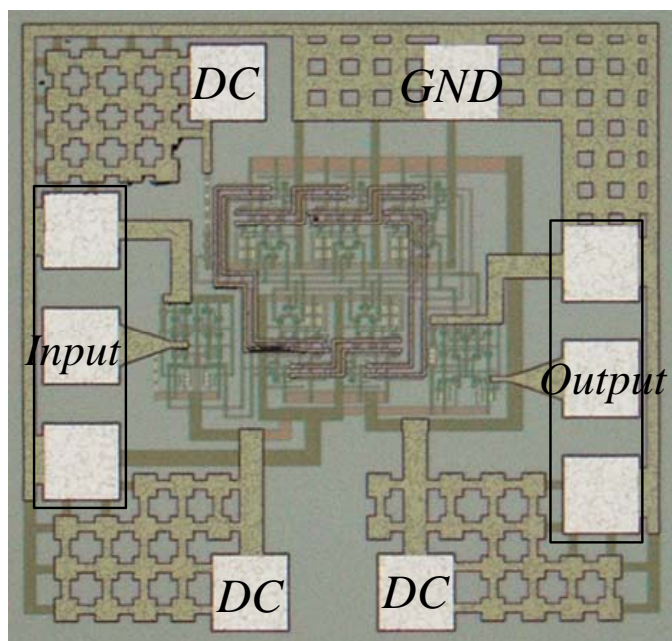


圖3.47 SSHS 除5 die photo

### Chip performance

Item	Spec	
Technology	TSMC 0.35 $\mu$ m SiGe BiCMOS	
Architecture	SHSSH	SSSH
Supply Voltage	3.5 V	3.5V
Supply Current (core)	21.1mA	20.8mA
Supply Current (input & output buffer)	10.96mA@3V	10.93mA@3V
Operation Frequency	50MHz~7GHz	50MHz~5.4GHz
Input Sensitivity	-22.2dBm ~ 4dBm	-21.2dBm~0dBm
Output Power	-15.3dBm ~ -12.6 dBm	-15.3dBm~-12.4dBm
Supply Power (core)	73.85mW	72.8mW
Die size	850 $\mu$ m $\times$ 800 $\mu$ m	850 $\mu$ m $\times$ 800 $\mu$ m

表3.3 SHSSH 與 SSSH performance summary

### 3.5.4 結論與討論



因為輸入訊號與輸出訊號皆在12GHz以下，我們直接使用示波器做量測，二個電路輸出訊號由波形圖可以發現的確皆為50%工作週期的訊號，並且可以發現，新型的D flip-flop具有雙緣觸發的特性。可除頻率如同我們所預期，SHSSH的架構可以操作到較高頻，因為其輸入訊號是來自同一級的輸出。

觀察輸入靈敏度，並沒有發現有一個最佳頻率點，二個除五電路都沒有自振的現象，可能因為在新型的D flip-flop電路即使CLK訊號很小，但在其 $\theta$ 端仍有信號輸入，使電路不易成為環形振盪器。電路靈敏度的特性不錯，我們可發現在大部分的操作頻寬內最小輸入訊號大小在0dBm以下即足夠讓電路正常工作。輸出的相位雜訊經過除頻器的抑制後較輸入訊號源的相位雜訊低約14dB，是因為訊號經過



除 5 電路後，相位雜訊會比經過除 2 電路都抑制更高。最後，若考量消耗功率，除數愈高需要愈多級的 flip-flop，則消耗功率將會愈來愈大，為此種電路的一大缺點。

## 3.6 實作二 訊號再生式除二電路

### (Win 0.15 $\mu$ m PHEMT)

#### 3.6.1 研究動機

Master-Slave D-flip-flop (MS-D-FF) 所組成除頻器最高操作頻率  $f_{\max}$ ，有一限制： $f_{\max} \leq \frac{1}{2t_{pd}}$ ， $t_{pd}$  表示單一 ECL 或 CML gate delay，而 Regenerative frequency divider (RFD) 只有一個  $t_{pd}$  和 feedback loop 的 delay，所以  $f_{\max}$  可大幅提升。此外，Mixer 架構的電晶體數本來就比 MS-D-FF 的電晶體數少，相對的功率消耗也較少，有利於應用在行動通訊的電路上。在高除數的頻率合成器前端，先用低功率消耗高操作頻率的 RFD 當前置除頻器將頻率降低，接下來再用寬頻的 MS D-FF 完成所需的除數，如此可減低 MS D-FF 的功率消耗又可提升操作頻率。

#### 3.6.2 電路架構

圖 3.48 為此次實作的電路圖，核心電路是用主動式 Gilbert 混頻器，Gilbert 混頻器為一個雙平衡混器，故 RF port 與 LO port 皆需要差動訊號輸入。我們將輸出訊號經由一級 source follower 回授到 RF port 驅動二個電流切換電晶體 (M5、M6)，因為電晶體為負偏壓操作，所以得利用電容當 block 把 DC 偏壓值分開。輸入單端訊號經過 Marchand balun 產生差動訊號注入到 LO port (M1~M4)。RFD 是寬頻的電路，故

我們選擇頻寬較寬的Marchand balun做為輸入端balun，Marchand balun的原理已在第二章做介紹。

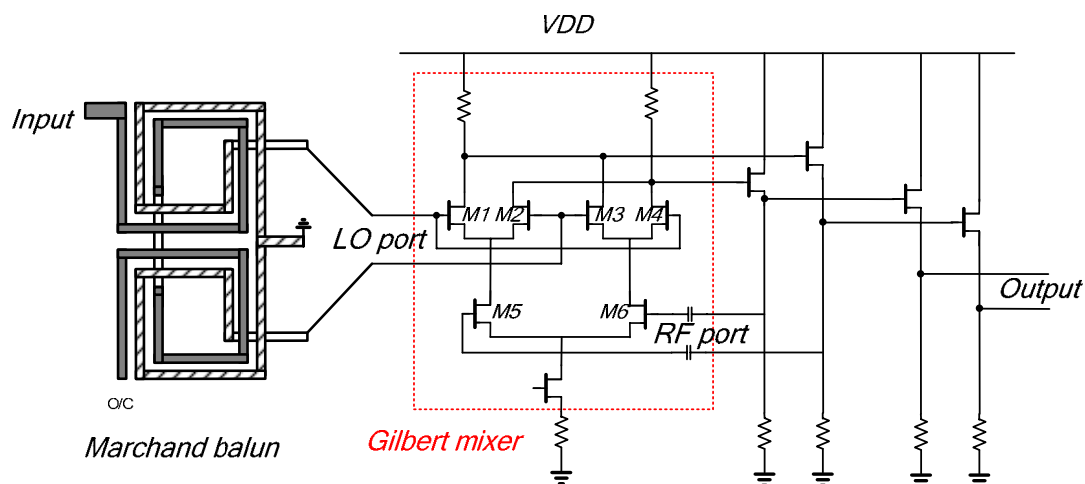


圖3.48 RFD實作電路schematic

一般RFD中混波器之後需求量要一個低通濾波器，但實際電路設計上並不需要濾波器，因為主動式混頻器本身的轉換增益的頻率響應就是低通的形式，所以單一混頻器就包含了混頻與低通濾波的功能。若設計主動式混波器本身提供足夠的增益來補償訊號在迴路的消耗，為了電路簡化與功率消耗考量，放大器也可以從迴路中去除，最後，迴路中只需一個主動式混頻器便可達到訊號的混頻、濾波與放大的三個功用，電路簡單而有利於高頻的操作。在輸出級部分，經過一級source follower後才拉出來量測。

### 3.6.3 實測結果

(1) Min.Incident Frequency=7GHz, output freq=3.5GHz,-4.83dBm

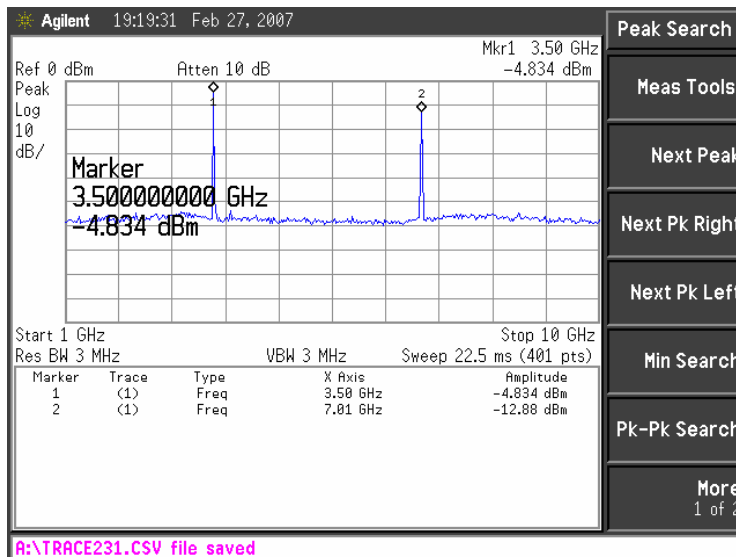


圖3.49 RFD 輸入7GHz 頻譜圖

Max. Incident Frequency=19GHz, output freq=9.5GHz,-16.59dBm

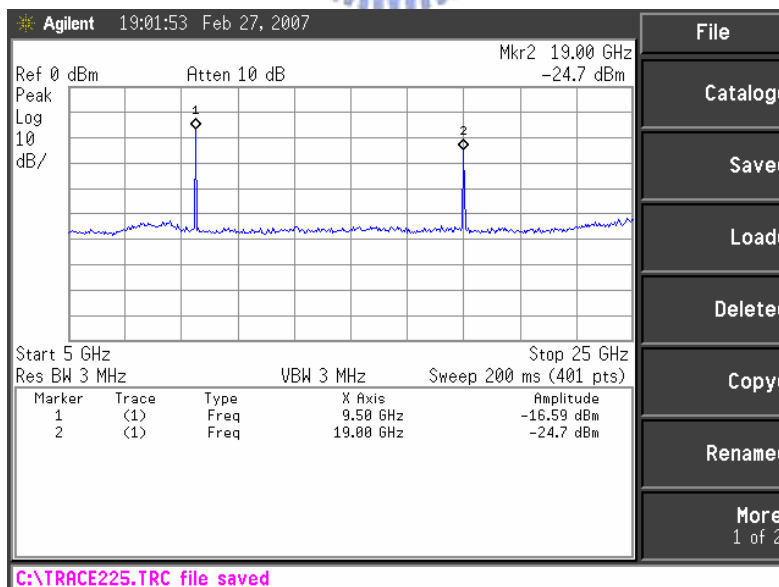


圖3.50 RFD 輸入19GHz 頻譜圖

### (2) Input sensitivity and dynamic range

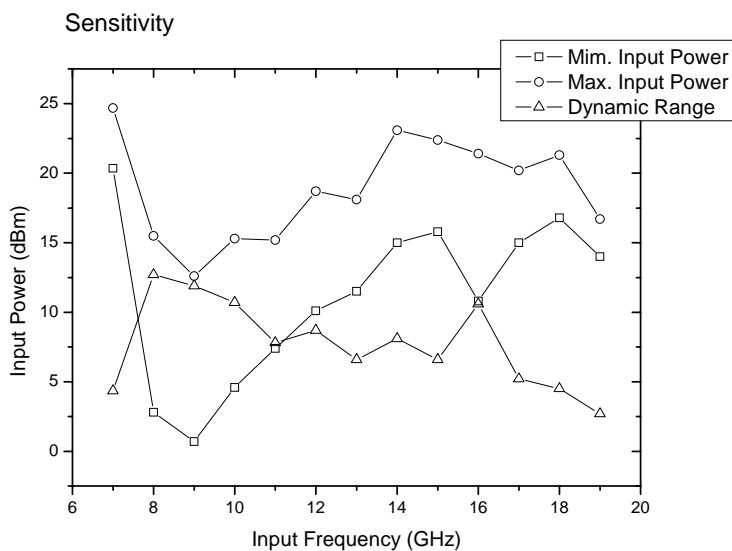


圖 3.51 RFD input sensitivity



### (3) Phase noise

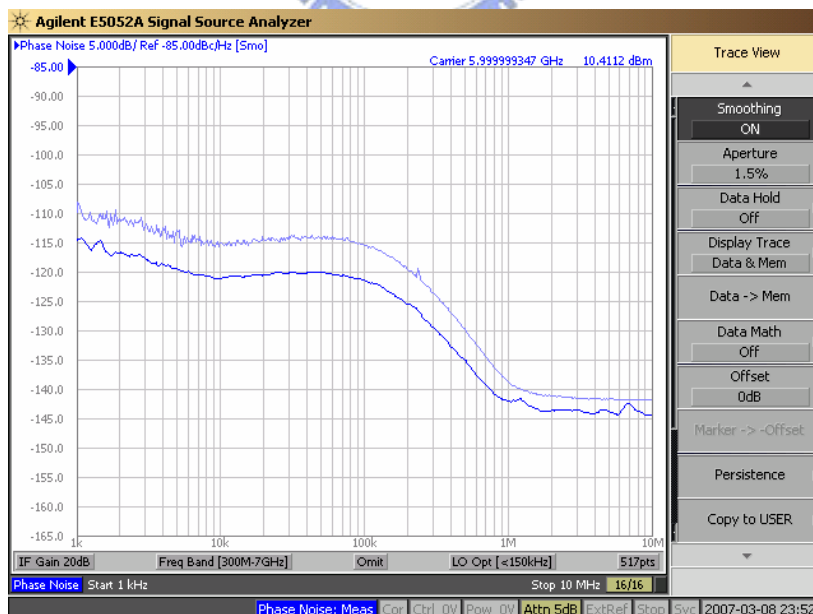


圖 3.52 RFD input and output phase noise

Die photo

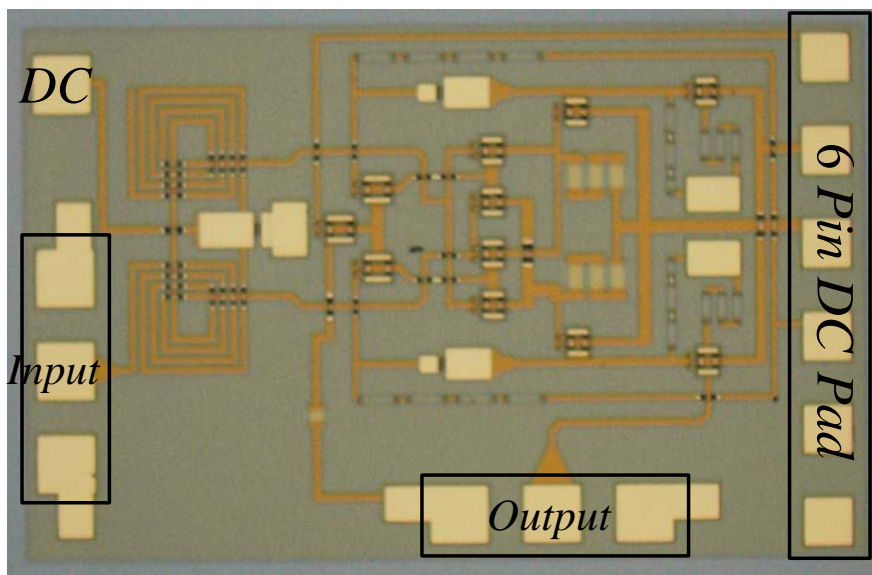


圖3.53 RFD Die photo

Chip performance

Item	Spec
Technology	Win 0.15 $\mu$ m PHEMT
Supply Voltage	8 V
Supply Current (core)	27.9 mA
Supply Current (output buffer)	12.23mA
Operation Frequency	7GHz~19GHz
Input Sensitivity	0dBm~20dBm
Output Power	-5.7dBm~-17.7 dBm
Supply Power(core)	223.2mW
Die size	1500 $\mu$ m $\times$ $\mu$ 1000 m

表3.4 RFD performance summary

### 3.6.4 結論與討論

我們發現輸入靈敏度需要大於0dBm，因為在注入訊號端為被動的Marchand balun，訊號經過分波後輸出二端的訊號會降低，由EM模擬發現約降低4dB，且balun輸入端的阻抗匹配沒設計好；除此之外，PHEMT需要的pumping power本來就比較高，所以輸入靈敏度較高。

操作頻率受限於模擬上電晶體大小的選擇，必需選用特定大小以上的元件才能模擬，導致電晶體的寄生電容效應很大，使得低通濾波器的通過截止頻帶往低頻偏；操作頻寬（最高頻率與最低頻率比值）大概為2.7倍頻，與理論操作頻寬3倍頻很接近，頻寬較小的原因可能是在高頻處，整個迴路訊號損耗較大，使得電路無法正常正作。輸出相位雜訊比輸入訊號的相位雜訊經過除2電路的壓抑後，降低約6dB，與理論相符。



## 3.7 實作三 正交訊號輸出訊號再生式除二電路

### (Win 0.15 $\mu$ m PHEMT)

#### 3.7.1 研究動機

一般正交訊號輸出的除二電路都是以flip-flop的形式來完成，但因為在此類形的除頻器在高速操作需要消耗極大的功率，故我們想要採用RFD的架構來完成正交訊號的輸出，即設計一個適合高頻操作輸出正交訊號的除二電路。此次因為相位誤差的量測考量，設計了一個不同頻率的正交訊號輸出的RFD。

### 3.7.2 28GHz IQ RFD 電路架構

若我們要產生正交訊號，則需要二組RFD，然後將輸入訊號反接注入二組RFD，即可在另一組輸出得到正交訊號，電路架構與訊號產生機制如圖3.54所示[19]。

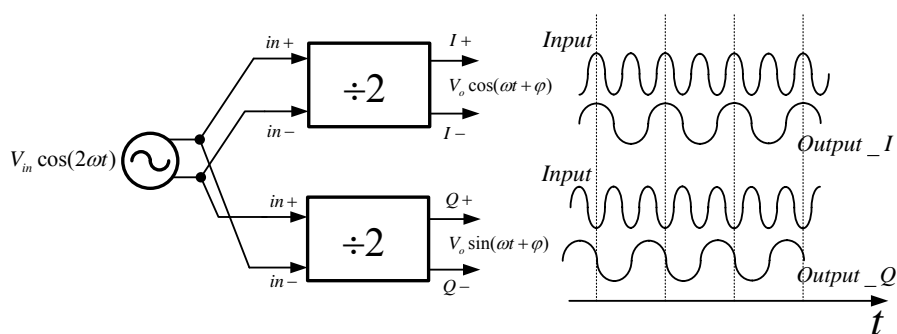


圖3.54 正交訊號輸出RFD架構圖與訊號波形

圖3.55為整體的電路圖，此次實作依舊使用主動式Gilbert mixer當RFD電路的核心電路，只是將負載由電阻換成LC-tank，如此一來只是迴路中的低通濾波器變成帶通濾波器，雖然會使操作的頻寬變窄，但卻可以降低工作電壓，而更適合於高頻除2 RFD的設計，因為我們只要設計LC和電晶體的寄生電容之諧振頻率在所要的輸出頻率即可。電路中二極體只是為了偏壓使用，輸入端依舊使用Marchand balun將單端輸入訊號轉成差動訊號。

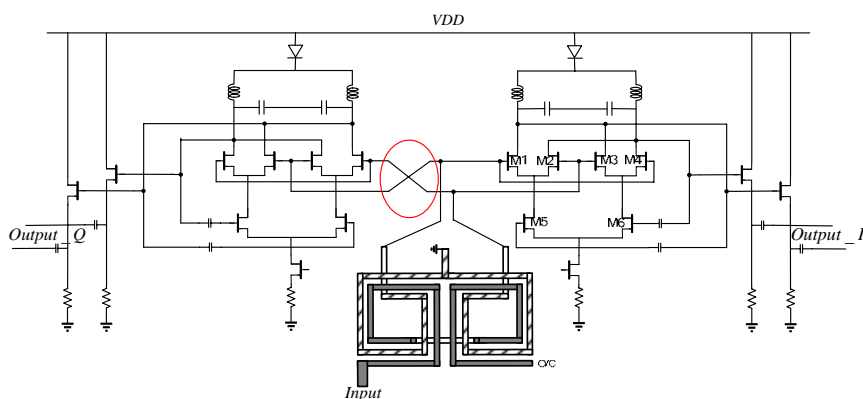


圖3.55 28GHz IQ RFD 電路圖

除了除2電路以外，還設計了一個被動的SSB up-converter來間接量測相位誤差 (phase error) 如圖3.56所示。SSB混頻器的操作原理在第3.3.1節已做過介紹，我們可藉由side band rejection而得到正交訊號的大小誤差與相位誤差(圖3.57)。

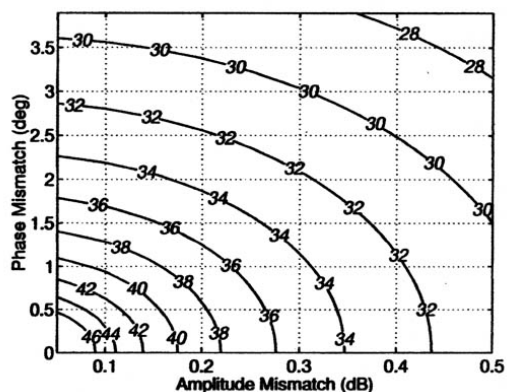
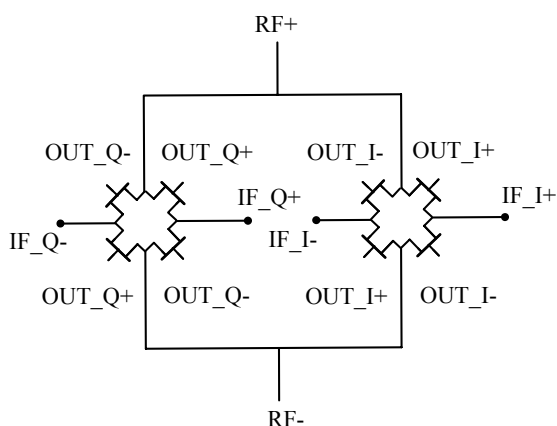


圖3.56 Passive SSB up-converter

圖3.57 Rejection ratio with amplitude / phase mismatch

### 3.7.3 28GHz IQ RFD實測結果

#### (1) Input sensitivity

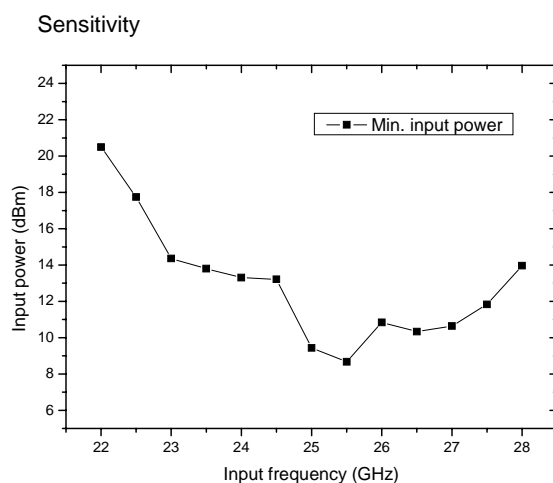


圖3.58 28GHz IQ RFD input sensitivity



(2) Min.Incident Frequency=22GHz ,Output freq=11GHz,-28.5dBm

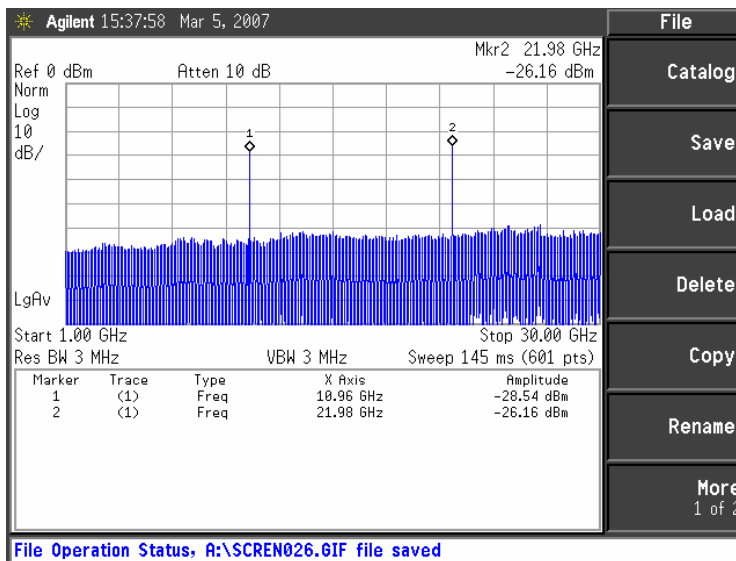


圖3.59 28GHz IQ RFD輸入22GHz頻譜圖



Max. Incident Frequency=28GHz, Output freq=14GHz,-22.8dBm

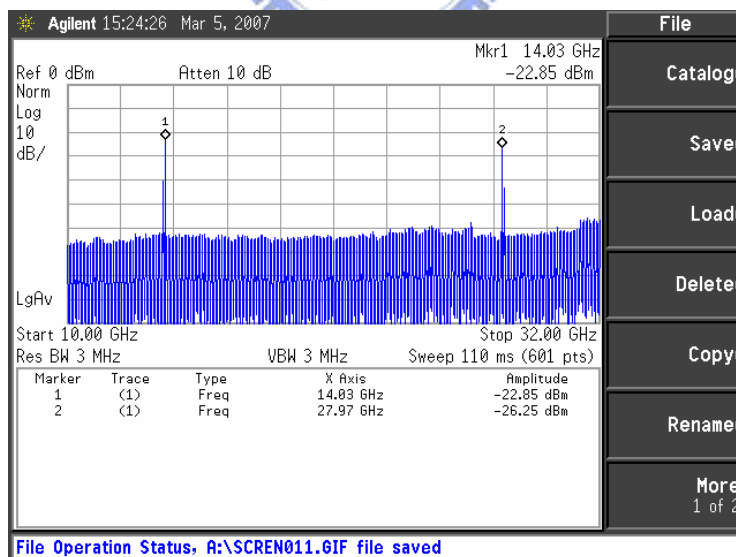


圖3.60 28GHz IQ RFD輸入28GHz頻譜圖

### (3) Phase noise

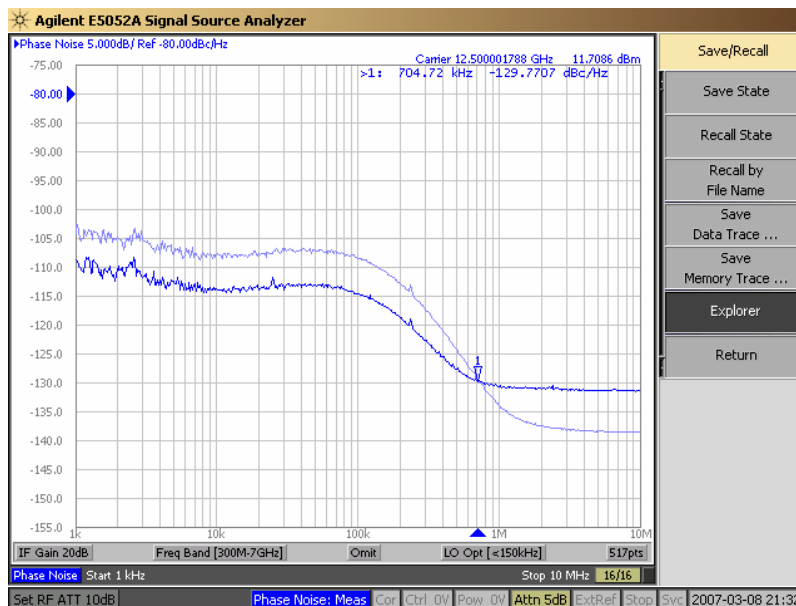


圖 3.61 28GHz IQ RFD input and output phase noise



### (4) IQ output Waveform

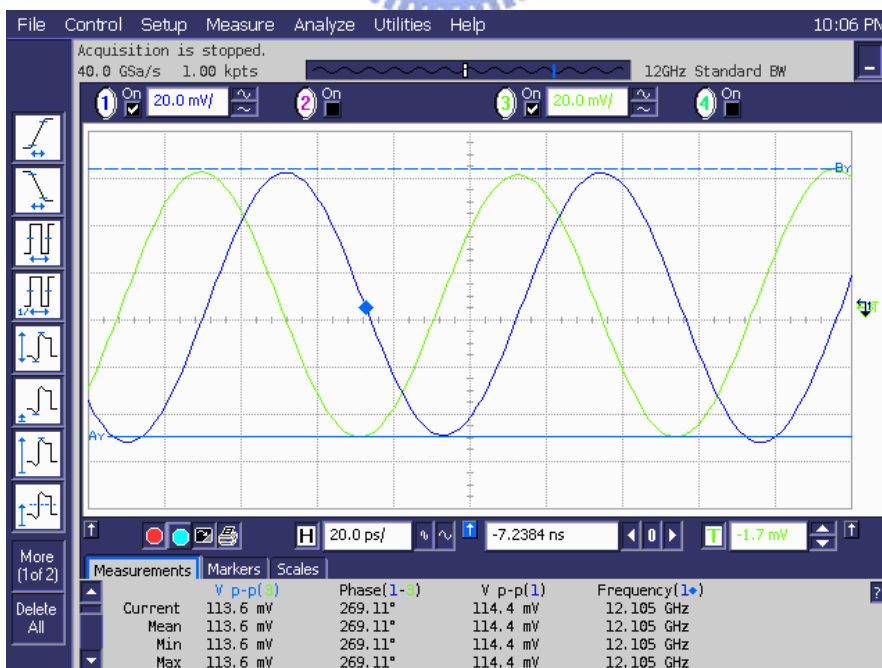


圖 3.62 28GHz IQ RFD output waveform

Die photo

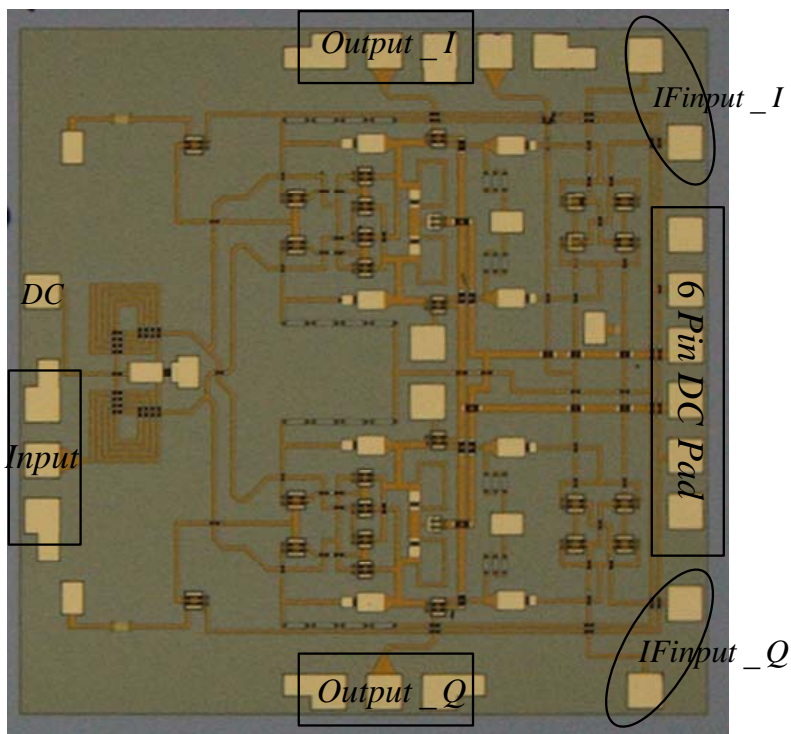


圖3.63 28GHz IQ RFD die photo

Chip performance

Item	Spec
Technology	Win 0.15 $\mu$ m PHEMT
Supply Voltage	7 V
Supply Current (core)	28.4 mA
Supply Current (output buffer)	22.4 mA
Operation Frequency	22GHz~28GHz
Input Sensitivity	8.68dBm~20.5dBm
Output Power	-22.5 dBm~-11.6 dBm
Phase Error	< 1°
Power dissipation (core)	198.8mW
Die size	2000 $\mu$ m $\times$ 2000 $\mu$ m

表3.5 28GHz IQ RFD performance summary

### 3.7.4 35GHz IQ RFD 電路架構

電路原理與3.7.2節一樣，只是此次設計在更高頻率，而核心電路與輸出緩衝級電路工作在不同電壓，則不需要偏壓的二極體，而實際電路架構如下：

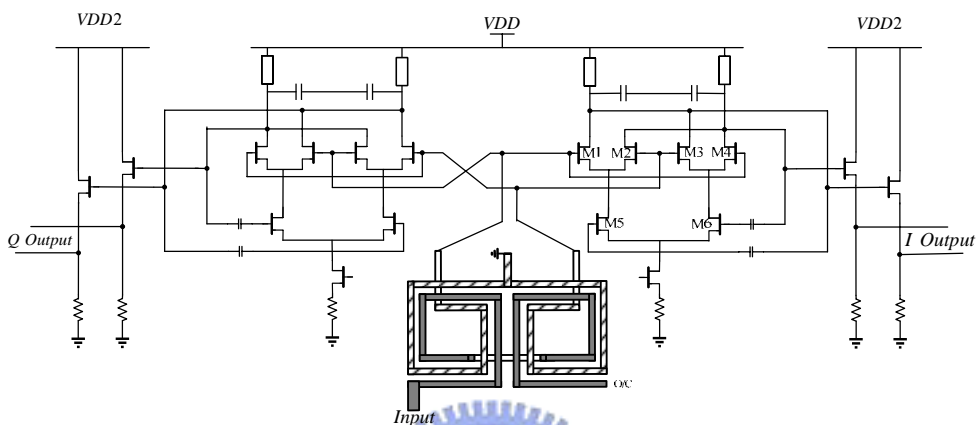


圖3.64 35GHz IQ RFD 電路圖

### 3.7.5 35GHz IQ RFD 實測結果

#### (1) Input sensitivity

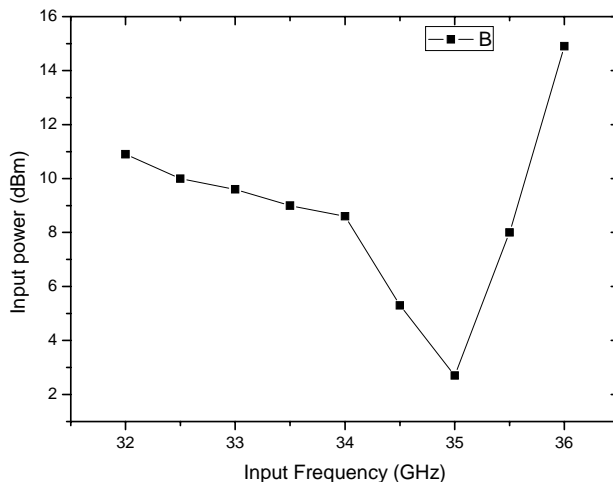


圖3.65 35GHz IQ RFD input sensitivity

(2) Incident Frequency=35GHz , Output freq=17.5GHz,-12.11dBm

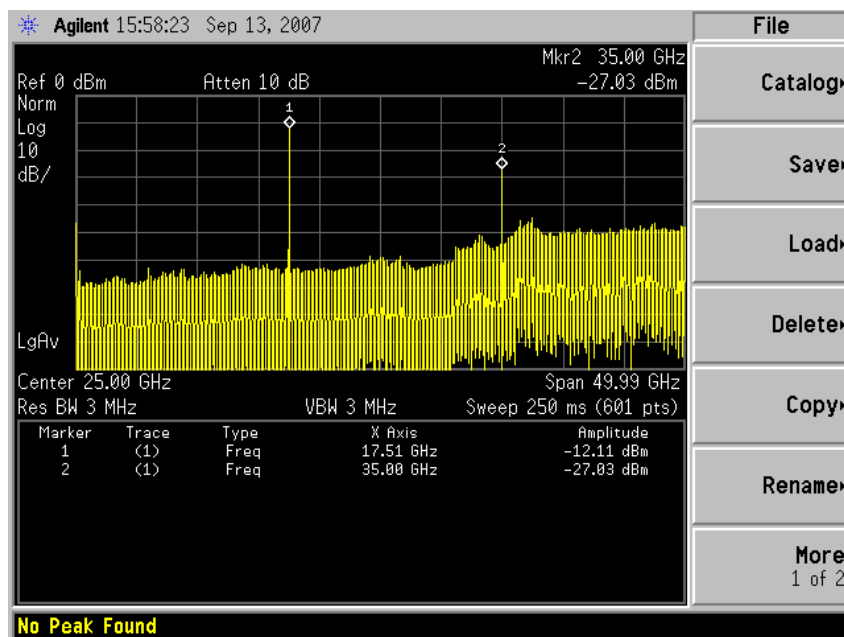


圖3.66 35GHz IQ RFD輸入35GHz頻譜圖

(3) SSB rejection

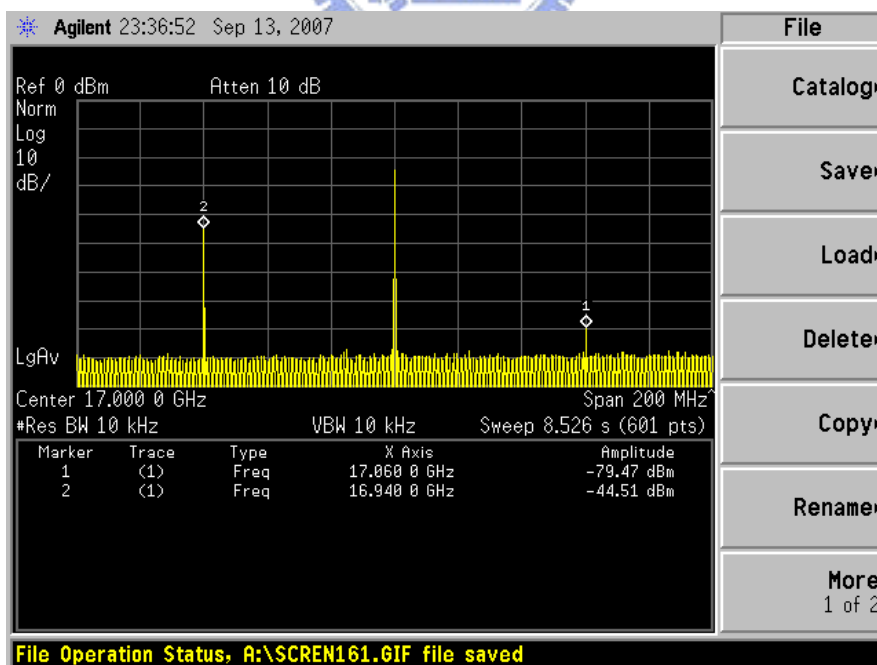


圖3.67 35GHz IQ RFD side-band rejection

Die photo

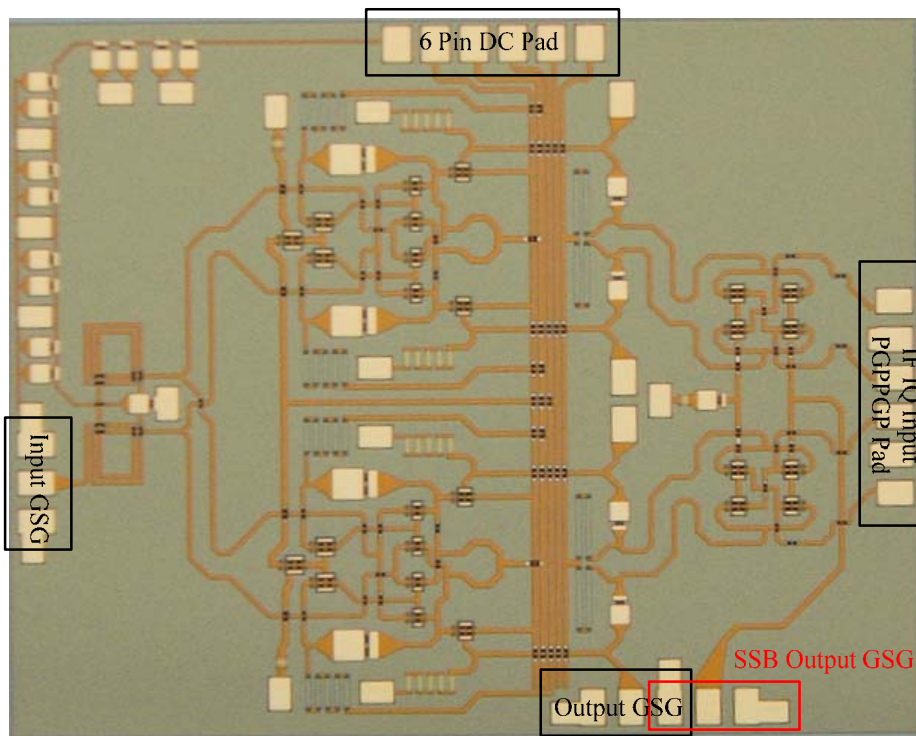


圖3.68 35GHz IQ RFD die photo

Chip performance

Item	Spec
Technology	Win 0.15 $\mu$ m PHEMT
Supply Voltage	6 V
Supply Current (core)	17.6 mA
Supply Current (output buffer)	33.9 mA
Operation Frequency	32GHz~36GHz
Input Sensitivity	2dBm~15dBm
Side band rejection	35dB
Phase Error	2°
Power dissipation (core)	105.6mW
Die size	2500 $\mu$ m $\times$ 2000 $\mu$ m

表3.6 35GHz IQ RFD performance summary

### 3.7.6 結論與討論

電路的操作頻寬被LC-tank的響應所限制住，頻寬雖然變窄，但相對於ILFD還是較寬的，操作電壓因為LC-tank不吃壓降，所以比實作二的電路架工作電壓可以降低1伏，如此一來我們可以發現，正交訊號使用二個RFD所消耗的功率與實作二只有一個RFD的消耗功率相比之下並不會大太多。而且因為LC為負載，雖然我們在Gilbert mixer LO stage這四顆電晶體的size與實作二的設計一樣，所以電晶體所寄生的電容值應該很相近，但是我們可以發現利用LC-tank當負載，有利於高頻操作。

在28GHz的RFD中，一開始是考量利用PCB方式來量測side-band rejection，但因為PCB在十幾GHz時已無法使用，故直接使用示波圖量測，雖然此量測方法在高頻時會因為量測時儀器所接cable線長短的影響而量不到真正的IQ輸出的訊號相位誤差，不過由IQ輸出的訊號波形來看，相位誤差小於1度，特性非常的好。而相位雜訊的部分與除2電路的理論符合，輸出相位雜訊較輸入訊號的相位雜訊低約6dB。

在35GHz的RFD中，將IF IQ訊號由PGPPGP pad注入，因此可以on waver量測side-band rejection，測得rejection ratio為35dB，amplitude無誤差時，由圖3.57可得到phase error為2度；若假設phase error為0度，則得到的amplitude mismatch為0.3dB。

由輸入靈敏度來看，需要大的輸入訊號晶片才會正常工作，其理論實作二一樣，而且因為此次輸入訊號需要驅動二個RFD電路，故需要更大的輸入訊號。

### 3.8 實作四注入鎖住式除二電路

(Win 0.15 μm MHEMT)

#### 3.8.1 研究動機

以往除頻器在高頻操作所消耗的功率占PLL總功率的絕大部分，特別當數位組成的除頻器在高頻操作時，因此一般在高頻的操作以類比式RFD較為常見，但是ILFD核心電路為VCO故其消耗功率較RFD還小，所以這次將利用super-harmonic IFO來設計一個高頻低功率消耗的除頻器。雖然ILFD本質上是窄頻的電路，不過利用VCO的 $V_{tune}$ 來改變震盪頻率，可將操作頻率加寬。實際上運用的通訊系統大多為窄頻，所以ILFD的頻寬還能符合系統需求。

#### 3.8.2 電路架構

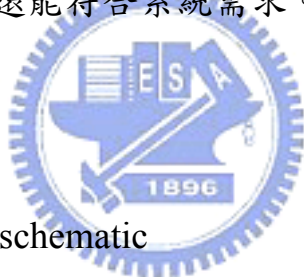


圖3.69為電路實作的schematic

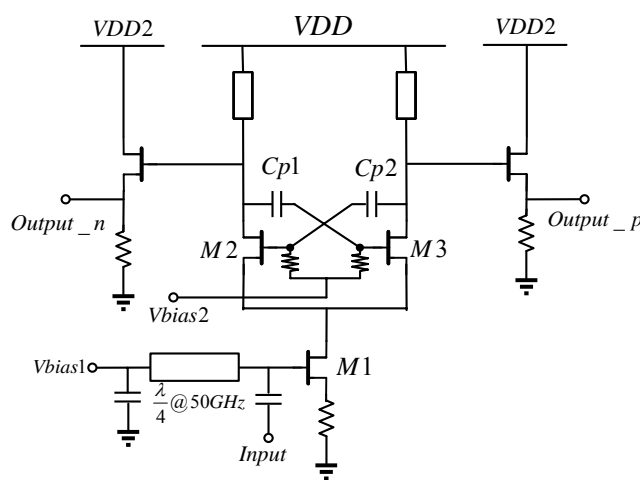


圖3.69 除2 ILFD電路圖

這個電路中的VCO是採取cross-coupled架構，可以得到差動訊號的輸出。電晶體M2和M3提供負阻抗為電路中非線性的gain block，而



頻率選擇器由LC-tank組成，此次電路輸入操作頻率設計在50GHz，輸出端LC-tank的共振頻率得設計在25GHz，線圈式電感在25GHz並不適用，因為25GHz已超過線圈式電感的自振頻率，故我們採取傳輸線來當電感使用，電容部分則是使用電晶體本身的寄生電容，在LC-tank裡並沒有額外設計電容。一般Cross-coupled VCO中的訊號回授是採用直接回授方式，直接回授會使gate與drain的電壓相等，但因為此製程電晶壓本身為負偏壓，這種回授方式是無法使用的。故我們以耦合電容 $C_{p1}$ 與 $C_{p2}$ 來做訊號的耦合，如此一來電晶體的gate與drain的偏壓可以分開。訊號的注入方式是由VCO的電流源將訊號由gate端注入，在注入端並聯一個四分之波長且透過電容接地的傳輸線，接地端經過四分之波長的阻抗轉換在訊號注入端會變成開路的大阻抗，如此一來可以達成電流源偏壓與訊號注入的作用。

### 3.8.3 實測結果

#### (1) Input sensitivity

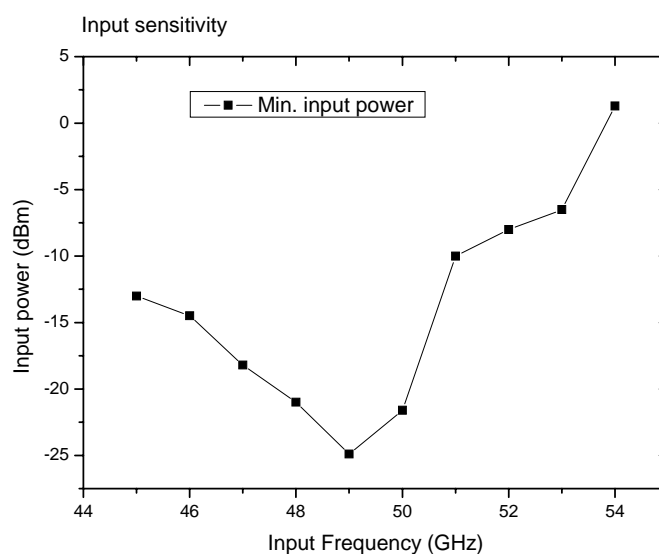


圖3.70 除2 ILFD input sensitivity

(2) Incident Frequency=49GHz, output frequency=24.5GHz,-35.6dBm

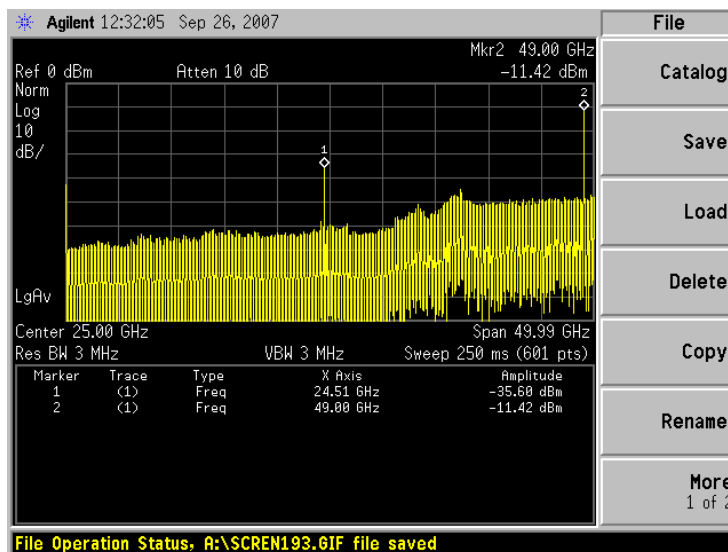


圖3.71 除2 ILFD 輸入49GHz頻譜圖

Die photo

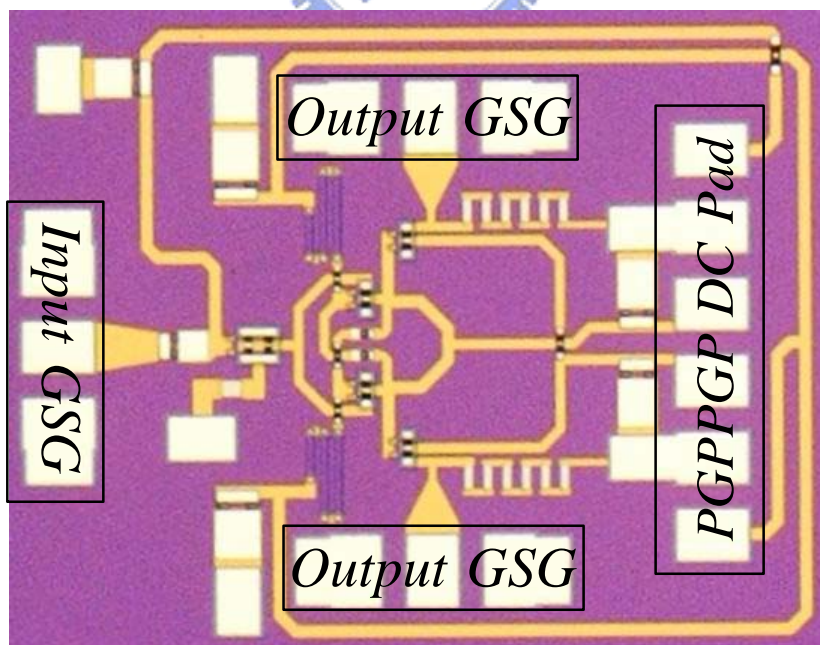


圖3.72 除2 ILFD die photo

### Chip performance

Item	Spec
Technology	Win 015 $\mu$ m MHEMT
Supply Voltage	3 V
Supply Current (core)	5.48 mA
Supply Current (output buffer)	6 mA
Operation Frequency	45GHz~54GHz
Input Sensitivity	-24.9dBm~1.7dBm
Power dissipation (core)	16.44mW
Die size	1100 $\mu$ m $\times$ 900 $\mu$ m

表3.7 除2 ILFD performance summary

#### 3.8.4 結論與討論

ILFD核心電路為VCO，故其操作電壓與實作二與實作三RFD以混頻器為核心電路比較，可以有較低的工作電壓3V，而工作電流受限於可模擬時元件大小的限制，利用了較大的元件故操作電流5.48mA較大，使得消耗電率較大為16.44mW。

由模擬結果可以發現，雖然ILFD是高頻操作的電路，最高可除頻率到達54GHz，且與RFD（實作二、實作三）比較需要的輸入訊號功率較小，由phase limited式子可發現ILFD為窄頻寬的電路，此電路的相對頻寬只有18.6%；因為此電路頻率較高，沒有設計可變電容來調整free running VCO輸出的頻率，所以無法利用調整VCO的控制電壓來使工作頻率飄移而達到較寬的電路操作頻寬。

### 3.9 實作五 注入鎖住式除三電路

(Win 0.15  $\mu$  m MHEMT)

#### 3.9.1 研究動機

ILFD常見為除數為2的除頻器，雖然其它除數的ILFD架構在第3.4.5節有介紹過，但是圖3.31的架構是以環形振盪器為核心在高頻需要較大的功率消耗，而且其自振頻率與每級delay cells的gate delay time有關，並不適合在高頻操作，除此之外，圖3.31的輸出為單端訊號，往往除頻器輸出的訊號都是差動的運用，故我們不使用此架構來達成除3 ILFD。所以此次實作是利用LC cross-coupled VCO為核心的ILO來實現除3的ILFD。

#### 3.9.2 電路架構



圖3.73為電路實作的schematic

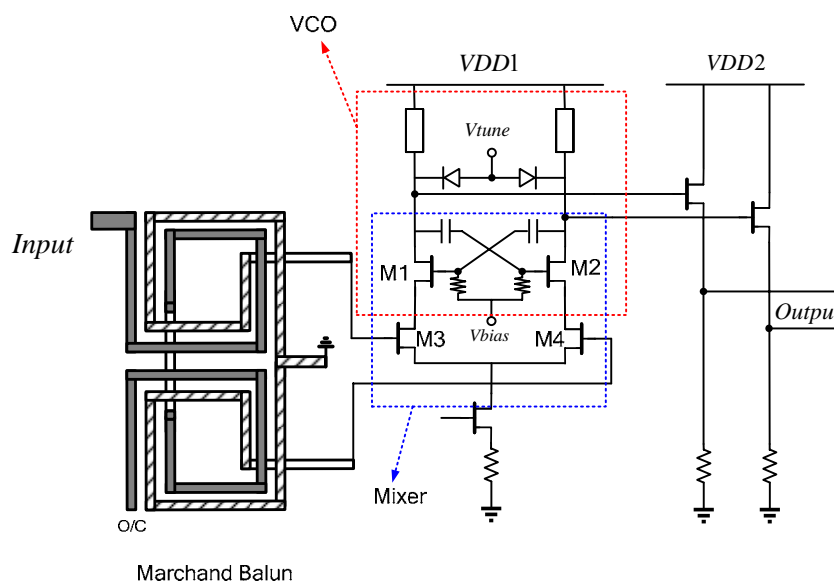


圖3.73 除3 ILFD電路圖

這個電路中包含二個部分，一為VCO核心電路，由M1與M2和

LC tank組成，回授一樣是利用電容耦合把gate與drain的偏壓分開；二為非線性單平衡混頻器，由M1、M2、M3和M4所組成，故我們需要差動訊號的注入，在輸入端依舊是使用Marchand balun。

差動訊號由 M3 與 M4 注入，產生差動電流流入 VCO。VCO 的 free running 頻率假設在  $f$ ，因為 M1 與 M2 的 even-order nonlinearity 會產生混頻器所需的諧波項  $2f$ ，接著與注入訊號  $3f$  作混頻，當混頻後的訊號和 VCO 輸出頻率  $f$  訊號達到同步時即為鎖住狀態，此時輸出訊號頻率即為輸入訊號頻率的三分之一。

### 3.9.3 實測結果

#### (1) Input sensitivity

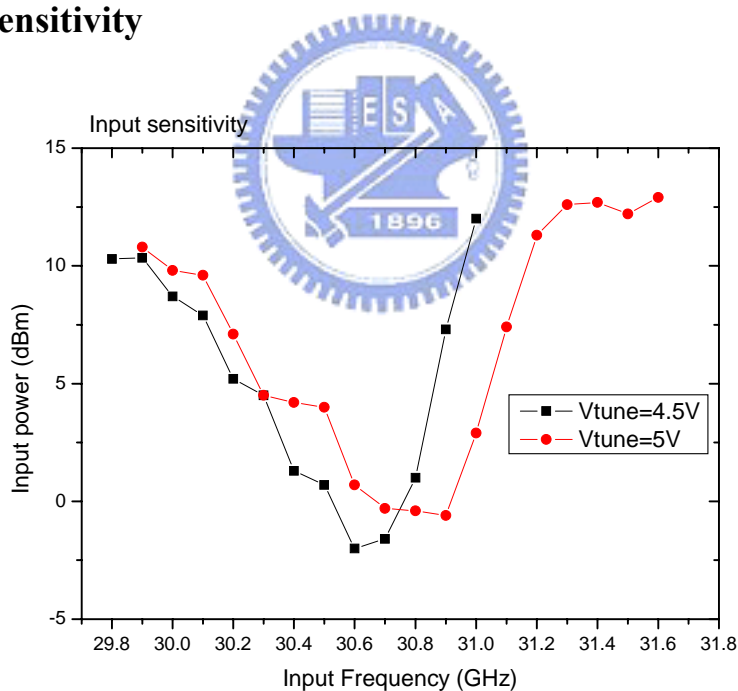


圖3.74 除3 ILFD input sensitivity

(2) Incident Frequency=30.6GHz, output frequency=10.2GHz -11.9dBm

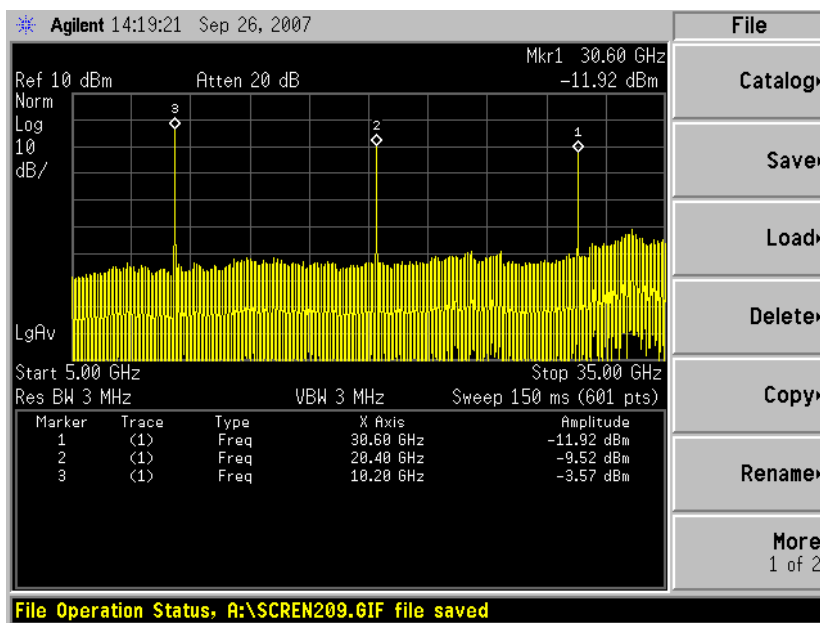


圖3.75 除3 ILFD輸入30.6GHz頻譜圖



Die photo

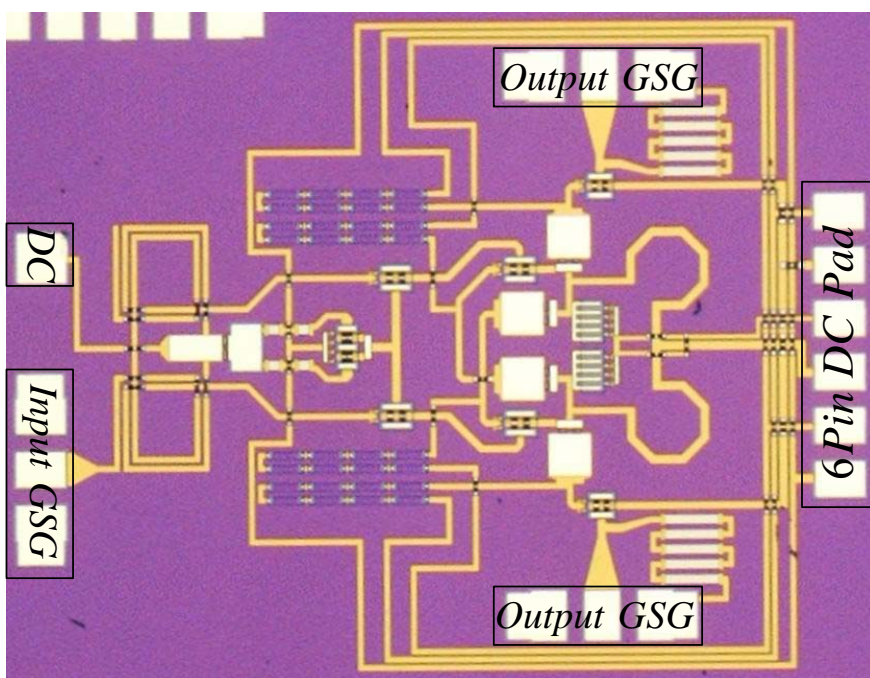


圖3.76 除3 ILFD die photo

### Chip performance

Item	Spec
Techology	Win 015 $\mu$ m MHEMT
Supply Voltage	6 V
Supply Current (core)	6.8 mA
Supply Current (output buffer)	17.8mA
OperationFrequency	28.8GHz~31.6GHz
Input Sensitivity	-1.6dBm~12.8dBm
Supply Power(core)	40.8mW
Die size	1700 $\mu$ m $\times$ 1300 $\mu$ m

表3.8 除3 ILFD performance summary

#### 3.9.4 結論與討論

除3的ILFD除了以VCO為電路核心外還具有一個混頻器，因為混頻器的作用，由模擬的頻譜圖可以發現，在輸入頻率的1/3倍頻處為除3所產生的訊號，但是在輸入頻率的2/3倍頻處存在一個tone，這是輸出訊號的二次諧波項，當電路存在不匹配或：balun所產生訊號不為完美的差動訊號或電晶體的不匹配，皆會使得這個tone變大，這是電路設計需要考量的。因為在VCO上在疊接了一層電晶體做混頻用，故操作電壓較實作四只有VCO核心電路高，操作電流受限與模擬元件的大小，故電流差不多

在控制電壓為4V時操作相對頻寬為4%，而在控制電壓為4.5V時操作相對頻寬為5.8%，為窄頻電路，相對頻寬對於控制電壓變化並不大。最高頻率工作頻率在4V時為30.9GHz，而在控制電壓為4.5V時為31.6GHz，故我們藉著調整控制電壓，使工作頻率加寬。

# 第四章

## 正交相位壓控振盪器





## 4.1 前言

正交相位訊號在收發機上的應用與產生方法，在第三章已詳細介紹，一般有正交訊號的產生方法有三種，一為被動 R-C 元件組成的相位移網路，二為利用除二電路，三為直接產生正交訊號的電壓控制振盪器，其中第二種方法為目前收發機上最常使用的方式，但它需要振盪器產生在需要訊號的二倍頻處，則除二電路操作在較高頻的頻段，如此一來，振盪器與除頻器都需要消耗相當大的功率，若我們直接使用正交相位輸出的振盪器的話，可以降低整體功率的消耗。我們將在此章節探討正交相位振盪器的特性與實作。

在收發機中，本地端信號的好壞將嚴重的影響整個系統的通信能力，在本地端信號中最重要的規格為其相位雜訊，若其相位雜訊太大會將信號屏蓋住，而無法通信，在此章節亦對於振盪器的相位雜訊與其對收發機特性的影響做介紹。

## 4.2 相位雜訊 (Phase Noise)

### 4.2.1 何謂相位雜訊

理想的VCO其輸出波型為弦波的話，頻譜上在振盪頻率會看到一個漂亮的tone(圖4.1)，但實際上VCO的輸出不可能為完美的弦波，

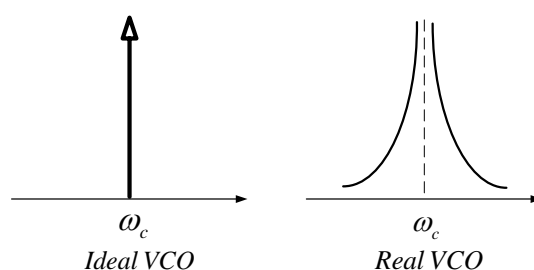


圖4.1 VCO頻譜

相位雜訊的計算方法為將離中心頻率  $\Delta\omega$  的輸出功率 (1Hz) 除去中心頻率  $\omega_c$  的輸出功率，相位雜訊單位為 dBc/Hz。

$$L(\Delta\omega) = 10 \log \left( \frac{P_{sideband}(\omega_c + \Delta\omega, 1\text{Hz})}{P_{carrier}} \right)$$

接收機系統之中，不管是要將訊號升頻或降頻，都會使用到 VCO 產生本地端的振盪訊號。當 LO 訊號有的相位雜訊太差時，在收發過程中，其他 channel 之訊號會被相位雜訊的裙擺效應破壞。如圖 4.2，在發射機時，當我們發射出高功率的訊號時其裙擺效應可能會蓋過 adjacent channel 的訊號，使 adjacent channel 的使用者收不到

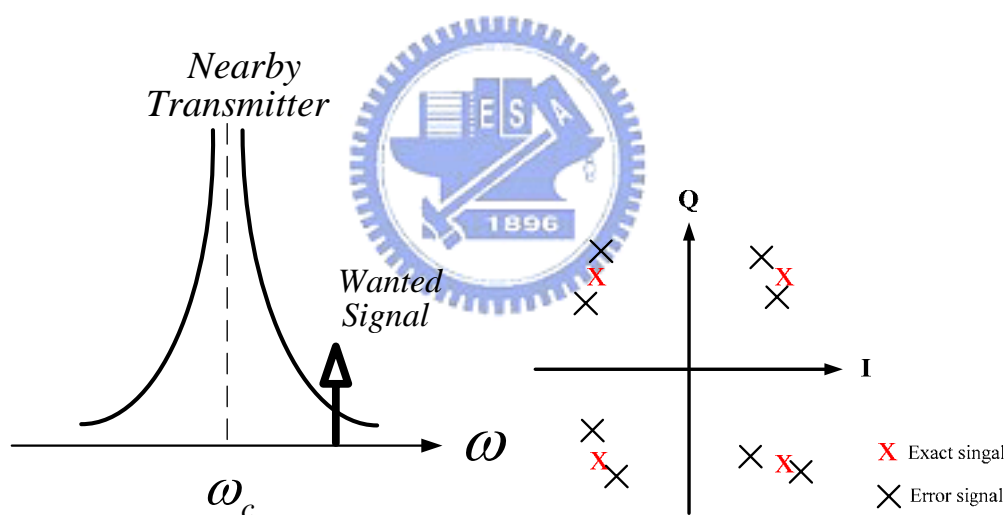


圖4.2 發射機LO相位雜訊對adjacent channel訊號的影響

它所需的訊號，如果使用QPSK傳輸架構phase noise的影響更顯著，它會直接的影響到訊號的正確性。在接收機時，若我們所要的訊號頻譜附近有一干擾訊號，LO的相位雜訊會造成reciprocal mixing如圖4.3所示。

Reciprocal mixing

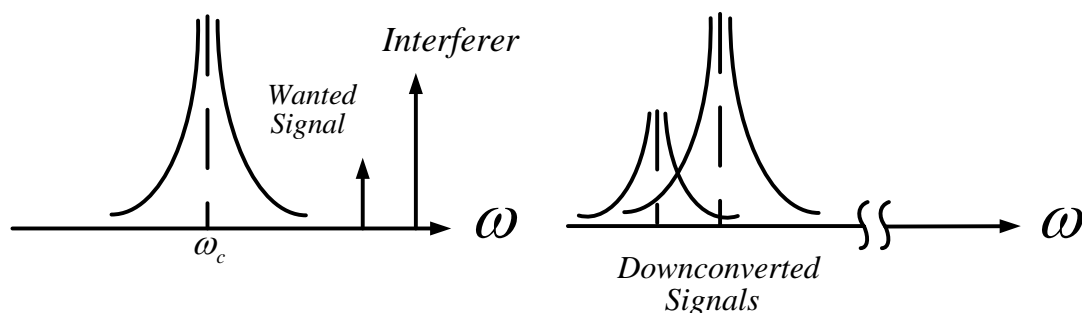


圖4.3 接收機LO相位雜訊造成reciprocal mixing

4.2.2 相位雜訊模型

Phase Noise of Ideal Oscillator :

有一個負阻抗和共振腔組成的振盪器如圖4.4所示，假設其負阻抗為noiseless，則系統（線性非時變系統）中的雜訊只由共振腔裡的寄生電阻造成熱雜訊  $\frac{\overline{i_n^2}}{\Delta f} = 4KTG$ ，在LC-tank共振頻率的附近的

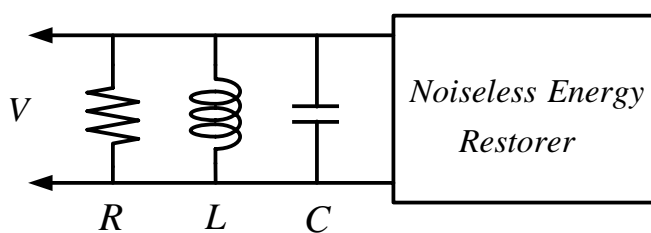


圖4.4 RLC 振盪器

阻抗近似： $Z(\omega_o + \Delta\omega) \approx j \frac{\omega_o L}{2(\Delta\omega/\omega_o)} \Rightarrow |Z(\omega_o + \Delta\omega)| \approx \frac{1}{G} \frac{\omega_o}{2Q\Delta\omega}$ ，其

中tank  $Q = \frac{R}{\omega_o L} = \frac{1}{\omega_o GL}$ 。如此一來我們可以推導得到雜訊方均電壓

值的PSD： $\frac{\overline{v_n^2}}{\Delta f} = \frac{\overline{i_n^2}}{\Delta f} \cdot |Z|^2 = 4KT \left( \frac{\omega_o}{2Q\Delta\omega} \right)^2 \dots\dots\dots(式4.1)$

因為此雜訊為振幅與相位雜訊造成的總合，我們取相位雜訊為式4.1的一半，由式4.1我們可以看出PSD的頻率響應與LC-tank有關，且Q值愈高可以抑制雜訊。依照相位雜訊的定義可以得到此振盪器的相位

雜訊為： $L(\Delta\omega) = 10\log \left[ \frac{2KT}{P_{sig}} \cdot \left( \frac{\omega_o}{2Q\Delta\omega} \right)^2 \right] \dots\dots\dots(式4.2)。$

由式4.2可以得知當振盪器輸出訊號功率大與共振腔的Q值之提升有助於相位雜訊的改善，輸出較大功率的訊號而熱雜訊功率不改變，相對相位雜訊則較佳；而Q值的提升會使LC-tank的阻抗會很快的隨著 $1/Q\Delta\omega$ 降低。

實際量測的相位雜訊會類似圖4.5所示，和式4.2相差很多並不意

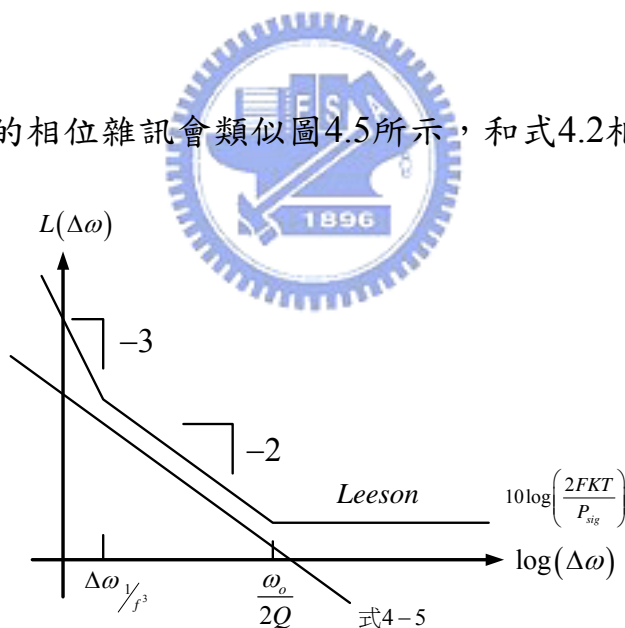


圖4.5 相位雜訊 (Leeson)

外，因為我們在上述的推導中忽略了很多雜訊源，不過我們可以發現實際相位雜訊在某個頻率飄移量 (frequency offset) 之下的斜率與式4.2一樣正比於 $1/(\Delta\omega)^2$ 。實際量測到的相位雜訊在小的頻率飄移處正比於 $1/(\Delta\omega)^3$ ，而在較大的頻率飄移處，相位雜訊不隨著 $1/(\Delta\omega)^2$

繼續下降而是會變成平坦的響應。

### Leeson Phase Noise Model[30] :

式4.2並不能完全表示出真實相位雜訊的行為，因此Leeson將式

$$4.2 \text{ 更改為： } L(\Delta\omega) = 10 \log \left\{ \frac{2FKT}{P_{sig}} \left[ 1 + \left( \frac{\omega_o}{2Q\Delta\omega} \right)^2 \right] \left[ 1 + \frac{\Delta\omega}{|\Delta\omega|} \frac{1}{f^3} \right] \right\}, \text{ 這個}$$

式子所表現出來的行為就會如圖4.5所示，其中  $F$  為經驗fitting之參

數，通常由量測結果推得。直覺上在斜率  $1/(\Delta\omega)^2$  與  $1/(\Delta\omega)^3$  之間的轉

折點  $\Delta\omega \frac{1}{f^3}$  會與電晶體的  $1/f$  雜訊的corner frequency相等，但經過量

測顯示並非如此，故  $\Delta\omega \frac{1}{f^3}$  也是一個fitting參數。由這個數學模型依

舊得到較大的輸出功率與擁有較高Q值的共振腔的振盪器，會有較好的相位雜訊表現，但是  $F$  為一個fitting參數，對電路的設計上這個模型的幫助還是有限。

### Hajimiri Phase Noise Model[31] :

上述的二種模型的推論都是在假設振盪器系統為線性非時變系統的前提之下，實際上的振盪器為時變的系統，所以上述的模型只能表示某種情況下的相位雜訊之行為，為了更清楚的描述相位雜訊的行為，Hajimiri提出一個線性時變系統的振盪器相位雜訊模型，以下將對此模型做介紹。

當電流訊號在某一時間注入至LC振盪器，因為其注入時間的不同，會造成不同的相位移如圖4.6所示，當電流訊號是在輸出訊號振幅最大時注入，只會對輸出訊號的振幅大小改變，但達到振盪穩定時，

振幅又會恢復原本振盪大小；但如果電流訊號是在輸出振幅在零交叉點 (zero crossing) 時注入，只會影響到輸出的相位，對於振幅大小並

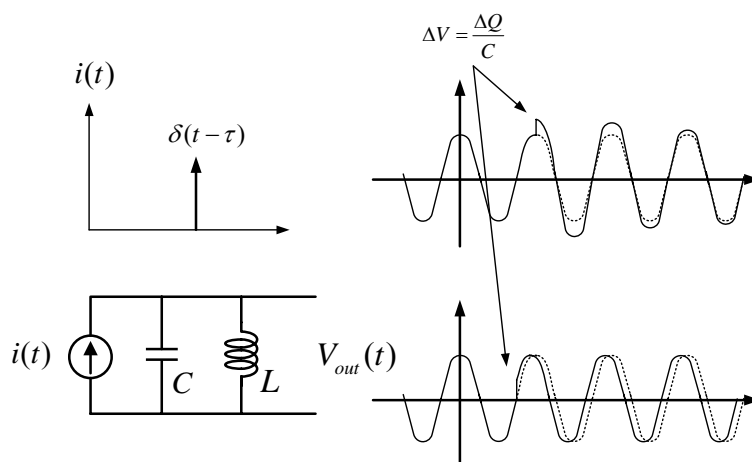


圖4.6 Current pulse 訊號注入至LC振盪器

無影響。因此我們將這個系統利用振幅與相位的impulse response來描

述系統之特性： $h_A(t, \tau)$  與  $h_\phi(t, \tau)$  如下圖4.7

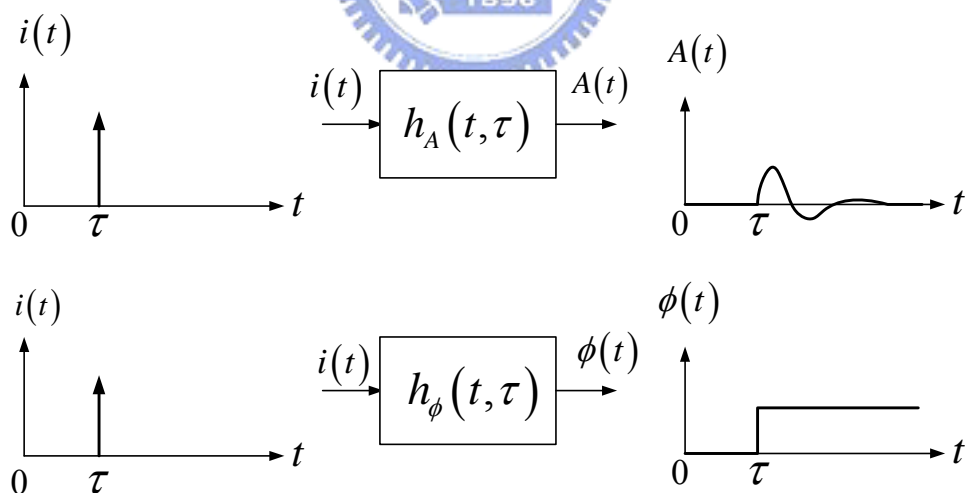


圖4.7 振幅與相位impulse response

相位移可表示成：
$$\phi(t) = \int_{-\infty}^{\infty} h_\phi(t, \tau) i(\tau) d\tau = \frac{1}{q_{\max}} \int_{-\infty}^t \Gamma(\omega_o \tau) i(\tau) d\tau \text{ (式4.3)}$$

其中  $h_\phi(t, \tau) = \frac{\Gamma(\omega_o \tau)}{q_{\max}} u(t - \tau)$ ， $q_{\max}$  為在電容中累積最大的電荷量而

$\Gamma(\omega_o \tau)$  稱為 impulse sensitivity function (ISF) 沒有單位。根據不同振盪器的輸出波型，振盪器會擁有不同的 ISF，而且 ISF 為週期  $2\pi$  函數。因為 ISF 為週期函數，故可以利用富利葉級數來表示，則式 4.3 可以改寫成：

$$\begin{aligned} \phi(t) &= \frac{1}{q_{\max}} \int_{-\infty}^t \Gamma(\omega_o \tau) i(\tau) d\tau \\ &= \frac{1}{q_{\max}} \left[ \frac{C_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} \int_{-\infty}^t i(\tau) \cos(n\omega_o \tau) d\tau \right] \dots\dots\dots \text{(式4.4)} \end{aligned}$$

從式 4.4 可以看出，當注入的訊號在 DC 低頻訊號會造成相位誤差，在振盪器頻率的諧波頻率附近的注入訊號也會貢獻相位誤差，如果注入雜訊為第 n 次諧波  $i(t) = I_n \cos[(n\omega_o + \Delta\omega)t]$   $\Delta\omega \ll \omega_o$ ，推導可得此雜訊

電流所造成的相位誤差近似於  $\phi(t) \approx \frac{I_n C_n \sin(\Delta\omega t)}{2q_{\max} \Delta\omega}$ ，可以發現離 n 次諧

波頻率飄移量  $\Delta\omega$  的雜訊會降頻到  $\Delta\omega$  低頻率處。將此相位誤差代入輸出訊號  $Out(t) = \cos(\omega_o t + \phi(t))$ ，可以推得：

$$P_{SBC}(\Delta\omega) = 10 \log \left[ \frac{I_n C_n}{4q_{\max} \Delta\omega} \right]^2 \dots\dots\dots \text{(式4.5)}$$

若  $i(t)$  為 white noise，則式 4.5 變成：

$$P_{SBC}(\Delta\omega) = 10 \log \left[ \frac{\overline{i_{noise}^2}}{\Delta f} \cdot \frac{\sum_{n=0}^{\infty} C_n^2}{4q_{\max}^2 \Delta\omega^2} \right] \dots\dots\dots \text{(式4.6)}$$

我們可以把相位雜訊的產生分為二個過程：低頻與振盪所有諧波

項造成的雜訊先降頻到低頻處，最後總合相位誤差經過相位到電壓的轉換過程升頻到振盪器輸出訊號振盪頻率處，成為振盪器的相位雜訊，此示意圖如圖4.8所示。

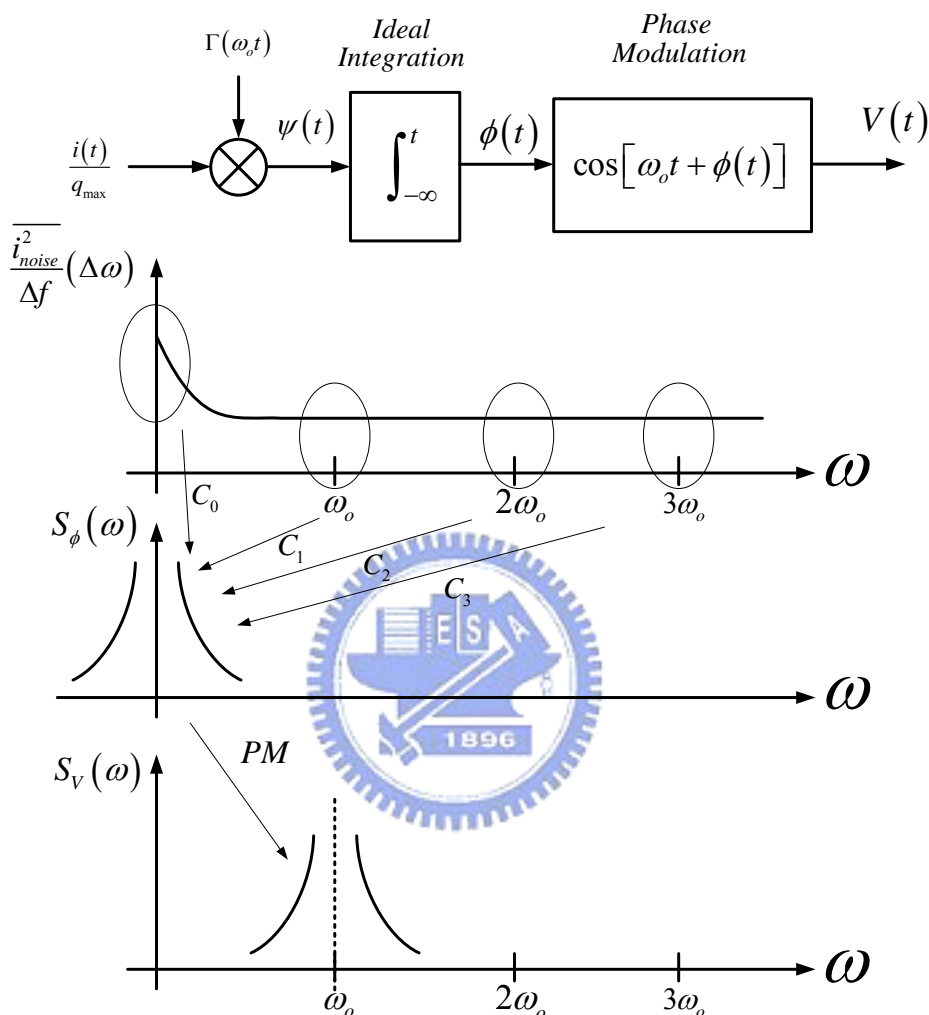


圖4.8 Hajimiri模型相位雜訊產生過程示意圖

在式4.6中並沒有需要經驗去fitting的參數，而且表示 $1/(\Delta\omega)^2$ 這個區域與Leeson model相符，若將 $1/f$ 的雜訊代入4.5式的話則可以得到 $1/(\Delta\omega)^3$ 這個區域，而且可以發現，即使當電晶體擁有較高的 $1/f$ 雜訊時，經過適合的設計依舊可以得較佳的 $1/(\Delta\omega)^2$ 與 $1/(\Delta\omega)^3$ 之間的轉折點，間接說明此轉折點不等於 $1/f$ 的corner frequency。



### 4.3 正交相位壓控振盪器理論

環形振盪器雖然可以產生多相位的輸出，但因其相位雜訊的表現可能不符合接發機系統的要求，故在接發機系統上很少使用此架構的振盪器。利用 LC-tank cross coupled VCO 所組成的正交相位振盪器大致上可分為二類：(1) Transistor coupling 架構 (2) super-harmonic 架構。Transistor coupling 大致有 parallel、top-series、bottom-series 幾種，而 super-harmonic 是利用 differential amplifier 的 source 端的 second harmonic 作 coupling。

#### Transistor coupling 架構

這個架構的正交相位振盪器是利用二個相同 LC-tank cross coupled VCO 互相耦合而得到正交相位的輸出，我們將訊號由耦合電晶體注入至 VCO，其注入訊號的小訊號模型以圖 4.9 來表示， $M_1$  及

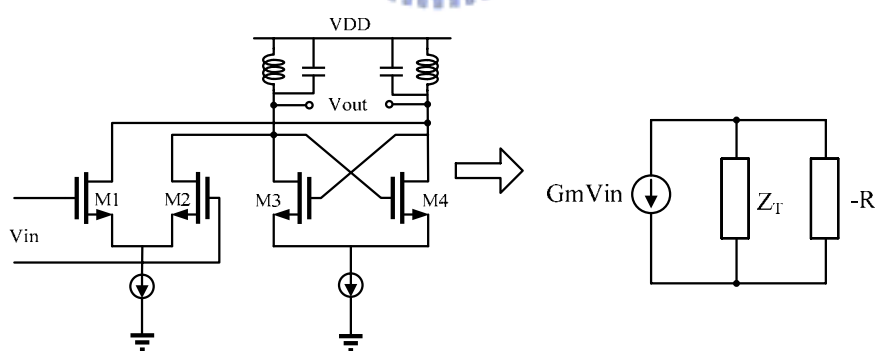


圖 4.9 注入訊號至 VCO 小訊號模型

$M_2$  為耦合用的元件，為了要達到可以起振的條件， $g_{m1}$  及  $g_{m2}$  必須要小於由  $g_{m3}$  和  $g_{m4}$  所產生的負電阻， $-R$  代表由  $M_3$ 、 $M_4$  產生的負電阻， $Z_T$  則是由 LC-tank 所產生的阻抗， $G_m$  則是由  $M_1$  和  $M_2$  電晶體所造成轉導。而二個 VCO 互相耦合的話則可以利用此模型來做分析如圖

4.10 所示，由二個網路可以得到： $G_{m1}V_1 \frac{-RZ_T}{Z_T - R} = V_2$  與  $G_{m2}V_2 \frac{-RZ_T}{Z_T - R} = V_1$ ，

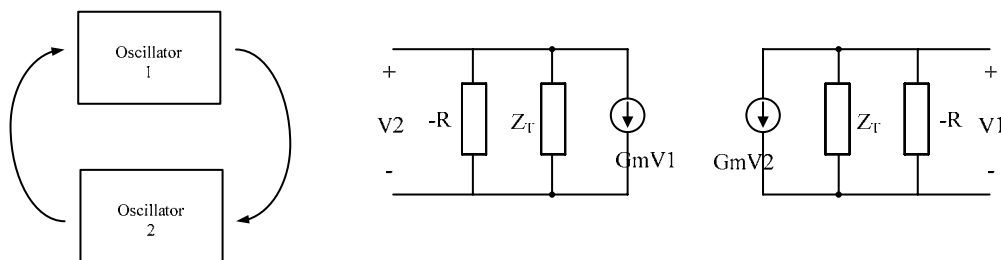


圖4.10 耦合VCO小訊號模型

假設二個VCO輸出 $V_1$ 與 $V_2$ 不為0，我們可以得到 $G_{m1}V_1^2 - G_{m2}V_2^2 = 0$ ，會

存在二組解：(1)  $G_{m1} = G_{m2}$ , than  $V_1 = \pm V_2 \Rightarrow$  In-phase coupling

(2)  $G_{m1} = -G_{m2}$ , than  $V_1 = \pm jV_2 \Rightarrow$  Anti-phase coupling

其中第一組解為同相位耦合，二組VCO的輸出為differential，而第二組解 $V_1$ 與 $V_2$ 相差j項，代表輸出為quadrature，故正交相位VCO即是使用anti-phase coupling方式的達成如圖4.11所示。

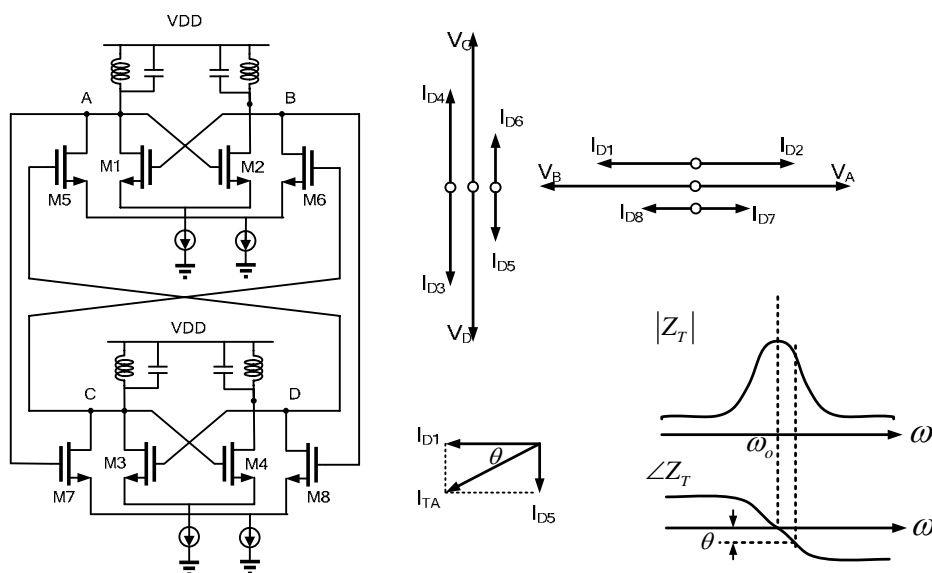


圖4.11 Anti-phase coupling VCO

M1與M2負阻抗電晶體產生的電流 $I_{D1}$ 與 $I_{D2}$ 假設與 $V_B$ 和 $V_A$ 同相，注入

訊號 $V_C$ 與 $V_D$ 至M5、M6所產生的耦合電流與 $I_{D6}$ 與 $I_{D5}$ 則與 $I_{D1}$ 、 $I_{D2}$ 相差90度，則流經過LC-tank的總電流會產生一相位移 $\theta$ ，整體電路依舊得滿足巴克豪森準則，所以振盪頻率會從LC-tank的中心頻漂移產生額外的相位差，此時若偏離了LC-tank Q值最大的頻率，則相位雜訊會變差，特別是二個VCO耦合量很大時；但若是耦合量太小，可能會使用二個VCO個自獨立振盪無法達到正交相位的輸出，所以此種架構的VCO在相位雜訊和相位誤差之間存在trade-off。

## 4.4 實作一 Series Coupling Quadrature VCO

(TSMC 0.13  $\mu$ m CMOS)

### 4.4.1 研究動機

由4.3節中我們可以得知parallel coupling的QVCO結架存在相位雜與相位互差之間的trade-off，在這種架構中有人提出將訊號經過移相器（phase shifter）再做耦合，如此一來則LC-tank則不用偏移離開振盪中心太遠，可以改善相位雜訊與相位誤差之間的trade-off，但相對的電路設計上會更為複雜而消耗功率也會因此上升。因此我們若利用series coupling的架構，因為疊接的架構電路本身的雜訊會較少，可以使得相位雜訊與相位誤差之間trade-off得到一點緩和。在這個設計中利用一個被動完件來達成一個top-series與bottom-series相同的QVCO。

### 4.4.2 實作電路架構

VCO 之回授方法設計：

為了使 VCO 的 phase noise 變小，最簡單的方法就是藉由加大共振腔的振盪電壓來增強共振腔中的能量儲存。一般的 VCO 架構是利用一對 source-coupled 電晶體加上 cross feedback 來產生負電阻，在此架構上輸出電壓的大小就受到回授方法的限制，而常見的回授方法有三種圖 4.12[34]: (a)直接回授、(b)電容作耦合回授、(c)電感作耦合回授。

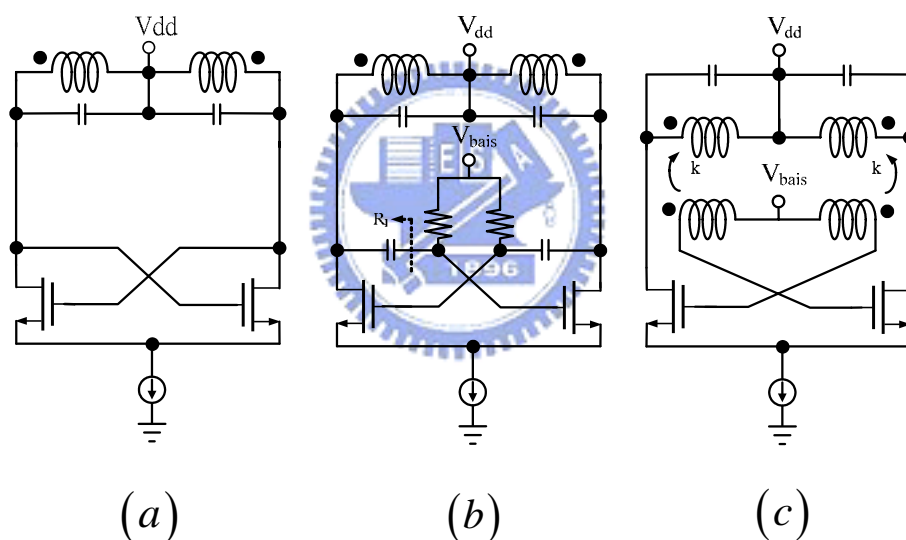


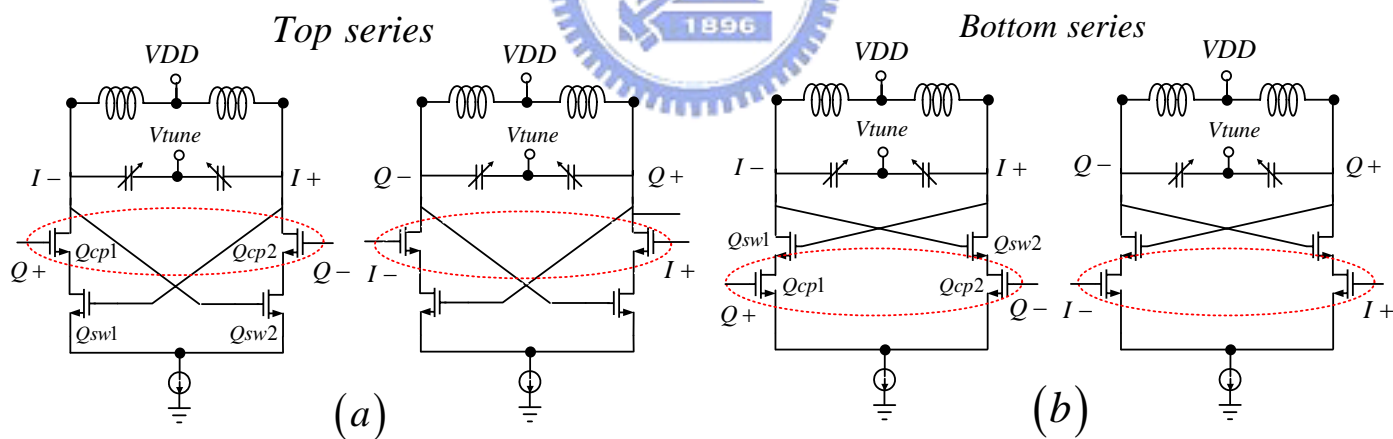
圖4.12 Cross couple回授方法

最簡單的回授方法就是採用「直接回授」架構，它不用額外的偏壓電路所以減少功率的消耗，不過電晶體的 gate-drain 會成為輸出電壓的限制因素，這是因為當輸出振幅過大時，會進入 triode region，而非我們想要的狀態（振盪器會進入較非線性的操作區域），且 triode region 會對電路產生雜訊源使相位雜訊變差。若採用“電容作耦合回授”之電路，雖可以改善上述的振幅缺點，但必須在 gate 端提供偏壓，

而提供偏壓時，需使用高阻值電阻或是高感值電感，但會造成相位雜訊變差或是需要佔據大量晶片面積。為了避免上述兩種架構的缺點，此次設計的回授架構，將利用”電感作耦合回授”來設計振盪器，偏壓電路可以直接接上電路，不會有電阻產生的 white noise 而使相位雜訊下降，而且所有的 DC 到電路的途徑都先經過電感，可以防止訊號漏到電源供應器。此外，該架構可以調整 gate 端的電壓，使電晶體皆偏壓在最佳點，讓電晶體大部分都操作在較線性區域。

### Series quadrature VCO 架構：

一般 series coupling QVCO 可分為 top series 和 bottom series，其架構可以分別由圖 4.13 (a) 和 (b) 表示，top series 以上面的電晶體  $Q_{cp1}$  和  $Q_{cp2}$  做為耦合電晶體而下方的電晶體  $Q_{sw1}$  和  $Q_{sw2}$  做為負電阻電晶體；bottom series 則反之。



圖

4.13 Series coupling QVCO

在 parallel coupling QVCO 架構中的  $Q_{cp1}$ 、 $Q_{sw}$  的大小必須慎選，因為該大小會決定電流  $I_{cp}$  和  $I_{sw}$ ，進而影響相位雜訊和相位誤差，不過在 series QVCO 中， $Q_{cp1}$  和  $Q_{sw}$  的大小對於相位誤差的影響較小因為  $I_{cp}$  和  $I_{sw}$  共用相同的電流源，故會緩和相位雜訊和相位誤差

之間的设计，這是 series coupling 的另一個好處。

此次設計是以新型的一對二變壓器(又稱 trifilar)來做實現 series coupling QVCO，其架構如圖 4.14 所示。我們可以看出  $Q_{cp}$  和  $Q_{sw}$

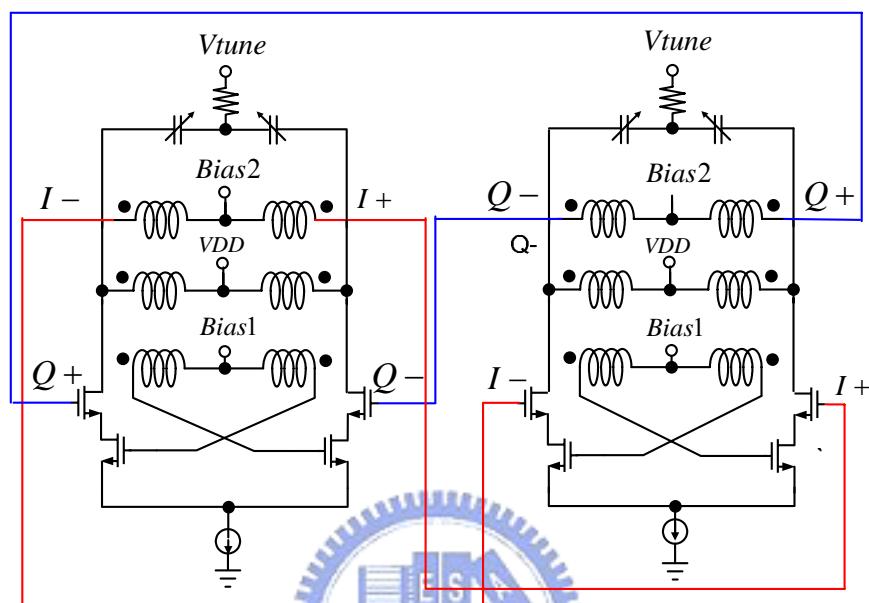


圖4.14 利用trifilar之series coupling QVCO

是分不出來的，所以並無 top series 和 bottom series 之分。

### Trifilar and 3D Trifilar :

我們想實現的新 VCO 架構中圖 4.14 需要一對二的 transformer(圖 4.15)，在[4]中有此功能的 transformer 叫做 trifilar。Trifilar 的 layout 結構(圖 4.16)是藉由三個電感互繞而成，而因為我們電路的運用為差動訊號的電感，故將每個電感很中間抽頭出來為小訊號的虛接地，偏壓可以直接由此點潰入。因為電感互繞可以提升各電感本身的 Q 值，進而改善相位雜訊。依 Trifilar 繞線的方式我們實作二種 QVCO，第一個繞線方式為平面式(圖 4.16)，主線圈與二個副線圈的比為 2:1；因為 TSMC 0.13 $\mu\text{m}$  CMOS 有八層金屬可供利用，故可以繞成立體式

的結構，可以有效的減少面積（圖 4.17）。

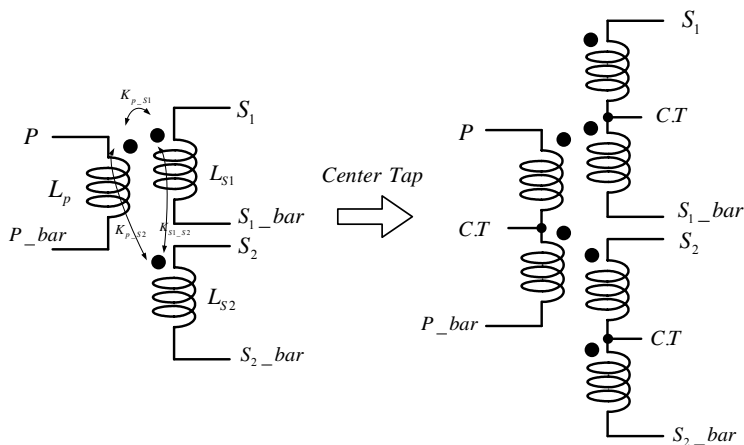


圖4.15 Trifilar

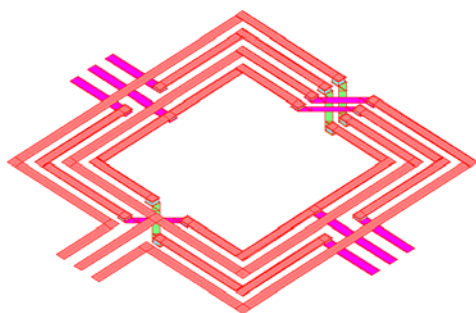


圖4.16 平面式Trifilar layout

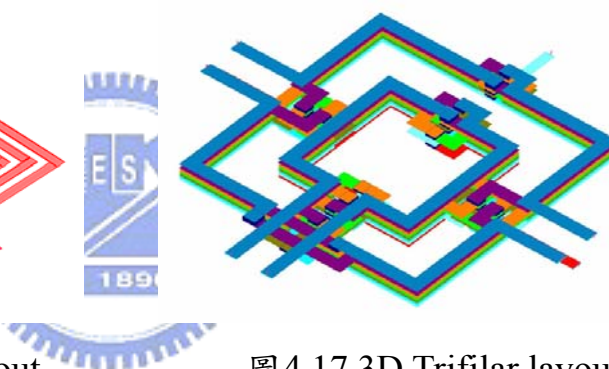


圖4.17 3D Trifilar layout

**Passive SSB up-converter :**

這個電路是為了正交相位準確度量測之考量所需要的，我們利用 sideband rejection ratio 間接得相位誤差，電路原理與架構已在3.7節的 IQ輸出除2電路中討論過了，故此不再敘述。

### 4.4.3 模擬結果

#### (1) Tuning range

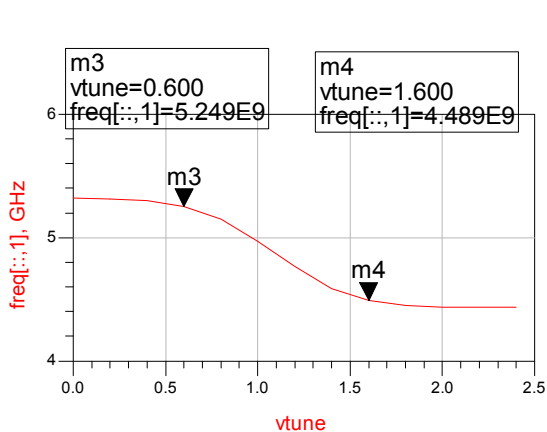


圖4.18 Tuning range模擬圖

#### (2) Output power

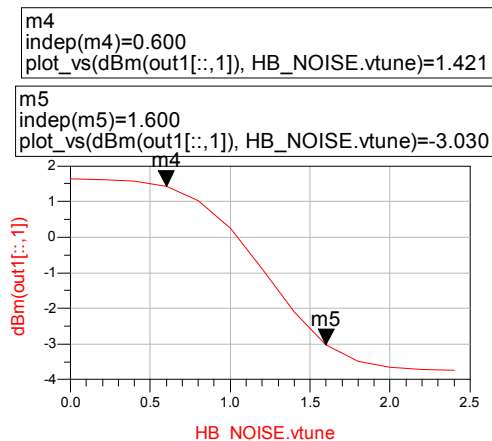


圖4.19 Output power模擬圖

#### (3) Phase noise

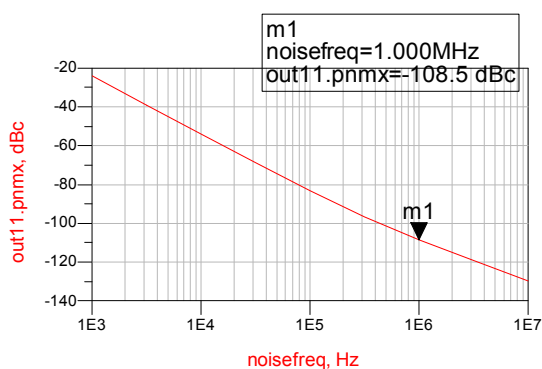


圖4.20 Phase noise模擬圖

#### (4) Sideband rejection

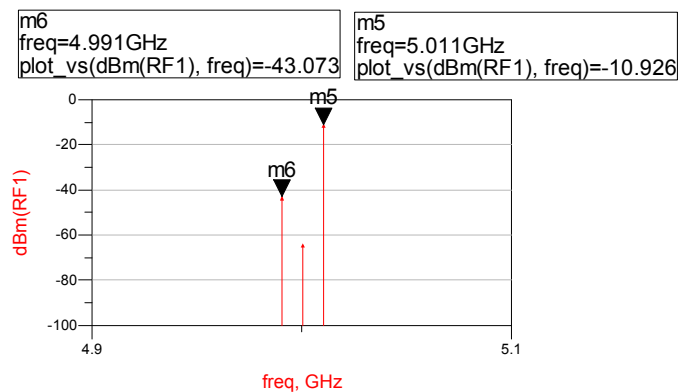


圖4.21 Side band rejection模擬圖



Die photo

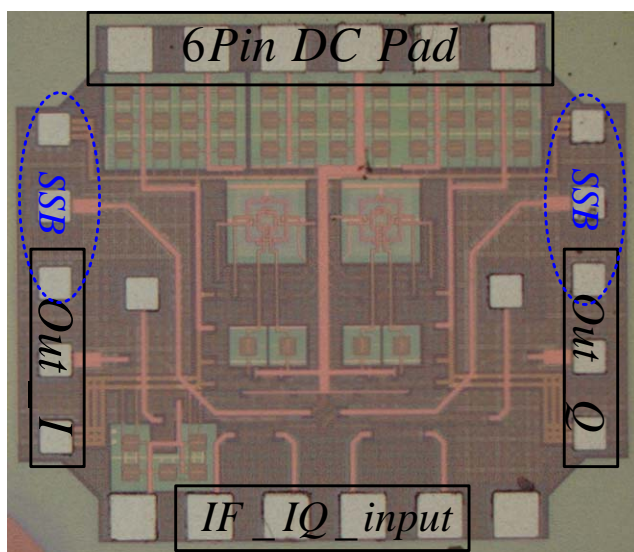


圖4.22 3D trifilar series QVCO die photo

預計規格表

Item	Spec
Technology	TMSC 0.13 $\mu$ m CMOS
Supply Voltage	1.2 V
Current of QVCO core	5.4 mA
Current of Output buffer	12.84mA
Power Consumption of core	~ 6.5mW
Tuning frequency range	4.49GHz~5.25GHz
$K_{VCO}$	760MHz/V
Phase Noise	-108dBc/Hz @ 1MHz offset
Sideband rejection	-32dB
FOM	-173.8
Die size	1030 $\mu$ m $\times$ 1210 $\mu$ m

表4.1 3D trifilar series QVCO預計規格表

#### 4.4.4 結果與討論

由模擬結果顯示，相位雜訊在1MHz offset處為-108dBc/Hz，因為相位雜訊與輸出功率有關係，VCO輸出較大功率時，會有較佳的相位雜訊表現，若為了得到較大的輸出功率，我們可以要使VCO核心電路（負阻抗）操作電流增大，使得回路增益變大而得到較大的輸出功率，但相對的會使電路的消耗功率增大，而且根據[36]增加電流只在振盪器是在inductance-limited的情況下，相位雜訊特性才會變好。

由模擬的sideband rejection得到是-32dB，假設VCO輸出正交訊號的振幅大小皆相同的話，可以得到正交訊號的相位誤差約是 $3^\circ$ ，但若振幅大小存在有誤差的話，相位誤差應是小於 $3^\circ$ 。Die size被量測上所需的pad所限，導致面積較大，實際上VCO核心電路的面積只有 $600 \times 500 \mu\text{m}^2$



### 4.5 實作二 Quadrature VCO Based on Trifilar Coupling (TSMC 0.18 $\mu\text{m}$ CMOS)

#### 4.5.1 研究動機

使用series coupling的QVCO架構因為電晶體的疊接，所以需要較高的操作電壓，但低壓操作為目前的趨勢，故有人提出直接使用變壓器來達成二個VCO的訊號耦合，我們更進一步將共振腔的電感與耦合用的變壓器整合在一起，再次使用trifilar這個一對二的雙壓器來達成此概念，如此不僅可以降低操電壓更可以減少被動元件所佔的面積。

### 4.5.2 實作電路架構

Cross couple的設計方法與前一節一樣是使用差動電感做為回授，並在中間給予偏壓值。而此次的實作的基本概念與Transistor coupling QVCO相似，我們可以把主動電路看成一個gain cell，再作anti-phase coupling。但不同的是，這次直接利用trifilar將訊號耦合至cross couple pair電晶體的source端，不是透過電晶體來做耦合，只需一層電晶體的壓降，可達到低壓操作的效果。整體電路如圖4.23所示。Trifilar的layout是採用平面式，主線圈與二個副線圈比為1:2。

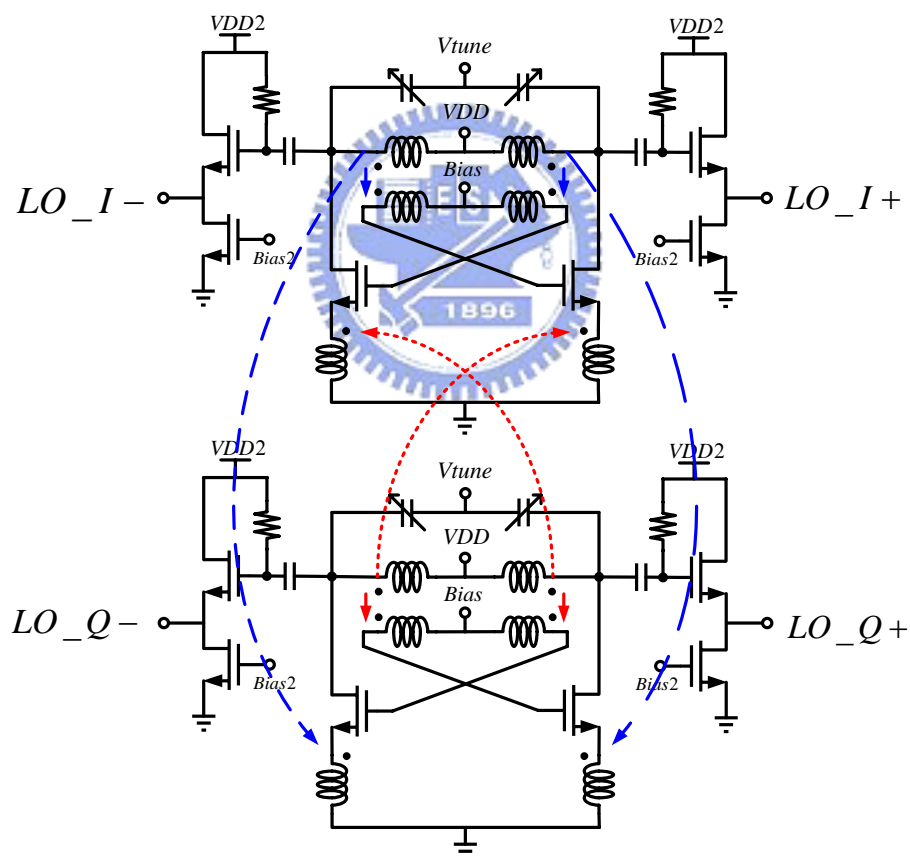


圖4.23 QVCO based on trifilar coupling電路圖

上一節中我們提到需要一個passive SSB up-converter間接來量測相位準度，而我們從外面注入低頻訊號IF正交四個相位的訊號，但在

這次實作中我們將主動式的balun整合在晶片中，所以只需從外面注入IQ二個訊號，經過balun後則可以得到四相位的IF訊號，方便直接做on wafer的量測。主動式的balun其電路圖如下所示。

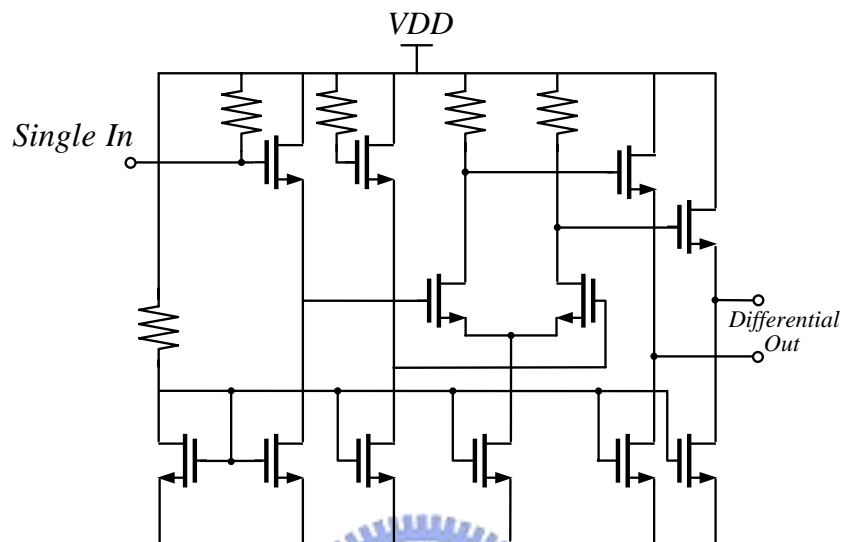


圖4.24 主動式balun電路圖

### 4.5.3 實測結果

#### (1) Tuning range

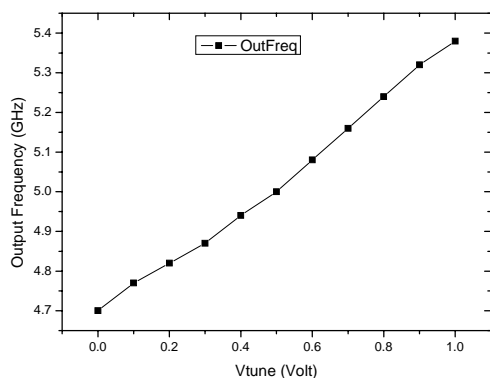


圖4.25 QVCO based on trifilar coupling tuning range

#### (2) Output power

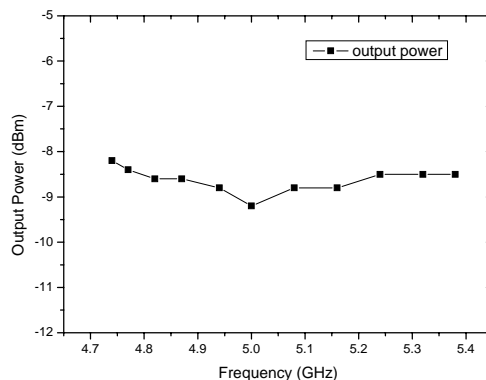


圖4.26 QVCO based on trifilar coupling output power

### (3)Phase noise

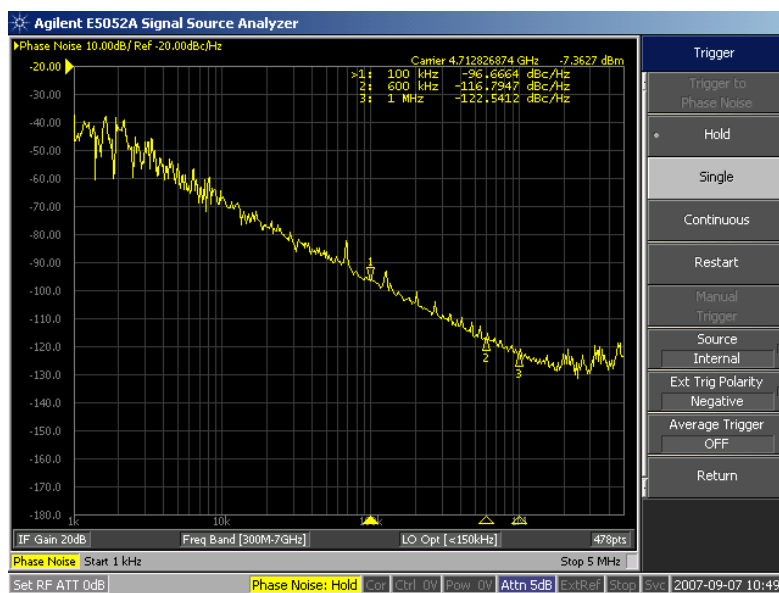


圖4.27 QVCO based on trifilar coupling phase noise



### (4) Side band rejection

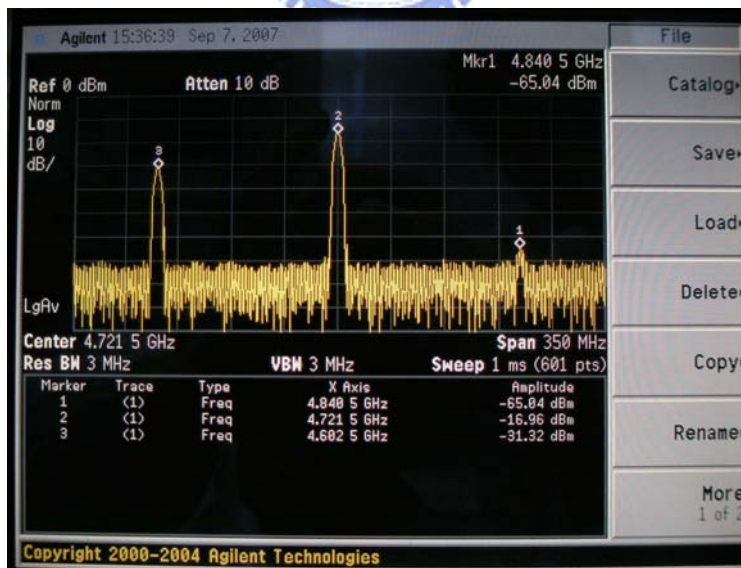


圖4.28 QVCO based on trifilar coupling side band rejection

### Chip performance

Item	Spec
Technology	TMSC 0.18 $\mu$ m CMOS
Supply Voltage	1.2 V
Current of QVCO core	35 mA
Power Consumption of core	52.5mW
Tuning frequency range	4.7GHz~5.16GHz
$K_{VCO}$	657MHz/V
Phase Noise	-122.5dBc/Hz @ 1MHz offset
Sideband rejection	33.7dB
FOM	-180.1dBc
Die size	1200 $\mu$ m $\times$ 1310 $\mu$ m

表4.2 QVCO based on trifilar coupling performance summary

### Die photo

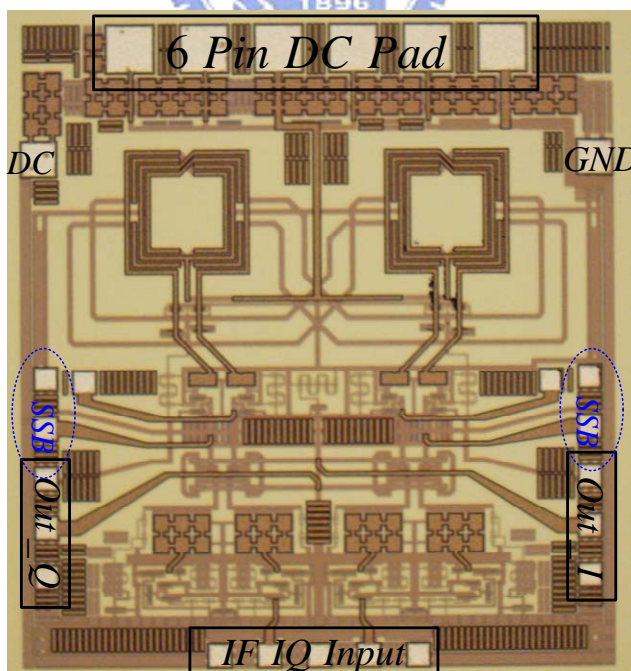


圖4.29QVCO based on trifilar coupling die photo

#### 4.5.4 結果與討論

實作一因為疊接架構，操作電壓需要 1.2V，實作二的架構則只須要 0.7V 即可正常操作，但是為了相位雜訊最佳點的量測，工作電壓需要提升至 1.2V。

Side-band rejection 為 33.7dB，由圖 3.57 可以得知：假設在正交訊號的大小皆相等的情況下，相位誤差約為 2.5 度，但實際上正交訊號大小並不會相等，則相位誤差會小於 2.5 度；若假設正交訊號的相位誤為 0 度，則訊號的大小誤差為 0.35dB。相位雜訊為 -122.5dBc/Hz @ 1MHz offset，是可以接受的數字，但 FOM 只有 180.1dBc，主要的原因是消耗功率的增加，因為當工作電壓由 0.7V 提升到 1.2V 時，核心電路的電流從 24.8mA 增加到 35mA，消耗功率大幅的上升。



# 第五章

## 結論





本論文利用了 TSMC 0.18  $\mu\text{m}$  CMOS 之製程，實作與量測了不同類型 Marchand balun 電路，不管是  $0^\circ$ ,  $0^\circ$  或  $0^\circ$ ,  $180^\circ$  的 Marchand，實測結果與理論推導皆一致，需要較大耦合量的結構確實有較寬的頻寬。除了 Marchand 測試件的實作以外，更利用 TSMC SiGe 0.35  $\mu\text{m}$  BiCMOS 製程將被動 Marchand 與主動混頻器結合，結果亦是相同。

在除頻器部分，採取了一個新型電流交換 D flip-flop 電路來達成產生 50% 工作週期的除五電路，並利用 TSMC SiGe 0.35  $\mu\text{m}$  BiCMOS 製程來驗證電路，結果與推測相符。在類比高速除頻器，我們則利用 Win 0.15m PHEMT 與 MHEMT 來實作 RFD 與 ILFD，其中 RFD 的實作包含差動輸出的傳統 RFD 與正交輸出的 RFD，量測結果亦顯示可高頻操作特性；而 ILFD 則實作了除 2 與除 3 的除頻器，模擬結果顯示 ILFD 適合於高頻操作的特性與窄頻寬之特性。

最後，利用了 TSMC 0.18  $\mu\text{m}$  CMOS 與 TSMC 0.13  $\mu\text{m}$  CMOS 製程技術實作正交輸出的振盪器，電路利用了 trifilar 這個元件來達成訊號的耦合，為新型的正交相位振盪器架構，量測結果顯示了這個新型電路架構的可行性。

## 參考文獻

### 第二章：

- [1] David Pozar, *Microwave Engineering*, 3rd Edition, New York: John Wiley & Sons, 1998.
- [2] M. Shimosawa, K. Itoh, Y. Sasaki, H. Kawano, Y. Isota, and O. Ishida, "A Parallel Connected Marchand Balun Using Spiral Shaped Equal Length Coupled Lines," in *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 4, June 1999, pp. 1737-1740.
- [3] K. S. Ang, S. B. Economides, S. Nam, and I. D. Robertson, "A compact MMIC balun using spiral transformers," in *Asia Pacific Microwave Conference*, Nov. 1999, vol. 3, pp. 655-658.
- [4] C. Leong, K. S. Ang, and C. H. Lee, "A derivation of a class of 3-port baluns from symmetrical 4-port networks," in *IEEE MTT-S Int. Microwave Symp. Dig.*, 2002, pp. 1165-1168.
- [5] J. R. Long, "Monolithic transformers for Silicon RF IC design," *IEEE J. Solid-State Circuits*, vol. 35, no. 9, pp. 1368-1382, Sept. 2000.
- [6] T. C. Tseng, C. C. Meng, C. H. Change, C. K. Wu and G. W. Hung, "Monolithic Broadband Gilbert Micromixer with an Integrated Marchand Balun Using Standard Silicon IC Process," *IEEE Trans. Microwaves Theory and Techniques*, vol. 54, no. 12, pp. 4362-4371, Dec. 2006.
- [7] B. Gilbert, "The MICROMIXER: A Highly Linear Variant of the Gilbert Mixer Using a Bisymmetric Class-AB Input Stage," *IEEE J. Solid-State Circuits*, vol. 32, no. 9, pp. 1412-1413, Sept. 1997.
- [8] 張家宏, "被動分合波器與主動混頻器之整合及覆晶封裝之毫米波驅動放大器設計與實作," 交通大學碩士論文, 2006

### 第三章：

- [9] Behzad Razavi, *RF Microelectronics*, New Jersey: Prentice-Hall, 1998
- [10] Behzad Razavi, *Design of Integrated Circuits for Optical Communications*, New York: McGraw-Hill, 2002.
- [11] A. Ismail and A. Abide, "A 3.1-to 8.2-GHz Zero-IF Receiver and Direct Frequency Synthesizer in 0.18 $\mu$ m SiGe BiCMOS for Mode-2 MB-OFDM UWB Communication," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2573-2582, Dec. 2006.
- [12] U. Singh and M. Green, "Dynamics of High-Frequency CMOS Divider," in *IEEE*

- Int. Circuits and Systems Symp.*, May 2002, vol. 5, pp. V-421-V-424.
- [13] T. Otsuji, M. Yoneyama, K. Murata and E. Sano, "A Super-Dynamic Flip-Flop Circuit for Broad-Band Applications up to 24 Gb/s Utilizing Production-Level 0.2- $\mu\text{m}$  GaAs MESFET's," *IEEE J. Solid-State Circuits*, vol. 32, no. 9, pp. 1357-1362, Sept. 1997.
- [14] J. C. Chien and L. H. Lu, "A 15-Gb/s 2:1 Multiplexer in 0.18 $\mu\text{m}$  CMOS," *IEEE Microwave and Wireless Components Letter*, vol. 16, no. 10, pp. 558-560, Oct. 2006.
- [15] R. Magoon and A. Molnar, "RF Local Oscillator Path for GSM Direct Conversion Transceiver with True 50% Duty Cycle Divide by Three and Active Third Harmonic Cancellation," in *IEEE Radio Frequency Integrated Circuits Symp.*, June 2002, pp. 23-26.
- [16] S. C. Tseng, C. C. Meng and W. Y. Chen, "SSH and SHH GaInP/GaAs HBT Divide-by-3 Prescalers with True 50% Duty Cycle," *IEEE Electronics Letters*, vol. 42, pp. 796-797, July 2006.
- [17] R. L. Miller, "Fractional-Frequency Generators Utilizing Regenerative Modulation," *Proc. Insc. Radio., Eng.*, vol. 27, pp. 446-456, July 1939.
- [18] J. Lee and B. Razavi, "A 40-GHz Frequency Divider in 0.18 $\mu\text{m}$  CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 39, no. 4, pp. 594-601, April 2004.
- [19] A. Mazzanti, L. Larcher and F. Svelto, "Balanced CMOS LC-tank Analog Frequency Dividers for Quadrature LO Generation," in *Proc. IEEE Custom Integrated Circuits Conf*, Sept 2005, pp. 575-578.
- [20] C. C. Lin and C. K. Wang, "A Regenerative Semi-Dynamic Frequency Divider for Mode-1 MB-OFDM UWB Hopping Carrier Generation," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2005, pp. 206-207.
- [21] R. Adler, "A Study of Locking Phenomena in Oscillator," *Proc. IRE*, vol. 34, pp. 351-357, June 1946.
- [22] H. R. Rategh and T. H. Lee, "Superharmonic Injection-Locked Frequency Dividers," *IEEE J. Solid-State Circuits*, vol. 34, no. 6, pp. 813-821, June 1999.
- [23] S. Verma, H. R. Rategh and T. H. Lee, "A Unified Model for Injection-Locked Frequency Dividers," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 1015-1027, June 2003.
- [24] W. Z. Chen and C. L. Kuo, "18GHz and 7GHz Superharmonic Injection-Locked Dividers in 0.25 $\mu\text{m}$  CMOS Technology," in *Proc. ESSCIRC*, Sept. 2002, pp. 89-92.
- [25] J. Jeong and Y. Kwon, "V-Band Harmonic Injection-Locked Frequency Divider Using Cross-Coupled FETs," *IEEE Microwave and Components Letters*, vol. 14, no. 10, pp. 457-459, Oct 2004.

- [26] H. Wu and L. Zhang, "A 16-to18GHz 0.18 $\mu$ m Epi-CMOS Divide-by-3 Injection-Locked Frequency Divider," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2006, pp. 2482-2491.
- [27] 張宇文, "高速除頻電路與正交相位振盪器," 交通大學碩士論文, 2005
- [28] 陳為昱, "異質接面雙極性電晶體 VBIC 模型參數萃取與高速前置除頻器之實作," 交通大學碩士論文, 2004

#### 第四章

- [29] B. Razavi, "A Study of Phase Noise in CMOS Oscillator," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 331-343, Mar. 1996.
- [30] D. B. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum," *Proc. IEEE*, vol. 54, pp. 329-330, Feb. 1966.
- [31] A. Hajimiri and T. H. Lee, "A General Theory of Phase Noise in Electrical Oscillators," *IEEE J. Solid-State Circuits*, vol. 33, no. 2, Feb. 1998.
- [32] A. Rofougaran, J. Rael, M. Rofougaran and A. Abidi, "A 900MHz CMOS LC-Oscillator with Quadrature Outputs," in *Proc. ISSCC*, Feb. 1996, pp. 392-393.
- [33] S. L. J. Gierkink, S. Levantino, R. C. Frye, C. Carlo and V. Bocuzzi, "A Low-Phase-Noise 5-GHz CMOS Quadrature VCO Using Superharmonic Coupling," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1148-1154, July 2003.
- [34] M. Zannoth, B. Kolb, J. Fenk and R. Weigel, "A Fully integrated VCO at 2 GHz," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1987-1991, Dec. 1998.
- [35] P. Andreani, A. Bonfanti, L. Romano and C. Samori, "Analysis and Design of a 1.8-GHz LO Quadrature VCO," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1737-1747, Dec. 2002.
- [36] D. Ham and A. Hajimiri, "Concepts and Methods in Optimization of Integrated LC VCOs," *IEEE J. Solid-State Circuits*, vol. 36, no. 6, pp. 896-909, June 2001.
- [37] K. Kwok and H. C. Luong, "Ultra-Low-Voltage High-Performance CMOS VCOs Using Transformer Feedback," *IEEE J. Solid-State Circuits*, vol. 40, no. 3, pp. 652-660, Mar. 2005.
- [38] A. W. L. Ng and H. C. Luong, "A 1V 17GHz 5mW Quadrature CMOS VCO Based on Transformer Coupling," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2006, pp. 711-720.