

國立交通大學

電信工程學系碩士班

碩士論文

鼠徑分合波吉伯特混頻器及次諧波混頻器

設計

Gilbert Mixers with Integrated Rat-race Hybrid and
Sub-harmonic Mixers

研究生：吳柏誼

指導教授：孟慶宗教授

中華民國 九十六 年 七 月

鼠徑分合波吉伯特混頻器及次諧波混頻器設計
Gilbert Mixers with Integrated Rat-race Hybrid and
Sub-harmonic Mixers

研究生: 吳柏誼

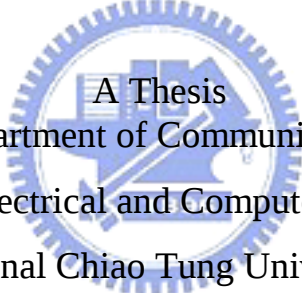
Student: Po-Yi Wu

指導教授: 孟慶宗 博士 Advisor: Dr. Chin Chun Meng

國立交通大學

電信工程學系碩士班

碩士論文



A Thesis
Submitted to Department of Communication Engineering
College of Electrical and Computer Engineering
National Chiao Tung University
In Partial Fulfillment of the Requirements
For the Degree of
Master of Science
In
Communication Engineering

July 2007
Hsinchu, Taiwan, Republic of China

中華民國九十六年七月

鼠徑分合波吉伯特混頻器及次諧波混頻器設計

學生：吳柏誼

指導教授：孟慶宗 博士

國立交通大學

電信工程學系碩士班

摘 要

本篇論文主要研究應用在三種射頻積體電路系統中的混頻器。第一，結合鼠徑分合波器和吉伯特混頻器達到寬頻收發的功能；第二，使用次諧波混頻器解決直接轉換系統的自我混頻問題；第三，利用複數混頻器解決低中頻系統的邊頻帶問題。除此之外，也對變壓器參數萃取的方法做分析，並整理一系列的變壓器參數。

在本論文中分析且整理了實現在 UMC 0.18um CMOS、TSMC 0.35 um SiGe BiCMOS、TSMC 0.35um CMOS 和 TSMC 0.18um CMOS 製程的變壓器。而鼠徑分合波吉伯特混頻器設計是在 TSMC 0.35 um SiGe BiCMOS 和 TSMC 0.13um CMOS 製程實現。被動及主動的次諧波混頻器分別使用了 TSMC 0.13um CMOS 和 WIN 0.15um PHEMT 製程實現，並比較之。而單邊頻帶混頻器則使用 WIN 0.15um PHEMT 製程實現。

Gilbert Mixers with Integrated Rat-race Hybrid and Sub-harmonic Mixers

Student: Po-Yi Wu

Advisor: Chin-Chun Meng

Department of Communication Engineering
National Chiao Tung University

Abstract

In this thesis, we focus on the mixers applied in three ratio-frequency integrated circuit systems. First, rat-race hybrid and Gilbert mixer are combined into wideband circuit. Second, sub-harmonic mixers are designed in order to prevent the self-mixing problem in the direct-conversion system. Third, complex mixers are designed to reject the sideband signal in the low-IF system. Besides, we analyze the methods of extracting transformer parameters. We also arrange the transformer parameters provided by few technology processes.

We arrange transformers designed by using UMC 0.18um CMOS, TSMC 0.35 um SiGe BiCMOS, TSMC 0.35um CMOS, and TSMC 0.18um CMOS technologies in this thesis. Gilbert mixers with rat-race hybrid are designed by using TSMC 0.35 um SiGe BiCMOS and TSMC 0.13um CMOS technologies. The passive and active sub-harmonic mixers are designed by using TSMC 0.13um CMOS and WIN 0.15um PHEMT technologies, respectively. Finally, the single-sideband up-converter is designed by using WIN 0.15um PHEMT technology.

誌謝

兩年的研究所學習生涯，首先要感謝孟慶宗老師，在課業及研究上不厭其煩地指導我，給予許多寶貴的經驗，使我在研究所這兩年中成長許多，遇到問題時懂得如何解決，且培養了正確的研究精神和態度。並且感謝張志揚教授和林育德教授在口試時給予許多寶貴的建議，使我受益良多。

感謝實驗室的宗翰、珍儀、聖哲、宏儒、家宏、英杰、樺興等學長姊的指導，讓我在浩瀚學海中不至獨自摸索，對研究有更多的了解。同時感謝同學約廷、冠璋、勝文在生活上的幫忙與課業上的砥礪，讓我這兩年過的充實且愉快。感謝學弟妹們金詳、宜蓁、揚鮮、宜珊、雅惠和威宇的支持和幫忙，使我的研究所生活充滿回憶。在晶片量測過程中，也特別感謝國家毫微米實驗室射頻量測實驗室同仁們的幫忙，才得以把複雜的量測工作完成。

感謝我的父、母、姊姊與姐夫在求學過程中給予我最大的支持，時時刻刻鼓勵我、關懷我，讓我能順利完成研究所學業。還有所有一路上一同奮鬥的好朋友，想跟你們說：謝啦，兄弟們！

最後，僅把此論文的榮耀獻給我的家人與以及身邊所有關懷我的朋友們。

目錄

摘要(中文).....	i
摘要(英文).....	ii
致謝.....	iii
目錄.....	iv
圖目錄.....	vii
表目錄.....	xiii
第一章 導論.....	1
1.1 研究動機.....	2
1.2 論文組織.....	3
第二章 變壓器分析.....	4
2.1 前言.....	5
2.2 變壓器簡介.....	5
2.3 差模架構的混模(mixed-mode)散射矩陣.....	7
2.4 De-embedded 簡介.....	11
2.4.1 2-port de-embedded.....	11
2.4.2 4-port de-embedded.....	14
2.5 UMC 0.18um CMOS 2-port 及 4-port 立體變壓器實作.....	15
2.5.1 晶片量測結果.....	16
2.5.2 結果與討論.....	26
第三章 Rat-race 分析及混頻器設計.....	27
3.1 前言.....	28
3.2 Rat-race 理論分析.....	28
3.2.1 Rat-race 的相位反轉(phase inverter)理論分析.....	29
3.2.2 交指型相位反轉 rat-race 理論分析.....	30
3.2.3 衰減性相位反轉 rat-race 理論分析.....	33
3.3 交指型相位反轉 rat-race 應用在 RF 輸入端之降頻混頻器實作.....	37
3.3.1 RF 端輸入極.....	38
3.3.2 IF 端輸出極.....	39
3.3.3 晶片量測結果.....	41
3.3.4 結果與討論.....	47

3.4 Transformer rat-race 應用在 RF 輸出端之升頻混頻器實作(使用 TSMC 0.35um SiGe BiCMOS).....	48
3.4.1 IF 端輸入極.....	49
3.4.2 RF 端輸出極.....	50
3.4.3 晶片量測結果.....	50
3.4.4 結果與討論.....	56
3.5 Transformer rat-race 應用在 RF 輸出端之升頻混頻器實作(使用 TSMC 0.13um CMOS).....	56
3.5.1 IF 端輸入極.....	57
3.5.2 RF 端輸出極.....	57
3.5.3 晶片量測結果.....	58
3.5.4 結果與討論.....	63
第四章 次諧波混頻器設計.....	64
4.1 前言.....	65
4.2 被動電阻式(Resistive)次諧波混頻器分析.....	66
4.3 主動次諧波 Gilbert 混頻器分析.....	70
4.3.1 Stacked-LO 次諧波混頻器分析.....	71
4.3.2 Leveled-LO 次諧波混頻器分析.....	73
4.4 CMOS 電阻式次諧波降頻混頻器實作.....	76
4.4.1 LO 端輸入極.....	76
4.4.2 RF 和 IF 端濾波器.....	78
4.4.3 晶片量測結果.....	78
4.4.4 結果與討論.....	84
4.5 Stacked-LO 次諧波升頻混頻器實作.....	86
4.5.1 LO 端輸入極.....	86
4.5.2 RF 端輸出極.....	88
4.5.3 晶片量測結果.....	89
4.5.4 結果與討論.....	94
4.6 Leveled-LO 次諧波升頻混頻器實作.....	94
4.6.1 晶片量測結果.....	95
4.6.2 結果與討論.....	101
第五章 單頻帶混頻器.....	102
5.1 前言.....	103
5.2 單頻帶升頻混頻器.....	103
5.2.1 單邊頻帶(SSB)理論分析.....	104
5.2.2 單邊頻帶電路分析.....	106

5.2.3 晶片量測結果.....	108
5.2.4 結果與討論.....	114
第六章 結論.....	115
參考文獻.....	117
附錄 4-port 變壓器整理.....	121
A.1 D35-94D-48t.....	122
A.2 D35-96A-36t.....	128
A.3 SiG-94C-02t.....	137
A.4 TSMC 0.18um 變壓器.....	143



圖目錄

第二章

(圖 2.1) 理想變壓器電路模型.....	5
(圖 2.2) 非理想變壓器電路模型.....	6
(圖 2.3) 單端 4-port DUT.....	8
(圖 2.4) 差動 2-port DUT.....	8
(圖 2.5) On-wafer open、through、short PAD.....	11
(圖 2.6) 2-port 量測包含串聯阻抗和並聯導納等效電路.....	12
(圖 2.7) Open、through、short 的 Y 參數等效電路.....	13
(圖 2.8) 4-port 量測包含寄生效應之等效電路.....	14
(圖 2.9) (a)六層金屬(b)四層金屬中央抽頭(c)四層金屬 架構.....	16
(圖 2.10) CMOS 立體變壓器 die photo (1.2mm x 1.2mm)	17
(圖 2.11) 6M_2-port 變壓器 S-parameter.....	18
(圖 2.12) 6M_2-port 變壓器 Inductance.....	19
(圖 2.13) 6M_2-port 變壓器 Q-factor.....	19
(圖 2.14) 4M_2-port 變壓器 S-parameter.....	19
(圖 2.15) 4M_2-port 變壓器 Inductance.....	20
(圖 2.16) 4M_2-port 變壓器 Q-factor.....	20
(圖 2.17) 4M_4-port 變壓器 port_1 S-parameter.....	21
(圖 2.18) 4M_4-port 變壓器 port_2 S-parameter.....	21
(圖 2.19) 4M_4-port 變壓器 port_3 S-parameter.....	21
(圖 2.20) 4M_4-port 變壓器 port_4 S-parameter.....	22
(圖 2.21) 4M_4-port 變壓器 Q 值.....	22
(圖 2.22) 4M_4-port 變壓器 L 值.....	22
(圖 2.23) 4M_4-port 變壓器 R 值.....	23
(圖 2.24) 4Mct_4-port 變壓器 port_1 S-parameter.....	23
(圖 2.25) 4Mct_4-port 變壓器 port_2 S-parameter.....	23
(圖 2.26) 4Mct_4-port 變壓器 port_3 S-parameter.....	24
(圖 2.27) 4Mct_4-port 變壓器 port_4 S-parameter.....	24
(圖 2.28) 4Mct_4-port 變壓器 Q 值.....	24
(圖 2.29) 4Mct_4-port 變壓器 L 值.....	25
(圖 2.30) 4Mct_4-port 變壓器 R 值.....	25
(圖 2.31) 4Mct_4-port 變壓器相位差.....	25

第三章

(圖 3.1) 相位反轉(phase inverter) rat-race 示意圖.....	29
--	----

(圖 3.2) 互易性 2-port 網路 T 型等效電路.....	31
(圖 3.3) stepped impedance 等效電路示意圖.....	32
(圖 3.4) 衰減性相位反轉之 rat-race 分合波器.....	34
(圖 3.5) SiGe BiCMOS 交指型 rat-race 降頻混頻器電路圖.....	38
(圖 3.6) 交指型 rat-race	39
(圖 3.7) Cherry Hooper 放大器操作機制.....	40
(圖 3.8) 轉導與轉阻放大器小信號分析.....	40
(圖 3.9) SiGe BiCMOS 交指型 rat-race 降頻混頻器 die photo (1.26mm x 1.15mm).....	42
(圖 3.10) Conversion Gain V.S. LO Power.....	42
(圖 3.11) Conversion Gain V.S. RF Power.....	43
(圖 3.12) IP1dB & IIP3.....	43
(圖 3.13) Conversion Gain V.S. IF Frequency (fix LO)	44
(圖 3.14) Conversion Gain V.S. RF Frequency (fix IF)	44
(圖 3.15) RF-to-IF Isolation V.S. RF Frequency.....	45
(圖 3.16) LO-to-IF Isolation V.S. LO Frequency.....	45
(圖 3.17) LO-to-RF Isolation V.S. LO Frequency.....	46
(圖 3.18) RF Return Loss.....	46
(圖 3.19) SiGe BiCMOS 變壓器型 rat-race 升頻混頻器電路圖.....	48
(圖 3.20) Transformer rat-race.....	50
(圖 3.21) SiGe BiCMOS 變壓器 rat-race 升頻混頻器 die photo (1mm x 1.4mm).....	51
(圖 3.22) Conversion Gain V.S. LO Power.....	51
(圖 3.23) Conversion Gain V.S. IF Power.....	52
(圖 3.24) OP1dB & OIP3.....	52
(圖 3.25) Conversion Gain V.S. IF Frequency (fix LO)	53
(圖 3.26) Conversion Gain V.S. RF Frequency (fix IF)	53
(圖 3.27) LO-to-RF Isolation V.S. LO Frequency.....	54
(圖 3.28) IF-to-RF Isolation V.S. IF Frequency.....	54
(圖 3.29) RF Return Loss.....	55
(圖 3.30) CMOS 變壓器型 rat-race 升頻混頻器.....	57
(圖 3.31) CMOS 變壓器 rat-race 升頻混頻器 die photo (0.9mm × 0.8mm)	58
(圖 3.32) Conversion Gain V.S. LO Power.....	59
(圖 3.33) Conversion Gain V.S. IF Power.....	59
(圖 3.34) OP1dB & OIP3.....	60
(圖 3.35) Conversion Gain V.S. IF Frequency (fix LO)	60
(圖 3.36) Conversion Gain V.S. RF Frequency (fix IF)	61
(圖 3.37) IF-to-RF Isolation V.S. IF Frequency.....	61
(圖 3.38) LO-to-RF Isolation V.S. LO Frequency.....	62
(圖 3.39) RF Return Loss.....	62

第四章

(圖 4.1) 電阻式次諧波混頻器.....	67
(圖 4.2) 汲極-源極零偏壓的 FET 等效電路.....	67
(圖 4.3) NMOS 的 $R_{ds}-V_g$ 關係模擬圖.....	69
(圖 4.4) Stacked-LO 次諧波混頻器電路.....	72
(圖 4.5) (a) Stacked-LO 次諧波混頻器電路 (b) stacked-LO Gilbert cells 的 timing diagram.....	73
(圖 4.6) 簡化 leveled-LO 次諧波混頻器電路.....	74
(圖 4.7) CMOS 電阻式次諧波降頻混頻器電路圖.....	76
(圖 4.8) Marchand balun S11 分析.....	77
(圖 4.9) Marchand balun S21 分析.....	77
(圖 4.10) Marchand balun S31 分析.....	77
(圖 4.11) CMOS 電阻式次諧波混頻器 die photo (800um x 800um)	78
(圖 4.12) Conversion Gain V.S. LO Power.....	79
(圖 4.13) Conversion Gain V.S. RF Power.....	79
(圖 4.14) IP1dB & IIP3 V.S. RF Frequency.....	80
(圖 4.15) Conversion Gain V.S. RF Frequency.....	80
(圖 4.16) Conversion Gain V.S. IF Frequency.....	81
(圖 4.17) RF-to-IF Isolation V.S. RF Frequency.....	81
(圖 4.18) 2LO-to-RF & LO-to-RF Isolations V.S. LO Frequency.....	82
(圖 4.19) 2LO-to-IF & LO-to-IF Isolations V.S. LO Frequency.....	82
(圖 4.20) RF Return Loss.....	83
(圖 4.21) Noise Figure V.S. IF Frequency.....	83
(圖 4.22) Noise Figure V.S. RF Frequency.....	84
(圖 4.23) PHEMT stacked-LO 次諧波升頻混頻器電路圖.....	86
(圖 4.24) 正交相位產生器及相位輸出關係.....	87
(圖 4.25) Current combiner 電流相加原理.....	88
(圖 4.26) PHEMT Stacked-LO 次諧波混頻器 die photo (1.5mm x 1mm)	89
(圖 4.27) Conversion Gain V.S. LO Power.....	90
(圖 4.28) Conversion Loss V.S. IF Power.....	90
(圖 4.29) OP1dB & OIP3.....	91
(圖 4.30) Conversion Gain V.S. RF Frequency (fix LO)	91
(圖 4.31) Conversion Gain V.S. IF Frequency (fix RF)	92
(圖 4.32) IF-to-RF Isolation V.S. IF Frequency.....	92
(圖 4.33) 2LO-to-RF & LO-to-RF Isolations V.S. LO Frequency.....	93
(圖 4.34) RF Return Loss.....	93
(圖 4.35) PHEMT leveled-LO 次諧波升頻混頻器電路圖.....	95
(圖 4.36) PHEMT Leveled-LO 次諧波混頻器 die photo(1.5mm x 1mm)	95

(圖 4.37) Conversion Gain V.S. LO Power.....	96
(圖 4.38) Conversion Gain V.S. IF Power.....	96
(圖 4.39) OP1dB & OIP3.....	97
(圖 4.40) Conversion Gain V.S. RF Frequency (fix LO)	97
(圖 4.41) Conversion Gain V.S. IF Frequency (fix RF)	98
(圖 4.42) Conversion Gain V.S. RF Frequency (fix IF)	98
(圖 4.43) IF-to-RF Isolation V.S. IF Frequency.....	99
(圖 4.44) 2LO-to-RF & LO-to-RF Isolations V.S. LO Frequency.....	99
(圖 4.45) RF Return Loss.....	100

第五章

(圖 5.1) SSB 升頻混頻器系統方塊圖.....	104
(圖 5.2) WIN 0.15um PHEMT SSB 升頻混頻器電路圖.....	107
(圖 5.3) SSB 升頻混頻器 die photo (1.5mm x 1mm).....	109
(圖 5.4) Single Sideband Suppression.....	109
(圖 5.5) Conversion Gain V.S. LO Power.....	110
(圖 5.6) Conversion Gain V.S. IF Power.....	110
(圖 5.7) OP1dB & OIP3.....	111
(圖 5.8) Conversion Gain V.S. RF Frequency (fix IF)	111
(圖 5.9) IF-to-RF Isolation V.S. IF Frequency.....	112
(圖 5.10) LO-to-RF Isolation V.S. LO Frequency.....	112
(圖 5.11) RF Return Loss.....	113

附錄

(圖 A.1) D35 對稱型變壓器_A die photo (1.4mm x 1.2mm).....	122
(圖 A.2) D35 變壓器_A (1) Q 值.....	123
(圖 A.3) D35 變壓器_A (1) L 值.....	123
(圖 A.4) D35 變壓器_A (1) R 值.....	123
(圖 A.5) D35 變壓器_A (2) Q 值.....	124
(圖 A.6) D35 變壓器_A (2) L 值.....	124
(圖 A.7) D35 變壓器_A (2) R 值.....	124
(圖 A.8) D35 變壓器_A (3) Q 值.....	125
(圖 A.9) D35 變壓器_A (3) L 值.....	125
(圖 A.10) D35 變壓器_A (3) R 值.....	125
(圖 A.11) D35 變壓器_A (4) Q 值.....	126
(圖 A.12) D35 變壓器_A (4) L 值.....	126
(圖 A.13) D35 變壓器_A (4) R 值.....	126
(圖 A.14) D35 變壓器_A (5) Q 值.....	127
(圖 A.15) D35 變壓器_A (5) L 值.....	127
(圖 A.16) D35 變壓器_A (5) R 值.....	127
(圖 A.17) D35 對稱型變壓器_B die photo (1.4mm x 1.2mm).....	128

(圖 A.18) D35 變壓器_B (1) Q 值.....	129
(圖 A.19) D35 變壓器_B (1) L 值.....	129
(圖 A.20) D35 變壓器_B (1) R 值.....	129
(圖 A.21) D35 變壓器_B (2) Q 值.....	130
(圖 A.22) D35 變壓器_B (2) L 值.....	130
(圖 A.23) D35 變壓器_B (2) R 值.....	130
(圖 A.24) D35 變壓器_B (3) Q 值.....	131
(圖 A.25) D35 變壓器_B (3) L 值.....	131
(圖 A.26) D35 變壓器_B (3) R 值.....	131
(圖 A.27) D35 變壓器_B (4) Q 值.....	132
(圖 A.28) D35 變壓器_B (4) L 值.....	132
(圖 A.29) D35 變壓器_B (4) R 值.....	132
(圖 A.30) D35 變壓器_B (5) Q 值.....	133
(圖 A.31) D35 變壓器_B (5) L 值.....	133
(圖 A.32) D35 變壓器_B (5) R 值.....	133
(圖 A.33) D35 變壓器_B (6) Q 值.....	134
(圖 A.34) D35 變壓器_B (6) L 值.....	134
(圖 A.35) D35 變壓器_B (6) R 值.....	134
(圖 A.36) D35 變壓器_B (7) Q 值.....	135
(圖 A.37) D35 變壓器_B (7) L 值.....	135
(圖 A.38) D35 變壓器_B (7) R 值.....	135
(圖 A.39) D35 變壓器_B (8) Q 值.....	136
(圖 A.40) D35 變壓器_B (8) L 值.....	136
(圖 A.41) D35 變壓器_B (8) R 值.....	136
(圖 A.42) SiGe 對稱型變壓器 die photo (1.5mm x 1.5mm)	137
(圖 A.43) SiGe 變壓器(1) Q 值.....	138
(圖 A.44) SiGe 變壓器(1) L 值.....	138
(圖 A.45) SiGe 變壓器(1) R 值.....	138
(圖 A.46) SiGe 變壓器(2) Q 值.....	139
(圖 A.47) SiGe 變壓器(2) L 值.....	139
(圖 A.48) SiGe 變壓器(2) R 值.....	139
(圖 A.49) SiGe 變壓器(3) Q 值.....	140
(圖 A.50) SiGe 變壓器(3) L 值.....	140
(圖 A.51) SiGe 變壓器(3) R 值.....	140
(圖 A.52) SiGe 變壓器(4) Q 值.....	141
(圖 A.53) SiGe 變壓器(4) L 值.....	141
(圖 A.54) SiGe 變壓器(4) R 值.....	141
(圖 A.55) SiGe 變壓器(5) Q 值.....	142
(圖 A.56) SiGe 變壓器(5) L 值.....	142

(圖 A.57) SiGe 變壓器(5) R 值.....	142
(圖 A.58) T18 變壓器 die photo (1.5mm x 1.5mm)	143
(圖 A.59) T18 變壓器(1) Q 值.....	144
(圖 A.60) T18 變壓器(1) L 值.....	144
(圖 A.61) T18 變壓器(1) R 值.....	144
(圖 A.62) T18 變壓器(2) Q 值.....	145
(圖 A.63) T18 變壓器(2) L 值.....	145
(圖 A.64) T18 變壓器(2) R 值.....	145
(圖 A.65) T18 變壓器(3) Q 值.....	146
(圖 A.66) T18 變壓器(3) L 值.....	146
(圖 A.67) T18 變壓器(3) R 值.....	146
(圖 A.68) T18 變壓器(4) Q 值.....	147
(圖 A.69) T18 變壓器(4) L 值.....	147
(圖 A.70) T18 變壓器(4) R 值.....	147
(圖 A.71) T18 變壓器(5) Q 值.....	148
(圖 A.72) T18 變壓器(5) L 值.....	148
(圖 A.73) T18 變壓器(5) R 值.....	148
(圖 A.74) T18 變壓器(6) Q 值.....	148
(圖 A.75) T18 變壓器(6) L 值.....	149
(圖 A.76) T18 變壓器(6) R 值.....	149
(圖 A.77) T18 變壓器(7) Q 值.....	150
(圖 A.78) T18 變壓器(7) L 值.....	150
(圖 A.79) T18 變壓器(7) R 值.....	150
(圖 A.80) T18 變壓器(8) Q 值.....	151
(圖 A.81) T18 變壓器(8) L 值.....	151
(圖 A.82) T18 變壓器(8) R 值.....	151
(圖 A.83) T18 變壓器(9) Q 值.....	152
(圖 A.84) T18 變壓器(9) L 值.....	152
(圖 A.85) T18 變壓器(9) R 值.....	152
(圖 A.86) T18 變壓器(10) Q 值.....	153
(圖 A.87) T18 變壓器(10) L 值.....	153
(圖 A.88) T18 變壓器(10) R 值.....	153
(圖 A.89) T18 變壓器(11) Q 值.....	154
(圖 A.90) T18 變壓器(11) L 值.....	154
(圖 A.91) T18 變壓器(11) R 值.....	154

表目錄

(表 3.1) TSMC 0.35um SiGe BiCMOS 交指型 rat-race 降頻混頻器	47
(表 3.2) TSMC 0.35um SiGe BiCMOS 變壓器 rat-race 升頻混頻器	55
(表 3.3) TSMC 0.13um CMOS 變壓器 rat-race 升頻混頻器	63
(表 4.1) TSMC 0.13um CMOS 電阻式次諧波混頻器	84
(表 4.2) 電阻式次諧波混頻器比較	85
(表 4.3) WIN 0.15um PHEMT Stacked-LO 次諧波升頻混頻器	94
(表 4.4) WIN 0.15um PHEMT Leveled-LO 次諧波升頻混頻器	100
(表 5.1) WIN 0.15um PHEMT SSB 升頻混頻器	113



第一章

導論



1.1 研究動機

從古至今，人類對於訊息溝通的渴望從未減少過，鳴金擊鼓、飛鴿傳書、裊裊狼煙等，雖然方法不同，但目的就是希望快速且方便地傳遞資訊。隨著時代的進步，科技日新月異，大量的無線通訊產品孕育而生，包含行動電話、GPS、bluetooth、無線區域網路(WLAN)等，滿足了現代人對資訊的需求。由於積體電路技術、數位通訊與數位訊號處理方法的進步，使得通訊設備的功能更加多元，依據不同的地區與功能的需求，分別發展出不同的系統規格，而各系統對於傳輸頻段、調變方式、訊號頻寬與多工模式的要求也不盡相同，因此未來的積體電路設計，不管是數位、類比或是射頻電路設計將更加複雜且困難，設計者不僅須具備類比電路、無線通訊和微波工程方面的專業知識，還要在關鍵參數如雜訊、功率消耗、阻抗匹配、增益及線性度的權衡間做出合理的設計。

在射頻積體電路製程技術上，CMOS 技術成本較低且有極佳的系統整合能力，因此使用 CMOS 製程技術在單一晶片上同時實現射頻前端電路及基頻電路似乎是發展主流。但就特性觀點來看，SiGe HBT 具有高截止頻率、高電流等特色，成為 RFIC 製程技術上的領先者；而砷化鎵(GaAs)因電子遷移率(electron mobility)是矽的五到十倍，因此 GaAs-based 元件有更高的截止頻率和更高的轉導，所以 GaAs-based

的 PHEMT 技術也非常適合高頻電路之應用。本篇論文主要將採用這三種製程技術來探討射頻混頻器電路的設計與實現。

1.2 論文組織

本篇論文主要利用了 TSMC 0.35um SiGe BiCMOS、TSMC 0.13um CMOS 和 WIN 0.15um PHEMT 製程技術來設計晶片。第一章為導論；第二章介紹 2-port 和 4-port 變壓器的分析原理，及如何 de-embedding 萃取出元件的 S 參數，並在 UMC 0.18um CMOS 製程技術實現立體結構變壓器；第三章介紹 rat-race 原理並整合至混頻器積體電路中；第四章介紹被動及兩種主動次諧波混頻器之設計與比較；第五章介紹單邊頻帶升頻混頻器；最後在第六章對本篇論文電路設計與實作結果做結論。附錄部分則承接了第二章的變壓器，將實現在 TSMC 0.35um SiGe BiCMOS、TSMC 0.35um CMOS、TSMC 0.18um CMOS 等製程技術之 4-port 變壓器做一統整。

第二章

變壓器分析

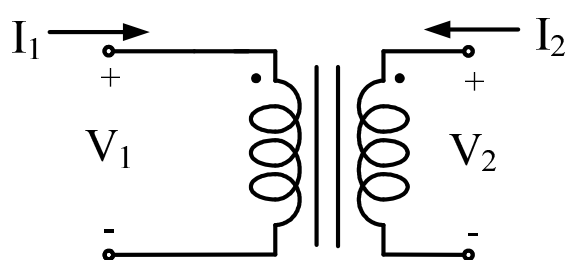


2.1 前言

隨著射頻電路操作頻率日益提高，傳統使用的主動 balun (balance to unbalance) 或正交相位產生器在特性或物理結構上都面臨了高頻的瓶頸限制，因此過去在微波電路使用的設計概念均需整合進入積體電路設計中，諸如電感(inductor)、變壓器(transformer)、耦合線(couple line)、rat-race 等。本章節我們將針對變壓器作分析，並在 UMC 0.18um CMOS 製程上實現 2-port 及 4-port 變壓器，且在下一章節討論 rat-race。其他 4-port 變壓器參數整理見附錄，包含實現在 TSMC 0.35um CMOS、TSMC 0.18um CMOS 及 TSMC 0.35um SiGe BiCMOS 等製程。



2.2 變壓器簡介

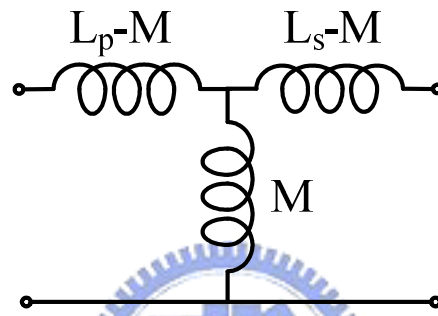


(圖2.1) 理想變壓器電路模型

(圖 2.1)為一理想變壓器模型[1]，兩端電壓和線圈數成正比，因能量守恆($P = IV$)，故電流和線圈數成反比關係。如主線圈數為 N_1 ，副線圈數為 N_2 ，則兩端電壓電流比為：

$$\frac{V_1}{V_2} = \frac{N_1}{N_2} = N, \quad \frac{I_1}{I_2} = \frac{N_2}{N_1} = \frac{1}{N}$$

這是在磁阻為零($\mathcal{R} = 0$)，導磁係數無窮大的理想變壓器，但事實上並沒有這樣材料，所以我們要討論在實際情況下，有漏磁通的非理想變壓器。為方便區分，我們常將線圈一、線圈二分別定義為主線圈和副線圈，如(圖2.2)[2]：



(圖2.2) 非理想變壓器電路模型

其中， L_p 和 L_s 為主、副線圈的自感(self inductance)，而 M 為主線圈磁通量對副線圈電流或副線圈磁通量對主線圈電流的比例常數，稱為互感(mutual inductance)，數學表示如下：

$$N_1 \phi_{11} = L_p i_p, \quad N_2 \phi_{22} = L_s i_s$$

$$N_2 \phi_{21} = M_{21} i_1, \quad N_1 \phi_{12} = M_{12} i_2, \quad M_{12} = M_{21} = M$$

另外，為表示出變壓器實際的磁通量耦合，定義了耦合係數K(coupling coefficient)：

$$K = \frac{M}{\sqrt{L_p L_s}} = \sqrt{\frac{M_{12} M_{21}}{L_p L_s}} = \sqrt{\frac{\phi_{12} \phi_{21}}{\phi_{11} \phi_{22}}}$$

K代表著主線圈因電流 i_1 產生的磁通量 ϕ_{11} ，有多少的比例經由副線圈

變成 ϕ_{21} 。故理想變壓器的 $K=1$ ，而實際上受到漏電流、歐姆損耗(ohmic loss)或基板寄生效應等影響使得 $K \leq 1$ 。

變壓器公式整理如下：

(R_p 與 R_s 分別為主線圈與副線圈的線圈損耗電阻。)

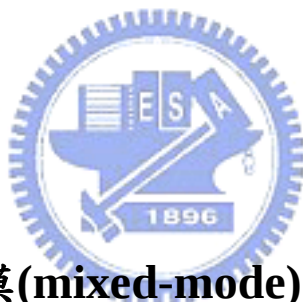
$$Z_{11} = R_p + j\omega L_p \quad , \quad Z_{22} = R_s + j\omega L_s$$

$$L_p = \frac{\text{Im}(Z_{11})}{j\omega} \quad , \quad L_s = \frac{\text{Im}(Z_{22})}{j\omega}$$

$$Q_p = \frac{\text{Im}(Z_{11})}{\text{Re}(Z_{11})} \quad , \quad Q_s = \frac{\text{Im}(Z_{22})}{\text{Re}(Z_{22})}$$

$$M = \frac{\text{Im}(Z_{21})}{j\omega}$$

$$K = \frac{M}{\sqrt{L_p L_s}}$$

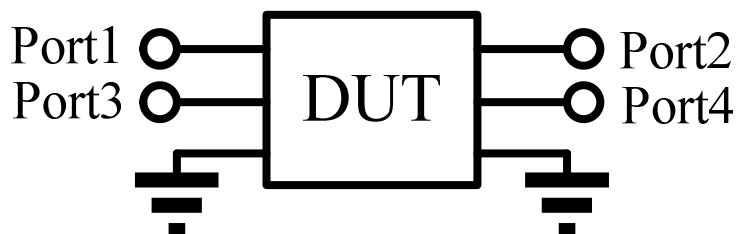


2.3 差動架構的混模(mixed-mode)散射矩陣

混模(mixed-mode)就是結合共模(common-mode)和差模(differential-mode)。差動架構常應用在射頻、微波或高速寬頻應用，但是使用傳統的 VNA(vector-network analyser)量測差動架構受到很多限制[3][4]，最主要是因為大部分的 RF 量測系統都是單端的設備，整個量測基礎如校正標準、傳輸線及連接頭甚至標準的參考阻抗都是不對稱的[5][6]，所以本節我們會討論一套將標準 S 參數和混模 S 參數的轉換方法[7]。

對單端元件而言，RF 的電壓電流有共同的 ground，將功率波正

規化後，我們可分成激發波(stimulus wave)和響應波(response wave)，分別定義為進入和離開 DUT(device-under-test)。單端的 4-port 元件方塊圖如(圖 2.3)。



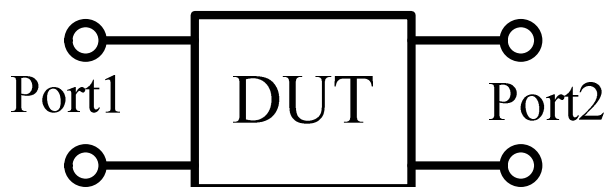
(圖 2.3) 單端 4-port DUT

散射矩陣關係如下：

$$\begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{42} & S_{44} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix}$$

可寫成 $B_{std} = S_{std} A_{std}$ ， B_{std} 和 A_{std} 分別表示響應波和激發波矩陣，而 S_{std} 為標準 4-port 散射矩陣。

而對平衡(balanced)元件，共模和差模的電壓電流和阻抗也可以 balanced port 定義，如(圖 2.4)。



(圖 2.4) 差動 2-port DUT

可以此定出混模的散射矩陣，響應波和激發波也是以共模和差模來表

示：

$$\begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} = \begin{bmatrix} S_{d1d1} & S_{d1d2} & S_{d1c1} & S_{d1c2} \\ S_{d2d1} & S_{d2d2} & S_{d2c1} & S_{d2c2} \\ S_{c1d1} & S_{c1d2} & S_{c1c1} & S_{c1c2} \\ S_{c2d1} & S_{c2d2} & S_{c2c1} & S_{c2c2} \end{bmatrix} \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix}$$

其中 S_{cicj} 和 S_{didj} ($i, j=1,2$) 分別為共模和差模的 S 參數，表示共模(差模)激發，共模(差模)響應，而 S_{dicj} 和 S_{dicj} ($i, j=1,2$) 為轉換模態的 S 參數，表示差模(共模)激發，共模(差模)響應。

只要將(圖 2.4)的 port1、3 定為(圖 2.5)的差動 port1，port2、4 定為差動 port2，混模 2-port S 參數和標準 4-port S 參數是可以轉換的，

激發波和響應波轉換如下：

$$\begin{aligned} a_{d1} &= \frac{1}{\sqrt{2}}(a_1 - a_3) & a_{d2} &= \frac{1}{\sqrt{2}}(a_2 - a_4) \\ a_{c1} &= \frac{1}{\sqrt{2}}(a_1 + a_3) & a_{c2} &= \frac{1}{\sqrt{2}}(a_2 + a_4) \\ b_{d1} &= \frac{1}{\sqrt{2}}(b_1 - b_3) & b_{d2} &= \frac{1}{\sqrt{2}}(b_2 - b_4) \\ b_{c1} &= \frac{1}{\sqrt{2}}(b_1 + b_3) & b_{c2} &= \frac{1}{\sqrt{2}}(b_2 + b_4) \end{aligned}$$

因此我們可導出混模激發波矩陣 A_{mm} ：

$$A_{mm} = MA_{std} = \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 0 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix}$$

和混模響應波矩陣 B_{mm} ：

$$B_{mm} = MB_{std} = \begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 0 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} \begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{bmatrix}$$

其中 M 為轉換混模 S 參數和標準 S 參數的轉換矩陣。因此我們可以

定義混模的散射矩陣，並經矩陣轉換可得到如下轉換公式：

$$B_{mm} = S_{mm} A_{mm} \begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} = \begin{bmatrix} S_{d1d1} & S_{d1d2} & S_{d1c1} & S_{d1c2} \\ S_{d2d1} & S_{d2d2} & S_{d2c1} & S_{d2c2} \\ S_{c1d1} & S_{c1d2} & S_{c1c1} & S_{c1c2} \\ S_{c2d1} & S_{c2d2} & S_{c2c1} & S_{c2c2} \end{bmatrix} \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix}$$

$$S_{mm} = MS_{std}M^{-1} = \begin{bmatrix} S_{d1d1} & S_{d1d2} & S_{d1c1} & S_{d1c2} \\ S_{d2d1} & S_{d2d2} & S_{d2c1} & S_{d2c2} \\ S_{c1d1} & S_{c1d2} & S_{c1c1} & S_{c1c2} \\ S_{c2d1} & S_{c2d2} & S_{c2c1} & S_{c2c2} \end{bmatrix}$$

$$= \frac{1}{2} \begin{bmatrix} S_{11} - S_{13} - S_{31} + S_{33} & S_{12} - S_{14} - S_{32} + S_{34} & S_{11} + S_{13} - S_{31} - S_{33} & S_{12} + S_{14} - S_{32} - S_{34} \\ S_{21} - S_{23} - S_{41} + S_{43} & S_{22} - S_{24} - S_{42} + S_{44} & S_{21} + S_{23} - S_{41} - S_{43} & S_{22} + S_{24} - S_{42} - S_{44} \\ S_{11} - S_{13} + S_{31} - S_{33} & S_{12} - S_{14} + S_{32} - S_{34} & S_{11} + S_{13} + S_{31} + S_{33} & S_{12} + S_{14} + S_{32} + S_{34} \\ S_{21} - S_{23} + S_{41} - S_{43} & S_{22} - S_{24} + S_{42} - S_{44} & S_{21} + S_{23} + S_{41} + S_{43} & S_{22} + S_{24} + S_{42} + S_{44} \end{bmatrix}$$

在此我們只看差模部份，綜合之前所討論結果，整理出如下公式：

$$Z_{11d} = Z_o [(1 + S_{d1d1})(1 - S_{d2d2}) + S_{d1d2}S_{d2d1}] / \Delta$$

$$Z_{12d} = Z_o (2 \times S_{d1d2}) / \Delta$$

$$Z_{21d} = Z_o (2 \times S_{d2d1}) / \Delta$$

$$Z_{22d} = Z_o [(1 - S_{d1d1})(1 + S_{d2d2}) + S_{d1d2}S_{d2d1}] / \Delta$$

$$\Delta = (1 - S_{d1d1})(1 - S_{d2d2}) - S_{d1d2}S_{d2d1}$$

$$R_{pd} = 2 \times \text{re}(Z_{11d}) \quad , \quad R_{sd} = 2 \times \text{re}(Z_{22d})$$

$$Q_{pd} = \text{im}(Z_{11d}) / \text{re}(Z_{11d}) \quad , \quad Q_{sd} = \text{im}(Z_{22d}) / \text{re}(Z_{22d})$$

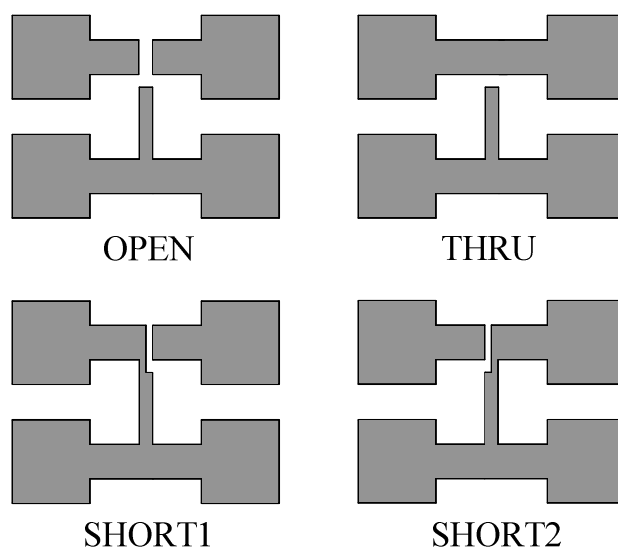
$$L_{pd} = 2 \times \text{im}(Z_{11d}) / (2\pi \text{freq}) , L_{sd} = 2 \times \text{im}(Z_{22d}) / (2\pi \text{freq})$$

2.4 De-embedded 簡介

隨著操作頻率越來越高，微波電路典型的高頻操作方式就是縮短其傳輸線長度，也因此減少了整體的面積和寄生效應，但是在高頻量測系統中，PAD 和連接線(interconnect)並不會變小，因此 PAD 和連接線的寄生效應就必須精確地減去，稱為 de-embedded(或 calibrated relative to)，也就是從量測的數據中萃取得真正待測元件的 S(或 Y、Z、H)參數。

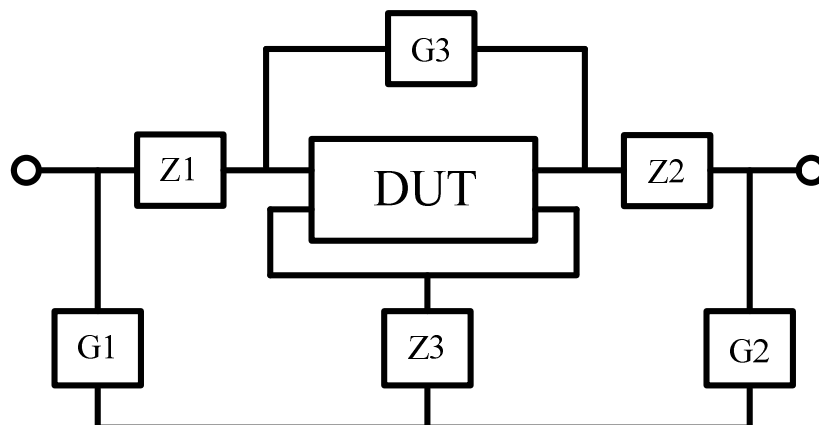
2.4.1 2-port de-embedded

On-wafer 的 S 參數 2-port de-embedded 標準上需一個開路(open)、一個穿透(through)和兩個短路(short)才能減去 DUT 的寄生效應，如(圖 2.5)[8]：



(圖 2.5) On-wafer open、through、short PAD

若待測元件很小時，PAD 的並聯導納(admittance)效應和連接線的串聯阻抗(impedance)效應都不可忽略，(圖 2.6)為包含了這些電容電感效應的等效電路：



(圖 2.6) 2-port 量測包含串聯阻抗和並聯導納等效電路

其中， $G_1 \sim G_3$ 代表 PAD 或連接線的並聯寄生等效元件，我們可從”OPEN”得到 Y 等效電路：

$$G_1 = Y_{11open} + Y_{12open}$$

$$G_2 = Y_{22open} + Y_{12open}$$

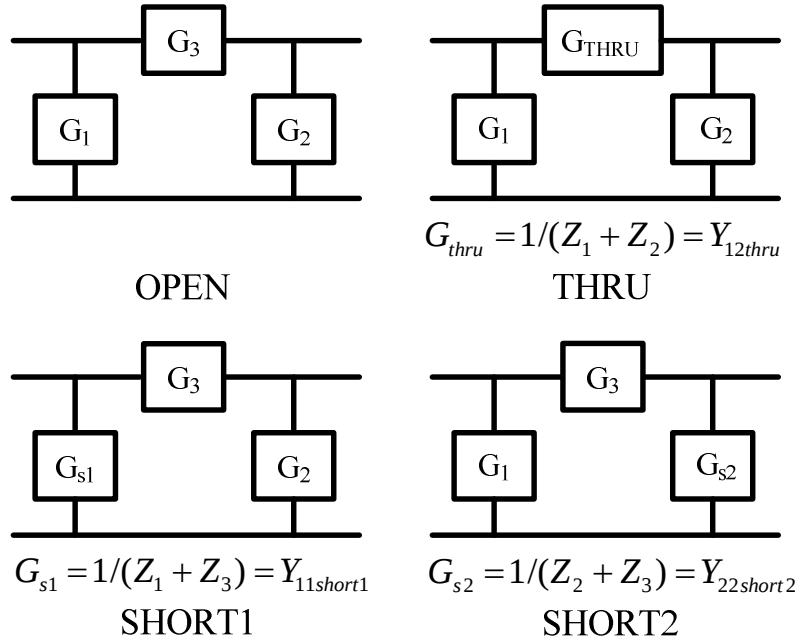
$$G_3 = -Y_{12open}$$

我們第一個步驟就是要先將並聯的 G_1 和 G_2 減去：

$$Y_{11} = Y_{11m} - G_1$$

$$Y_{22} = Y_{22m} - G_2$$

下標 m 代表量測得到的 Y 參數值。



(圖 2.7) Open、through、short 的 Y 參數等效電路

第二步驟就是要減去串聯的寄生元件 $Z_1 \sim Z_3$ ，見(圖 2.7)，”

THRU”的 Y_{12} 和 Y_{21} (Y_{12thru}) 就是上面 PAD 的連線，所以倒數就是 Z_1 和 Z_2 之和，同樣的，”SHORT1” Y_{11} 的倒數和”SHORT2” Y_{22} 的倒數分別等效到輸入(Z_1 和 Z_3 之和)和輸出(Z_2 和 Z_3 之和)port，因此我們可寫出

Z_1 、 Z_2 、 Z_3 的等式：

$$\begin{aligned}
 Z_1 &= \frac{1/Y_{12thru} + 1/Y_{11short1} - 1/Y_{22short2}}{2} \\
 Z_2 &= \frac{1/Y_{12thru} - 1/Y_{11short1} + 1/Y_{22short2}}{2} \\
 Z_3 &= \frac{-1/Y_{12thru} + 1/Y_{11short1} + 1/Y_{22short2}}{2}
 \end{aligned}$$

萃取出串聯寄生元件後，用 Z 參數將它減去：

$$\begin{aligned}
 Z_{11s} &= Z_{11} - Z_1 - Z_3 & Z_{12s} &= Z_{12} - Z_3 \\
 Z_{21s} &= Z_{21} - Z_3 & Z_{22s} &= Z_{22} - Z_2 - Z_3
 \end{aligned}$$

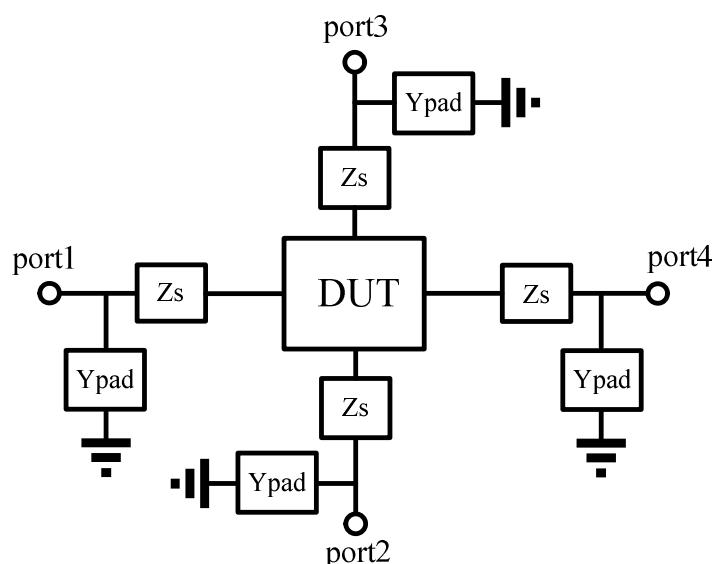
式子右邊的 Z_{11} 、 Z_{12} 、 Z_{21} 和 Z_{22} 為第一步驟減去並聯 G1 和 G2 效應後的 Z 參數值，左邊的 Z_{11s} 、 Z_{12s} 、 Z_{21s} 和 Z_{22s} 則是再減去串聯 Z1、Z2、Z3 效應後的 Z 參數值。最後一個步驟就是減去 G3 的效應：

$$\begin{aligned} Y_{11} &= Y_{11s} - G_3 & Y_{12} &= Y_{12s} + G_3 \\ Y_{21} &= Y_{21s} + G_3 & Y_{22} &= Y_{22s} - G_3 \end{aligned}$$

其中右邊的 Y_{11s} 、 Y_{12s} 、 Y_{21s} 和 Y_{22s} 為 Z_{11s} 、 Z_{12s} 、 Z_{21s} 和 Z_{22s} 的反矩陣元素，而左邊的 Y_{11} 、 Y_{12} 、 Y_{21} 和 Y_{22} 就是經過 de-embedded 之後 DUT 的 Y 參數。

2.4.2 4-port de-embedded

On wafer 的 4-port S 參數量測有分兩邊 GSGSG 和四邊 GSG 兩種 PAD 佈局方式，(圖 2.8)為包含了 4-port 寄生阻抗和導納的等效電路 [9]：



(圖 2.8) 4-port 量測包含寄生效應之等效電路

在此我們省略了每個 port 之間彼此的耦合效應，因為它們相對於地的

寄生都是很小的。在做 de-embedding 前，量測出的 S 參數 S_{raw} 須先轉換為 Y 參數 Y_{raw} ，可推導知轉換公式[10]：

$$[Y] = [I - S] \bullet [I + S]^{-1}$$

其中 I 為 4x4 的單位矩陣(identity matrix)，同樣的我們也將 OPEN 的 S 參數轉為 Y_{open} 。再來我們將 SHORT 的 S 參數轉為 Z_{short} ，使用以下公式：

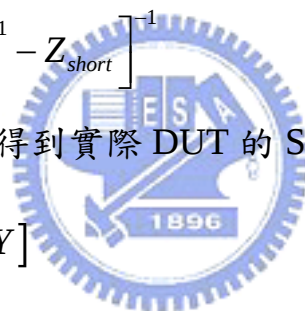
$$[Z] = [I + S] \bullet [I - S]^{-1}$$

因此扣掉 SHORT 的串聯阻抗和 OPEN 的並聯導納後的 Y 參數為：

$$[Y_d] = \left[\left[Y_{raw} - Y_{open} \right]^{-1} - Z_{short} \right]^{-1}$$

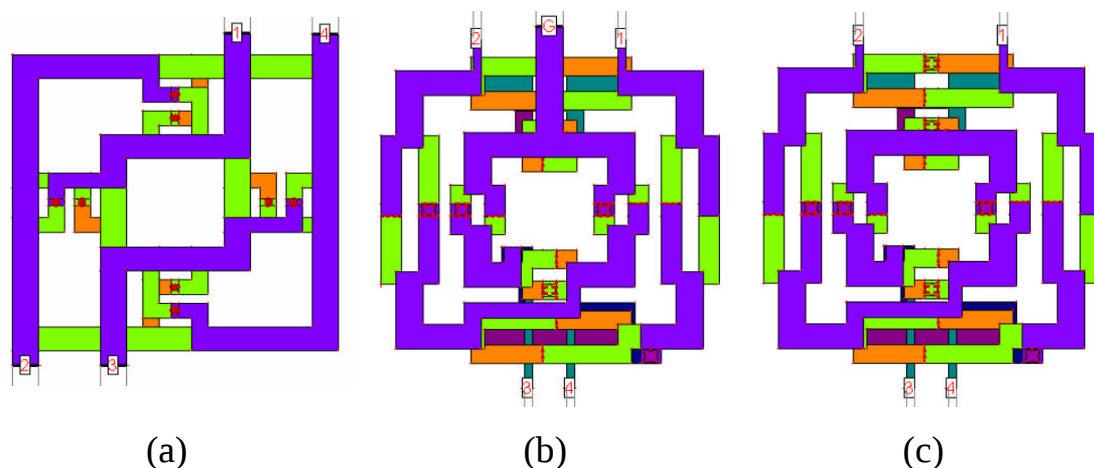
最後再將 Y_d 轉回 S_d 即可得到實際 DUT 的 S 參數。

$$[S] = [I + Y]^{-1} \bullet [I - Y]$$



2.5 UMC 0.18um CMOS 2-port 及 4-port 立體變壓器實作

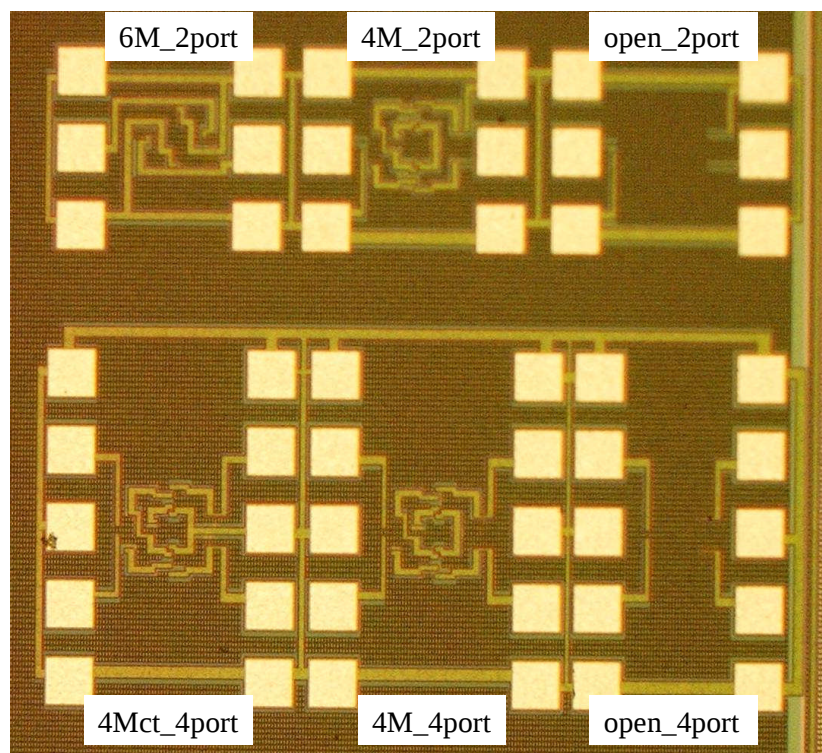
本節的立體變壓器使用了 UMC 0.18um CMOS 製程技術，它提供了六層金屬，故可縮小佈局上的面積。本次實作用了三種繞線的架構，如(圖 2.9)：



(圖 2.9) (a)六層金屬(b)四層金屬中央抽頭(c)四層金屬 架構

2.5.1 晶片量測結果

(圖 2.10)為 UMC 0.18 μ m CMOS 立體變壓器 die photo，整體面積為 1.2mm x 1.2mm。上排左、中兩個電路分別為(圖 2.9 a)和(圖 2.9 c)六層和四層金屬的架構，使用 2-port 量測，上排右電路則為 2-port 的 open PAD，用來作 de-embedded 用；而下排左、中電路分別為(圖 2.9 b)和(圖 2.9 c)四層中央抽頭(4Mct)和四層金屬(4M)的架構，使用 4-port 量測，同樣的在下排右佈局了 4-port 的 open PAD 作 de-embedded。



(圖 2.10) CMOS 立體變壓器 die photo (1.2mm x 1.2mm)

— 2-port 量測結果 —

因為晶片面積有限，為了 de-embedded 而佈局出一個” OPEN ”、一個” THRU ”和兩個” SHORT ”是不大可能的，所以我們在做 2-port de-embedded 時要根據 2.4.1 節的理論作一些近似。因為從 PAD 到變壓器的連接線跟變壓器本身走線長度比起來相對短的多，故我們忽略這些連接線的串聯阻抗寄生效應，(圖 2.6)中的 $Z_1 \sim Z_3$ 都設為 0，只考慮 $G_1 \sim G_3$ 的效應，因此 de-embedded 的三個步驟，只要做第一和第三步驟。我們先從” OPEN ”得到 Y 等效電路，並將並聯的 G_1 和 G_2 減去：

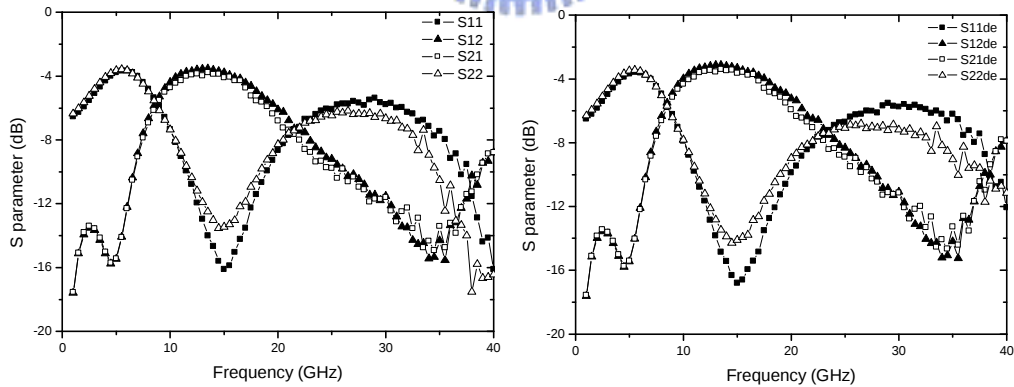
$$\begin{aligned}
G_1 &= Y_{11open} + Y_{12open} & Y_{11} &= Y_{11m} - G_1 \\
G_2 &= Y_{22open} + Y_{12open} & Y_{22} &= Y_{22m} - G_2 \\
G_3 &= -Y_{12open}
\end{aligned}$$

下標 m 代表量測得到的 Y 參數值。最後再將 G3 的效應減去，我們可以直接得到 de-embedded 之後的 Y 參數值：

$$\begin{aligned}
Y_{11} &= Y_{11m} - G_1 - G_3 \\
Y_{12} &= Y_{12m} + G_3 \\
Y_{21} &= Y_{21m} + G_3 \\
Y_{22} &= Y_{22m} - G_2 - G_3
\end{aligned}$$

經過矩陣的轉換即可得到想要的 S(或 Z、H)參數。

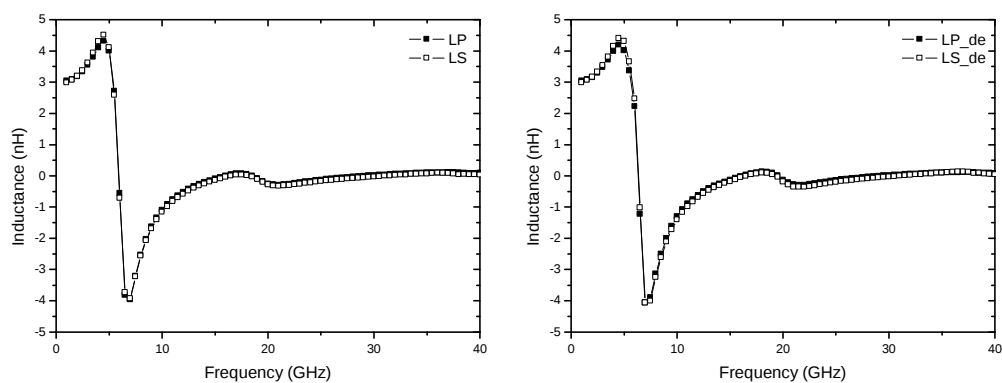
以下即為 UMC 0.18um CMOS 立體變壓器六層和四層金屬 2-port 電路量測結果，並比較做 de-embedded 之前和之後的結果。



Before

After

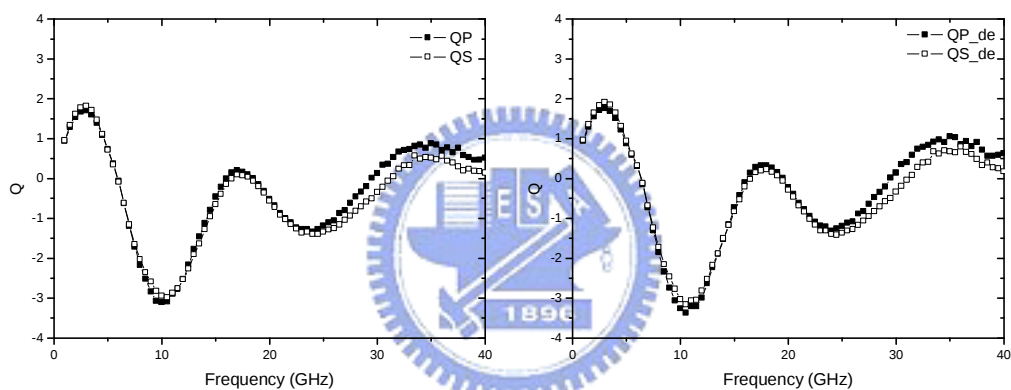
(圖 2.11) 6M_2-port 變壓器 S-parameter



Before

After

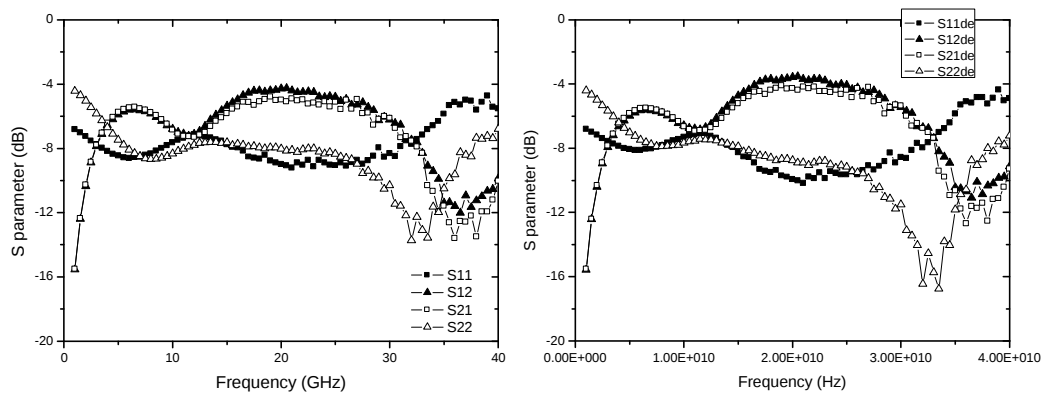
(圖 2.12) 6M_2-port 變壓器 Inductance



Before

After

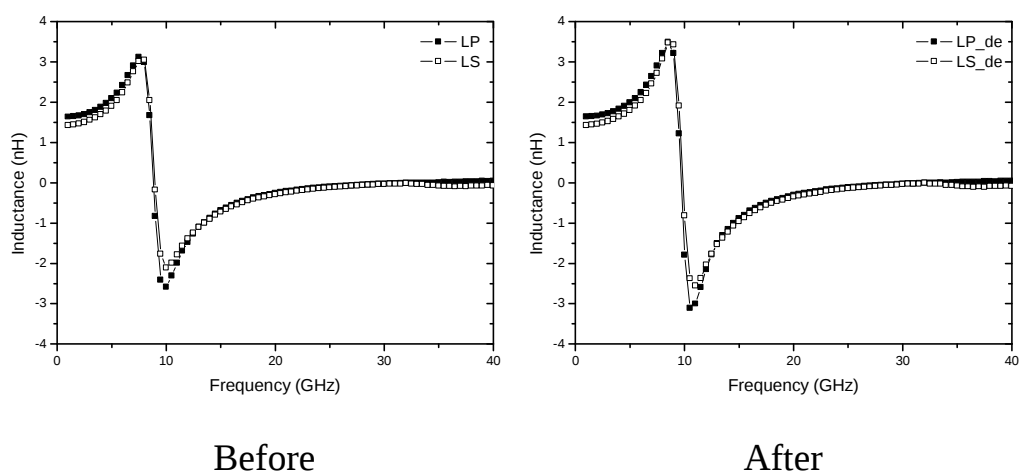
(圖 2.13) 6M_2-port 變壓器 Q-factor



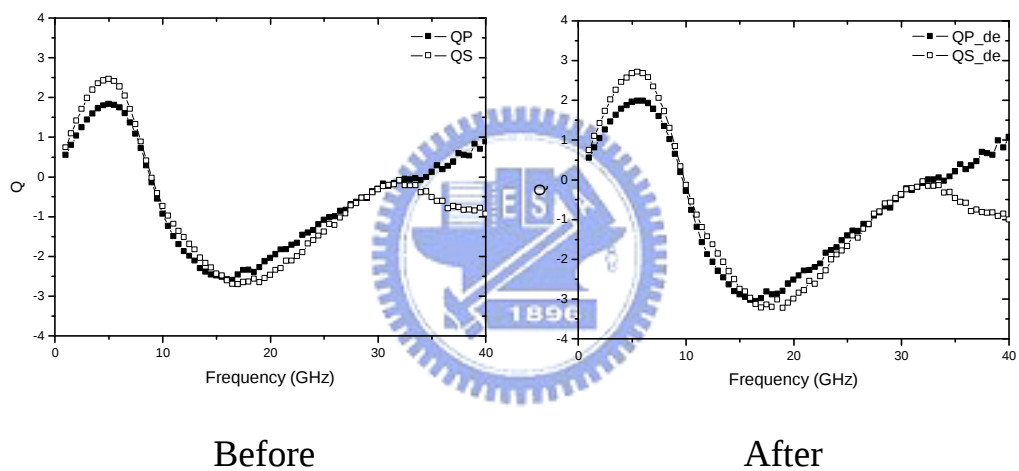
Before

After

(圖 2.14) 4M_2-port 變壓器 S-parameter



(圖 2.15) 4M_2-port 變壓器 Inductance



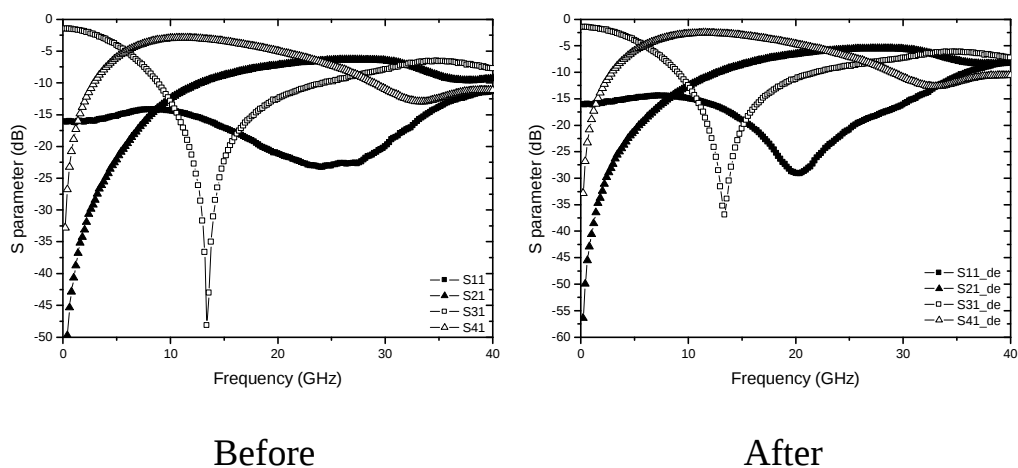
(圖 2.16) 4M_2-port 變壓器 Q-factor

— 4-port 量測結果 —

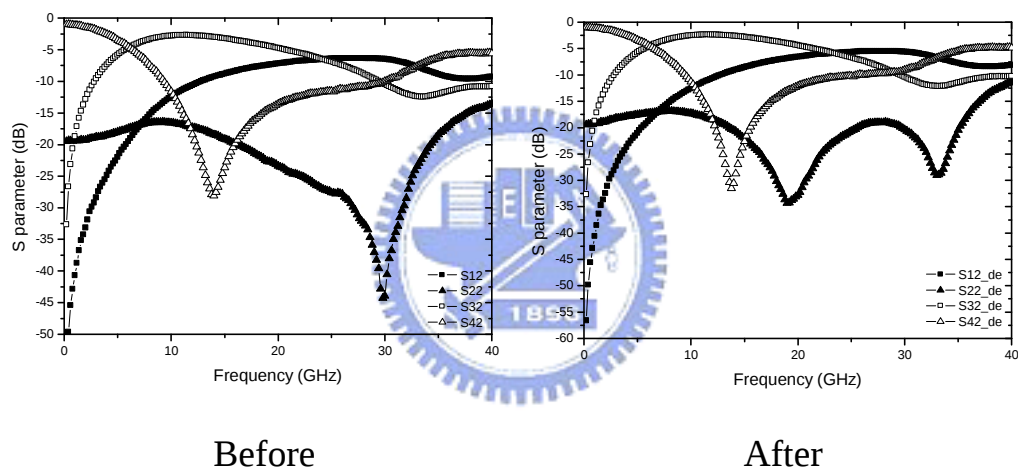
同樣的，在 4-port 變壓器量測中我們只有一個 OPEN，只能減去並聯的寄生導納效應，因此公式更簡化為：

$$[Y_d] = [Y_{raw} - Y_{open}]^{-1}$$

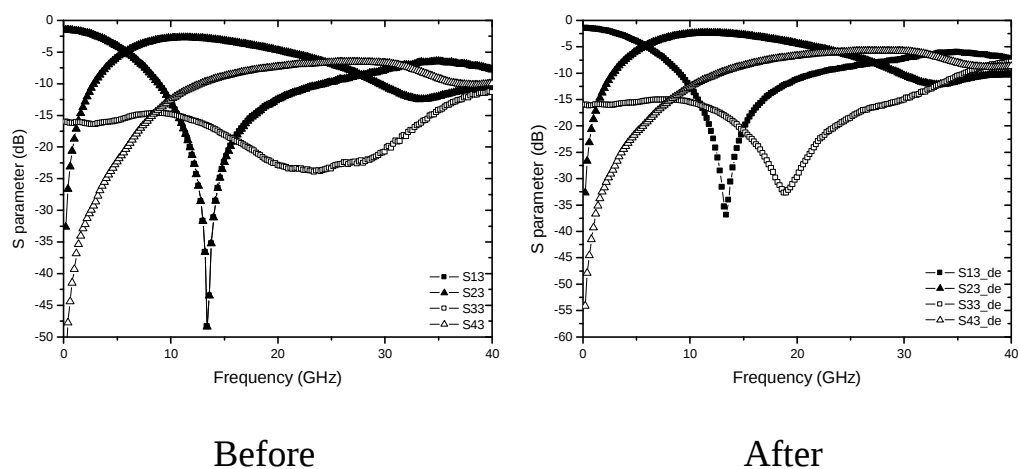
以下即為 UMC 0.18um CMOS 立體變壓器 4-port 電路量測結果，並比較做 de-embedded 之前和之後的結果。



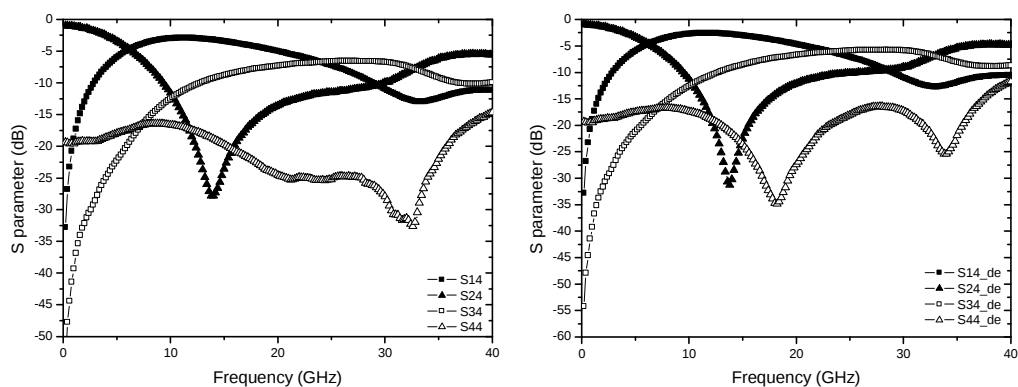
(圖 2.17) 4M_4-port 變壓器 port_1 S-parameter



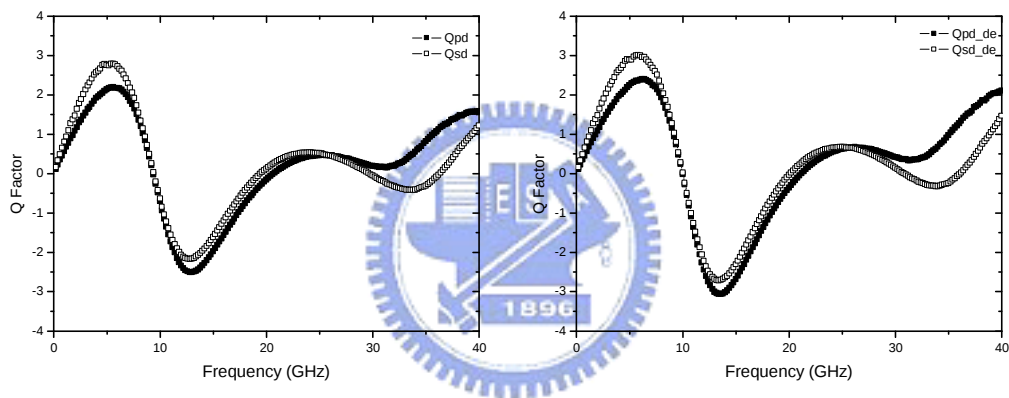
(圖 2.18) 4M_4-port 變壓器 port_2 S-parameter



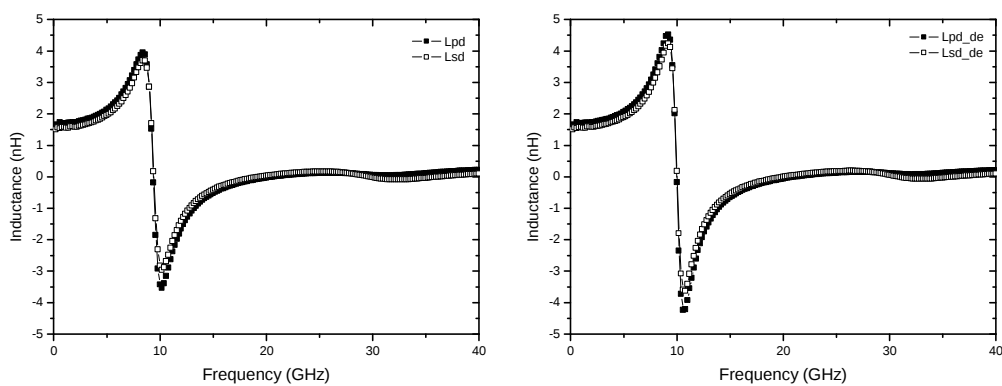
(圖 2.19) 4M_4-port 變壓器 port_3 S-parameter



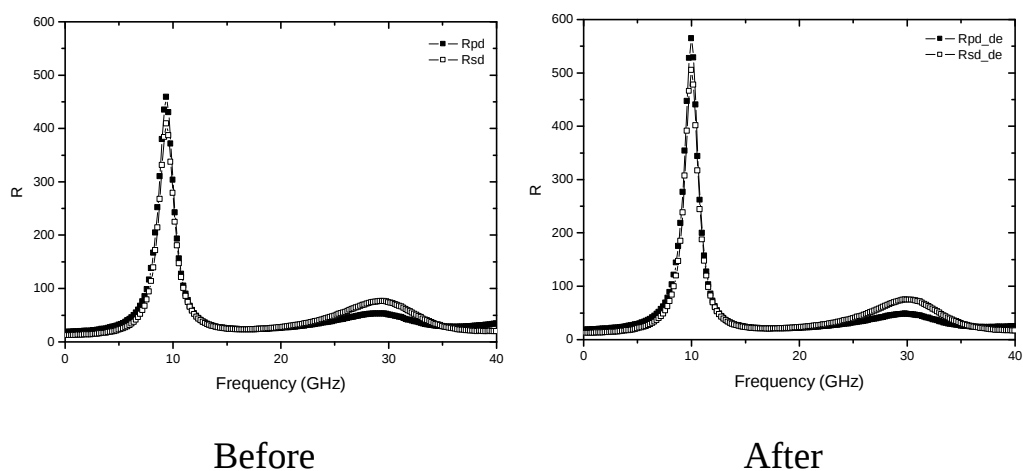
Before After
(圖 2.20) 4M_4-port 變壓器 port_4 S-parameter



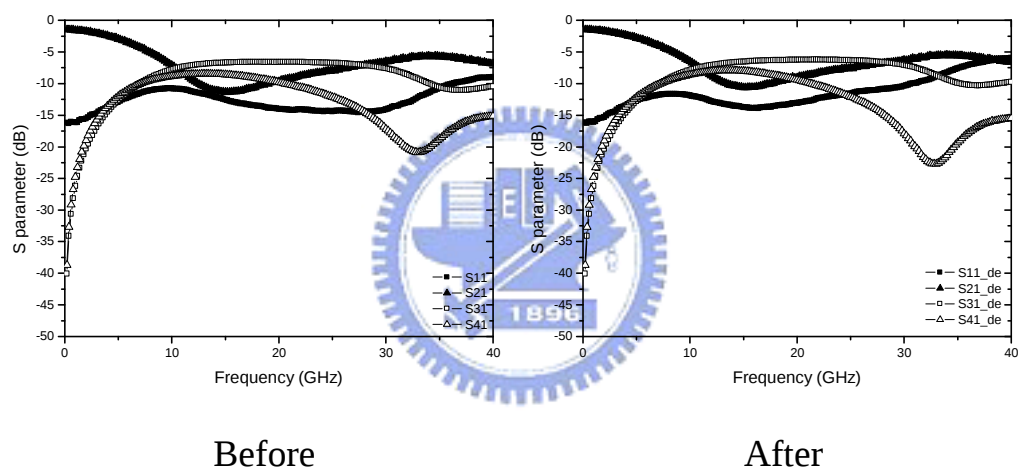
Before After
(圖 2.21) 4M_4-port 變壓器 Q 值



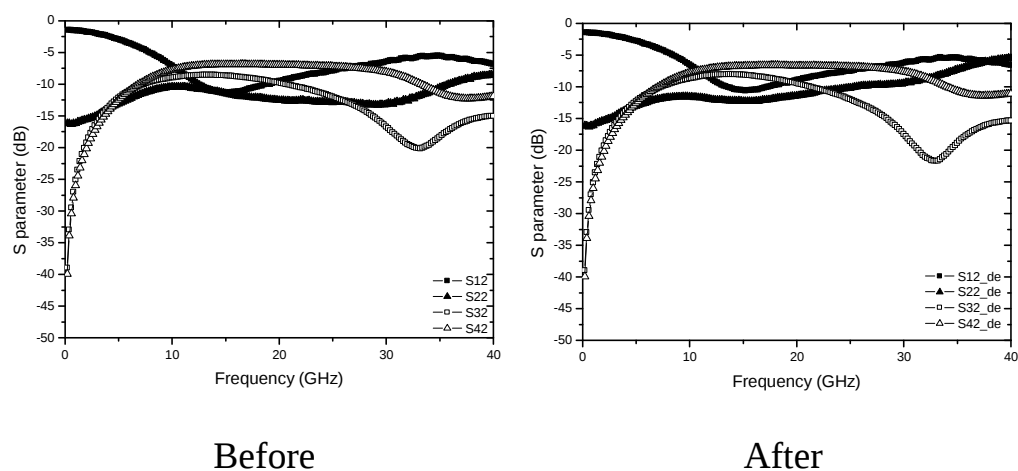
Before After
(圖 2.22) 4M_4-port 變壓器 L 值



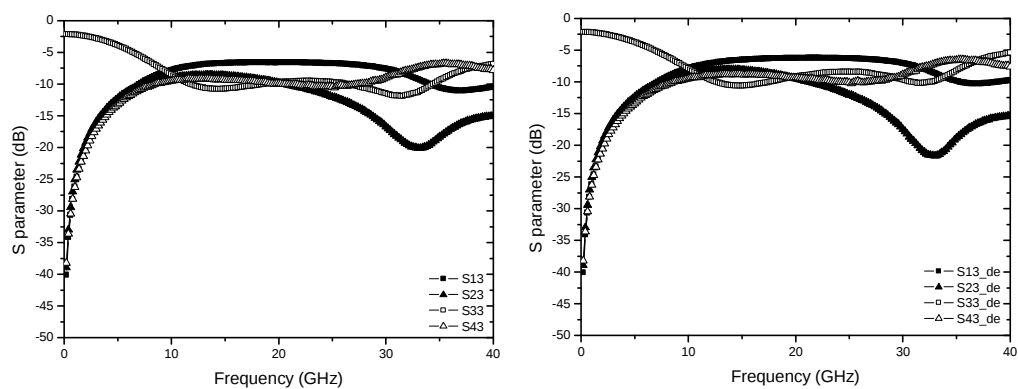
(圖 2.23) 4M_4-port 變壓器 R 值



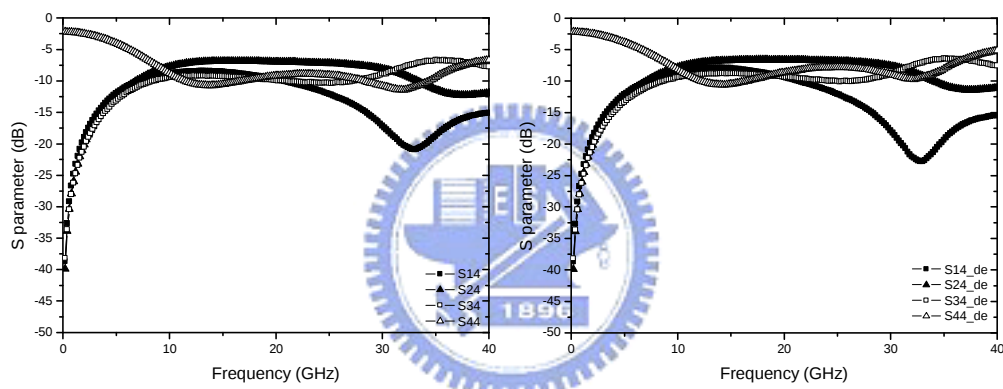
(圖 2.24) 4Mct_4-port 變壓器 port_1 S-parameter



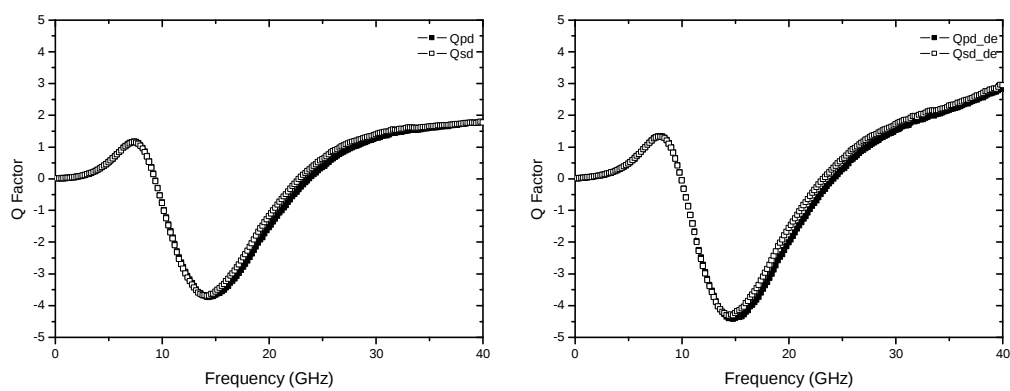
(圖 2.25) 4Mct_4-port 變壓器 port_2 S-parameter



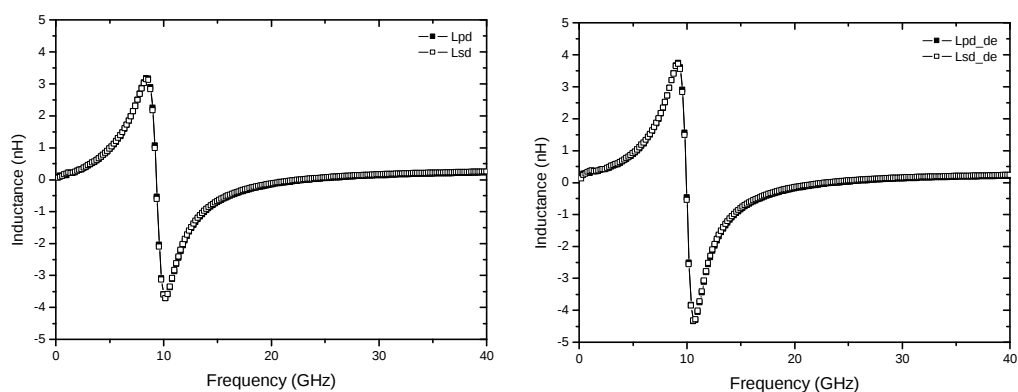
Before After
(圖 2.26) 4Mct_4-port 變壓器 port_3 S-parameter



Before After
(圖 2.27) 4Mct_4-port 變壓器 port_4 S-parameter



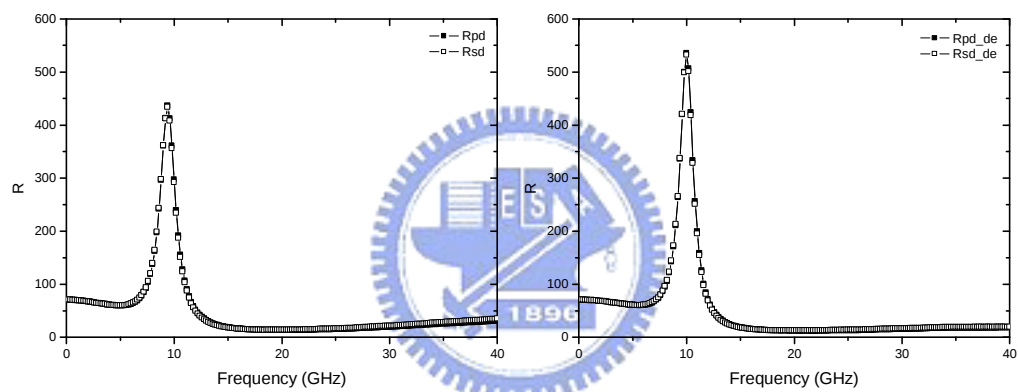
Before After
(圖 2.28) 4Mct_4-port 變壓器 Q 值



Before

After

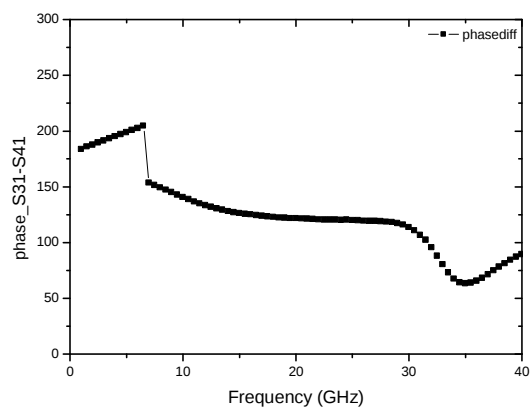
(圖 2.29) 4Mct_4-port 變壓器 L 值



Before

After

(圖 2.30) 4Mct_4-port 變壓器 R 值



(圖 2.31) 4Mct_4-port 變壓器相位差

2.5.2 結果與討論

由 2-port 量測結果知，做 de-embedded 前後結果並沒有明顯差別，因為變壓器的 size 還是很大，而且因為是多金屬層的結構，使得金屬間的電容耦合效應大，操作頻率過低，而在低頻量測時 PAD 和連接線的電容電感效應就不那麼明顯，只有在高頻處才會看的出差別。而 4-port 量測知變壓器的 $Q_{\max}$ 約在 5GHz，de-embedded 效果也並不明顯，但是如果看到附錄所列的變壓器，較小的變壓器 de-embedded 前後有著不小的差異，因為 PAD 效應相對的更加重要，扣掉寄生效應後操作頻率向上提昇，Q 值也增加。另外從(圖 2.31)所示的變壓器 balun 相位差，操作頻率(5GHz)內正負差了近 20° ，結果不如預期。



第三章

Rat-race 分析及混頻器設計



3.1 前言

在本章節我們將會討論 4 ports 的 rat-race 分合波器，並將它實現且應用在積體電路中。Rat-race 在晶片中會占去很大的面積，所以必須採取一些微小化的方式。以下將討論從傳統式的 rat-race[1]，使用相位反轉(phase inverter)的技術[2]讓電路的縮小，接著再使用螺旋變壓器型(spiral transformer)及交指型(inter-digital)[3][4][5]加上相位反轉(phase inverter)讓 rat-race 又更進一步縮小，並應用在混頻器電路上。因為將 rat-race 整合在 IC 時，矽基板為低阻值的損耗性(lossy)材料(電阻率約 $10\ \Omega \cdot \text{cm}$)，故我們也針對 phase inverter rat-race 具損耗時的特性做討論。而混頻器架構以 Gilbert mixer 為主體，首先將 rat-race 所產生的差動訊號置於混頻器的 LO 端，再來利用 rat-race 合波的功能將混頻器的 differential mode 訊號相加輸出，以增加輸出能量，並消除 common mode 訊號成分，以達到更好的隔離度。本章電路以 TSMC 0.35um SiGe BiCMOS 和 TSMC 0.13um CMOS 製程設計與製做。

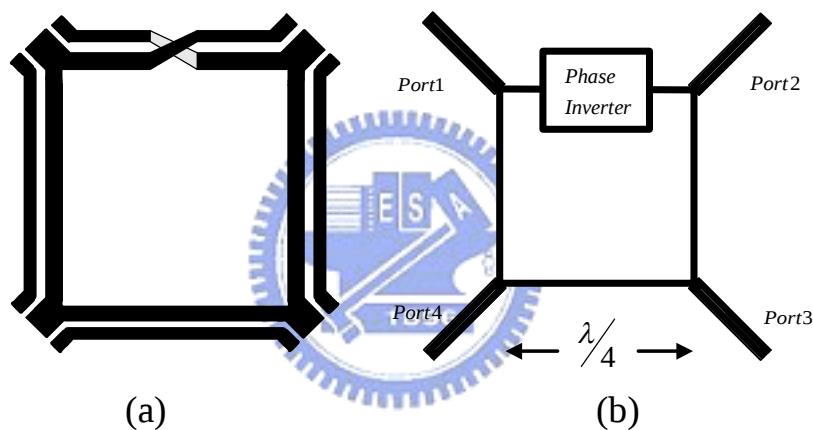
3.2 Rat-race 理論分析

傳統式 rat-race 幾乎在所有的微波電路相關書籍均可找到，在此不再贅述。本節將針對 phase inverter 和 inter-digital 等常見的微小化方式做理論分析與設計考量[6]，最後再討論 phase inverter rat-race 製

做在損耗性基板上的特性及相關推導。

3.2.1 Rat-race 的相位反轉(phase inverter)理論分析

傳統式 rat-race 因 $3\lambda/4$ 長度過長有佔據電路過大的面積以及頻寬很窄的缺點，故我們可利用 $\lambda/4$ 長度加 180 度相位反轉(phase inverter)取代傳統環型 rat-race 的 $3\lambda/4$ 的長度，同時使電路結構更加對稱，也克服了窄頻的缺點。我們以 C.Y. Chang 於 2003 所提出的微小化 rat-race 做為設計依據[7]。(圖 3.1)為 phase inverter 的 rat-race。



(圖 3.1) 相位反轉(phase inverter) rat-race 示意圖

我們由奇、偶模半電路來做 phase inverter 電路分析，求得奇、偶模的 ABCD 矩陣[2]:

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix}_e = \begin{bmatrix} \cos \theta_1 + j \frac{b_1}{Y_1} \sin \theta_1 & j \frac{1}{Y_1} \sin \theta_1 \\ b_2 \cos \theta_1 + j Y_1 \sin \theta_1 + b_1 b_2 j \frac{1}{Y_1} \sin \theta_1 + b_1 \cos \theta_1 & j \frac{b_2}{Y_1} \sin \theta_1 \cos \theta_1 \end{bmatrix}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix}_o = \begin{bmatrix} \cos \theta_1 + j \frac{b_2}{Y_1} \sin \theta_1 & j \frac{1}{Y_1} \sin \theta_1 \\ b_1 \cos \theta_1 + j Y_1 \sin \theta_1 + b_1 b_2 j \frac{1}{Y_1} \sin \theta_1 + b_2 \cos \theta_1 & j \frac{b_1}{Y_1} \sin \theta_1 \cos \theta_1 \end{bmatrix}$$

繼續將 ABCD 矩陣轉為 S 參數：

偶模 S 參數：

$$S_{11e} = \frac{-Z_0 \cos \theta_1 (b_1 + b_2) + jZ_1 \sin \theta_1 (b_2 - b_1) + jZ_0 Y_1 \sin \theta_1 (-1 - b_2 b_1 Z_1^2 + Y_0^2 Z_1^2)}{2 \cos \theta_1 + (Z_0 \cos \theta_1 + jZ_1 \sin \theta_1)(b_1 + b_2) + jZ_0 Y_1 \sin \theta_1 (1 + b_2 b_1 Z_1^2 + Y_0^2 Z_1^2)}$$

$$S_{12e} = S_{21e} = \frac{2}{2 \cos \theta_1 + (Z_0 \cos \theta_1 + jZ_1 \sin \theta_1)(b_1 + b_2) + jZ_0 Y_1 \sin \theta_1 (1 + b_2 b_1 Z_1^2 + Y_0^2 Z_1^2)}$$

$$S_{22e} = \frac{-Z_0 \cos \theta_1 (b_1 + b_2) + jZ_1 \sin \theta_1 (b_1 - b_2) + jZ_0 Y_1 \sin \theta_1 (-1 - b_1 b_2 Z_1^2 + Y_0^2 Z_1^2)}{2 \cos \theta_1 + (Z_0 \cos \theta_1 + jZ_1 \sin \theta_1)(b_1 + b_2) + jZ_0 Y_1 \sin \theta_1 (1 + b_2 b_1 Z_1^2 + Y_0^2 Z_1^2)}$$

奇模 S 參數：

$$S_{11o} = \frac{-Z_0 \cos \theta_1 (b_1 + b_2) + jZ_1 \sin \theta_1 (b_1 - b_2) + jZ_0 Y_1 \sin \theta_1 (-1 - b_1 b_2 Z_1^2 + Y_0^2 Z_1^2)}{2 \cos \theta_1 + (Z_0 \cos \theta_1 + jZ_1 \sin \theta_1)(b_1 + b_2) + jZ_0 Y_1 \sin \theta_1 (1 + b_2 b_1 Z_1^2 + Y_0^2 Z_1^2)}$$

$$S_{12o} = S_{21o} = \frac{2}{2 \cos \theta_1 + Z_0 \cos \theta_1 (b_2 + b_1) + jZ_1 \sin \theta_1 (b_1 + b_2) + jZ_0 Y_1 \sin \theta_1 (1 + b_1 b_2 Z_1^2 + Y_0^2 Z_1^2)}$$

$$S_{22o} = \frac{-Z_0 \cos \theta_1 (b_1 + b_2) + jZ_1 \sin \theta_1 (b_2 - b_1) + jZ_0 Y_1 \sin \theta_1 (-1 - b_1 b_2 Z_1^2 + Y_0^2 Z_1^2)}{2 \cos \theta_1 + (Z_0 \cos \theta_1 + jZ_1 \sin \theta_1)(b_1 + b_2) + jZ_0 Y_1 \sin \theta_1 (1 + b_1 b_2 Z_1^2 + Y_0^2 Z_1^2)}$$

轉換而得的 S 參數，將奇模與偶模做重疊原理得：

$$S_{34} = S_{43} = \frac{1}{2}(S_{11e} - S_{11o}) = \frac{jZ_1 \sin \theta_1 (b_2 - b_1)}{2 \cos \theta_1 + (Z_0 \cos \theta_1 + jZ_1 \sin \theta_1)(b_1 + b_2) + jZ_0 Y_1 \sin \theta_1 (1 + b_1 b_2 Z_1^2 + Y_0^2 Z_1^2)} = -S_{12}$$

由上面的推導最後可以看出 phase inverter 提供了 180 度的效果，可以

取代傳統環型 rat-race 的 $\frac{3}{4}\lambda$ 傳輸線已達到微小化的目的。

3.2.2 交指型相位反轉 rat-race 理論分析

之前提到如何利用相位反轉的方式將 rat-race 的電路尺寸縮小，

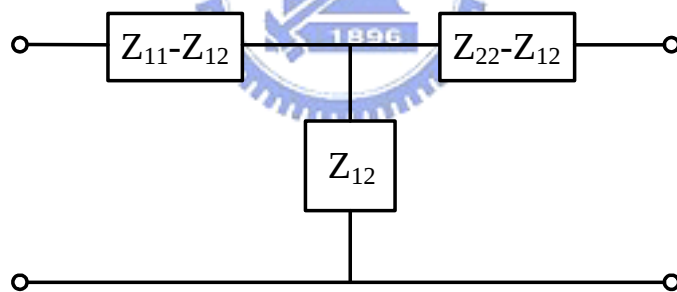
在本節將會介紹如何利用步階阻抗(steped impedance)將傳輸線縮短，達到整體微小化的目的，也就是說將原本的傳輸線改為一個低阻抗、高阻抗、低阻抗相間的傳輸線，如此會讓原本傳輸線更加縮小。

假設一段傳輸線的長度為 l ，特性阻抗為 Z_o ，其 ABCD 矩陣可以表示為 $A = \cos \beta l$ 、 $B = jZ_o \sin \beta l$ 、 $C = jY_o \sin \beta l$ 、 $D = \cos \beta l$ ，轉換為 Z 參數得到下列等式：

$$Z_{11} = Z_{22} = \frac{A}{C} = -jZ_o \cot \beta l$$

$$Z_{12} = Z_{21} = \frac{1}{C} = -jZ_o \csc \beta l$$

(圖 3.2)為 2-port T 型等效電路



(圖 3.2) 互易性 2-port 網路 T 型等效電路

其中串聯元件為 $Z_{11} - Z_{12} = -jZ_o \left[\frac{\cos \beta l - 1}{\sin \beta l} \right] = jZ_o \tan \left(\frac{\beta l}{2} \right)$ ，並聯元件

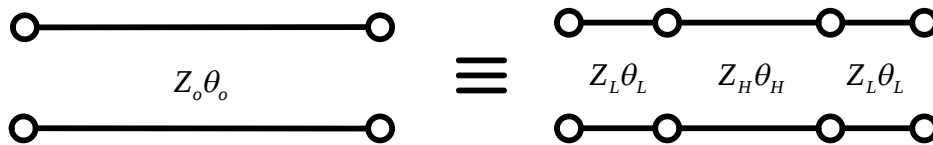
為 Z_{12} ，如果當 $\beta l < \frac{\pi}{2}$ 時，串聯阻抗為正電抗 jX (電感)，而並聯導納

為負電抗 jB (電容)，其中 $X = Z_o \tan \left(\frac{\beta l}{2} \right)$ 、 $B = \frac{1}{Z_o} \sin \beta l$ ，假設當

特性阻抗很高的時候上式可近似為 $X = Z_o \tan \frac{\beta l}{2}$ 、 $B \cong 0$ ，整個傳輸線變成電感性，好像一個串聯的電感。倘若當特性阻抗很低的時候上式可近似為 $X \cong 0$ 、 $B = Y_o \sin \beta l$ ，整個傳輸線就變成電容性，好像一個串聯的電容。

因此我們可以知道 stepped impedance 之低阻抗、高阻抗、低阻抗相間的傳輸線，可以利用電容性、電感性、電容性相間來取代。然而在傳輸線理論中，當傳輸線寬度很小的時候，呈現的是高阻抗(電感性)，而當傳輸線寬度很大的時候，呈現的是低阻抗(電容性)，在此我們將利用寬度較小的傳輸線來表示高阻抗與交指型電容來表示低阻抗，以達到步階阻抗的傳輸線。

而步階阻抗傳輸線可由(圖 3.3)表示之：



(圖 3.3) stepped impedance 等效電路示意圖

我們先計算兩者的 ABCD 矩陣如下：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cos \theta_o & jZ_o \sin \theta_o \\ j\frac{1}{Z_o} \sin \theta_o & \cos \theta_o \end{bmatrix}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cos \theta_L & jZ_L \sin \theta_L \\ j\frac{1}{Z_L} \sin \theta_L & \cos \theta_L \end{bmatrix} \begin{bmatrix} \cos \theta_H & jZ_H \sin \theta_H \\ j\frac{1}{Z_H} \sin \theta_H & \cos \theta_H \end{bmatrix} \begin{bmatrix} \cos \theta_L & jZ_L \sin \theta_L \\ j\frac{1}{Z_L} \sin \theta_L & \cos \theta_L \end{bmatrix}$$

假設 $Z_L \ll Z_o \ll Z_H$

則上述兩個的矩陣應該是相等的，經過展開計算後可得到

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cos^2 \theta_L \cos \theta_H - \frac{Z_L}{Z_H} \sin \theta_L \sin \theta_H \cos \theta_L - \frac{Z_H}{Z_L} \sin \theta_L \sin \theta_H \cos \theta_L - \sin^2 \theta_L \cos \theta_H \\ 2j \frac{1}{Z_L} \cos \theta_L \cos \theta_H \sin \theta_L - j \frac{Z_H}{Z_L^2} \sin^2 \theta_L \sin \theta_H + j \frac{1}{Z_H} \cos^2 \theta_L \sin \theta_H \\ 2j Z_L \cos \theta_L \cos \theta_H \sin \theta_L - j \frac{Z_L^2}{Z_H} \sin^2 \theta_L \sin \theta_H + j Z_H \cos^2 \theta_L \sin \theta_H \\ \cos^2 \theta_L \cos \theta_H - \frac{Z_L}{Z_H} \sin \theta_L \sin \theta_H \cos \theta_L - \frac{Z_H}{Z_L} \sin \theta_L \sin \theta_H \cos \theta_L - \sin^2 \theta_L \cos \theta_H \end{bmatrix}$$

經整理後可得到下列兩個等式：

$$Z_L = \frac{Z_H \sin \theta_H \sin \theta_L}{2 \cos \theta_H \cos \theta_L}, \quad Z_H = \frac{Z_o \sin \theta_o}{\sin \theta_H \cos^2 \theta_L}$$

有了這兩個等式，我們可以先估算所需要的特性阻抗值與其等效的電容、電感值，並且利用交指型電容來實現。

3.2.3 衰減性相位反轉 rat-race 理論分析

過去 rat-race 分合波器的發展皆是以理想傳輸線為運算基礎，也就是無衰減的傳輸線，但是當我們將電路整合至晶片中，在損耗性基板上實現時，是否依然還是可以得到一樣的結論呢？接下來我們將衰減常數納入考慮來分析其結果。

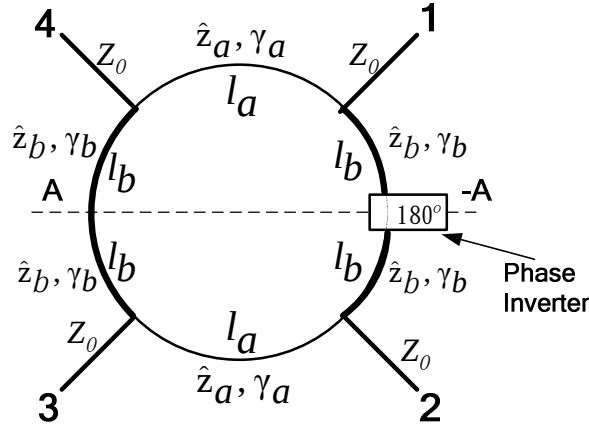
首先，我們針對一段具有衰減的傳輸線作分析，ABCD 矩陣為：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cosh(\gamma \ell) & Z \sinh(\gamma \ell) \\ Y \sinh(\gamma \ell) & \cosh(\gamma \ell) \end{bmatrix}$$

此時的 ABCD 矩陣因為帶有衰減常數，所以其元素，不再為單純的三

角函數，而是 hyperbolic 函數。另外我們將兩臂的特性阻抗 Z_a 、 Z_b

對特徵阻抗 Z_0 作正規化，亦即： $\hat{z}_a = \frac{Z_a}{Z_0}$ ， $\hat{z}_b = \frac{Z_b}{Z_0}$ [8]。



(圖 3.4) 衰減性相位反轉之 rat-race 分合波器

(圖 3.4)為一個衰減性的 phase inverter rat-race 分合波器，我們同樣的用奇、偶模半電路分析之。其中 180° phase inverter 在對稱結構下的奇、偶模半電路，各有 90° 的相位差。在偶模半電路，當開路端加上 90° 相位差後，就會變成短路；同樣的，在奇模半電路中，短路加上 90° 相位差變成開路。

由此分析我們可以知奇、偶模的 ABCD 矩陣：

$$\begin{aligned} \begin{bmatrix} A & B \\ C & D \end{bmatrix}_e &= \begin{bmatrix} 1 & 0 \\ \frac{1}{\hat{z}_b} \coth(\gamma_b l_b) & 1 \end{bmatrix} \begin{bmatrix} \cosh(\gamma_a l_a) & \hat{z}_a \sinh(\gamma_a l_a) \\ \frac{1}{\hat{z}_a} \sinh(\gamma_a l_a) & \cosh(\gamma_a l_a) \end{bmatrix} \begin{bmatrix} 1 & 0 \\ \frac{1}{\hat{z}_b} \tanh(\gamma_b l_b) & 1 \end{bmatrix} \\ &= \begin{bmatrix} \cosh(\gamma_a l_a) + \frac{\hat{z}_a}{\hat{z}_b} \tanh(\gamma_b l_b) \sinh(\gamma_a l_a) & \hat{z}_a \sinh(\gamma_a l_a) \\ \frac{1}{\hat{z}_b} \cosh(\gamma_a l_a) [\tanh(\gamma_b l_b) + \coth(\gamma_b l_b)] + \sinh(\gamma_a l_a) [\frac{1}{\hat{z}_b} + \frac{\hat{z}_a}{\hat{z}_b}] & \cosh(\gamma_a l_a) + \frac{\hat{z}_a}{\hat{z}_b} \coth(\gamma_b l_b) \sinh(\gamma_a l_a) \end{bmatrix} \end{aligned}$$

$$\begin{aligned} \begin{bmatrix} A & B \\ C & D \end{bmatrix}_o &= \begin{bmatrix} 1 & 0 \\ \frac{1}{\hat{z}_b} \tanh(\gamma_b l_b) & 1 \end{bmatrix} \begin{bmatrix} \cosh(\gamma_a l_a) & \hat{z}_a \sinh(\gamma_a l_a) \\ \frac{1}{\hat{z}_a} \sinh(\gamma_a l_a) & \cosh(\gamma_a l_a) \end{bmatrix} \begin{bmatrix} 1 & 0 \\ \frac{1}{\hat{z}_b} \coth(\gamma_b l_b) & 1 \end{bmatrix} \\ &= \begin{bmatrix} \cosh(\gamma_a l_a) + \frac{\hat{z}_a}{\hat{z}_b} \coth(\gamma_b l_b) \sinh(\gamma_a l_a) & \hat{z}_a \sinh(\gamma_a l_a) \\ \frac{1}{\hat{z}_b} \cosh(\gamma_a l_a) [\tanh(\gamma_b l_b) + \coth(\gamma_b l_b)] + \sinh(\gamma_a l_a) [\frac{1}{\hat{z}_b} + \frac{\hat{z}_a}{\hat{z}_b^2}] & \cosh(\gamma_a l_a) + \frac{\hat{z}_a}{\hat{z}_b} \tanh(\gamma_b l_b) \sinh(\gamma_a l_a) \end{bmatrix} \end{aligned}$$

利用變數代換得到 $\begin{bmatrix} A & B \\ C & D \end{bmatrix}_e = \begin{bmatrix} a & b \\ c & d \end{bmatrix}$, $\begin{bmatrix} A & B \\ C & D \end{bmatrix}_o = \begin{bmatrix} d & b \\ c & a \end{bmatrix}$, 其中

$$a = \cosh(\gamma_a l_a) + \frac{\hat{z}_a}{\hat{z}_b} \coth(\gamma_b l_b) \sinh(\gamma_a l_a)$$

$$b = \hat{z}_a \sinh(\gamma_a l_a)$$

$$c = \frac{1}{\hat{z}_b} \cosh(\gamma_a l_a) [\tanh(\gamma_b l_b) + \coth(\gamma_b l_b)] + \sinh(\gamma_a l_a) [\frac{1}{\hat{z}_b} + \frac{\hat{z}_a}{\hat{z}_b^2}]$$

$$d = \cosh(\gamma_a l_a) + \frac{\hat{z}_a}{\hat{z}_b} \tanh(\gamma_b l_b) \sinh(\gamma_a l_a)$$

我們可以發現奇、偶模的 ABCD 矩陣元素只有 A、D 位置相反，是因為偶模時由左邊看進去和奇模時由右邊看進去的情形是一樣的，所以會得到上述的結果。

繼續將 ABCD 矩陣轉換為 S 參數：

$$\begin{bmatrix} S_{11} & S_{14} \\ S_{41} & S_{44} \end{bmatrix}_e = \begin{bmatrix} \frac{a+b-c-d}{a+b+c+d} & \frac{2}{a+b+c+d} \\ \frac{2}{a+b+c+d} & \frac{-a+b-c+d}{a+b+c+d} \end{bmatrix}$$

$$\begin{bmatrix} S_{11} & S_{14} \\ S_{41} & S_{44} \end{bmatrix}_o = \begin{bmatrix} \frac{d+b-c-a}{a+b+c+d} & \frac{2}{a+b+c+d} \\ \frac{2}{a+b+c+d} & \frac{-d+b-c+a}{a+b+c+d} \end{bmatrix}$$

$$[S] = \begin{bmatrix} \frac{S_{11e}+S_{11o}}{2} & \frac{S_{11e}-S_{11o}}{2} & \frac{S_{14e}-S_{14o}}{2} & \frac{S_{14e}+S_{14o}}{2} \\ \frac{S_{11e}-S_{11o}}{2} & \frac{S_{11e}+S_{11o}}{2} & \frac{S_{14e}+S_{14o}}{2} & \frac{S_{14e}-S_{14o}}{2} \\ \frac{S_{41e}-S_{41o}}{2} & \frac{S_{41e}+S_{41o}}{2} & \frac{S_{44e}+S_{44o}}{2} & \frac{S_{44e}-S_{44o}}{2} \\ \frac{S_{41e}+S_{41o}}{2} & \frac{S_{41e}-S_{41o}}{2} & \frac{S_{44e}-S_{44o}}{2} & \frac{S_{44e}+S_{44o}}{2} \end{bmatrix}$$

$$= \frac{1}{a+b+c+d} \begin{bmatrix} b-c & a-d & 0 & 2 \\ a-d & b-c & 2 & 0 \\ 0 & 2 & b-c & d-a \\ 2 & 0 & d-a & b-c \end{bmatrix} = \begin{bmatrix} S_{11} & S_{21} & S_{31} & S_{41} \\ S_{21} & S_{11} & S_{41} & S_{31} \\ S_{31} & S_{41} & S_{11} & -S_{21} \\ S_{41} & S_{31} & -S_{21} & S_{11} \end{bmatrix}$$

其中

$$S_{11} = \frac{\sinh(\gamma_a l_a) \left(\hat{z}_a - 1/\hat{z}_a - \hat{z}_a/\hat{z}_b^2 \right) - 1/\hat{z}_b \cosh(\gamma_a l_a) [\tanh(\gamma_b l_b) + \coth(\gamma_b l_b)]}{2 \cosh(\gamma_a l_a) + 1/\hat{z}_b [\hat{z}_a \sinh(\gamma_a l_a) + \cosh(\gamma_a l_a)] [\tanh(\gamma_b l_b) + \coth(\gamma_b l_b)] + \sinh(\gamma_a l_a) [\hat{z}_a + 1/\hat{z}_a + \hat{z}_a/\hat{z}_b^2]}$$

$$S_{21} = \frac{\hat{z}_a/\hat{z}_b \sinh(\gamma_a l_a) [\tanh(\gamma_b l_b) - \coth(\gamma_b l_b)]}{2 \cosh(\gamma_a l_a) + 1/\hat{z}_b [\hat{z}_a \sinh(\gamma_a l_a) + \cosh(\gamma_a l_a)] [\tanh(\gamma_b l_b) + \coth(\gamma_b l_b)] + \sinh(\gamma_a l_a) [\hat{z}_a + 1/\hat{z}_a + \hat{z}_a/\hat{z}_b^2]}$$

$$S_{31} = 0$$

$$S_{41} = \frac{2}{2 \cosh(\gamma_a l_a) + 1/\hat{z}_b [\hat{z}_a \sinh(\gamma_a l_a) + \cosh(\gamma_a l_a)] [\tanh(\gamma_b l_b) + \coth(\gamma_b l_b)] + \sinh(\gamma_a l_a) [\hat{z}_a + 1/\hat{z}_a + \hat{z}_a/\hat{z}_b^2]}$$

$$Loss = -10 \times \log \left(|S_{11}|^2 + |S_{21}|^2 + |S_{31}|^2 + |S_{41}|^2 \right)$$

由以上結果可知，無論在有無衰減的條件下，port 3 都是一個理想的 isolation port。而 $S_{43} = -S_{21}$ 亦可證明 180° phase inverter 可以達到相位反轉，並且與頻率無關。

當分合波器的環臂為等長，並且具有相同的傳播常數與特性阻抗時，亦即 $l_a = 2l_b = l$ ， $\gamma_a = \gamma_b = \gamma = \alpha + j\beta$ ， $\hat{z}_a = \hat{z}_b$ ，代入上述 S 參數結果如下：

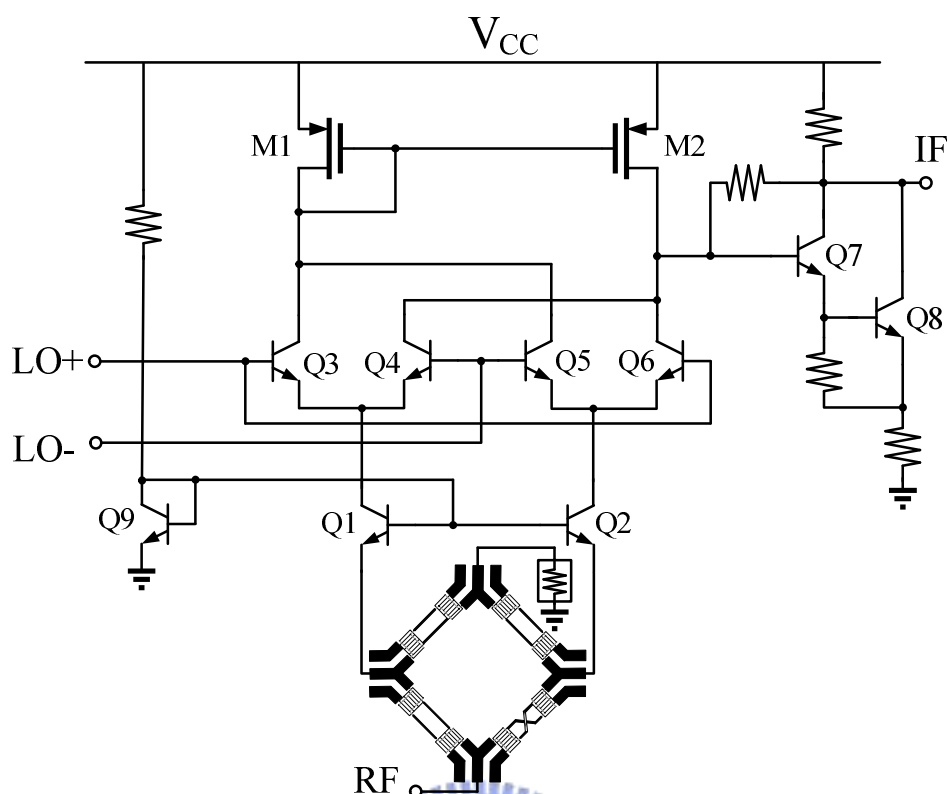
$$\begin{aligned}
 S_{21} &= \frac{-\sinh(\gamma\ell) \left[\frac{\cosh(\gamma\ell/2)}{\sinh(\gamma\ell/2)} - \frac{\sinh(\gamma\ell/2)}{\cosh(\gamma\ell/2)} \right]}{2 \cosh(\gamma\ell) + 1/\hat{Z} [\hat{Z} \sinh(\gamma\ell) + \cosh(\gamma\ell)] [\tanh(\gamma\ell/2) + \coth(\gamma\ell/2)] + \sinh(\gamma\ell) [\hat{Z} + 2/\hat{Z}]} \\
 &= \frac{-\sinh(\gamma\ell) \left[\frac{\cosh^2(\gamma\ell/2) - \sinh^2(\gamma\ell/2)}{\sinh(\gamma\ell/2) \cosh(\gamma\ell/2)} \right]}{2 \cosh(\gamma\ell) + 1/\hat{Z} [\hat{Z} \sinh(\gamma\ell) + \cosh(\gamma\ell)] [\tanh(\gamma\ell/2) + \coth(\gamma\ell/2)] + \sinh(\gamma\ell) [\hat{Z} + 2/\hat{Z}]} \\
 &= \frac{-\sinh(\gamma\ell) [2 \csc h(\gamma\ell)]}{2 \cosh(\gamma\ell) + 1/\hat{Z} [\hat{Z} \sinh(\gamma\ell) + \cosh(\gamma\ell)] [\tanh(\gamma\ell/2) + \coth(\gamma\ell/2)] + \sinh(\gamma\ell) [\hat{Z} + 2/\hat{Z}]} \\
 &= \frac{-2}{2 \cosh(\gamma\ell) + 1/\hat{Z} [\hat{Z} \sinh(\gamma\ell) + \cosh(\gamma\ell)] [\tanh(\gamma\ell/2) + \coth(\gamma\ell/2)] + \sinh(\gamma\ell) [\hat{Z} + 2/\hat{Z}]} \\
 &= -S_{41}
 \end{aligned}$$

所以當分合波器的環臂為等長，並且具有相同的傳播常數與特性阻抗時，訊號由 port1 輸入，在 port 2、4 可以得到功率、相位相反的輸出，port3 為 isolation port。以同樣方法也可以推導出，當訊號由 port4 輸入時，在 port 1、3 可以得到功率、相位相反的輸出，port2 為 isolation port。



3.3 交指型相位反轉 rat-race 應用在 RF 輸入端之降頻混頻器實作

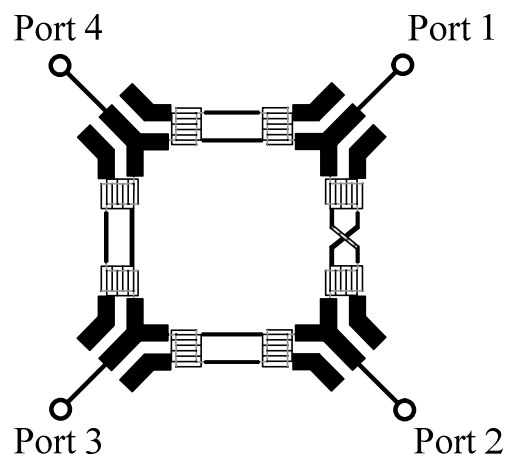
本電路使用了 TSMC 0.35um SiGe BiCMOS 製程技術，實現 RF 為 17.1GHz，IF 頻率為 100MHz 的 Gilbert 混頻器。量測上除 LO 須需外接 balun 產生差動訊號外，RF 及 IF 端都為單端輸入輸出，RF 的輸入端設計了 on-chip 的 rat-race 作為 balun，而 IF 端則用 PMOS 電流鏡將輸出的差動訊號轉換成單端輸出，並用 Cherry Hooper 架構作為 buffer。整體電路架構如(圖 3.5)所示：



(圖 3.5) SiGe BiCMOS 交指型 rat-race 降頻混頻器電路圖

3.3.1 RF 端輸入級

本電路採用 Gilbert cell 混頻器為主要架構核心，由四個電晶體 (Q3~Q6) 形成電流開關，在 RF 端採用交指型 rat-race 來產生差動訊號，如(圖 3.6)所示，差動訊號由 RF 電晶體 Q1 和 Q2 以 common base(CB)的組態進入混頻器，如此相較於傳統的 common emitter(CE) 組態除有方便匹配和快速等優點外，還可以省去量測時須外接 base-T 給偏壓的麻煩。

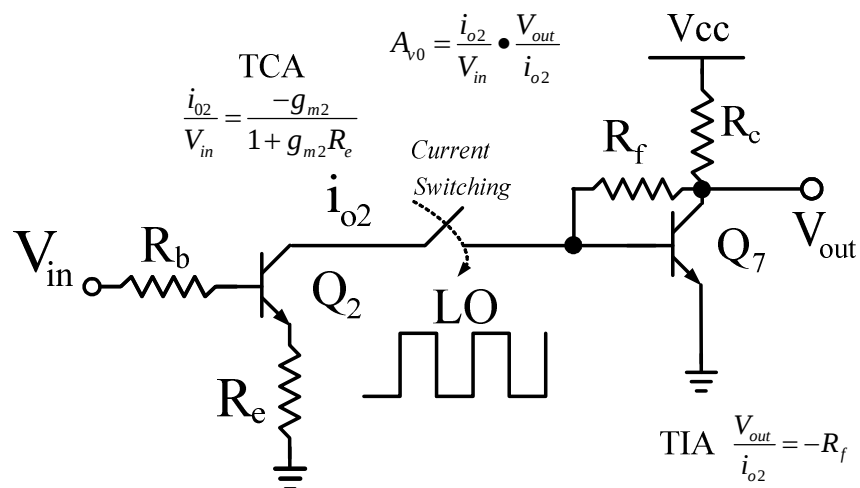


(圖 3.6) 交指型 rat-race

Rat-race 訊號以共平面波導(coplanar waveguide CPW)方式輸入，再轉換為共平面微帶線(coplanar strip-line CPS)，原本 $\lambda/4$ 的傳輸線以交指型電容和細傳輸線組成低-高-低的步階阻抗以縮小電路面積。被動電路部份是使用 IE3D 軟體模擬其電磁效應，再將模擬結果的 S 參數和主動電路部份一起模擬。RF 訊號由(圖 3.6)的 port 1 輸入，在 port2、4 會有差動訊號，而 port3 為 isolation port。

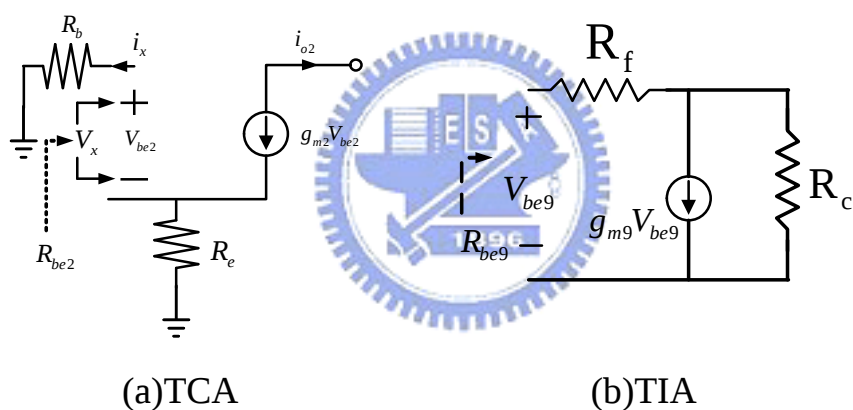
3.3.2 IF 端輸出級

本電路在 IF 端採用並聯-並聯回授放大器作為 buffer，整個架構可以看成 Cherry Hooper 放大器，不僅能提高轉換增益，而且可以操作在更高頻。因為 Gilbert cell 只提供 switch，整個混頻器增益由轉導級 Q1、Q2 所主導，可由(圖 3.7)來分析，Q1、Q2 所扮演的是一個轉導放大器(TCA)，而 Q7 則為轉阻放大器(TIA)[\[9\]](#)[\[10\]](#)。



(圖 3.7) Cherry Hooper 放大器操作機制

(圖 3.8)為小信號分析，分為轉導與轉阻兩部分來討論。



(圖 3.8) 轉導與轉阻放大器小信號分析

由(圖 3.8)，我們可以寫出其電路的轉移函數

$$A_v(S) = \frac{i_{o2}}{V_{in}}(S) \cdot \frac{V_{out}}{i_{o2}}(S) = \frac{G_{m2}}{1 + S/\omega_{P2}} \times \frac{R_{m9}}{1 + S/\omega_{P9}}$$

由戴維寧等效電路可以求得

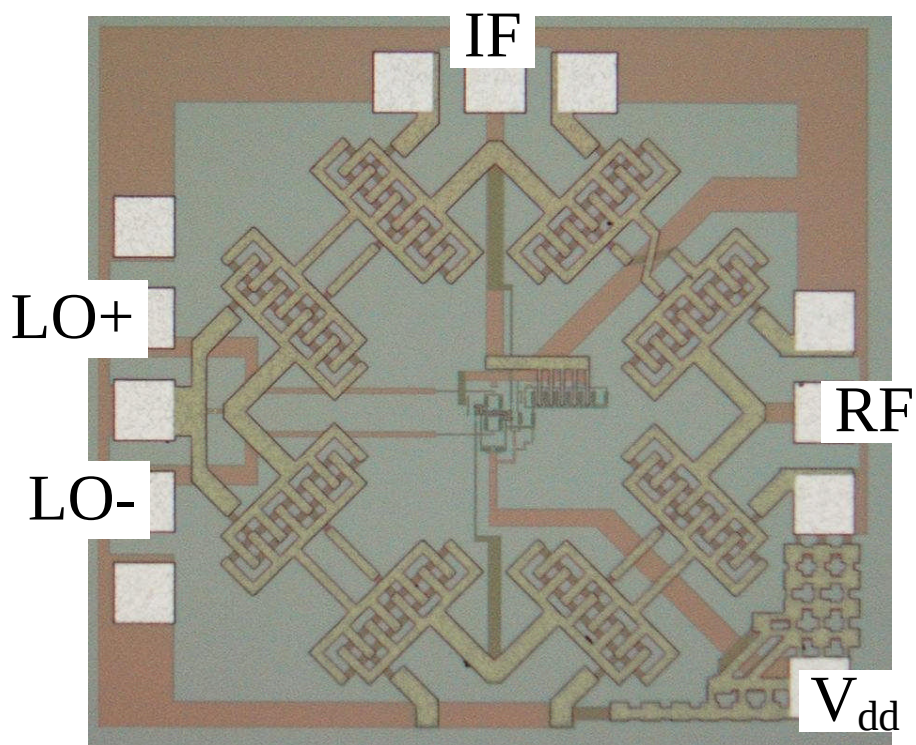
$$\left\{ \begin{array}{l} \omega_{p2} = \frac{1}{C_{\pi 2} \frac{R_e + R_b}{1 + g_{m2} R_e}} \\ \omega_{p9} = \frac{1}{C_{\pi 9} \frac{R_f + R_c}{1 + g_{m9} R_c}} \end{array} \right. \quad \left\{ \begin{array}{l} G_{m2} = \frac{g_{m2}}{1 + g_{m2} R_e} \\ R_{m9} = -R_f \end{array} \right.$$

故輸入輸出阻抗可看成除上 $1+g_m R_{in(out)}$ ，使得兩個極點向外延伸，操作更加高頻。就電路架構而言， R_f 是第二級的並聯-並聯回授電阻，可降低輸出電阻，另外我們在第二級的 TIA 部分使用了 Darlington pair 來增加速度，搭配 PMOS 的電流鏡，使輸出級有著單端輸出與寬頻的效果。

3.3.3 晶片量測結果

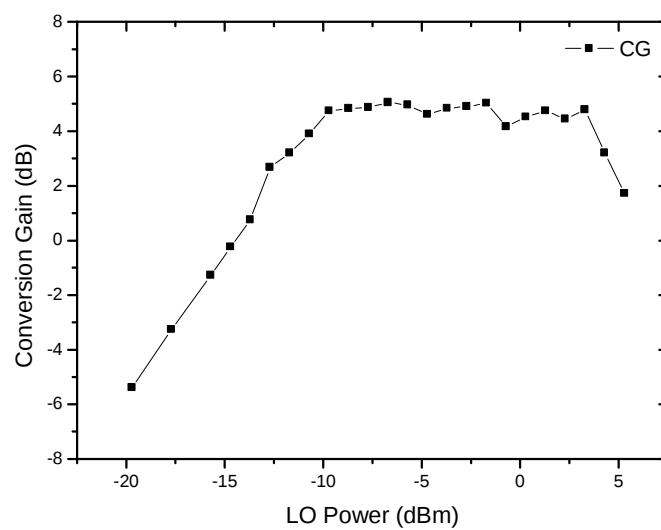
(圖 3.9)為 TSMC 0.35um SiGe BiCMOS 交指型 rat-race 降頻混頻器 die photo，晶片面積為 1.26mm × 1.15mm。LO 端輸入在量測時需外接 balun 和 bias-T 來輸入含直流的差動訊號，而 RF 和 IF 均為單端輸入輸出，不需額外偏壓。



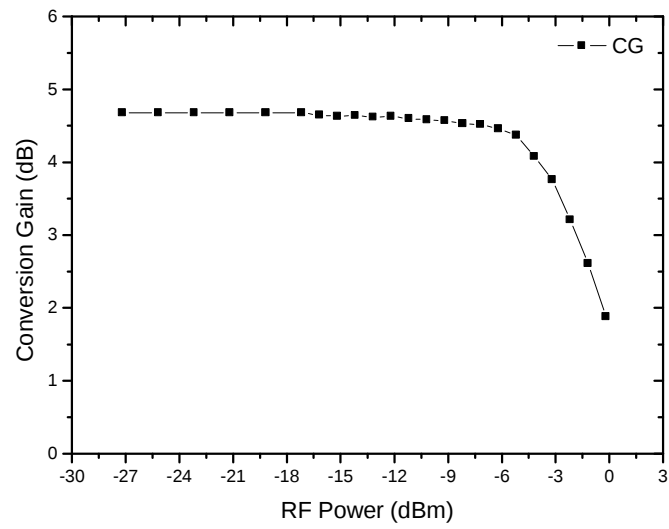


(圖 3.9) SiGe BiCMOS 交指型 rat-race 降頻混頻器 die photo
(1.26mm x 1.15mm)

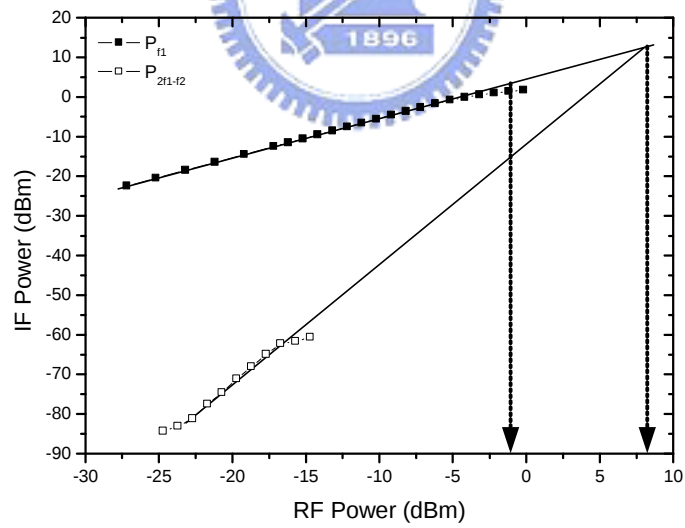
—量測結果—



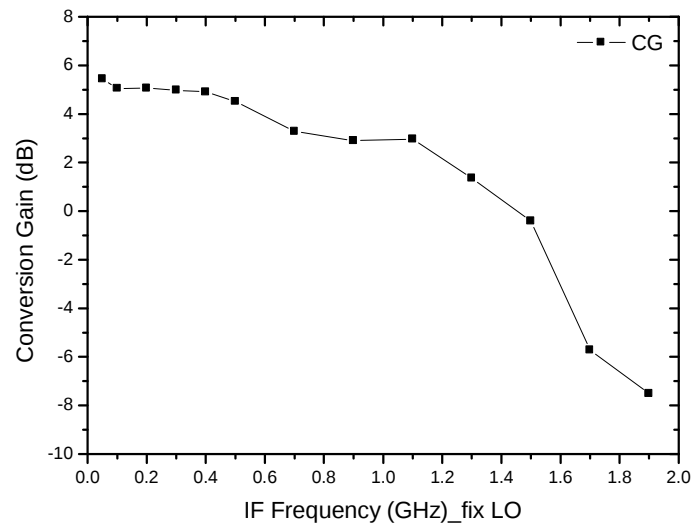
(圖 3.10) Conversion Gain V.S. LO Power



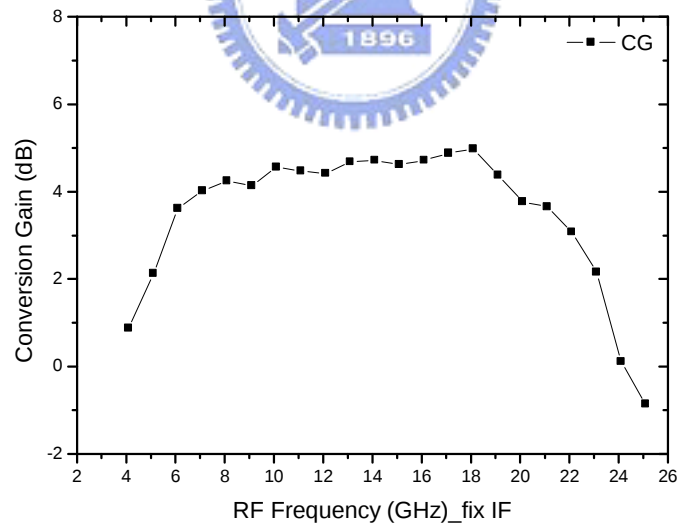
(圖 3.11) Conversion Gain V.S. RF Power



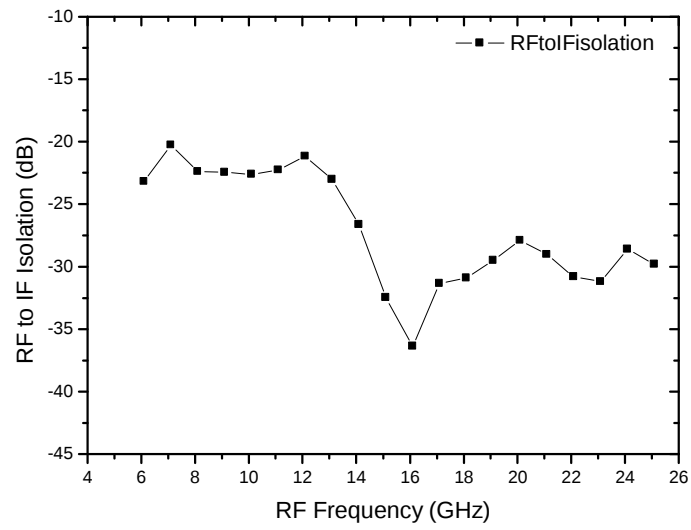
(圖 3.12) IP1dB & IIP3



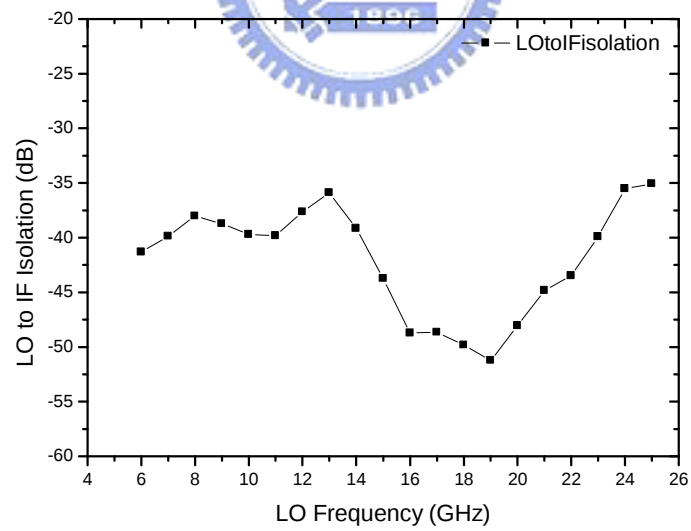
(圖 3.13) Conversion Gain V.S. IF Frequency (fix LO)



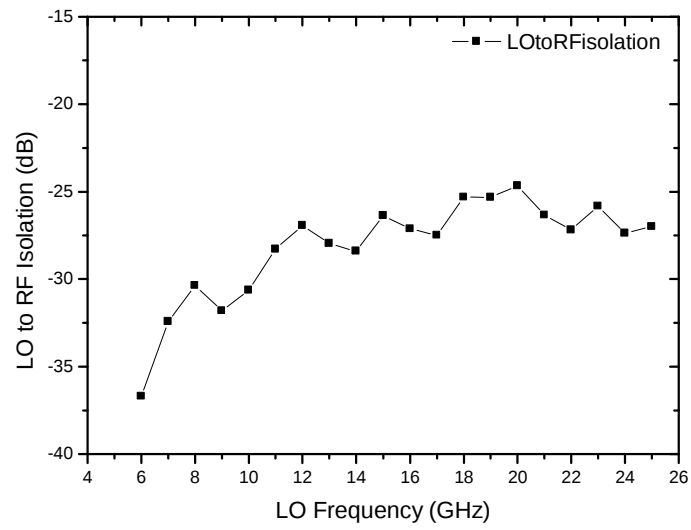
(圖 3.14) Conversion Gain V.S. RF Frequency (fix IF)



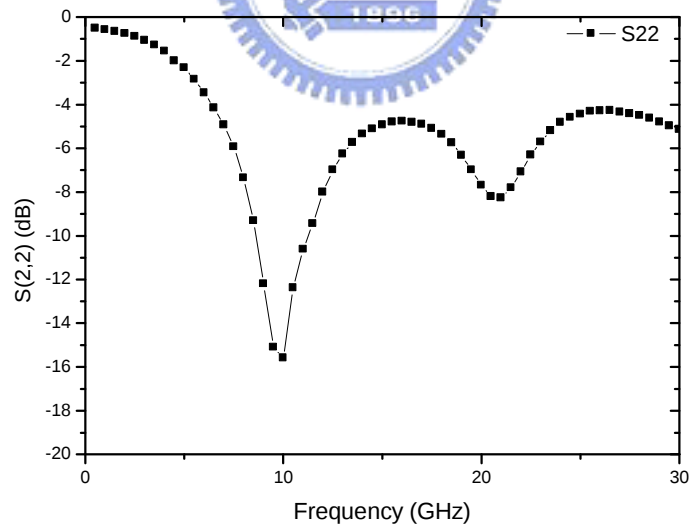
(圖 3.15) RF-to-IF Isolation V.S. RF Frequency



(圖 3.16) LO-to-IF Isolation V.S. LO Frequency



(圖 3.17) LO-to-RF Isolation V.S. LO Frequency



(圖 3.18) RF Return Loss

Process	TSMC 0.35um SiGe BiCMOS
Vdd/ Idd	5V / 27.7mA
Conversion Gain	5dB @ LO:-10dBm
IP1dB	-3 dBm
IIP3	7 dBm
IF Bandwidth	1.3 GHz
RF Bandwidth	5~23 GHz
RF-to-IF Isolation	-30 dB @ RF:17GHz
LO-to-IF Isolation	-50 dB @ LO:17GHz
LO-to-RF Isolation	-27 dB @ LO:17GHz
RF Return Loss	-6 dB @ 17GHz
Chip Size	1.26 mm x 1.15 mm

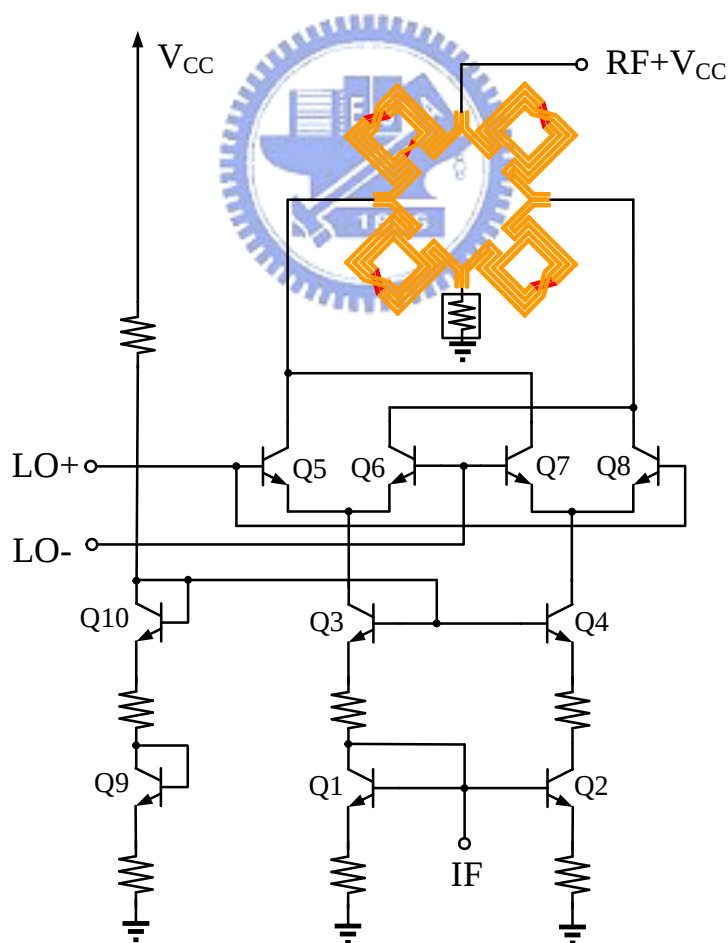
(表 3.1) TSMC 0.35um SiGe BiCMOS 交指型 rat-race 降頻混頻器

3.3.4 結果與討論

由(圖 3.9)的 die photo 看到，主動電路是佈局在 rat-race 中間，然後將訊號及 DC 線拉到外面的 PAD，對被動電路電磁場的影響由結果看是不大的。由(圖 3.10)看到 LO power 只需-10dBm，即可有約 5dB 的轉換增益；由(圖 3.13)看到 IF 頻寬約為 1.3GHz，顯示 Cherry Hooper 的寬頻效果，而由(圖 3.14)看到 RF 有 5GHz 到 23GHz，達 1：4.6 的頻寬，表示 phase inverter rat-race 的寬頻特性在展現在混頻器電路中；由(圖 3.12)來看 IP1dB 和 IIP3 分別為-3dBm 和 7dBm，電路的 RF-to-IF、LO-to-IF、LO-to-RF 隔離度也分別為-30dB、-57dB、-27dB，具有不錯的特性，唯有輸出 return loss 中心頻偏差到 10GHz，是本電路美中不足之處。

3.4 Transformer rat-race 應用在 RF 輸出端之升頻混頻器實作(使用 TSMC 0.35um SiGe BiCMOS)

本電路使用了 TSMC 0.35um SiGe BiCMOS 製程技術，實現 RF 為 17.1GHz，IF 頻率為 100MHz 的 Gilbert 升頻混頻器。量測上 LO 須需外接 balun 產生差動訊號外，RF 及 IF 端都為單端輸入輸出，RF 的輸出端設計了 on-chip 的 rat-race 作為差動輸出轉換成單端輸出的訊號合成器，而 IF 端則用微混頻器單端轉差動訊號輸入。整體電路架構如(圖 3.24)所示：



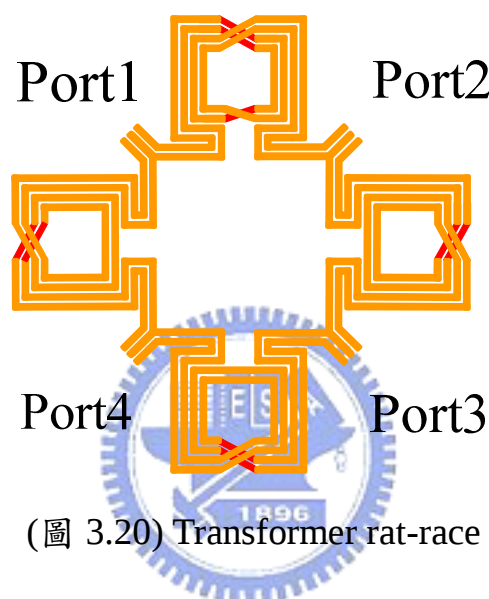
(圖 3.19) SiGe BiCMOS 變壓器型 rat-race 升頻混頻器電路圖

3.4.1 IF 端輸入級

本電路同樣也採用 Gilbert cell 混頻器為架構核心，LO 由 Q5~Q8 四顆電晶體組成差動電流開關，當 LO 訊號夠大使電晶體能迅速切換，可讓 RF 和 LO 訊號達到混頻的效果。而在 RF 端採用微混頻器 (micromixer) 架構[11]，由(圖 3.24)知 IF 輸入端構成 single-to-differential 之電路，由 Q3 的共基極(CB)組態和 Q2 的共射極(CE)組態，使訊號達到反向輸入至 mixer core 混頻，且輸入電阻為 $R3$ 並聯 $(1/gm1+R1)$ ，只要設計適當的電晶體及電阻值，即可達成輸入匹配，不同於傳統的 Gilbert 混頻器 RF 由基極(或 MOS 的閘極)輸入需外加匹配電路，微混頻器可使輸入匹配電路不會佔據太大面積，並可達到寬頻匹配(因電阻的寬頻特性)。然而此架構電流雖然對稱，但輸入轉導級所看到的負載阻抗(Q3、Q4 的集極)卻不同，如忽略 $R1\sim R4$ 電阻，Q3 的 CB 放大器所看到的負載為 r_{o3} ，而 CE 放大器為 Q2 和 Q4 組成的串疊(cascode)架構，負載為 $g_{m4}r_{o4}r_{o2}$ ，故進入 mixer core 的訊號其實不對稱，因此微混頻器架構難以使用在需要精準大小和相位響應的混頻器應用，如鏡像消除(image-rejection)或單頻帶(single-side-band)混頻器上，但在一般混頻器應用上還是足夠。

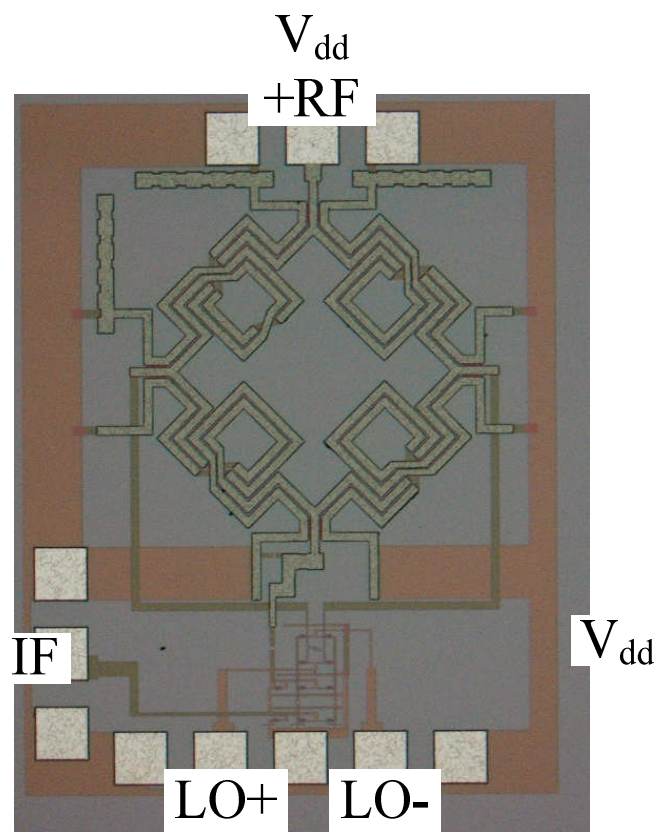
3.4.2 RF 端輸出級

本電路在 RF 端使用變壓器型式相位反轉 rat-race 將混頻器差動電流訊號轉換成單端輸出，如(圖 3.20)，若輸入至 port1、port3 的分別為混頻器的差動輸出訊號，port4 為 Σ port，common mode 部份在此被 terminate，而 port2 為 Δ port，可將 differential mode 訊號合成輸出。



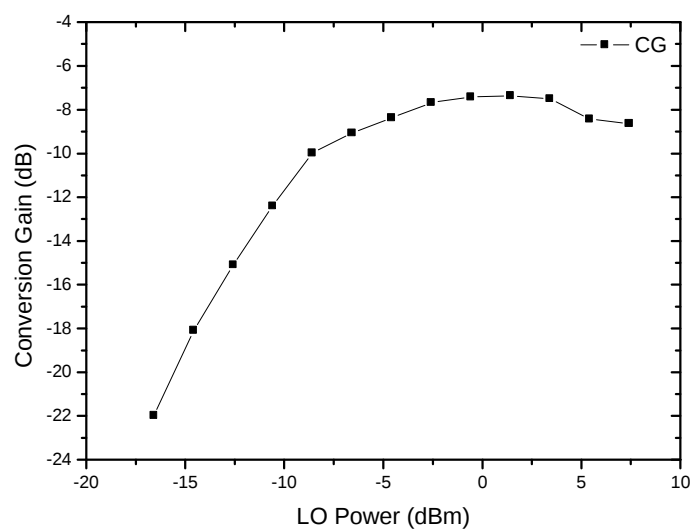
3.4.3 晶片量測結果

(圖 3.21)為 TSMC 0.35um SiGe BiCMOS 變壓器 rat-race 升頻混頻器 die photo，晶片面積為 1mm x 1.4mm。LO 端輸入在量測時需外接 balun 和 bias-T 來輸入含直流的差動訊號，IF 為單端輸入，不需額外偏壓，而 RF 在 Δ port 輸出訊號需外接 bias-T 來給 V_{cc} ， Σ port 則需以電容將 DC 隔絕後，再做 termination。

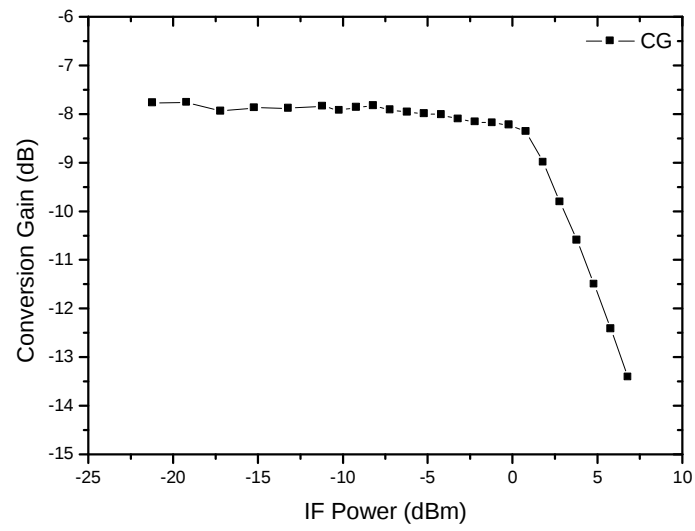


(圖 3.21) SiGe BiCMOS 變壓器 rat-race 升頻混頻器 die photo
(1mm x 1.4mm)

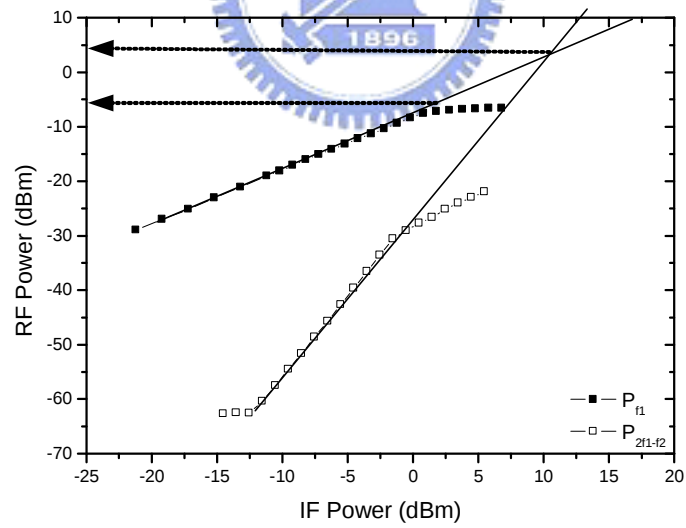
—量測結果—



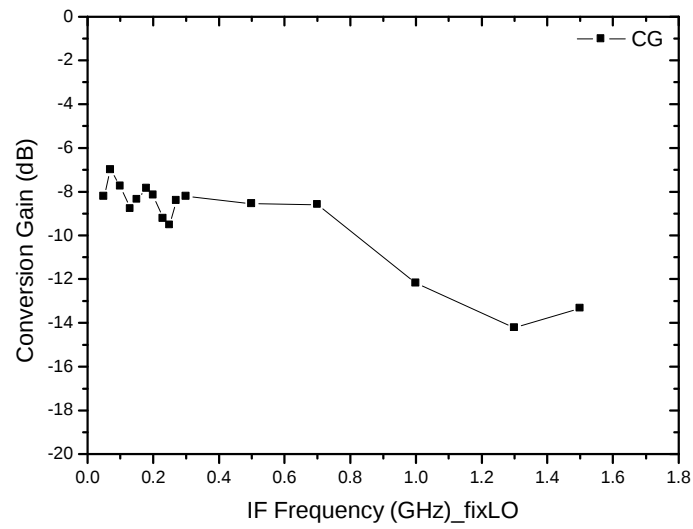
(圖 3.22) Conversion Gain V.S. LO Power



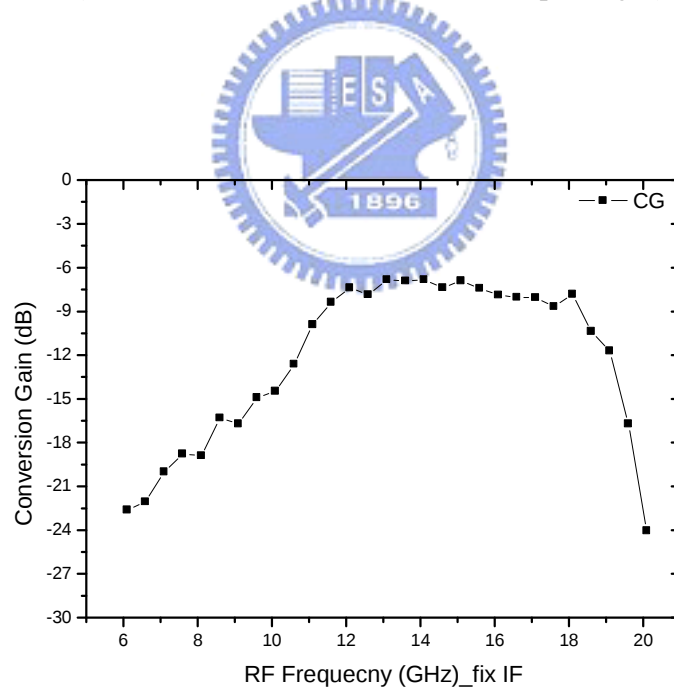
(圖 3.23) Conversion Gain V.S. IF Power



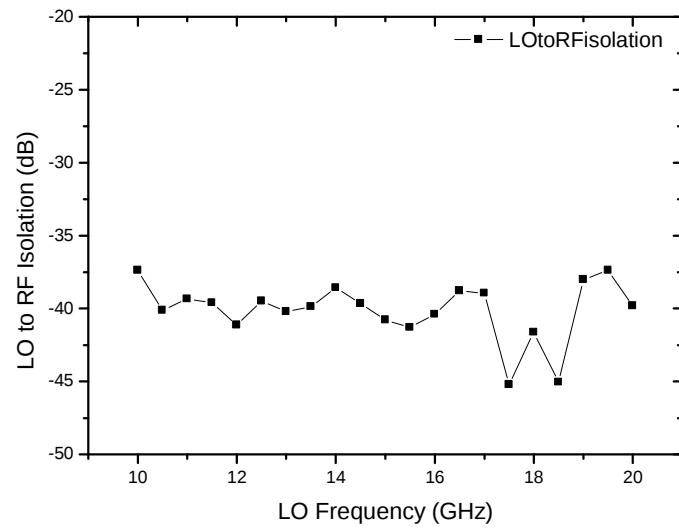
(圖 3.24) OP1dB & OIP3



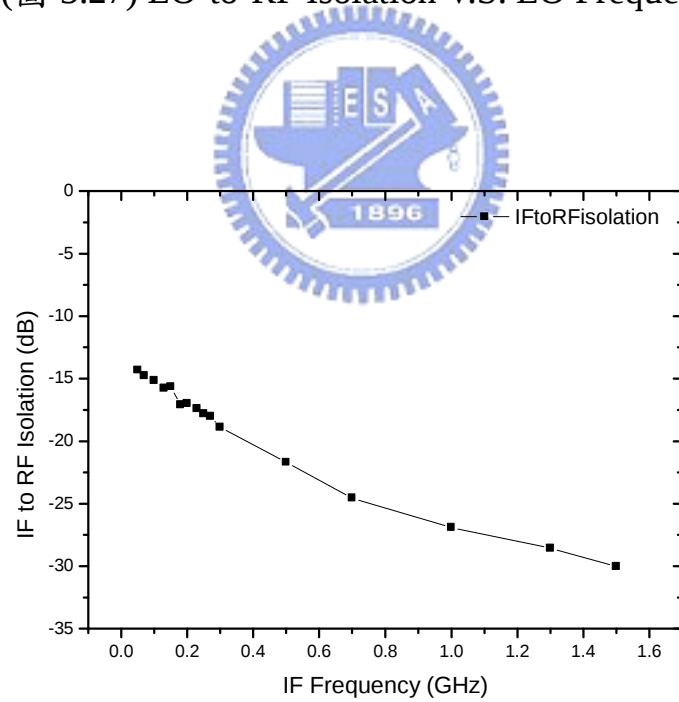
(圖 3.25) Conversion Gain V.S. IF Frequency (fix LO)



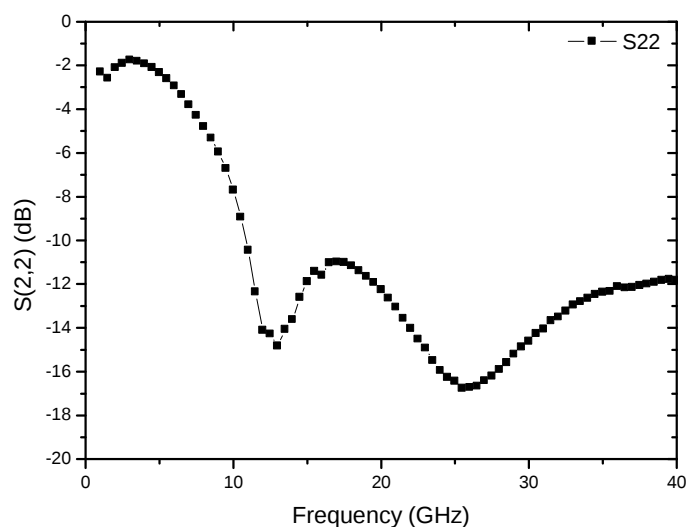
(圖 3.26) Conversion Gain V.S. RF Frequency (fix IF)



(圖 3.27) LO-to-RF Isolation V.S. LO Frequency



(圖 3.28) IF-to-RF Isolation V.S. IF Frequency



(圖 3.29) RF Return Loss

Process	TSMC 0.35um SiGe BiCMOS
Vdd/ Idd	3.5V / 11mA
Conversion Gain	-8dB @ LO:-5dBm
OP1dB	-7 dBm
OIP3	4 dBm
IF Bandwidth	0.9 GHz
RF Bandwidth	11~19 GHz
IF-to-RF Isolation	-17 dB @ IF:100MHz
LO-to-RF Isolation	-40 dB @ LO:17GHz
RF Return Loss	-11 dB @ RF:17GHz
Chip Size	1 mm x 1.4 mm

(表 3.2) TSMC 0.35um SiGe BiCMOS 變壓器 rat-race 升頻混頻器

3.4.4 結果與討論

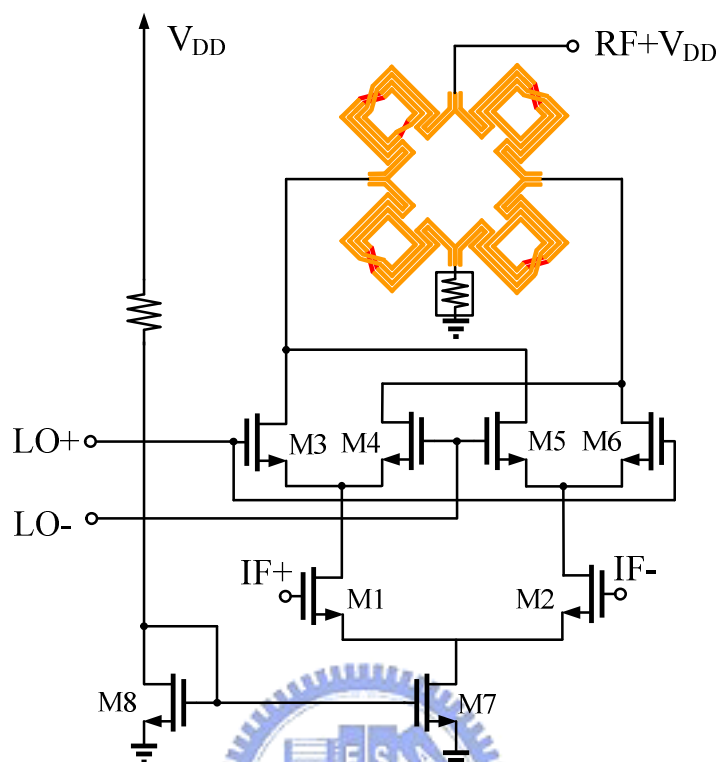
本晶片的主動電路是佈局在 rat-race 之外，主要是不希望影響被動電路的電磁效應，雖然增加了些晶片面積。由(圖 3.22)看到 LO power 只需 -5dBm，但轉換增益只有約 -8dB，可能是 rat-race 輸出能量損耗過大；由(圖 3.25)看到 IF 頻寬約為 0.9GHz，顯示微混頻器的寬頻效果也是不錯的，而由(圖 3.26)看到混頻器 RF 的頻寬有 11GHz 到 19GHz，表示了 RF 端的變壓器型式 rat-race 相當寬頻；本電路的 OP1dB 和 OIP3 分別為 -7dBm 和 4dBm，LO-to-RF 隔離度為 -40dB，表示輸出端的 rat-race 的確有消除 common mode 而增進隔離度的效果，而輸出 return loss 在 RF 的頻寬(11GHz~19GHz)內均小於 -10dB。



3.5 Transformer rat-race 應用在 RF 輸出端之升頻混頻器實作(使用 TSMC 0.13um CMOS)

本電路使用了 TSMC 0.13um CMOS 製程技術，同樣實現 RF 為 17.1GHz，IF 頻率為 100MHz 的 Gilbert 升頻混頻器。RF 輸出端同樣設計了變壓器型式相位反轉 rat-race 作為差動輸出轉換成單端輸出的訊號合成器，但 TSMC 0.13um CMOS 製程的優點在於，它有八層金屬可供使用，相較 0.35um SiGe BiCMOS 製程只有三層金屬，故可以多層立體形式使 rat-race 縮小。而 IF 端則使用了傳統的 Gilbert 混頻

器差動訊號輸入。整體電路架構如(圖 3.30)所示：



(圖 3.30) CMOS 變壓器型 rat-race 升頻混頻器

3.5.1 IF 端輸入級

本電路採用傳統式 Gilbert 混頻器，IF 端由閘極輸入，電流源 M7 由和 M8 組成的電流鏡來偏壓。

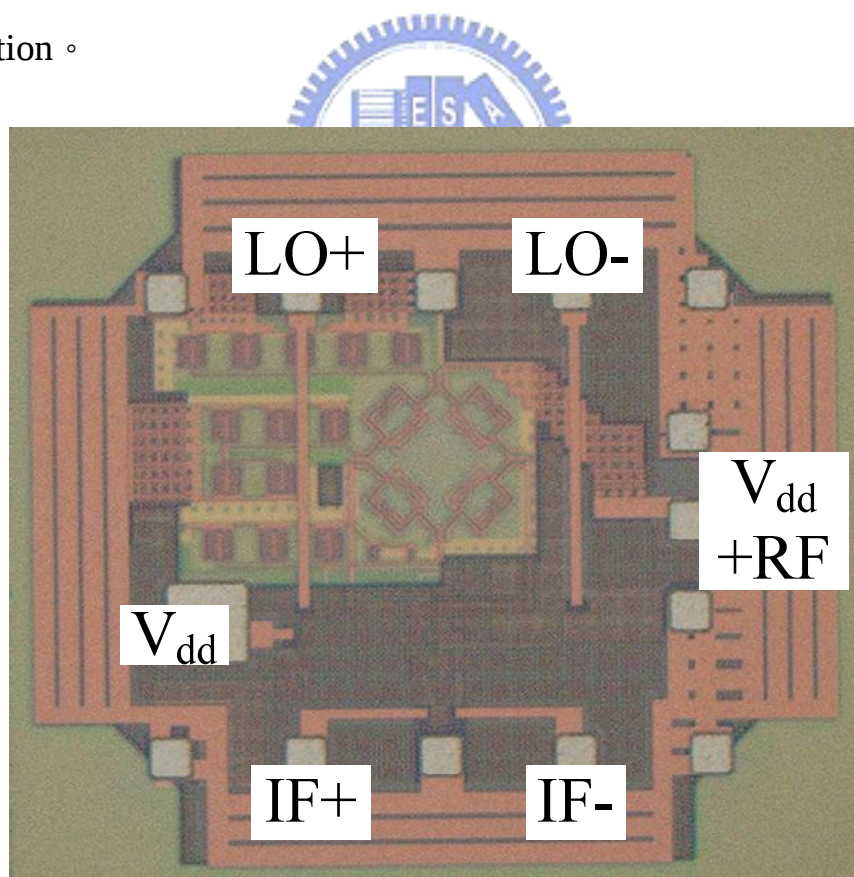
3.5.2 RF 端輸出級

本電路在 RF 端同樣使用變壓器型式相位反轉 rat-race 將混頻器差動電流訊號轉換成單端輸出，和 3.4 節所不同的在於 rat-race 部分使用了 TSMC 0.13um CMOS 的八層金屬，相較於 0.35um SiGe BiCMOS 製程的三層金屬，大大縮小了 rat-race 的面積，而且變壓器

繞的圈數較多，傳輸線間增加了互感(mutual capacitance)及互耦(mutual inductance)，因此在相同頻率下，只需比較短的傳輸線，除了縮小面積以外，更能降低金屬線的損耗。

3.5.3 晶片量測結果

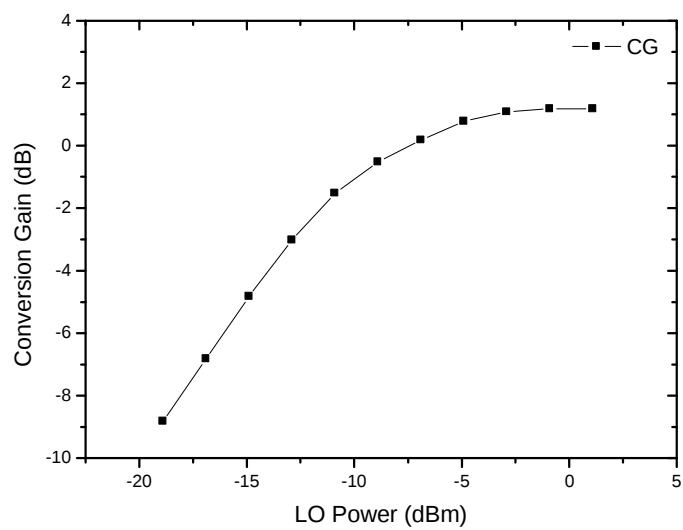
(圖 3.31)為 TSMC 0.13um CMOS 變壓器 rat-race 升頻混頻器 die photo，晶片面積為 0.9mm x 0.8mm。LO 和 IF 端量測時需外接 balun 和 bias-T 來輸入含直流的差動訊號，RF 端同樣在 Δ port 需外接 bias-T 來給 Vcc 同時輸出訊號， Σ port 則需以電容將 DC 隔絕後，再做 termination。



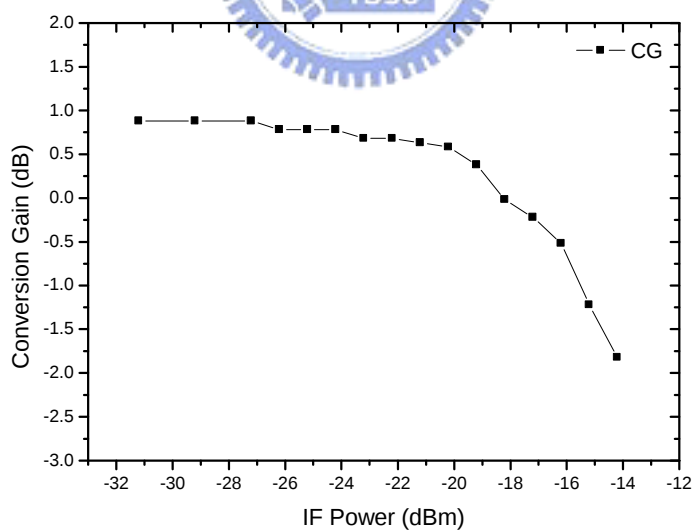
(圖 3.31) CMOS 變壓器 rat-race 升頻混頻器 die photo

(0.9mm x 0.8mm)

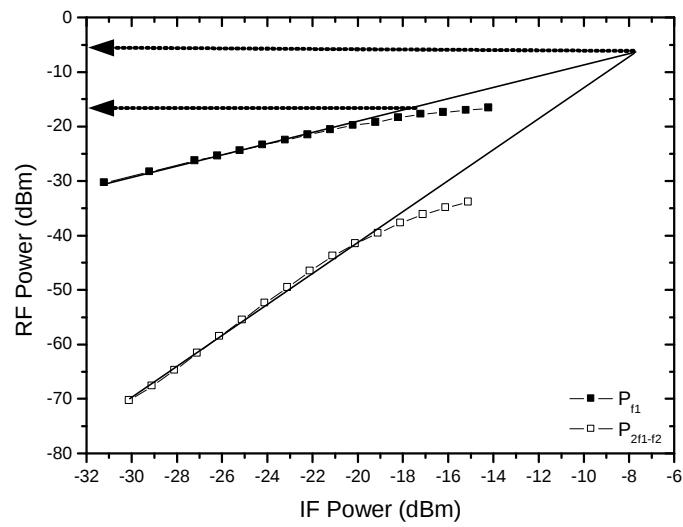
—量測結果—



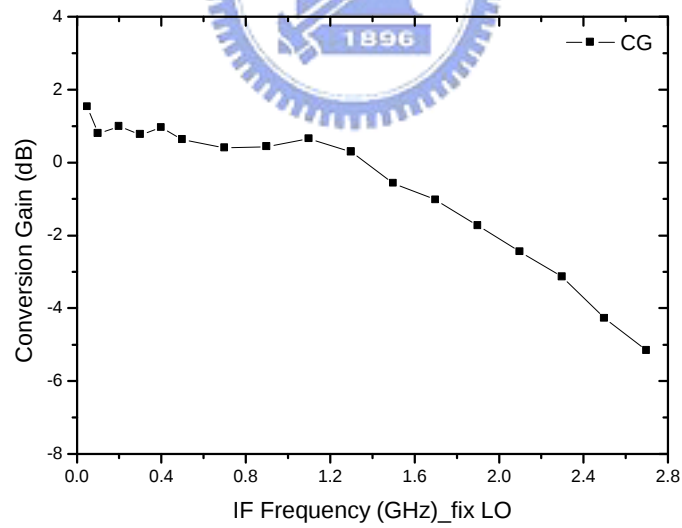
(圖 3.32) Conversion Gain V.S. LO Power



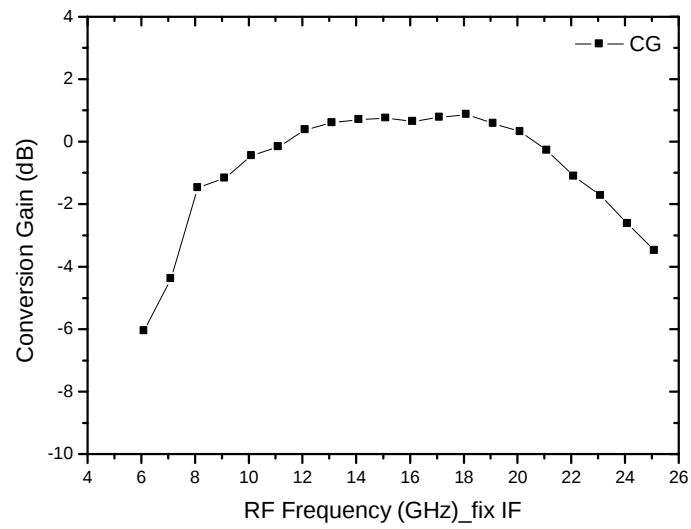
(圖 3.33) Conversion Gain V.S. IF Power



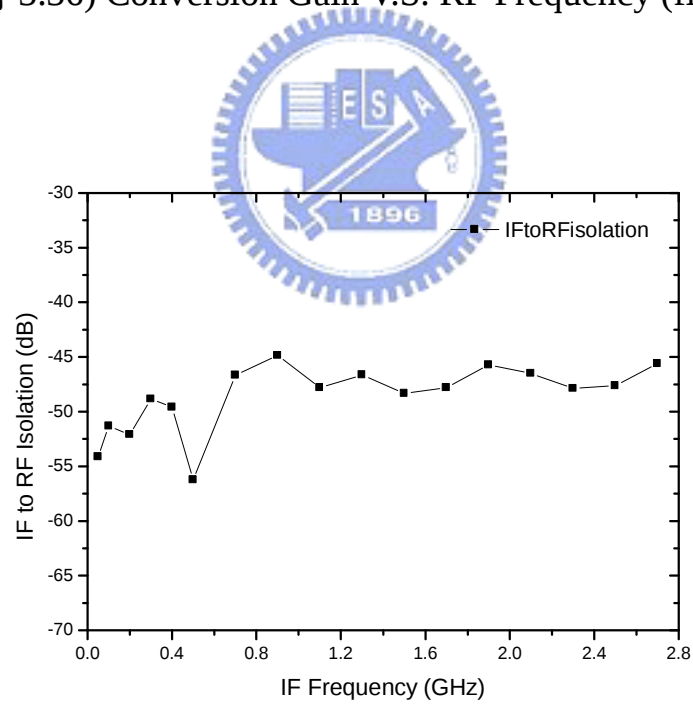
(圖 3.34) OP1dB & OIP3



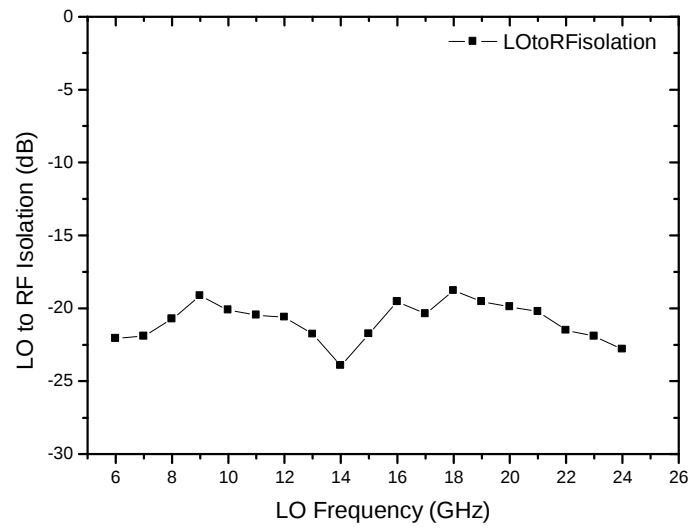
(圖 3.35) Conversion Gain V.S. IF Frequency (fix LO)



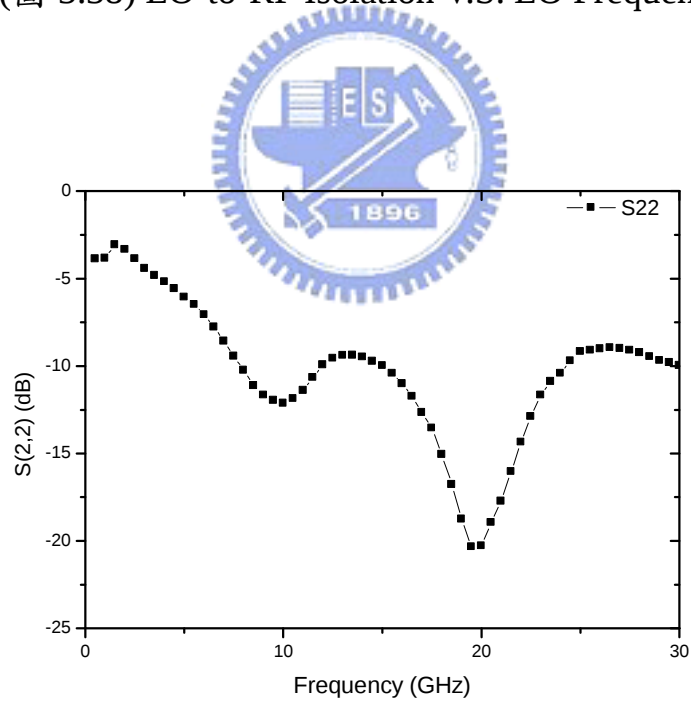
(圖 3.36) Conversion Gain V.S. RF Frequency (fix IF)



(圖 3.37) IF-to-RF Isolation V.S. IF Frequency



(圖 3.38) LO-to-RF Isolation V.S. LO Frequency



(圖 3.39) RF Return Loss

Process	TSMC 0.13um CMOS
Vdd/ Idd	1.2V / 4.52mA
Conversion Gain	1dB @ LO:-5dBm
OP1dB	-17 dBm
OIP3	-6 dBm
IF Bandwidth	1.8 GHz
RF Bandwidth	8~23 GHz
IF-to-RF Isolation	-50 dB @ IF:100MHz
LO-to-RF Isolation	-20 dB @ LO:17GHz
RF Return Loss	-13 dB @ 17GHz
Chip Size	0.9 mm x 0.8 mm

(表 3.3) TSMC 0.13um CMOS 變壓器 rat-race 升頻混頻器

3.5.4 結果與討論

本晶片的 rat-race 因繞成立體(使用八層金屬)，大大減小了佈局面積，只有約 200um x 200um。由(圖 3.32)看到 LO power 只需 -5dBm，但轉換增益約 1dB，相較於 3.4 節電路，較短的傳輸線降低了 rat-race 的金屬損耗；由(圖 3.35)看到 IF 頻寬約為 1.8GHz，(圖 3.36)混頻器 RF 的頻寬有 8GHz 到 23GHz，接近 1:3 的比例，表示了 RF 端的變壓器型式 rat-race 相當寬頻；本電路的 OP1dB 和 OIP3 分別為 -17dBm 和 6dBm，IF-to-RF 有 -50dB 的隔離度，但 LO-to-RF 隔離度只有 -20dB，是本電路量測結果美中不足之處。RF 輸出 return loss 雖中心頻落在 20GHz，但在 RF 頻寬內都在 -10dB 以下，表現相當不錯。

第四章

次諧波混頻器設計



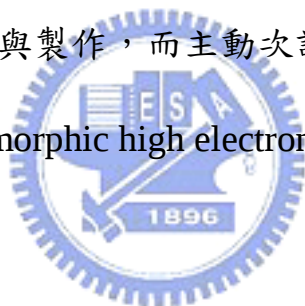
4.1 前言

隨著無線通訊產業的快速成長，越來越多的 RF 收發技術被提出來。其中，超外差系統(heterodyne)已被使用多年，然而 off-chip 的鏡像消除 SAW(surface acoustic wave)濾波器使得超外差系統難以整合至晶片中；低中頻系統(low-IF)需要主動或被動的 polyphase filters 來消除鏡像訊號(image signal)，但因 polyphase filters 有著很大的製程變異因素[1][2]，使電路難以精確地實現。直接轉換系統(direct-conversion)是目前最常用的晶片整合收發機系統，它可以省下鏡像消除(image-rejection)及頻道選擇(channel-select)[3]濾波器等體積龐大且昂貴的 off-chip 元件，且因為直接轉換系統 RF 頻率和 LO 頻率相同，鏡像訊號即是 RF 訊號本身，所以不再需要鏡像消除濾波器，如此可降低製造成本和增進電路積體化。

直接轉換系統的高度積體化所要付出的代價諸如直流偏移(DC offset)、正交訊號(I/Q signal)不匹配、偶次諧波失真(even-order distortion)和閃爍雜訊(flicker noise)等，但最重要的，因 LO 頻率和 RF 頻率太接近，LO 漏到 RF 的訊號造成 self-mixing 影響了整體收發機特性。為解決 self-mixing 的問題，次諧波(sub-harmonic)混頻架構被提出[4]-[8]，其所需 LO 頻率只有 RF 頻率的一半，且在降低 LO 頻率的同時也降低了 LO 訊號源設計上的困難度，也就是說，要設計出低

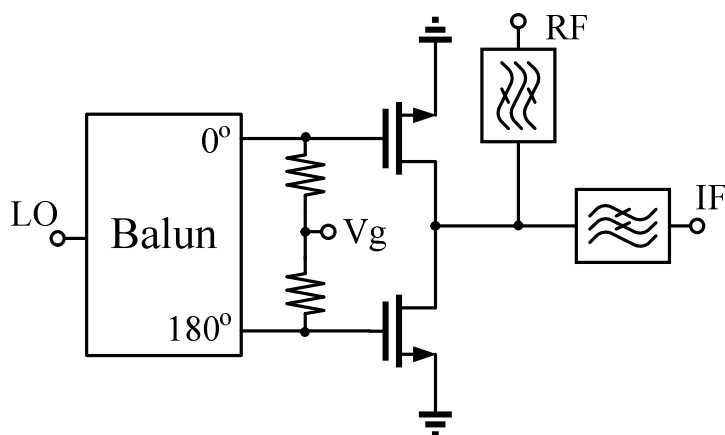
相位雜訊(phase noise)的 LO 訊號源更容易達到。

傳統次諧波混頻器大都使用被動型式，利用二極體或電晶體的非線性特性作混頻動作，它有非常好的增益壓縮點(P_{1dB})，但所要付出的代價是很大的轉換損耗(conversion loss)和 LO pumping power；另一方面，主動的次諧波 Gilbert mixers 則有轉換增益(conversion gain)，但它的操作頻率較被動混頻器低。本章節我們先討論被動的電阻式次諧波混頻器，再針對兩種常用的主動次諧波 Gilbert 混頻器架構(stacked-LO 和 leveled-LO)做討論。被動電阻式次諧波混頻器以 TSMC 0.13um CMOS 製程設計與製作，而主動次諧波混頻器則使用 WIN 0.15um PHEMT (pseudomorphic high electron mobility transistor)製程設計與製作。



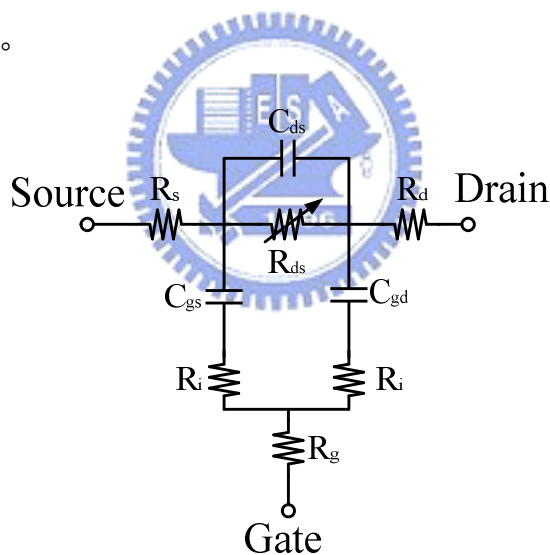
4.2 電阻式(Resistive)次諧波混頻器分析

被動電阻式混頻器相較於主動混頻器有很低的 DC 功率消耗、高增益壓縮點(也就是 dynamic range)及很好的線性度，但也因架構上需要 LO 的 balun，會佔去很大的晶片面積。(圖 4.1)為電阻式次諧波混頻器示意圖，因電晶體偏壓在 $V_{ds}=0$ ，故 gate-pumped 混頻器是在三極管區(triode region)工作，且電壓-電流的關係如同電阻操作。



(圖 4.1) 電阻式次諧波混頻器

理想上，非線性的電阻如同是 ON 電阻($Z_{on} = 0$)和 OFF 電阻($Z_{on} = \infty$)的切換，當然實際上會受到基板的寄生效應和電晶體的反應時間等因素影響。



(圖 4.2) 汲極-源極零偏壓的 FET 等效電路

電阻式電晶體的小訊號等效電路如(圖 4.2)， $R_{ds} = f(V_g)$ 為非線性的汲-源極通道電阻，忽略 R_s 、 R_d 源極和汲極的連接電阻，ON 電阻為：[\[9\]](#)

$$Z_{on} \approx R_{ds} \approx \frac{I_g}{w_g \cdot \sigma}$$

其中 σ 為通道的導納， w_g 和 l_g 分別為閘極的寬度和長度，而忽略

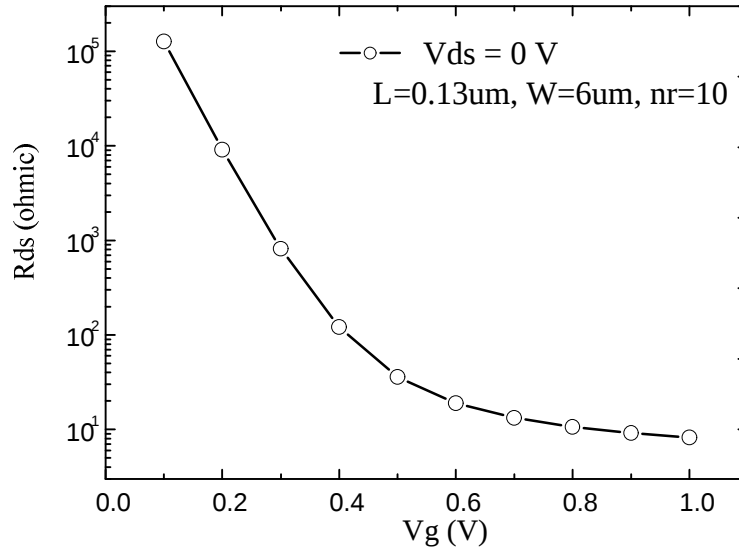
R_{ds} ，OFF 電阻為：

$$Z_{off} \approx \frac{1}{\omega C_{g,off}} \approx \frac{1}{\omega \cdot l_g \cdot w_g \cdot C_{g,a}}$$

$C_{g,a}$ 為單位面積閘極電容。由以上兩式我們可看出一些結論：

- (1) Z_{off} 隨著操作頻率下降，因此高頻操作會影響混頻器的轉換增益。
- (2) 隨著製程技術進步，通道長度減小， Z_{on} 變小 Z_{off} 變大，也增進了混頻器的表現。
- (3) 大的通道寬度雖降低了 Z_{on} ，但 Z_{off} 也跟著降低，因此通道寬度是我們必須去設計的重點。
- (4) 我們希望達到高的 σ 和低的 $C_{g,a}$ 值，但這些參數決定於我們使用的製程。

Gate-pumped 電阻式混頻器(LO 訊號由閘極輸入)要有最好的混頻效率，DC 偏壓點應選在 R_{ds} 為 Z_{on} 和 Z_{off} 的平均值，(圖 4.3)為本次實作使用的電晶體 R_{ds} 隨 V_g 變化的模擬圖，可看到最佳的閘極偏壓點約在 0.2~0.3V 之間。



(圖 4.3) NMOS 的 R_{ds} - V_g 關係模擬圖

電阻式混頻器的次諧波混頻可由三極管區操作的 CMOS 電晶體

電流-電壓關係來了解[10]：

$$I_D = K \cdot \frac{(V_{GS} - V_T - \frac{1}{2}V_{DS}) \cdot V_{DS}}{1 + \alpha V_{DS}}$$

$$\approx K \cdot \left[(V_{GS} - V_T) - \frac{1}{2}V_{DS} \right] \times (V_{DS} - \alpha V_{DS}^2 + \alpha^2 V_{DS}^3 - \dots)$$

$$V_{DS} = V_{RF} \sin(\omega_{RF} t)$$

因為 LO 訊號是操作在閘極截止區的臨界，只有一半的時間有擺幅，

因此兩電晶體的 LO 訊號 $f_1(\omega_{LO} t)$ 和 $f_2(\omega_{LO} t)$ 可表示為[11]：

$$f_1(\omega_{LO} t) = V_{LO} \sin(\omega_{LO} t) \quad \text{for } 2n\pi \leq \omega_{LO} t \leq (2n+1)\pi$$

$$= 0 \quad \text{for } (2n-1)\pi \leq \omega_{LO} t \leq 2n\pi$$

$$f_2(\omega_{LO} t) = 0 \quad \text{for } 2n\pi \leq \omega_{LO} t \leq (2n+1)\pi$$

$$= -V_{LO} \sin(\omega_{LO} t) \quad \text{for } (2n-1)\pi \leq \omega_{LO} t \leq 2n\pi$$

我們可知：

$$\begin{aligned} V_{GS} - V_T &= f(\omega_{LO}t) + V_b - V_T \\ &= f(\omega_{LO}t) \end{aligned} \quad (V_b = V_T)$$

將 LO 訊號以傅立葉級數展開：

$$f_1(\omega_{LO}t) = V_{LO} \left[\frac{1}{\pi} + \frac{1}{2} \sin(\omega_{LO}t) - \frac{2}{\pi} \left(\frac{\cos 2\omega_{LO}t}{1 \times 3} + \frac{\cos 4\omega_{LO}t}{3 \times 5} + \frac{\cos 6\omega_{LO}t}{5 \times 7} + \dots \right) \right]$$

$$f_2(\omega_{LO}t) = V_{LO} \left[\frac{1}{\pi} - \frac{1}{2} \sin(\omega_{LO}t) - \frac{2}{\pi} \left(\frac{\cos 2\omega_{LO}t}{1 \times 3} + \frac{\cos 4\omega_{LO}t}{3 \times 5} + \frac{\cos 6\omega_{LO}t}{5 \times 7} + \dots \right) \right]$$

代入電流-電壓關係式可知， ω_{LO} 項會消除，而 2LO 的頻率為最大出

現在汲極的功率，且 $\omega_{RF} - 2\omega_{LO}$ 的頻率只和 $(V_{GS} - V_T)V_{DS}$ 項有關，即：

$$I_D(\omega_{RF} - 2\omega_{LO}) = K \cdot \left(\frac{1}{3\pi} V_{LO} V_{RF} \right)$$

4.3 主動次諧波 Gilbert 混頻器分析

在本節中我們將討論兩種雙平衡架構(double-balanced structure)

主動次諧波 Gilbert 混頻器：stacked-LO 和 leveled-LO。Stacked-LO 混

頻器的 LO 訊號為堆疊式輸入，工作原理為 LO 上下層的正交訊號相

互混頻再和 RF 或 IF 混頻；而 leveled-LO 混頻器的 LO 訊號都在同一

層輸入，工作原理主要是利用電晶體的非線性特性。理論上，雙平衡

架構會完全消除 2LO 信號漏損(leakage)，但實際上由於電路或 LO 正

交訊號的不匹配，或者基板 coupling 等非理想效應，造成 2LO 訊號

的漏損，也導致 self-mixing 的問題。在先進 CMOS 製程中，可以使

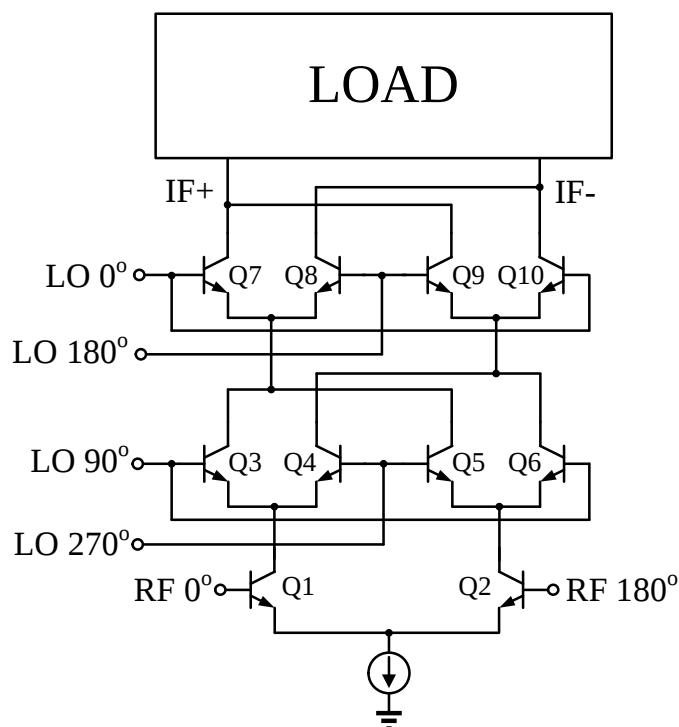
用 deep N-well 技術[12]來增加隔離度，而在 SiGe 雙載子電晶體製程

也可以使用 deep trench isolation 技術[13]。相對矽基板，GaAs-based 的 AlGaAs/InGaAs PHEMT 製程技術有著半絕緣(semi-insulating)基板，因此高頻的 2LO 漏損信號不會經由基板漏到 RF 端，在實作上兩種主動次諧波混頻器在 2LO-to-RF 隔離度表現才能公平的比較，而根據我們的實驗結果，stacked-LO 架構有著比 leveled-LO 更好的 2LO-to-RF 隔離度。

另外，使用 PHEMT 製程可以很容易的產生精準的正交相位信號。大多數發表的次諧波混頻器都是製做在損耗性的矽基板上 [5]-[8]，其正交相位的精確度受限於製程的漂移和基板的寄生效應，但常用來產生正交相位的 polyphase filters 卻可在 PHEMT 製程中精準地實現，因為不同於 CMOS 的 poly 電阻，PHEMT 製程的電阻屬於 thin film 電阻，可以很精準地實現；而 PHEMT 的 $0.39\text{fF}/\mu\text{m}^2$ MIM 電容，相對於 CMOS 的 $1\text{fF}/\mu\text{m}^2$ MIM 電容，PHEMT 製程電容所需面積較大，相對會有較小的製程漂移；另外，半絕緣的 GaAs 基板沒有寄生電容電阻，故可製作出高 Q 值的 on-chip 電容。

4.3.1 Stacked-LO 次諧波混頻器分析

如(圖 4.4)，Stacked-LO 次諧波混頻器有兩層 LO ports 和一層 RF port，LO ports 的架構為兩個 Gilbert cells 串疊(cascode)起來，因此 DC 電流的重複利用使 stacked-LO 架構消耗較少的電流。



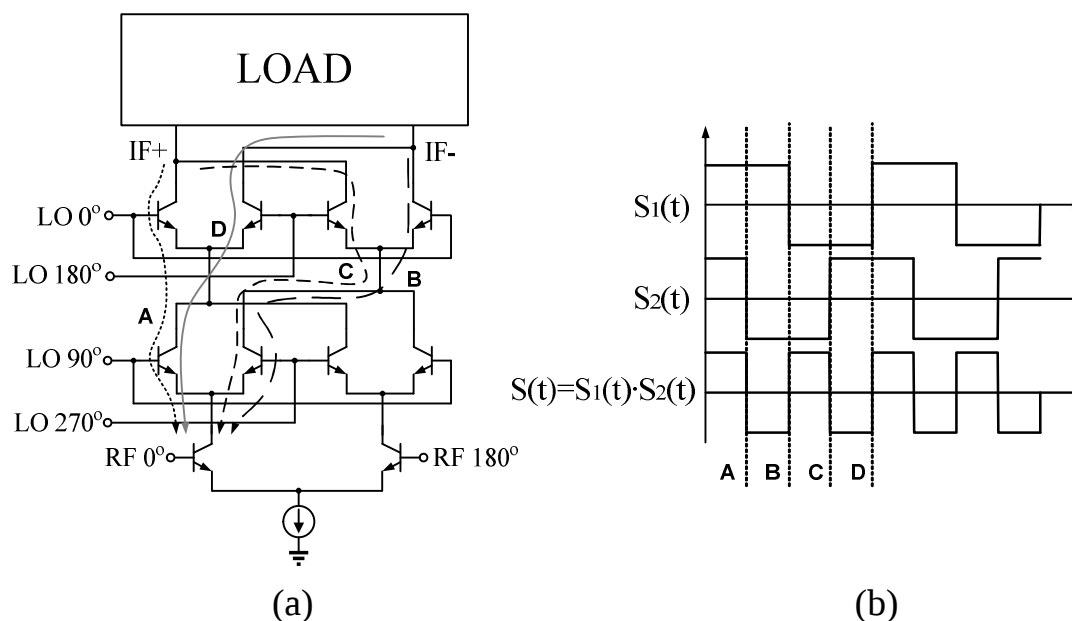
(圖 4.4) Stacked-LO 次諧波混頻器電路

電路操作時，上層的 LO Gilbert cell(Q7~Q10)輸入 I+和 I-的訊號，而下層 Gilbert cell(Q3~Q6)則輸入 Q+和 Q-的訊號，若 LO 的 in-phase 和 quadrature-phase 定義為 $\cos \omega_{LO}t$ 和 $\sin \omega_{LO}t$ ，則等效的 LO 訊號如下[14]：

$$\cos \omega_{LO}t \times \sin \omega_{LO}t = \frac{1}{2} \sin 2\omega_{LO}t$$

因此以降頻器而言，IF 輸出訊號頻率為 RF 頻率和 2LO 頻率之差。

我們也可用 switching function 的組成來簡化 stacked-LO 次諧波混頻器的混頻動作，如(圖 4.5)。



(圖 4.5) (a) Stacked-LO 次諧波混頻器電路 (b) stacked-LO Gilbert cells

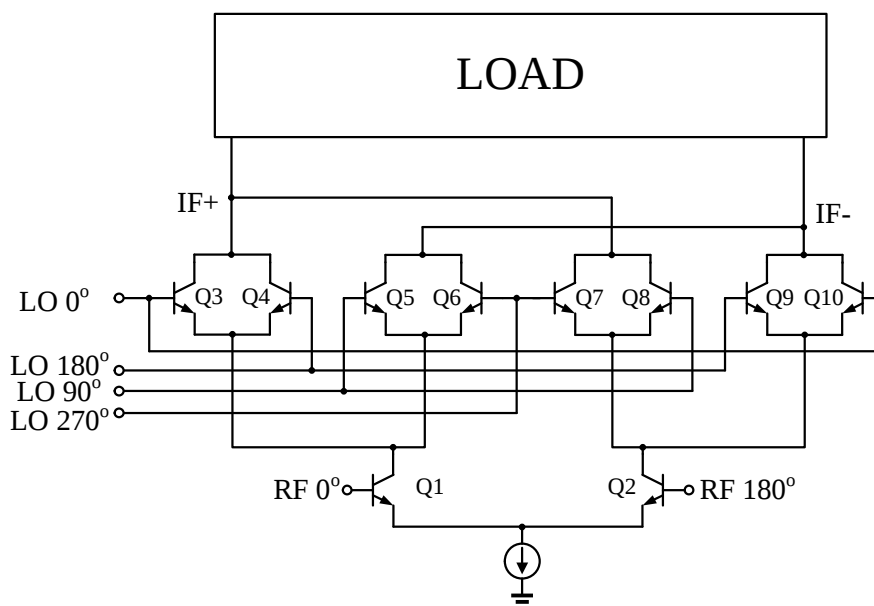
的 timing diagram

上下層 Gilbert cells 可以表示為 $S_1(t)$ 和 $S_2(t)$ 如(圖 4.5 b)，若 $S_1(t)$ 訊號落後 $S_2(t)$ 訊號四分之一週期時，組成的 switching function $S(t)$ 為 $S_1(t)$ 和 $S_2(t)$ 的 exclusive NOR 函數，因此， $S(t)$ 的頻率變成原先的兩倍。 $S(t)$ 的每半週期訊號路徑 A、B、C、D 均畫在(圖 4.5 a)中，且為簡化分析只畫出一半的路徑。

4.3.2 Leveled-LO 次諧波混頻器分析

Leveled-LO 次諧波混頻器是適用於高頻和低電壓操作的架構，如(圖 4.6)。LO 端加上正交相位後，會有 2LO 頻率和 RF 電流做混頻，和 stacked-LO 比起來，leveled-LO 混頻原理是利用電晶體的非線性特性。在此針對 BJT 電晶體做分析，是因 BJT 電晶體有精確的 exponential I-V 轉換函數，而其他種電晶體也可以相似的概念達到偶次諧波混頻

的效果。



(圖 4.6) 簡化 leveled-LO 次諧波混頻器電路

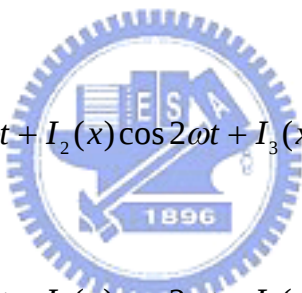
當電晶體的基極-射極接面有步階(step)電壓輸入時，要經過一個時間延遲 τ 後才會產生汲極電流，也就是說，汲極電流 I_D 是 V_{BE} 、 V_{CE} 和 τ 的函數，若希望汲極電流只受 V_{BE} 和 V_{CE} 影響，電晶體的操作頻率必須遠低於 τ 的倒數。一般而言，主動電路的操作頻率約在電晶體 transit-time cut-off frequency(f_T)的三分之一[15][16]，而因為 stacked-LO 混頻器的 headroom 較小，且 LO cell 電流重複利用，故 leveled-LO 混頻器的偏壓電流可比 stacked-LO 混頻器大，換句話說，leveled-LO 有比 stacked-LO 更高的 f_T 和操作頻率。

如(圖 4.6)，Q3-Q4~Q9-Q10 emitter-coupled pairs 的汲極連接在一起，組成了 leveled-LO cells。當 0° 和 180° 的差動訊號注入 LO 差動對 Q3-Q4 時，輸入訊號的基頻會被消除，只有 $2LO$ 等偶次諧波電流

訊號會出現在汲極端，同樣的， 90° 和 270° 差動訊號注入差動對 Q7-Q8，也會在汲極端產生 2LO 的訊號，且相位和 Q3-Q4 相位差 180° ，如此 Q3-Q4 和 Q7-Q8 差動對提供了完美的 2LO 差動訊號來和 RF 訊號混頻。

為了更詳盡討論 leveled-LO cell 的操作機制，我們由 BJT 電晶體的 exponential I-V 轉換函數以 modified Bessel function[17][18]表示。

LO 差動對 Q3-Q4 的輸入訊號定義為 $\hat{v}\cos\omega t$ 和 $-\hat{v}\cos\omega t$ ，汲極輸出電流可表示如下[14]：

$$\begin{aligned}
 I_{CQ3} &= I_S e^{\frac{\hat{v}\cos\omega t}{V_T}} \\
 &= I_S [I_0(x) + I_1(x)\cos\omega t + I_2(x)\cos 2\omega t + I_3(x)\cos 3\omega t + \dots] \\
 I_{CQ4} &= I_S e^{\frac{-\hat{v}\cos\omega t}{V_T}} \\
 &= I_S [I_0(x) - I_1(x)\cos\omega t + I_2(x)\cos 2\omega t - I_3(x)\cos 3\omega t + \dots]
 \end{aligned}$$


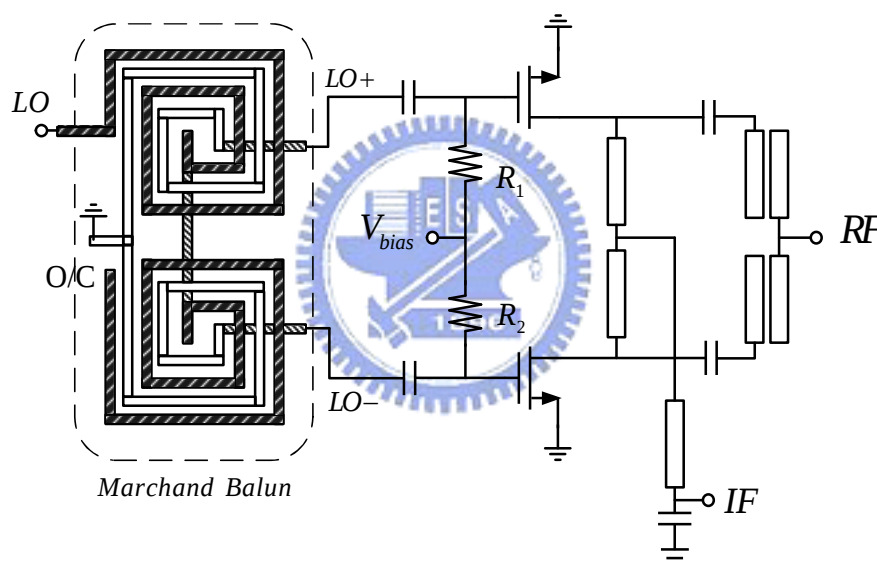
其中， $x = \frac{\hat{v}}{V_T}$ ，而 $I_n(x)$ 可用 modified Bessel function 表示，因 Q1-Q2 汲極接在一起，總電流為 I_{CQ3} 和 I_{CQ4} 之和：

$$I_{total} = 2I_S [I_0(x) + I_2(x)\cos 2\omega t + \dots]$$

其中 $I_0(x)$ 為 DC 偏壓電流， $I_2(x)$ 就是 2LO 次諧波電流訊號， $I_1(x)$ 為傳統 Gilbert cell 的 LO 基頻訊號，這在 leveled-LO cell 的操作中已被消除。此外，我們也可知 leveled-LO 次諧波混頻器所需的 LO pumping power 必須比傳統 Gilbert 混頻器大。

4.4 CMOS 電阻式次諧波降頻混頻器實作

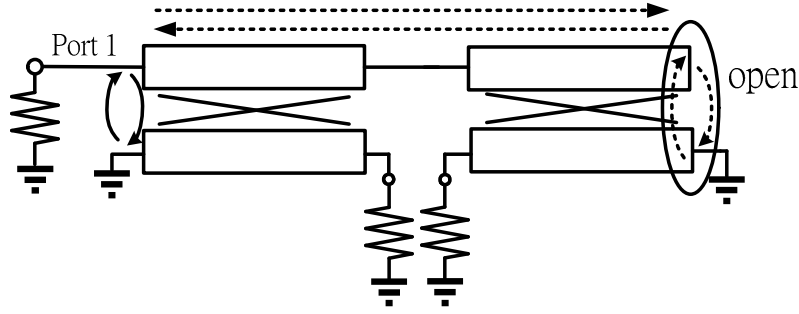
本電路使用了 TSMC 0.13um CMOS 製程技術，實現 RF 頻率從 18.1GHz~26.1GHz，IF 頻率為 100MHz 的次諧波降頻混頻器。混頻器的 LO、RF 與 IF 端均為單端輸入輸出，減少了許多量測上的不變。在 LO 端採用微小化 Marchand balun 將不平衡信號轉為平衡式的訊號，注入電晶體閘極，而汲極部分 RF 端經由高通濾波器(HPF)取出，IF 端則由低通濾波器(LPF)取出。電路架構如(圖 4.7)所示：



(圖 4.7)CMOS 電阻式次諧波降頻混頻器電路圖

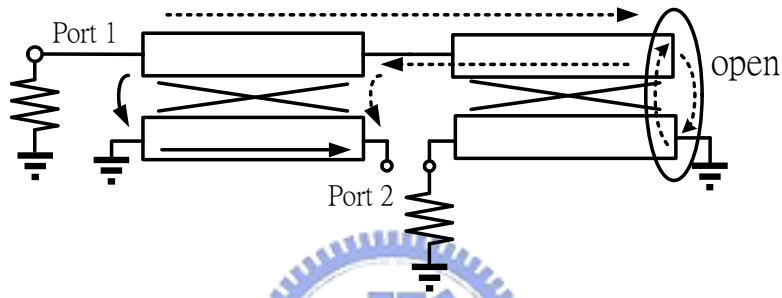
4.4.1 LO 端輸入級

本晶片在 LO 端設計 Type I 的 Marchand balun 來產生差動訊號。設計的 Marchand balun 為包含兩對耦合線，耦合線中心頻長度為 $\lambda/4$ ，S11、S21、S31 推導如(圖 4.8)、(圖 4.9)和(圖 4.10)[\[19\]](#)[\[20\]](#)：



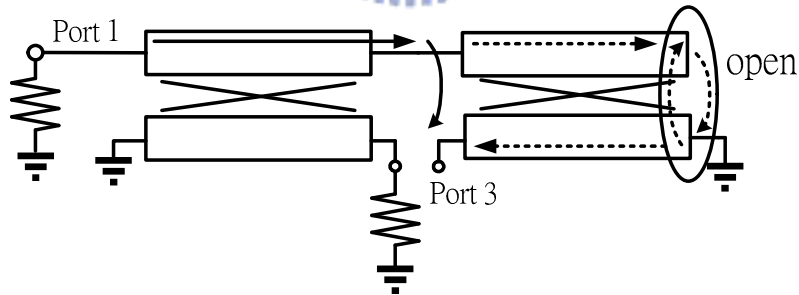
$$S_{11} = (-C) \times C + \frac{T^4}{1+C^2} = \frac{1-3C^2}{1+C^2}$$

(圖 4.8) Marchand balun S11 分析



$$S_{21} = -C \times T + \frac{T^3 \times C}{1+C^2} = \frac{-CT(1+C^2+T^2)}{1+C^2} = \frac{2jC\sqrt{1-C^2}}{1+C^2}$$

(圖 4.9) Marchand balun S21 分析



$$S_{31} = C \times T - \frac{T^3 \times C}{1+C^2} = \frac{2CT}{1+C^2} = -\frac{2jC\sqrt{1-C^2}}{1+C^2}$$

(圖 4.10) Marchand balun S31 分析

由以上分析可看出 port2 和 port3 的訊號大小相等，相位差 180° 。

本次晶片實作 Marchand balun 的耦合線部分使用如同第三章所述的變壓器型式來縮小面積，大約只有 $478\mu\text{m} \times 250\mu\text{m}$ ，圈數比 2:2，且

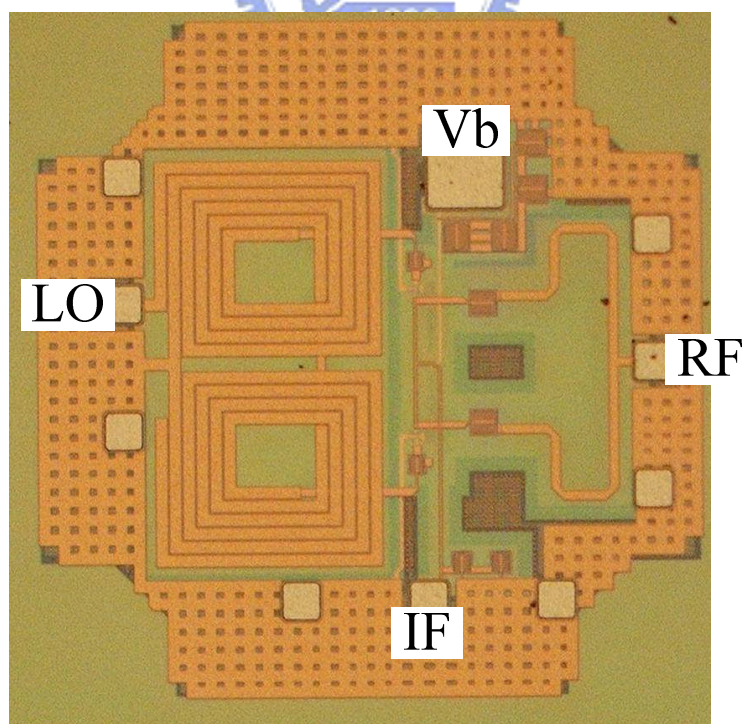
都使用第八層金屬厚度 $3.35\mu\text{m}$ 來降低損耗，設計的中心頻在 11GHz ，兩耦合線間的連接線也只有 $160\mu\text{m}$ ，因此造成振幅和相位的不相等幾乎可忽略。

4.4.2 RF 和 IF 端濾波器

在電晶體汲極處為分開 RF 和 IF 訊號，分別設計了電容串聯耦合線的高通濾波器和傳輸線並聯電容的低通濾波器，如(圖 4.7)所示。

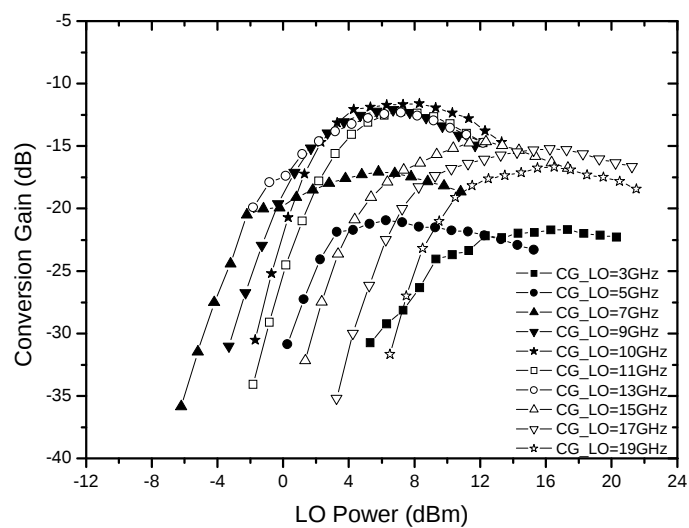
4.4.3 晶片量測結果

(圖 4.11)為 TSMC $0.13\mu\text{m}$ CMOS 電阻式次諧波降頻混頻器 die photo，整體面積為 $800\mu\text{m} \times 800\mu\text{m}$ ，扣掉 pad 和角落要留的空位後，實際 die size 約為 $680\mu\text{m} \times 600\mu\text{m}$ 。

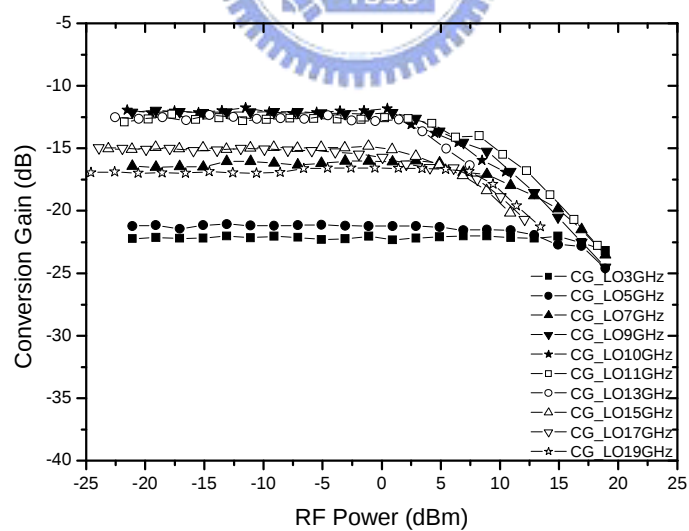


(圖 4.11) CMOS 電阻式次諧波混頻器 die photo ($800\mu\text{m} \times 800\mu\text{m}$)

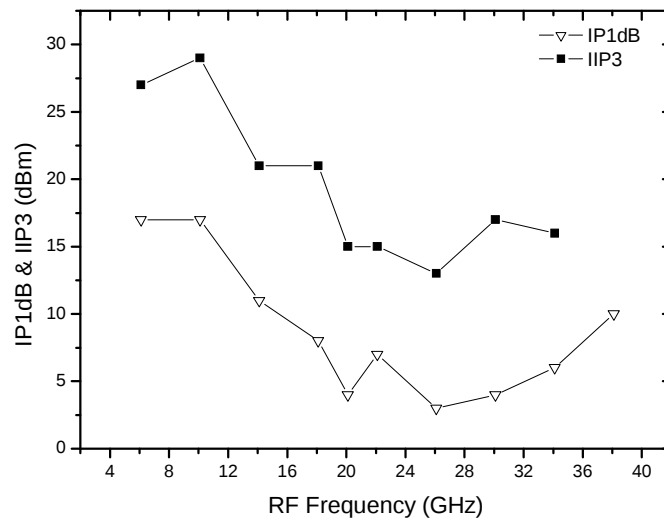
—量測結果—



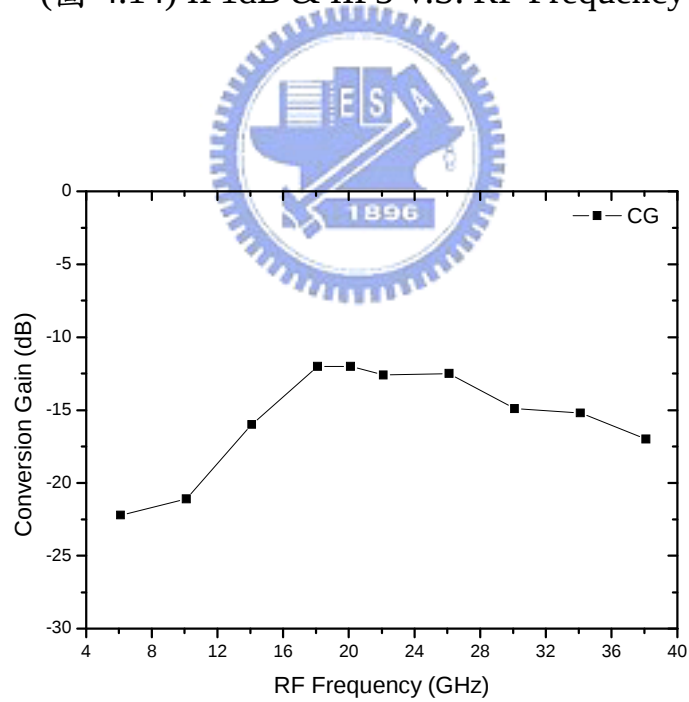
(圖 4.12) Conversion Gain V.S. LO Power



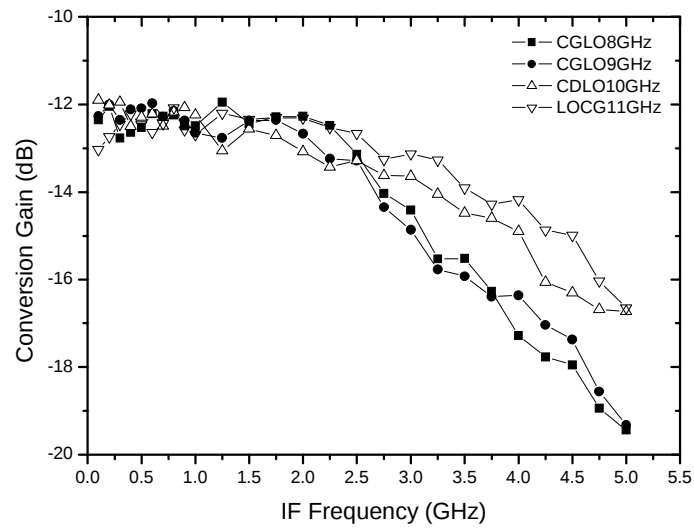
(圖 4.13) Conversion Gain V.S. RF Power



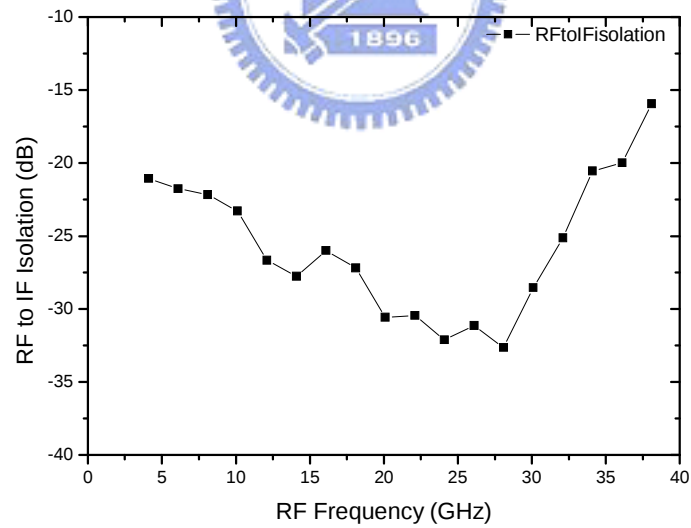
(圖 4.14) IP1dB & IIP3 V.S. RF Frequency



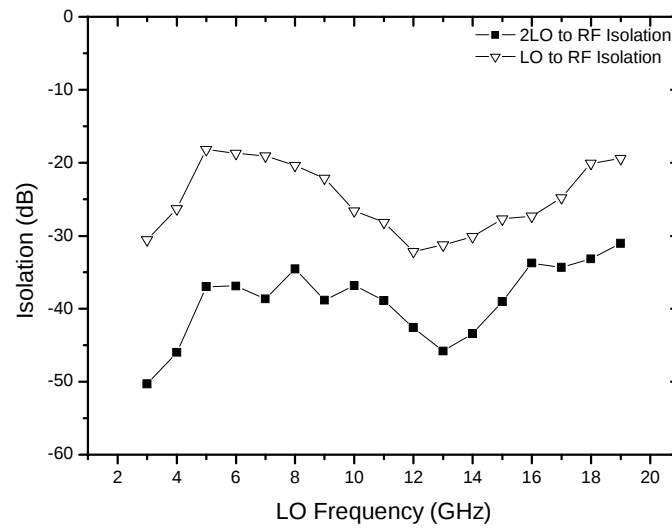
(圖 4.15) Conversion Gain V.S. RF Frequency



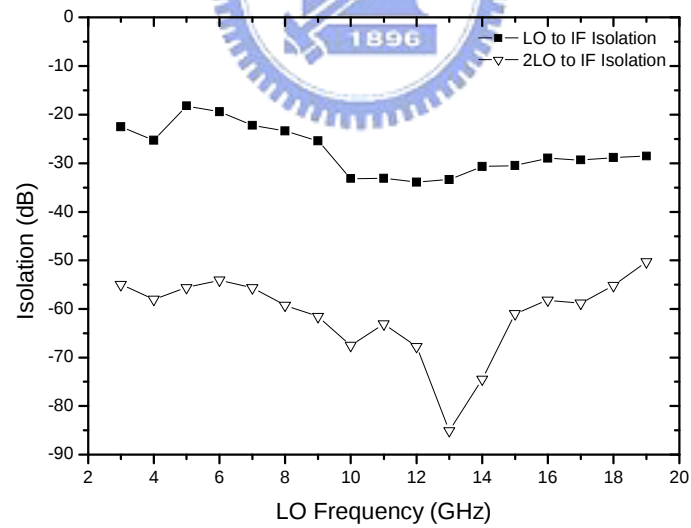
(圖 4.16) Conversion Gain V.S. IF Frequency



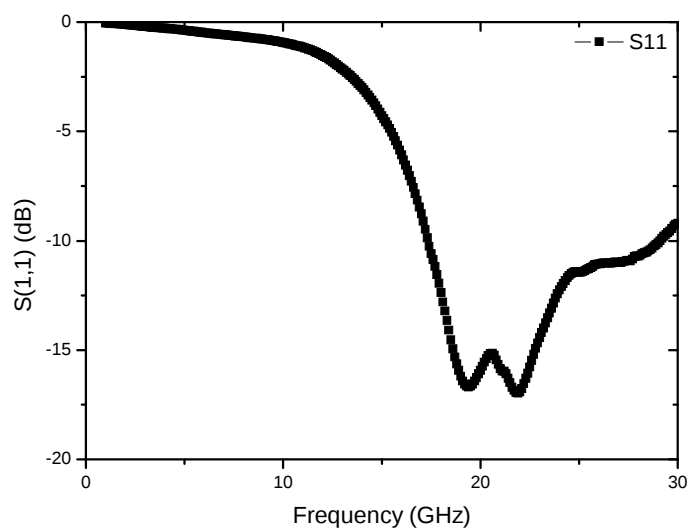
(圖 4.17) RF-to-IF Isolation V.S. RF Frequency



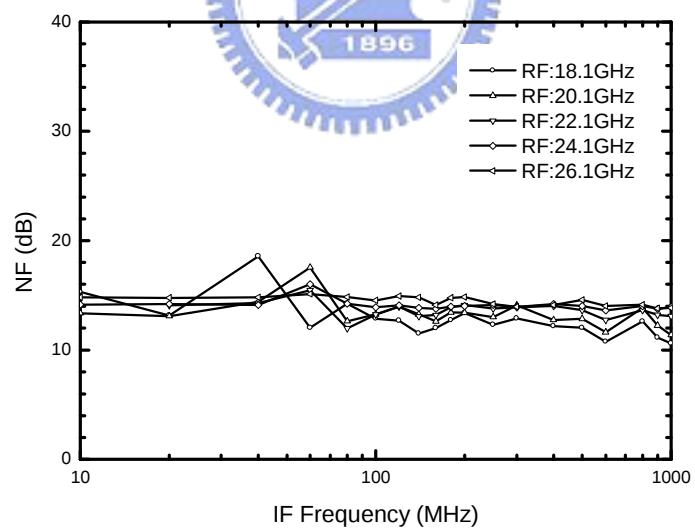
(圖 4.18) 2LO-to-RF & LO-to-RF Isolations V.S. LO Frequency



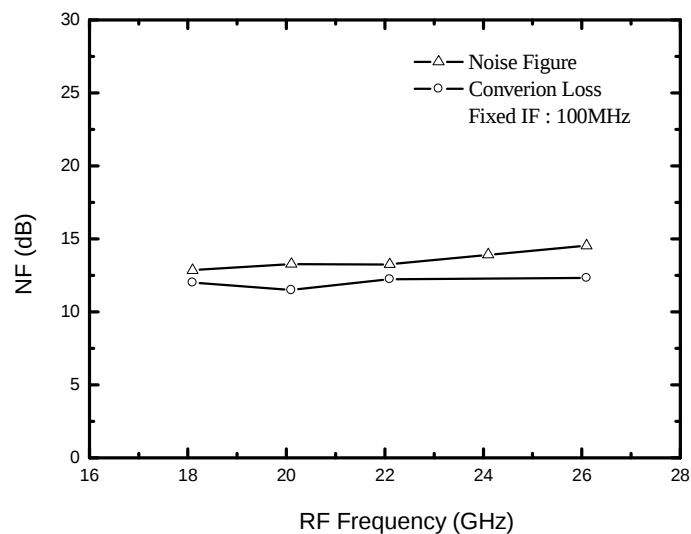
(圖 4.19) 2LO-to-IF & LO-to-IF Isolations V.S. LO Frequency



(圖 4.20) RF Return Loss



(圖 4.21) Noise Figure V.S. IF Frequency



(圖 4.22) Noise Figure V.S. RF Frequency

Process	TSMC 0.13um CMOS
Conversion Loss	11~12 dB @ LO:4~8 dBm
IP1dB	4~7 dBm
IIP3	14~20 dBm
LO-to-IF Isolation	<-33 dB
2LO-to-IF Isolation	<-60 dB
LO-to-RF Isolation	<-30 dB
2LO-to-RF Isolation	<-40 dB
RF-to-IF Isolation	~-30 dB
RF Return Loss	<-15 dB @ 18~23 GHz
Noise Figure	13 dB
Chip Size	0.8 mm x 0.8 mm

(表 4.1) TSMC 0.13um CMOS 電阻式次諧波混頻器

(僅列出 RF 頻率在 18.1GHz~26.1GHz)

4.4.4 結果與討論

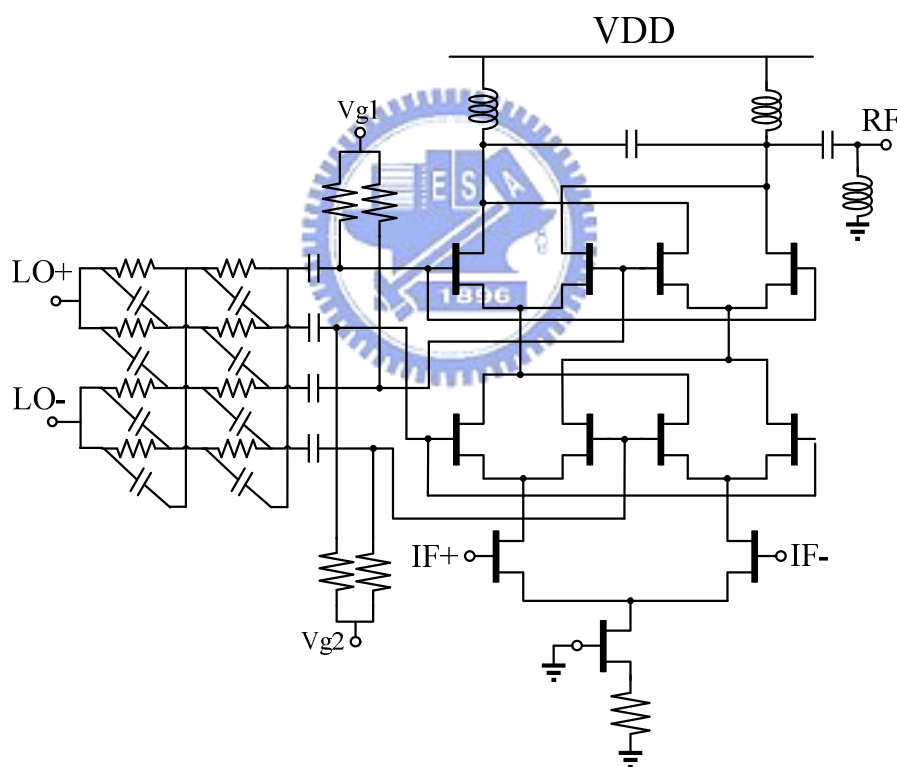
由量測結果可知，RF 頻率大約在 18.1GHz~26.1GHz(LO 頻率 9GHz~23GHz)有較好的轉換損耗，在 11~12dB 左右，且 LO pumping power 在 4~8dBm 左右，在這個頻段內，LO-RF 和 LO-IF 隔離度分別小於-30dB 和-33dB，而 2LO-RF 和 2LO-IF 隔離度更是分別小於-40dB 和-60dB，這在 CMOS 的損耗性矽基板上是個很好的成果，同時也表示 Marchand balun 在損耗性基板且沒有 ground shielding 下，都有不錯的振幅和相位的對稱性。此外，我們也和許多國際期刊上所發表的電阻式次諧波混頻器做特性比較，其中包括實現在 PHEMT 製程和更先進的 90nm CMOS 製程上，如(表 4.2)。

Tech.	RF(GHz)	CL(dB)	LO(dBm) (Pumping)	LO-RF(dB)	LO-IF(dB)	IIP3	Size(mm ²)
0.2 um InGaP/InGaAs/GaAs PHEMT [21]	10-12	6.5	12 (Gate)	65	37	---	PCB
0.15 um AlGaAs/InGaAs/GaAs PHEMT [22]	40-45	10	7 (Gate)	---	---	---	PCB
0.15 um GaAs-Based HEMT [23]	85-92	4.7 ~10	10 (Gate)	15~25	20~30	---	1.00x2.00
0.15 um InGaAs PHEMT [24]	27.5-28.5	11	13 (Gate)	35	30	---	1.00x2.00
90 nm CMOS (SOI) [25]	30-40	4.6	7.5 (Drain)	48	45	2	0.50x0.47
90 nm CMOS (SOI) [26]	26.5-30	10.3	0 (Gate)	24	22	12.7	0.50x0.32
90 nm CMOS (Standard) [27]	9-31	8~11	9.7 (Source)	17	22.5	3	0.90x1.00
	6.5~20	12~15	3.3 (Gate)	19	37.7	7	
0.13 um CMOS (Standard) This Work	18~26	11~12	4~8 (Gate)	30	33	14~20	0.68x0.60

(表 4.2) 電阻式次諧波混頻器比較

4.5 Stacked-LO 次諧波升頻混頻器實作

本電路使用了 WIN 0.15um PHEMT 製程技術，實現 RF 為 40.1GHz，LO 頻率 20GHz，IF 頻率為 100MHz 的 stacked-LO 次諧波升頻混頻器。混頻器的 LO、IF 在量測上需外接 balun 產生差動訊號，而 LO 的正交相位使用 polyphase filter 產生，並注入電晶體閘極，而 RF 端經 LC current combiner 將訊號合成，經匹配網路輸出。電路架構如(圖 4.23)所示：

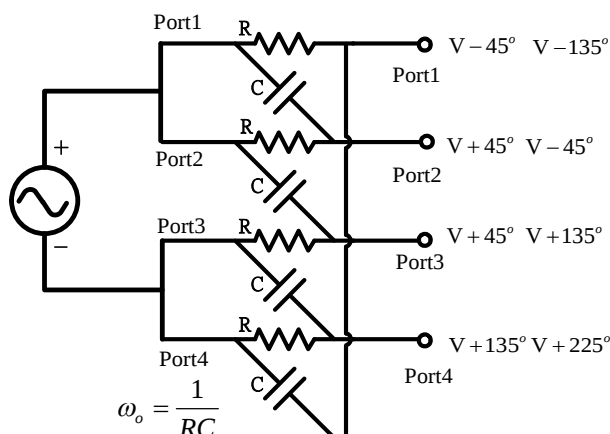


(圖 4.23) PHEMT stacked-LO 次諧波升頻混頻器電路圖

4.5.1 LO 端輸入級

正交訊號的產生可藉由除頻器(divider)、正交訊號壓控震盪器(QVCO)與多相位濾波器(polyphase filter)來產生。其中，若把多相位

濾波器輸入端 port1、port2和 port3、port4分別連接，並輸入差動訊號，便可產生 0° 、 90° 、 180° 、 270° 的正交相位訊號。



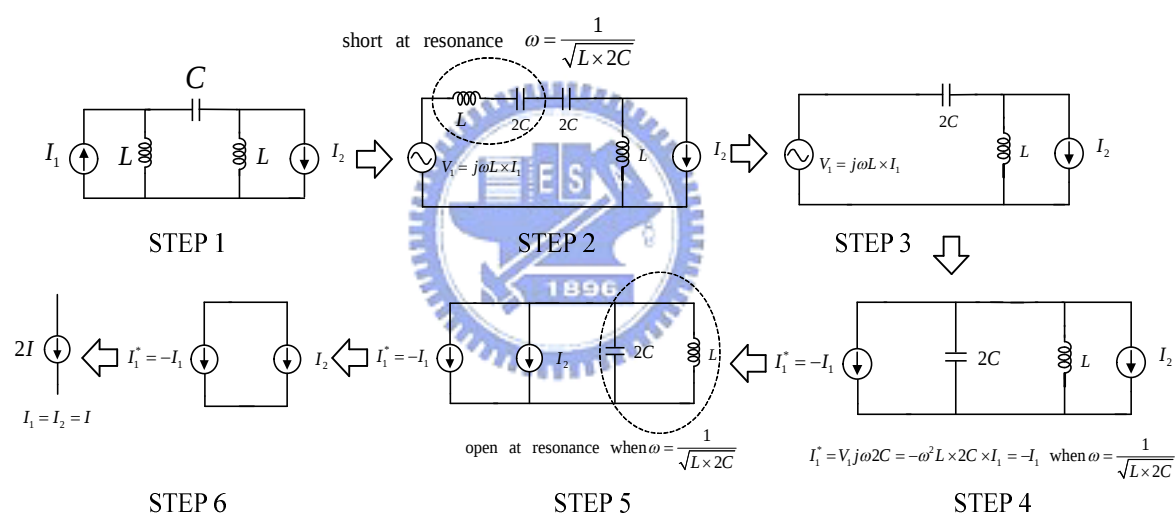
(圖4.24) 正交相位產生器及相位輸出關係

如(圖4.24)，我們在分析一個 port 時，要把其他的 port 接地。port2 的輸出訊號為 port1 輸入訊號(0°)經過 CR 高通濾波器後，相位落後 45° ($+45^\circ$)，加上 port2 輸入訊號(0°)經過 RC 低通濾波器後，相位領先 45° (-45°)之和。同樣的，port3 輸出訊號為 port2 輸入訊號(0°)經過 CR 高通濾波器後，相位落後 45° ($+45^\circ$)，加上 port3 輸入訊號(180°)經過 RC 低通濾波器後，相位領先 45° ($+135^\circ$)之和。由重疊原理知，port1~port4 的輸出訊號分別為 270° 、 0° 、 90° 、 180° ，即產生了正交相位。

以上我們針對一個頻率來探討多相位濾波器的正負訊號頻率訊號的選擇，然而多相位濾波器的優點，在於我們可以利用串聯來增加頻率選擇的頻寬，而且藉由多級的濾波器來減少頻率選擇對於 RC 值變化的敏感度，但相對的，必須付出更多的損耗。

4.5.2 RF 端輸出級

一般而言，主動的電流鏡作電流合成在高頻效果都會比被動的電流合成器差，因為電流鏡除了限制了輸出振幅(output swing)外，電晶體的反應速度較低，相對的，被動的電流合成器有較高的線性度，且不會有輸出振幅的限制。故本電路在 RF 端使用了 LC 電流合成器將 RF 輸出電流轉換成單端輸出，其 AC 等效的電流合成如(圖4.25)所示[28]，當 LC 共振時可以將反相的電流轉換為同相相加。



(圖4.25) Current combiner 電流相加原理

Step1：電流合成器等效小信號模型。

Step2：將電流源轉換成等效電壓源，其中 $V_1 = j\omega L I_1$ 。

Step3：LC 串聯共振時為一短路，其共振頻率為 $\omega = \frac{1}{\sqrt{L \times 2C}}$ 。

Step4：將電壓源轉為等效電流源，由 Norton 等效知

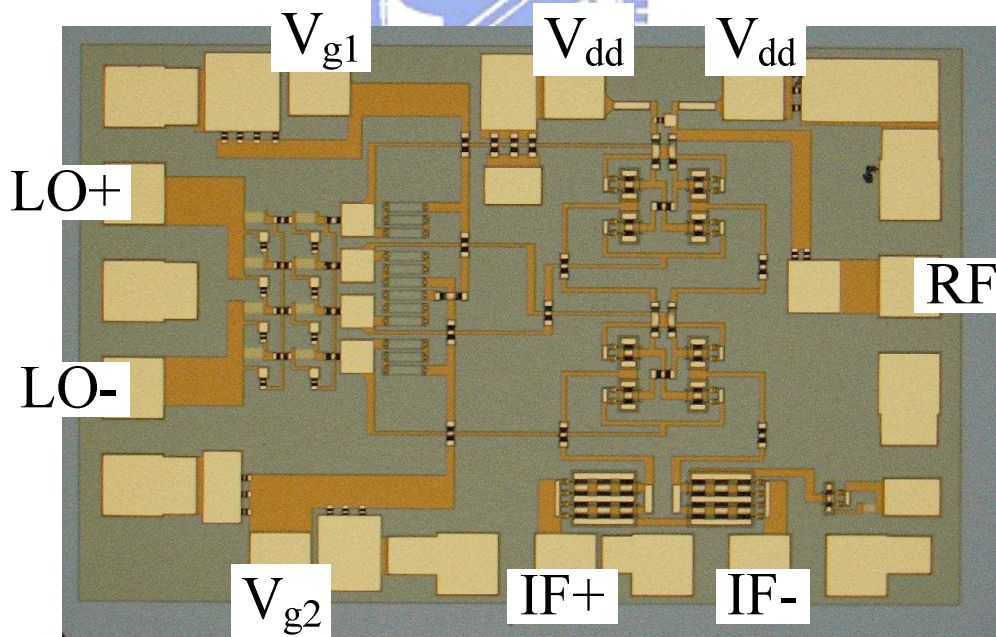
$$I_1^* = \frac{V}{Z} = \frac{j\omega L \times I_1}{\frac{1}{j\omega 2C}} = -I_1 \omega^2 L 2C = -I_1 \quad \text{when} \quad \omega^2 L 2C = 1$$

Step5、6：共振頻率時，LC 並聯為開路，最後兩組電流同相相加。

由上面轉換推導知，我們可利用簡單的 LC 電路做為 RF 端的差動轉單端輸出。

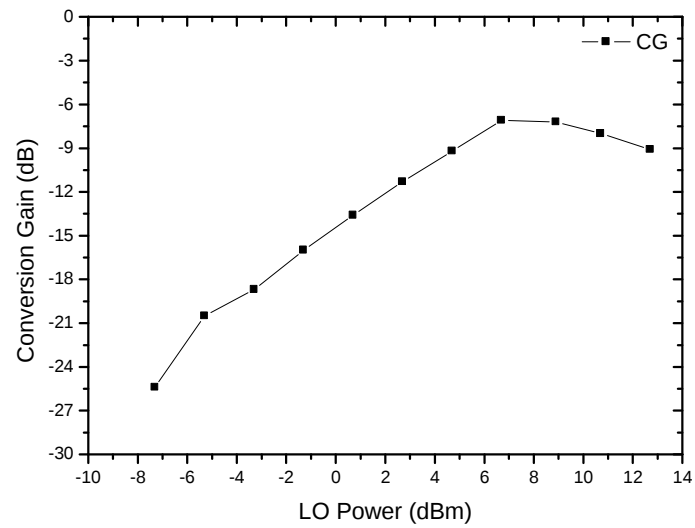
4.5.3 晶片量測結果

(圖 4.26)為 WIN 0.15um PHEMT stacked-LO 次諧波升頻混頻器 die photo，面積為 1.5mm x 1mm。左上和左下的 Vg1 和 Vg2 是因上下層 LO Gilbert cells 需不同偏壓，故在 polyphase filter 的輸出加上大電容和大電阻以分開 AC 和 DC 訊號。

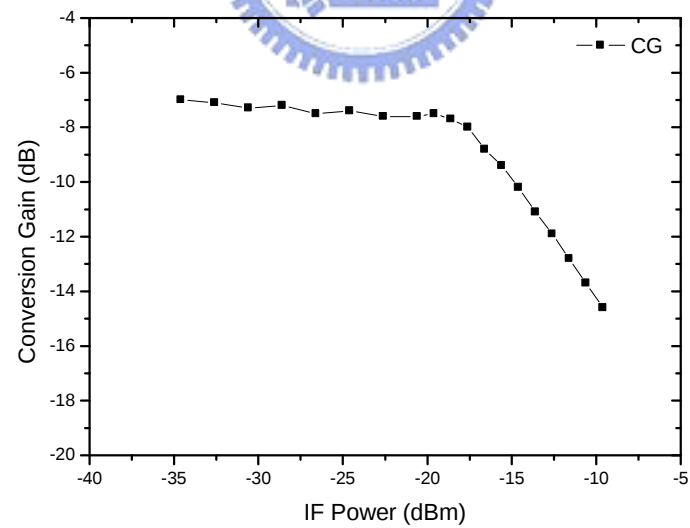


(圖 4.26) PHEMT Stacked-LO 次諧波混頻器 die photo (1.5mm x 1mm)

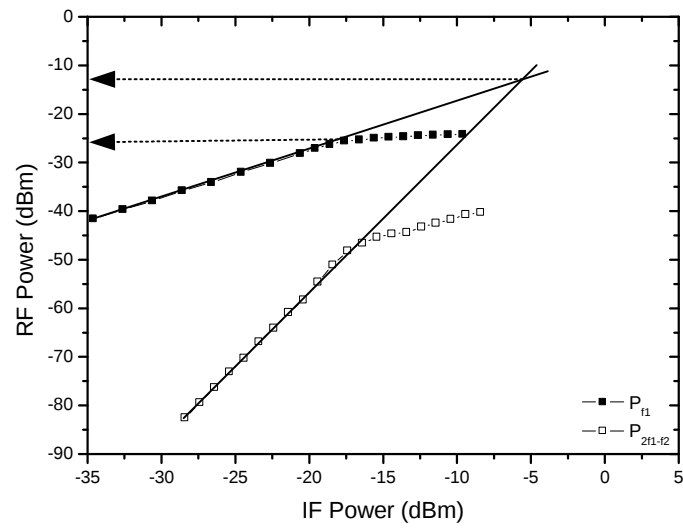
—量測結果—



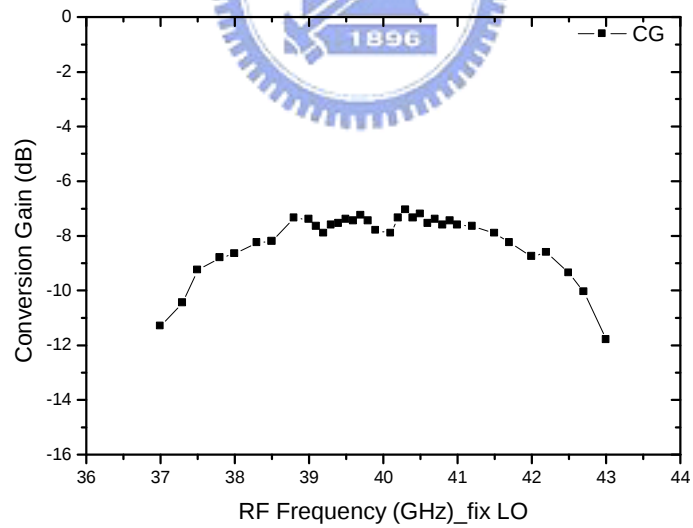
(圖 4.27) Conversion Gain V.S. LO Power



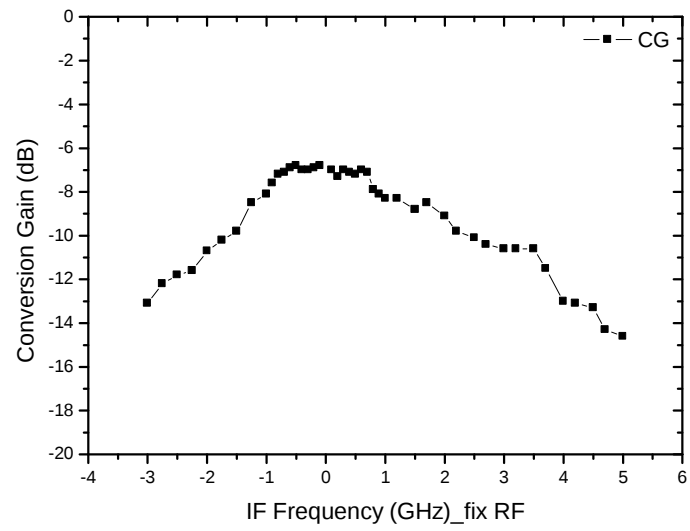
(圖 4.28) Conversion Loss V.S. IF Power



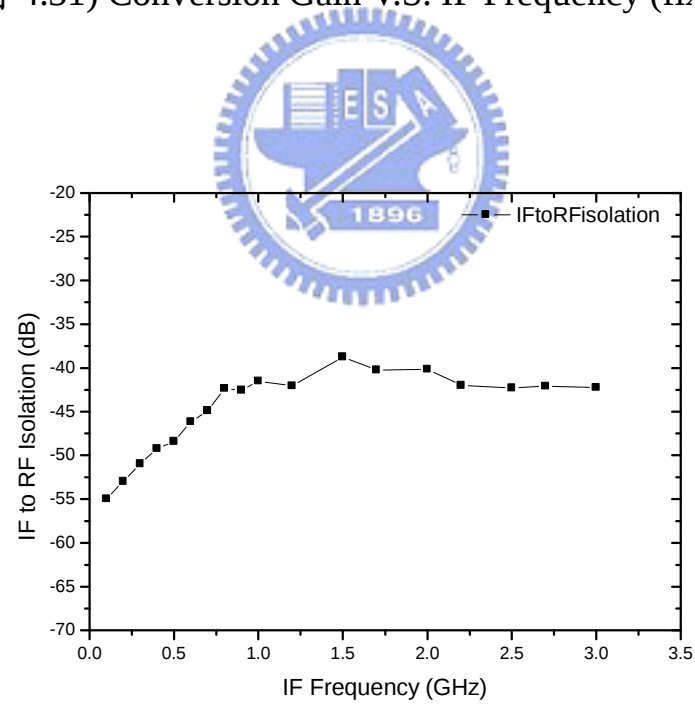
(圖 4.29) OP1dB & OIP3



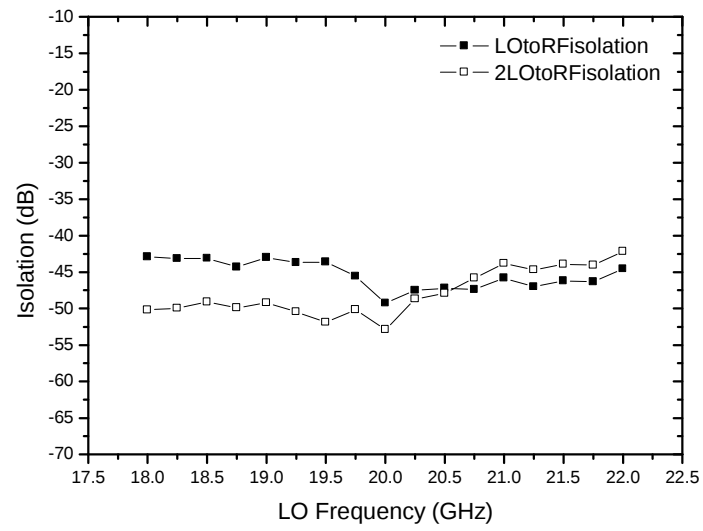
(圖 4.30) Conversion Gain V.S. RF Frequency (fix LO)



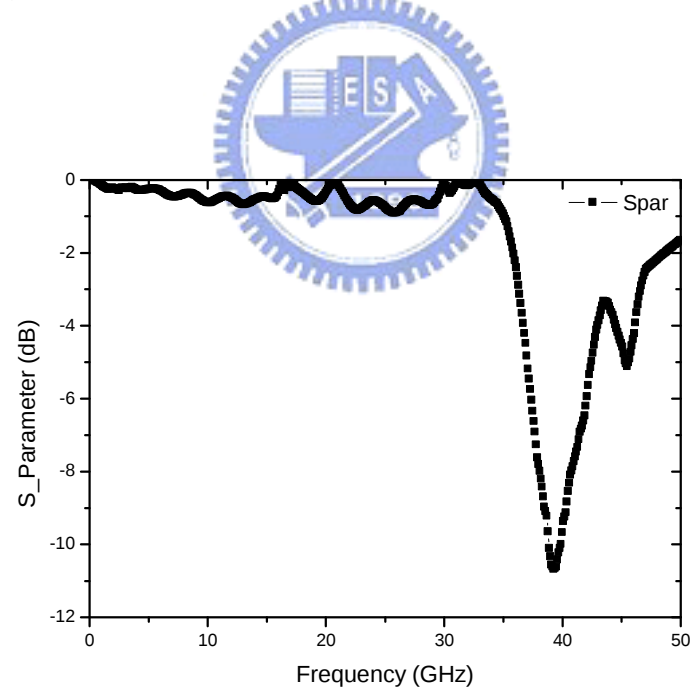
(圖 4.31) Conversion Gain V.S. IF Frequency (fix RF)



(圖 4.32) IF-to-RF Isolation V.S. IF Frequency



(圖 4.33) 2LO-to-RF & LO-to-RF Isolations V.S. LO Frequency



(圖 4.34) RF Return Loss

Process	WIN 0.15um PHEMT
Vdd / Idd	5V / 6mA
Conversion Gain	-7 dB @ LO:7dBm
OP1dB	-26 dBm
OIP3	-12 dBm
RF Bandwidth	37.5~42.5 GHz
IF Bandwidth	2.5 GHz
LO-to-RF Isolation	-50 dB @ LO:20GHz
2LO-to-RF Isolation	-53 dB @ LO:20GHz
IF-to-RF Isolation	-55 dB @ IF:100MHz
RF Return Loss	-11 dB @ 40GHz
Chip Size	1.5 mm x 1 mm

(表 4.3) WIN 0.15um PHEMT Stacked-LO 次諧波升頻混頻器

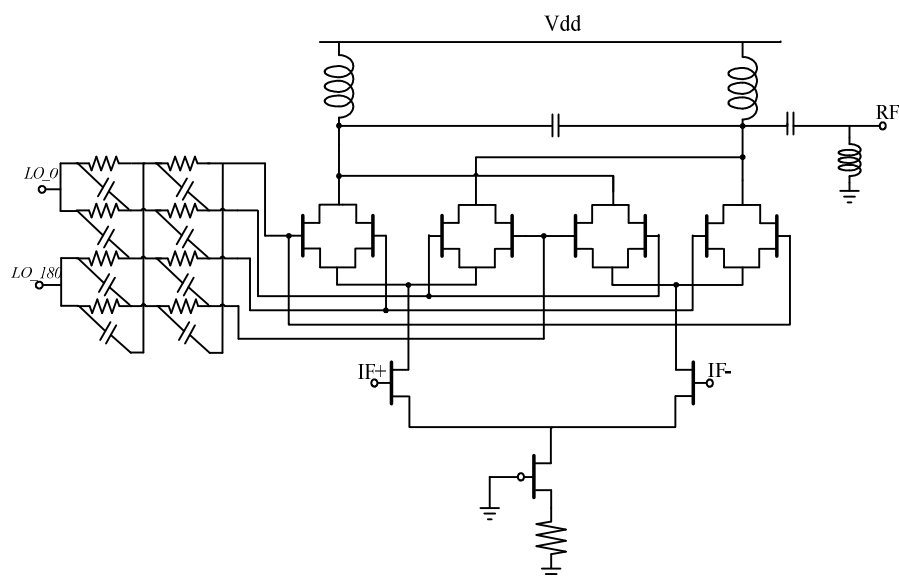
4.5.4 結果與討論

由量測結果可知，LO power 在打入 7dBm 時，只有約-7dB 的轉換增益(7dB 轉換損耗)，表現並不夠好，可能是因為電晶體在 40.1GHz 處已經瀕臨其操作極限($f_T=85\text{GHz}$)。本節其他結果留待下一節的 4.6.2 小節再一併列表並比較討論之。

4.6 Leveled-LO 次諧波升頻混頻器實作

本節的 leveled-LO 次諧波升頻混頻器和上一節電路同樣使用了 WIN 0.15um PHEMT 製程技術，且 RF 也是 40.1GHz，LO 頻率 20GHz，IF 頻率為 100MHz，LO、RF 端的電路架構也都如同上一節，使用 polyphase filter 和 LC current combiner，以方便作兩者電路的分

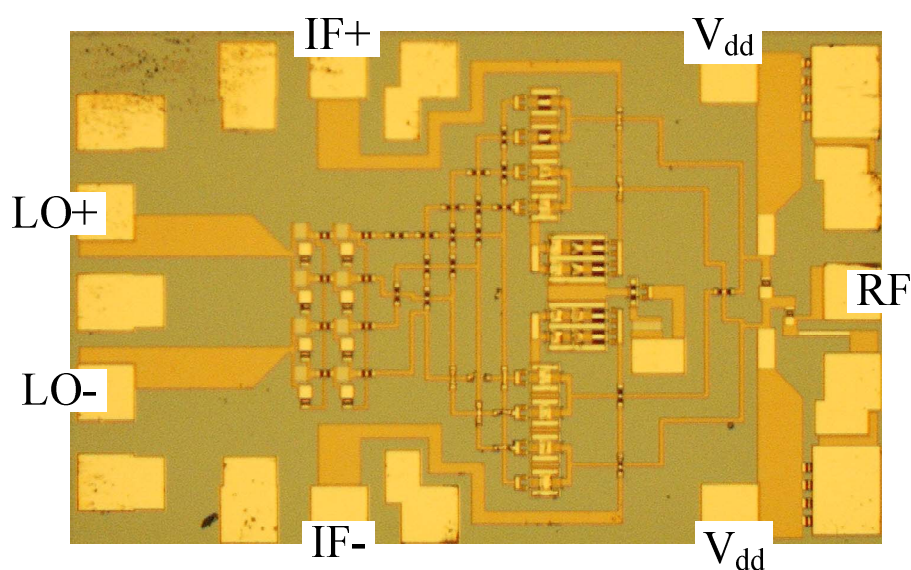
析比較，本節不再贅述，電路架構如(圖 4.35)所示：



(圖 4.35) PHEMT leveled-LO 次諧波升頻混頻器電路圖

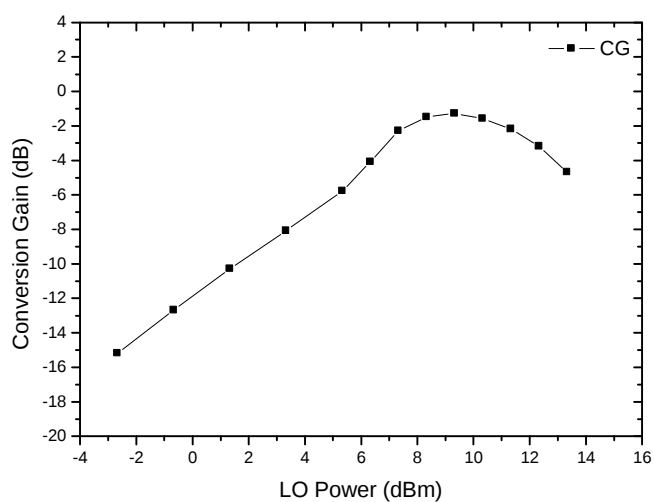
4.6.1 晶片量測結果

(圖 4.36)為 WIN 0.15 μ m PHEMT leveled-LO 次諧波升頻混頻器 die photo，整體面積同樣為 1.5mm x 1mm。同樣的，LO 和 IF 在量測時也都需外接 balun 來輸入差動訊號。

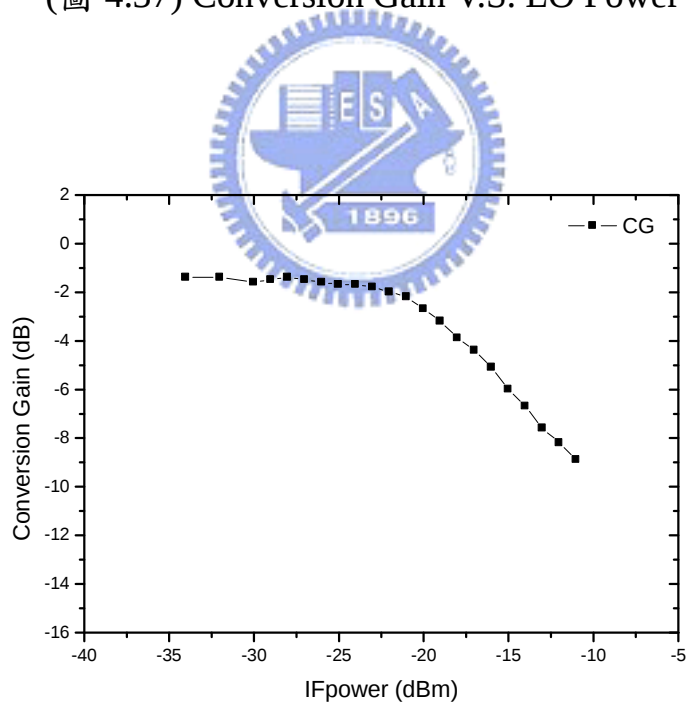


(圖 4.36) PHEMT Leveled-LO 次諧波混頻器 die photo(1.5mm x 1mm)

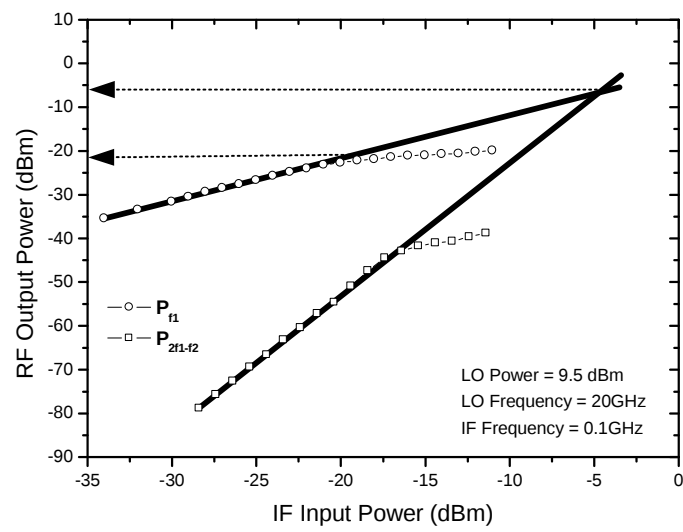
—量測結果—



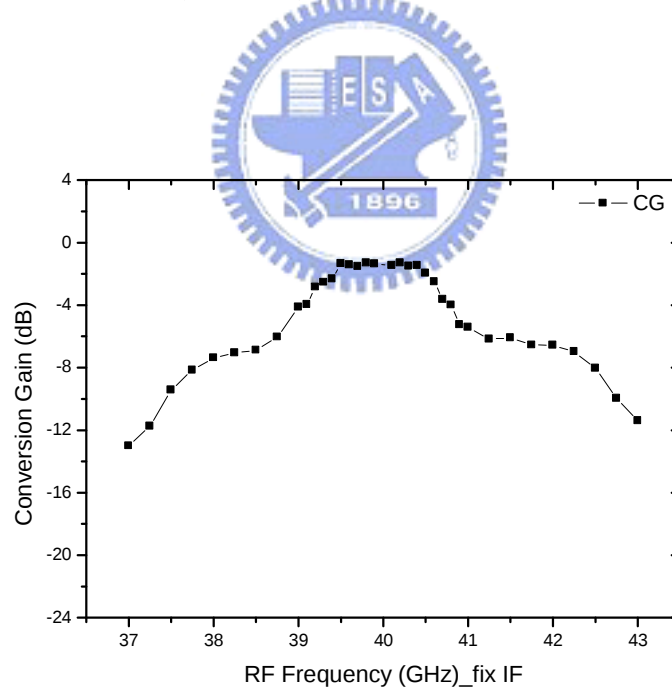
(圖 4.37) Conversion Gain V.S. LO Power



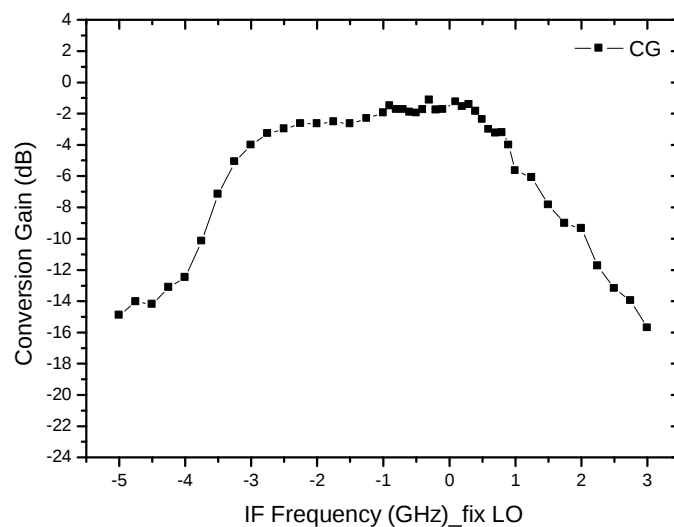
(圖 4.38) Conversion Gain V.S. IF Power



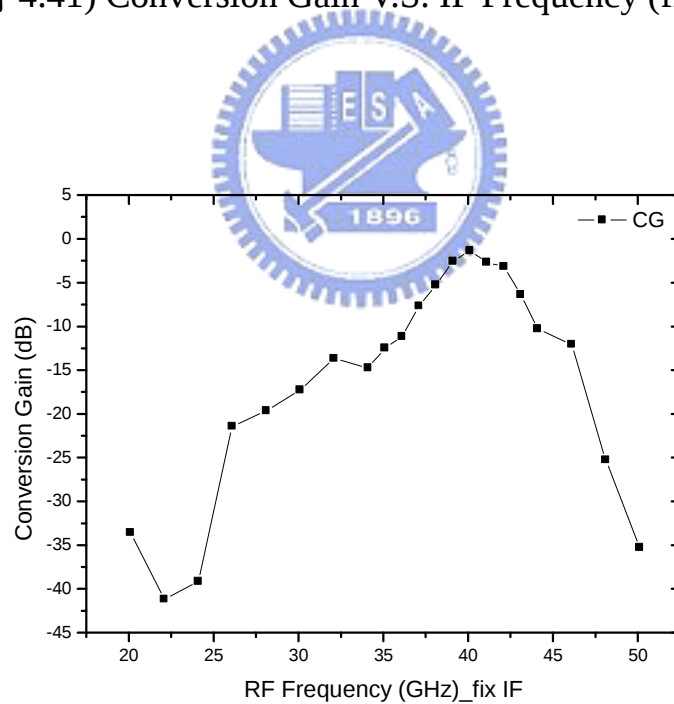
(圖 4.39) OP1dB & OIP3



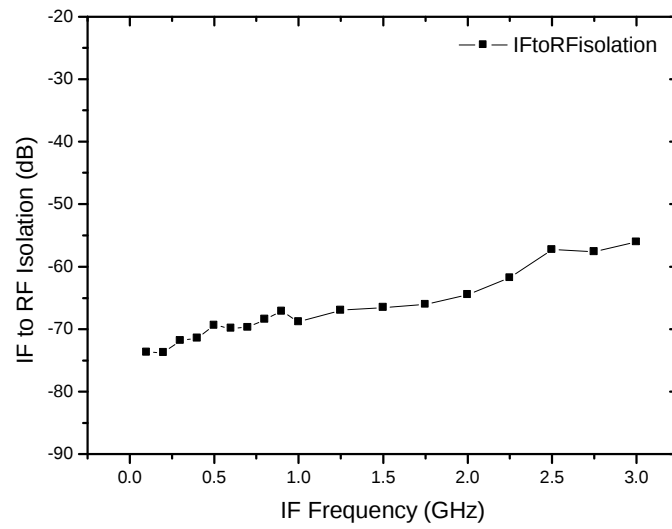
(圖 4.40) Conversion Gain V.S. RF Frequency (fix LO)



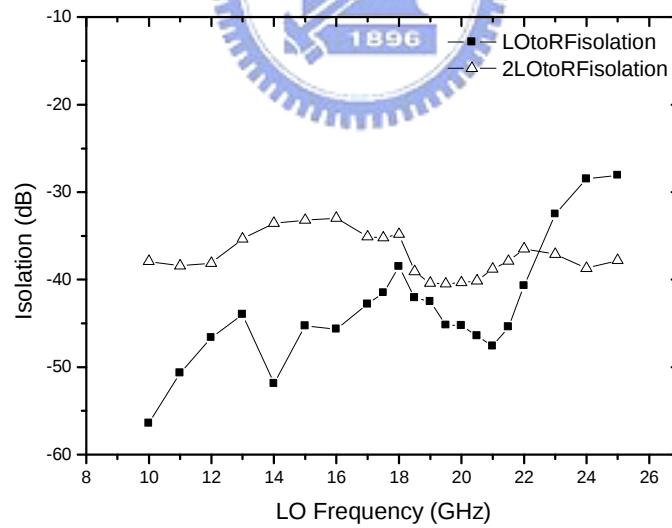
(圖 4.41) Conversion Gain V.S. IF Frequency (fix RF)



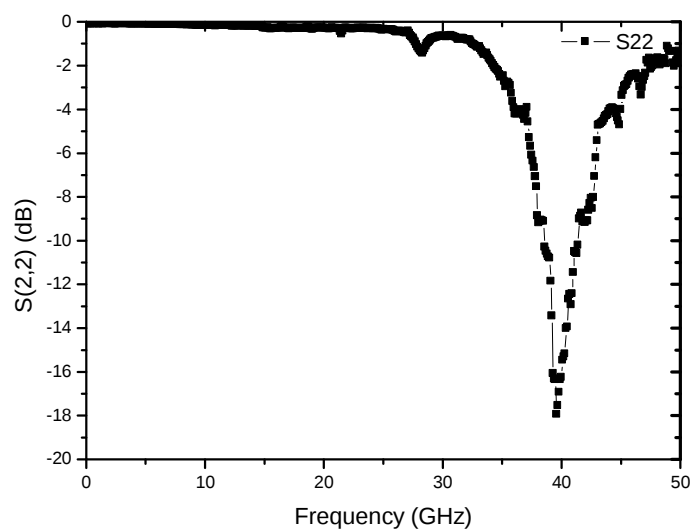
(圖 4.42) Conversion Gain V.S. RF Frequency (fix IF)



(圖 4.43) IF-to-RF Isolation V.S. IF Frequency



(圖 4.44) 2LO-to-RF & LO-to-RF Isolations V.S. LO Frequency



(圖 4.45) RF Return Loss

Process	WIN 0.15um PHEMT
Vdd/ Idd	5V / 13.3mA
Conversion Gain	-1dB @ LO:9dBm
OP1dB	-22 dBm
OIP3	-6 dBm
RF Bandwidth	39.1~40.8 GHz
IF Bandwidth	1 GHz
LO-to-RF Isolation	-45 dB @ LO:20GHz
2LO-to-RF Isolation	-40 dB @ LO:20GHz
IF-to-RF Isolation	<-70 dB @ IF:100MHz
RF Return Loss	-18 dB @ 40GHz
Chip Size	1.5 mm x 1 mm

(表 4.4) WIN 0.15um PHEMT Leveled-LO 次諧波升頻混頻器

4.6.2 結果與討論

本小節與上一節 stacked-LO 電路比較，兩個電路 die size 相同，且輸出 return loss 都能落在 40GHz 附近，故能公平地比較這兩種電路架構。Level-LO 次諧波混頻器 LO 打入 9dBm 時，只有約-1dB 的轉換增益(1dB 轉換損耗)，較 stacked-LO 略佳(7dB 轉換損耗@LO：7dBm)，是因 leveled-LO 架構可以操作在較大的直流電流下 (leveled-LO：13.3mA V.S. stacked-LO：6mA)，由理論知主動電路頻率約操作在電晶體 f_T 的三分之一左右，故沒有轉換增益可能是因電晶體在 40.1GHz 處已經接近 $1/2 f_T$ (PHEMT $f_T=85\text{GHz}$)，瀕臨其操作極限。另外，leveled-LO 的 LO power 需要比 stacked-LO 更大，比較結果雖不明顯，但大致符合。而隔離度的部份，stacked-LO 架構在 LO-to-RF 和 2LO-to-RF 隔離度分別為-50dB 和-53dB 均優於 leveled-LO 架構的-45dB 和-40dB，均與理論吻合。

第五章

單邊頻帶混頻器



5.1 前言

一直以來，雙平衡(double balanced) Gilbert 混頻器都是主動混頻器最常用的架構，因為它有比較高的轉換增益，較小的面積，及好的隔離度，但現今的無線通訊系統中，對直接轉換(direct conversion)和低中頻(very low-IF)系統，都需要擁有 I(in-phase)及 Q(quadrature-phase)兩路訊號的複數混頻器，才能避免使用龐大的 IF 濾波器，而單邊頻帶(single-sideband SSB)升頻混頻器正是這樣的複數混頻器。由於頻寬有限，低中頻系統的傳送機都必須要有單邊頻帶傳送的混頻器，以減少頻寬的使用，並壓抑鏡像訊號，以避免干擾真正所要傳送的訊號(desired signal)。



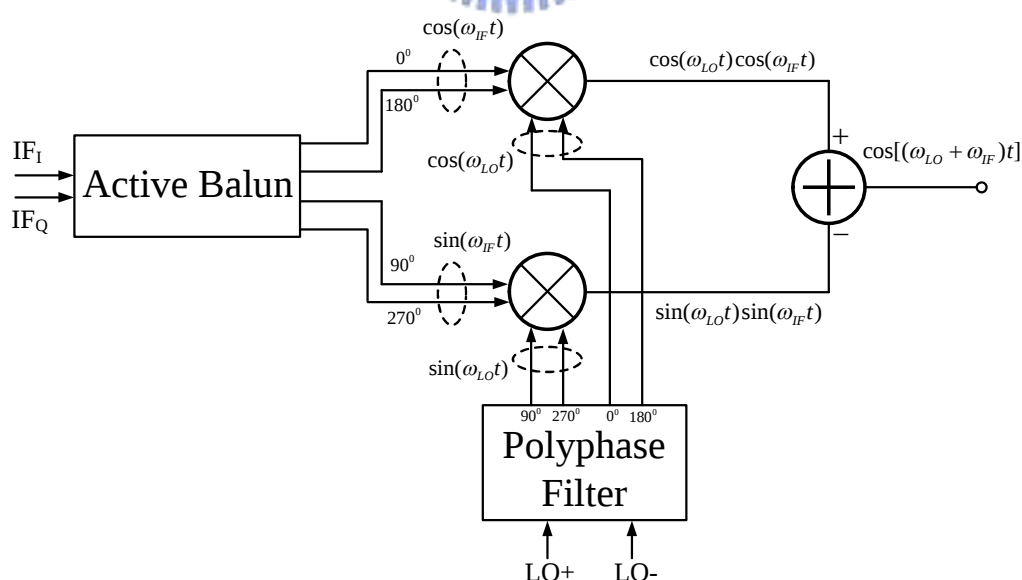
5.2 單邊頻帶升頻混頻器

以現今的技術，很多複數 Gilbert 混頻器都能在 CMOS 或 SiGe HBT 製程上實現，主要應用在低頻的無線通訊系統，但是矽基板的寄生效應對高頻電路的影響是非常嚴重的，相反的，GaAs-based 製程技術能提供精準的薄膜電阻(thin film resistors)和 MIM 電容，且沒有基板的寄生效應，因此若使用 RC-CR 的多相位濾波器，複數混頻器所特別需要的非常精準的正交相位產生器就能精準的製作出，本節電路在 GaAs-based 的 0.15 μ m AlGaAs/InGaAs PHEMT (pseudomorphic high electron mobility transistor)製程技術實現，電晶體有較高的截止

頻率(cut-off frequency-85GHz)，較高的崩潰電壓(breakdown voltage-10V)，且是半絕緣(semi-insulating)的基板，非常適合來做高頻的複數混頻器。在此之前有發表過少數幾篇在 PHEMT 製程上製作 Gilbert 混頻器的論文[1]-[3]，而本節用 PHEMT 製程製作的 Ku-band 的 SSB 複數混頻器則是第一個提出來的。

5.2.1 單邊頻帶(SSB)理論分析

如果只有 $\cos \omega_{LO}t$ 、 $-\cos \omega_{LO}t$ 、 $\cos \omega_{IF}t$ 和 $-\cos \omega_{IF}t$ 輸入混頻器，混頻之後會產生 USB 與 LSB 兩邊頻帶，然而把 LO 和 RF 端正交訊號 $\sin \omega_{LO}t$ 、 $-\sin \omega_{LO}t$ 、 $\sin \omega_{IF}t$ 和 $-\sin \omega_{IF}t$ 一起輸入混頻器，並利用 I/Q 訊號運算 $I_{LO}I_{IF}-Q_{LO}Q_{IF}$ (或 $I_{LO}I_{IF}+Q_{LO}Q_{IF}$) 來去除不想要的邊頻(sideband)，產生單邊頻帶的升頻混頻效果，系統方塊圖如(圖 5.1)。



(圖5.1) SSB 升頻混頻器系統方塊圖

(圖5.1)為雙正交(double quadrature) SSB 升頻混頻器系統方塊

圖，其單邊頻帶產生方式以下三角函數所示：

$$IF(t) = \cos(\omega_{IF}t) + j \sin(\omega_{IF}t)$$

$$LO(t) = \cos(\omega_{LO}t) + j \sin(\omega_{LO}t)$$

IF 和 LO 的訊號，都可以寫成複數的形式，將這兩個訊號經過正交相位產生器之後，可以把它們的 $\cos(\omega_{LO}t)$ 和 $\sin(\omega_{LO}t)$ 分開來，我們所要的訊號和所不要的鏡像訊號頻率分別如下：

$$\omega_{desire} = \omega_{LO} + \omega_{IF}$$

$$\omega_{image} = \omega_{LO} - \omega_{IF}$$

經過 $I_{LO}I_{IF}-Q_{LO}Q_{IF}$ 後，可發現我們所要的訊號會被留存下來，鏡像訊號會被消除：

$$\begin{aligned} \cos(\omega_{IF}t)\cos(\omega_{LO}t) &= \frac{1}{2}\cos((\omega_{IF} + \omega_{LO})t) + \frac{1}{2}\cos((\omega_{IF} - \omega_{LO})t) \\ -) \sin(\omega_{IF}t)\sin(\omega_{LO}t) &= -\frac{1}{2}\cos((\omega_{IF} + \omega_{LO})t) + \frac{1}{2}\cos((\omega_{IF} - \omega_{LO})t) \\ \hline \cos(\omega_{IF}t)\cos(\omega_{LO}t) - \sin(\omega_{IF}t)\sin(\omega_{LO}t) &= \cos((\omega_{IF} + \omega_{LO})t) \end{aligned}$$

我們由之前的 Die photo 可看到 polyphase filter 的佈局是很難達到完全對稱的，尤其在本電路的佈局上，90度的走線容易安排，但180度的走線卻很難佈局對稱，因此我們由數學式來探討180度的相位不完美是否對邊帶消除(sideband rejection)造成影響。

假設無法提供完美的差動訊號，I channel 輸出 $\frac{1}{2}\cos(\omega_{LO}t + \frac{\theta}{2})$ 和 $-\frac{1}{2}\cos(\omega_{LO}t - \frac{\theta}{2})$ ，Q channel 輸出 $\frac{1}{2}\sin(\omega_{LO}t + \frac{\theta}{2})$ 和 $-\frac{1}{2}\sin(\omega_{LO}t - \frac{\theta}{2})$ ，

混頻後的訊號如下：

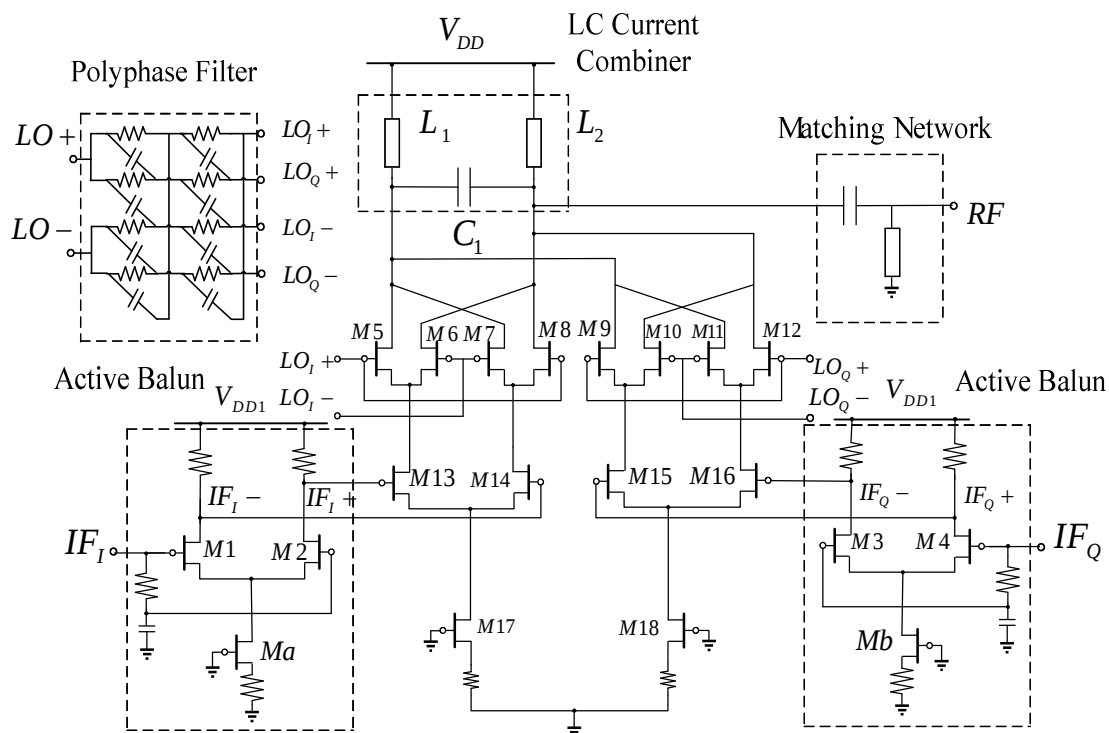
$$\begin{aligned}
 & \frac{1}{2} \left[\cos(\omega_{LO}t + \frac{\theta}{2}) \cos(\omega_{IF}t) + \cos(\omega_{LO}t - \frac{\theta}{2}) \cos(\omega_{IF}t) \right] \\
 & - \frac{1}{2} \left[\sin(\omega_{LO}t + \frac{\theta}{2}) \sin(\omega_{IF}t) + \sin(\omega_{LO}t - \frac{\theta}{2}) \sin(\omega_{IF}t) \right] \\
 & = \frac{1}{2} \cos(\omega_{LO}t + \omega_{IF}t + \frac{\theta}{2}) + \frac{1}{2} \cos(\omega_{LO}t + \omega_{IF}t - \frac{\theta}{2}) \\
 & = \cos(\omega_{LO}t + \omega_{IF}t) \cos(\frac{\theta}{2})
 \end{aligned}$$

由上式可發現當我們無法提供完美的差動訊號時，對於邊帶訊號的消除沒有影響，只會降低了輸出訊號的增益，和降低 port-to-port 的隔離度。



5.2.2 單邊頻帶電路分析

SSB 升頻混頻器詳細電路圖如(圖5.2)，對照(圖5.1)的系統方塊圖，LO 和 IF 輸入都需要正交相位訊號，LO 端正交相位由 polyphase filter 產生，而 IF 端則由兩個主動 balun，也就是基本的單端輸入差動放大器，並在 RF 輸出端設計加法器，及阻抗匹配網路。



(圖5.2) WIN 0.15um PHEMT SSB 升頻混頻器電路圖

方塊圖中的兩個乘法器為雙平衡的 Gilbert 混頻器，由 Gilbert cells(M5~M8和 M9~M12)、IF 輸入級(M13~M16)和電流源(M17、M18)組成，電流源電晶體的源極電阻是為了自我偏壓(self-bias)，因為不同於一般電晶體的開-源極正壓操作可用電流鏡偏壓，PHEMT 電晶體是屬空乏模式操作(depletion mode operation)，開-源極負壓操作必須使用源極電阻偏壓。

電流模式(current mode)操作的加法器使用4.5.2節所介紹的 LC 電流合成器，由電感 L_1 、 L_2 和電容 C_1 所組成，中心頻率設計在 15.18GHz，用來將差動訊號合成為單端訊號輸出，且增加了電壓增益(x2)[4]。一般而言，高頻的主動的電流鏡作電流合成效果會比被動

的電流合成器差，因為電晶體的反應速度也無法達到這麼高頻，且閘-汲電壓限制了輸出振幅(output swing)，相對的，被動的電流合成器有較高的線性度，且不會有輸出振幅的限制。L1、L2電感在15.18GHz 處使用單端接地的微帶線(microstrip line)來取代，在GaAs-based 的基板上有較高的 Q 值，降低了 RF 的輸出損耗。

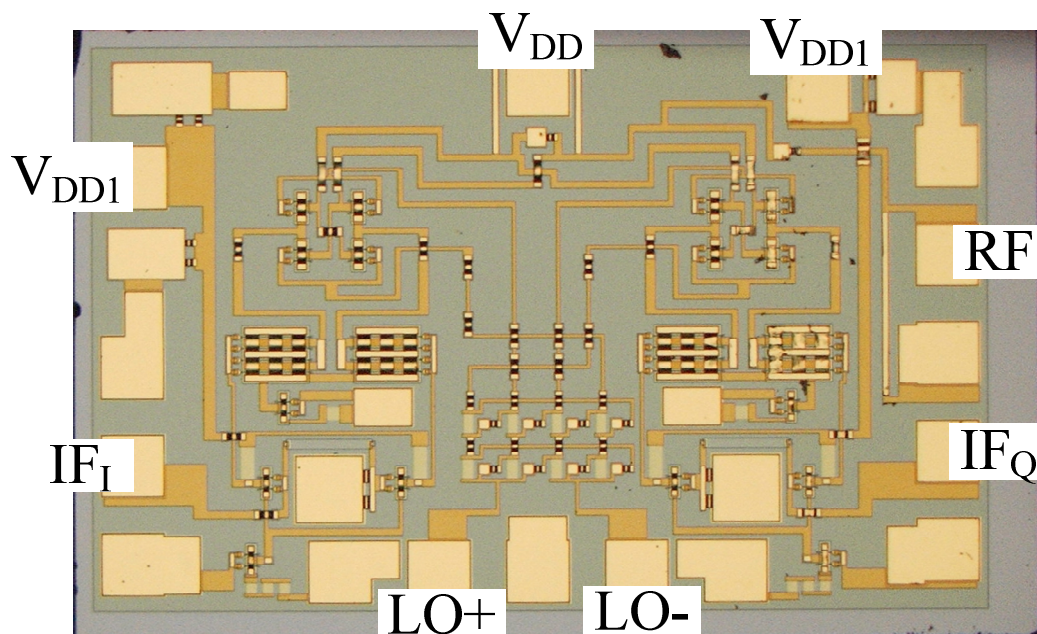
LO 的正交相位則是使用4.5.1節所分析的 RC-CR polyphase filter 產生，且設計為兩級以增加頻寬，中心頻率設計為15GHz，有著約2GHz 的頻寬和9dB 的損耗，輸入至 Gilbert cells 電晶體閘極。

IF 端的正交相位輸入訊號須經由主動 balun 才能轉換為正交差動訊號，主動 balun 由 M1~M4和 Ma、Mb 組成，因為 IF 為低頻信號，才能使用主動 balun 將單端轉差動輸入，產生振幅相同、相位相反的訊號，而這 IF balun 在設計上刻意降低它的轉換增益，否則它會限制住電路的增益壓縮點(P_{1dB})。

5.2.3 晶片量測結果

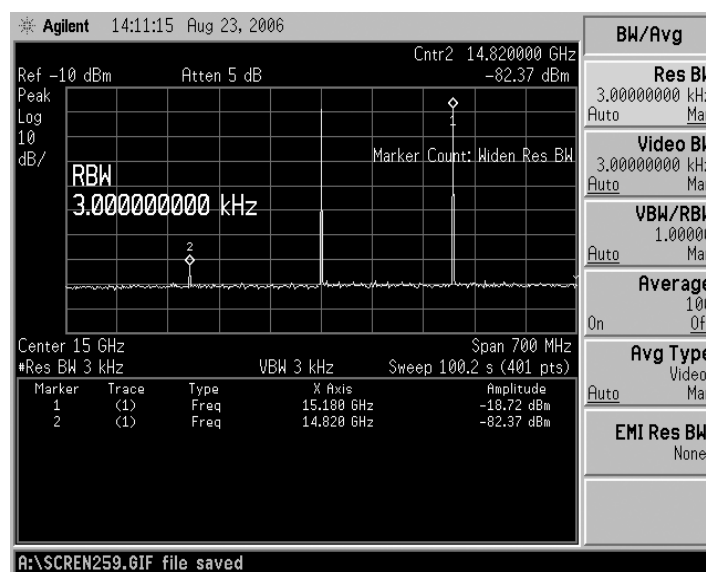
(圖 5.3)為 WIN 0.15um PHEMT SSB 升頻混頻器 die photo，整體面積為 1.5mm x 1mm。對照(圖 5.2)，上方的 V_{DD} 為混頻器偏壓，而左上和右上角的 V_{DD1} 為 IF balun 偏壓，左邊的 IF_I 由 GSG PAD 輸入，而右邊的 IF_Q 和 RF 則由 GSGSG PAD 輸入輸出，量測時 LO 端須外接 balun 以輸入差動訊號，而 IF 端也須外接 90° coupler 以產生正交

訊號，在佈局時所有的走線務必要求對稱，否則只要有一點不對稱就會大大影響邊帶消除效果。

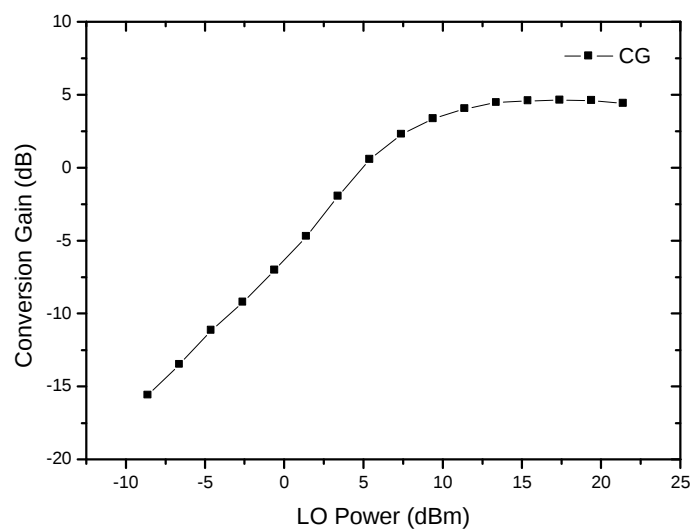


(圖5.3) SSB 升頻混頻器 die photo (1.5mm x 1mm)

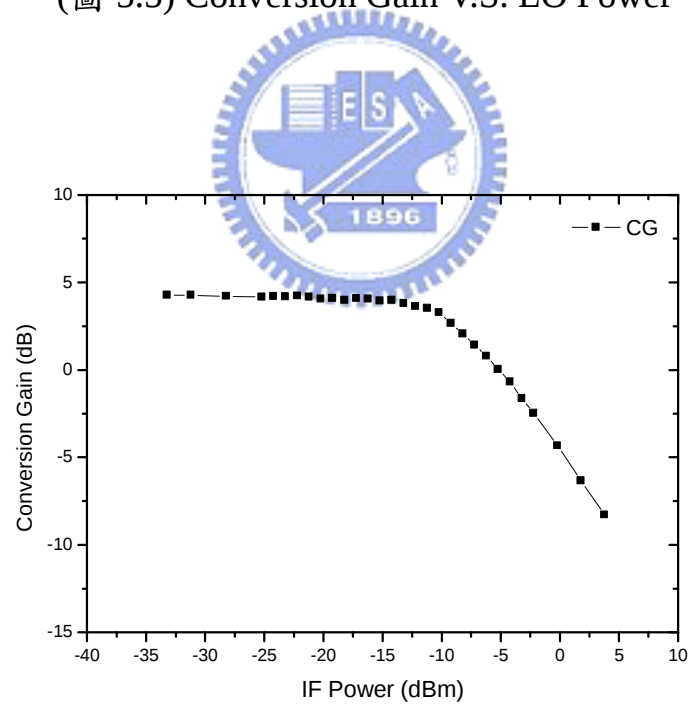
—量測結果—



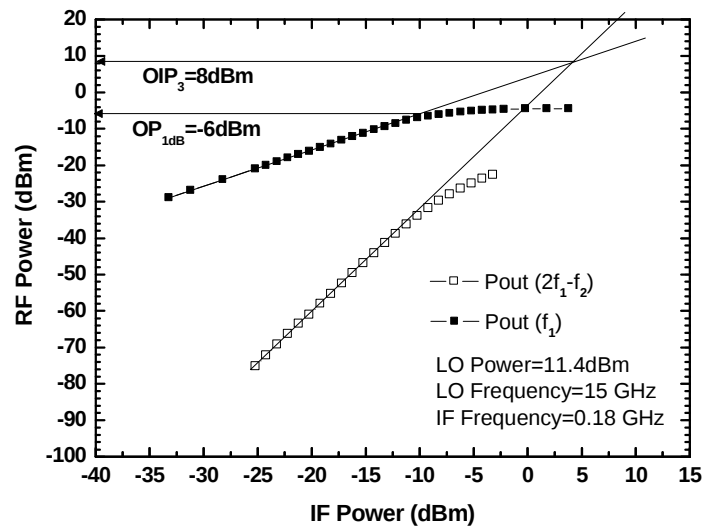
(圖 5.4) Single Sideband Suppression



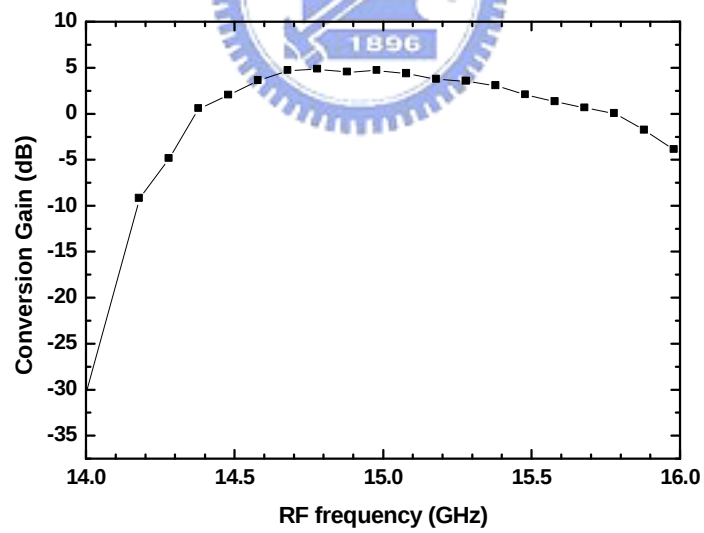
(圖 5.5) Conversion Gain V.S. LO Power



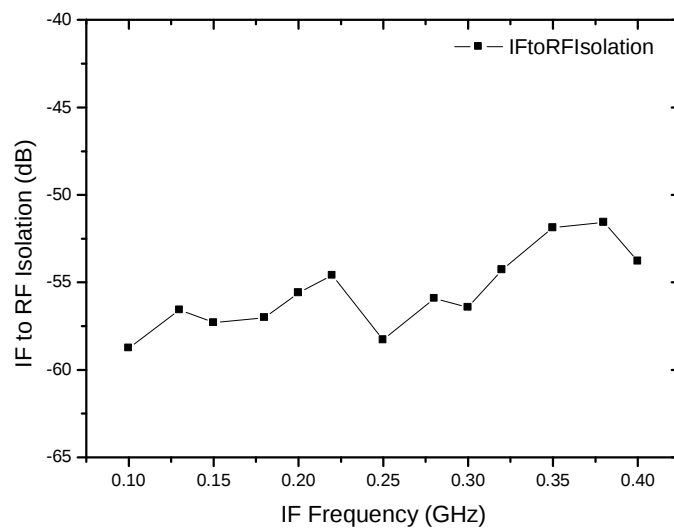
(圖 5.6) Conversion Gain V.S. IF Power



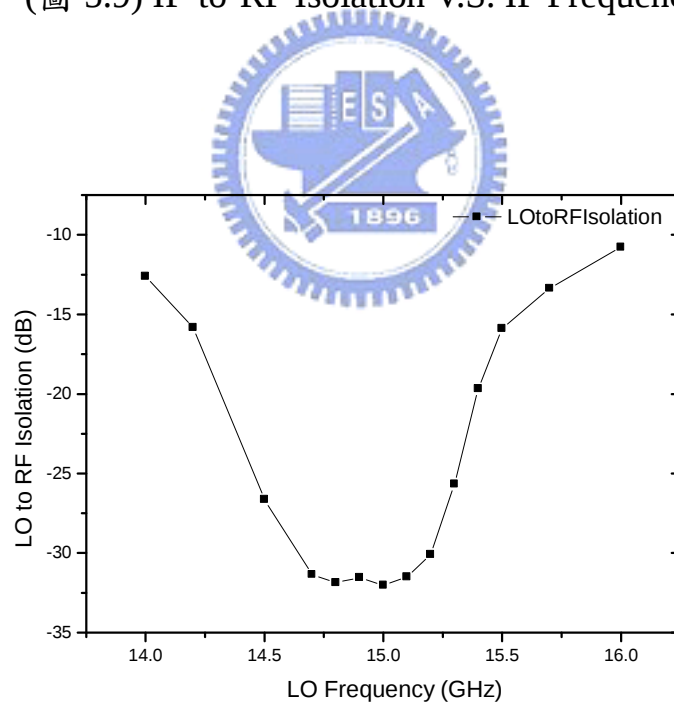
(圖 5.7) OP1dB & OIP3



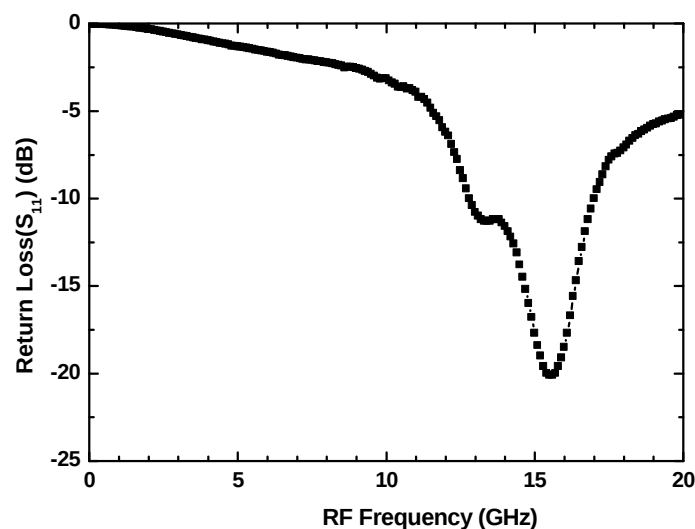
(圖 5.8) Conversion Gain V.S. RF Frequency (fix IF)



(圖 5.9) IF-to-RF Isolation V.S. IF Frequency



(圖 5.10) LO-to-RF Isolation V.S. LO Frequency



(圖 5.11) RF Return Loss

Process	WIN 0.15um PHEMT
Mixer Vdd / Idd	1.8V / 18mA
IF Balun Vdd / Idd	2.5V / 8mA
IF / LO / RF Frequency	0.18GHz / 15GHz / 15.18GHz
SSB Rejection Ratio	63dB
Conversion Gain	5 dB @ LO:10dBm
OP1dB	-6 dBm
OIP3	8 dBm
RF Bandwidth	14.4~15.4 GHz
LO-to-RF Isolation	<-31 dB for LO:14.7~15.2GHz
IF-to-RF Isolation	<-50 dB for IF:100~400MHz
RF Return Loss	-19 dB @ 15.18GHz
Chip Size	1.5 mm x 1 mm

(表 5.1) WIN 0.15um PHEMT SSB 升頻混頻器

5.2.4 結果與討論

本篇 Ku-band 的 PHEMT SSB Gilbert 升頻混頻器是結合了類比與微波的設計概念，有相當好的特性展現。63-dB 的 SSB rejection ratio 表示除了 LO 在 15GHz 有很精準的正交相位訊號外，整個電路的設計和佈局都是非常對稱的，振幅和相位誤差都非常的小。當然，正交相位的產生可以使用 Lange coupler 或 branch coupler 等微波電路，而且可以產生更寬頻的 90° 訊號，但無可避免它們的操作頻率在 30GHz 以下電路過大，故在毫米波(millimeter-wave)頻段較低頻的應用中，RC-CR polyphase filter 應用在 PHEMT 製程中是個非常好的選擇。



第六章

結論



在本篇論文中我們研究了寬頻的 rat-race 混頻器、次諧波混頻器和單邊頻帶混頻器，並整理了實現在各製程中的變壓器。

Rat-race 混頻器部分實現在 TSMC 0.35um SiGe BiCMOS 和 TSMC 0.13um CMOS 製程上。由量測結果看來，rat-race 有著不錯的分合波功能，不僅能產生大小相同、相位相反的差動訊號，也能將差動訊號合成輸出，且具寬頻的特性。唯將 rat-race 放在輸出端作合波器時因損耗較大，影響了混頻器轉換增益的表現。

再來我們也利用了 TSMC 0.13um CMOS 製程設計被動次諧波混頻器，和用 WIN 0.15 um PHEMT 製程來設計主動次諧波混頻器。被動次諧波混頻器是實現在標準 0.13um CMOS 上，但與在 GaAs-based 基板和更先進的 90nm CMOS 技術的電路比起來，特性比較仍不遜色 (見表 4.2)。而由主動次諧波混頻器的量測結果中我們可清楚的看出兩種架構的優缺點，和理論相符合。

此外，利用 WIN 0.15 um PHEMT 製程設計單邊頻帶混頻器。它有著很好的邊帶消除結果(63dB)，但在 LO 到 RF 的隔離度表現較差，表示電路 90 度的訊號是很對稱，但 180 度的訊號對稱性較不佳。

最後也整理實現在 UMC 0.18um CMOS、TSMC 0.35um SiGe BiCMOS、TSMC 0.35um CMOS、TSMC 0.18um CMOS 等製程技術之變壓器量測結果，以利日後研究作參考。

第二章：

- [1] 顏英杰, "雙頻升頻器與結合被動元件正交相位降頻器," 交通大學碩士論文, 2006.
- [2] 吳智凱, "結合 Cherry Hooper 放大機制與被動電路的射頻混頻器設計與實作," 交通大學碩士論文, 2005.
- [3] D. E. Bockelman and W. R. Eisenstadt, "Pure-Mode Network Analyzer for On-Wafer Measurements of Mixed-Mode S-Parameters of Differential Circuits," IEEE Trans. Microwave Theory Tech., vol. 43, pp. 1071-1077, 1997.
- [4] D. E. Bockelman and W. R. Eisenstadt, "Combined differential and common-mode scattering parameters: Theory and simulation," IEEE Trans. Microwave Theory Tech., vol. 43, pp. 1530-1539, 1995.
- [5] Application Notes: Balanced Device Characterization, Agilent Technologies, 2002.
- [6] Application Note 1373-1: An Introduction to Multiport and Balanced Device Measurements, Agilent Technologies, 2002.
- [7] W. Fan, A. C. W. Lu, L. L. Wai and B. K. Lok, "Mixed-Mode S-Parameter Characterisation of Differential Structures," Electronics Packaging Technology, 2003 5th Conference (EPTC 2003) 10-12, pp.533-537, Dec. 2003.
- [8] H. Cho and D. E. Burk, "A three-step method for the de-embedding of high-frequency S-parameter measurements," IEEE TRANSACTIONS ON ELECTRON DEVICE, vol.38, no.6, June. 1991.
- [9] S. D. Wu, G. W. Huang, K. M. Chen, H. C. Tseng, T. L. Hsu and C. Y. Chang, "RF MOSFET Characterization by Four-Port Measurement," IEICE TRANS. ELECTRON., vol. E88-C, no.5, pp.851-856, May 2005.
- [10] D. Pozar, "Microwave Engineering-2'nd Edition," John Wiley & Sons, N.Y., 1998.

第三章：

- [1] B. R. Heimer, L. Fan, and K. Chang, "Uniplanar hybrid couplers using asymmetrical coplanar striplines," IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, vol.45, no.12, Dec. 1997.
- [2] T. Q. Wang and K. Wu, "Size-reduction and band-broadening design technique of uniplanar hybrid ring coupler using phase inverter for M(H)MIC's," IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, vol.47, no.2, Feb. 1999.
- [3] G. D. Alley, "Interdigital capacitors and their application to lumped-element microwave integrated circuits," IEEE TRANSACTIONS ON MICROWAVE

THEORY AND TECHNIQUES, Dec. 1970.

- [4] L. Zhu and K. Wu, "A general-purpose circuit model of interdigital capacitor for accurate design of low-loss microstrip circuit," IEEE MTT-S Digest, 1998.
- [5] J. L. Hobdell, "Optimization of interdigital capacitors," IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, vol. Mm-27, no.9, Sept. 1979.
- [6] 張家宏, "被動分合波器與主動混頻器之整合及覆晶封裝之毫米波驅動放大器設計與實作," 交通大學碩士論文, 2006.
- [7] C. Y. Chang, M. F. Hsieh, "Miniaturized broadband rat-race ring coupler," APMC, 2003.
- [8] 張世賢, "在考慮衰減常數存在下, 相位反轉 Rat-Race 分合波器之設計," 交通大學碩士論文, 2007.
- [9] E. M. Cherry and D. E. Hooper, "The design of wide-band transistor feedback amplifiers," Proc. IEE, vol. 110, no.2, pp.375-389, Feb. 1963.
- [10] B. Razavi, "Design of Integrated Circuits for Optical Communications," pp.136-140, 2003.
- [11] B. Gilbert, "The MICROMIXER: A highly linear variant of the Gilbert mixer using a bisymmetric class-AB input stage," IEEE JSSC, vol.32, pp.1412~1413, Sept. 1997.

第四章：

- [1] F. Behbahani, Y. Kishigami, J. Leete, and A. A. Abidi, "CMOS mixers and polyphase filters for large image rejection," IEEE J. Solid-State Circuits, vol.36, no.6, pp.873-887, June. 2001.
- [2] J. Crols and M. Steyaert, "A single-chip 900 MHz CMOS receiver front-end with a high performance low-IF topology," IEEE J. Solid-State Circuits, vol.30, pp.1438-1492, Dec. 1995.
- [3] A. A. Abidi, "Direct-conversion radio transceivers for digital communications," IEEE J. Solid-State Circuits, vol.30, pp.1438-1492, Dec. 1995.
- [4] L. Sheng, J. C. Jensen, and L. E. Larson, "A wide-bandwidth Si/SiGe HBT direct conversion sub-harmonic mixer/downconverter," IEEE J. Solid-State Circuits, vol.35, no.9, pp.1329-1337, Sept. 2000.
- [5] J. Choma, Jr., "A Three-Level Broad-Banded Monolithic Analog Multiplier," IEEE J. Solid-State Circuits, vol.SC-16, no.4, pp.392-399, August 1981.
- [6] R. Svitek, and S. Raman, "5-6 GHz SiGe active I/Q subharmonic mixers with power supply noise effect characterization," IEEE Microw. Wireless Compon. Lett., vol.14, no.7, pp.319-321, July 2004.
- [7] M. Goldfarb, E. Balboni, and J. Cavey, "Even harmonic double-balanced active mixer for use in direct conversion receivers," IEEE J. Solid-State Circuits, vol.38,

- no.10, pp.1762-1766, Oct. 2003.
- [8] Z. Zhang, Z. Chen, L. Tsui, and J. Lau, "A 930 MHz CMOS DC-offset-free direct-conversion 4-FSK receiver," in IEEE International Solid-State Circuits Conference, San Francisco, U.S.A, Feb.2001, pp.290-291.
- [9] F. Ellinger, "26.5-30-GHz Resistive Mixer in 90-nm VLSI SOI CMOS Technology With High Linearity for WLAN," IEEE Trans. Micro. Theory and Tech., vol. MTT-53, no.8, pp.2559-2565, Aug.2005.
- [10] M. Bao, H. Jacobsson, L. Aspemyr, G. Carchon, and X. Sun, "A 9-31GHz subharmonic passive mixer in 90-nm CMOS technology," IEEE J. Solid-State Circuits, vol.41, no.10, pp.2257-2264, Oct. 2006.
- [11] Y. J. Hwang, H. Wang, and T. H. Chu, "A W-Band subharmonically pumped monolithic GaAs-based HEMT gate mixer," IEEE Microw. Wireless Compon. Lett., vol.14, no.7, pp.313-315, July 2004.
- [12] C. C. Meng, S. K. Xu, T. H. Wu, M. H. Chao, and G. W. Huang, "A high isolation CMFB downconversion micromixer using 0.18-um deep n-well CMOS technology," in IEEE Radio Frequency Integrated Circuits Symposium, Philadelphia, U.S.A, June 2003, pp.619-622.
- [13] C. C. Meng, T. H. Wu, T. H. Wu, and G. W. Huang, "A 5.2 GHz 16 dB gain CMFB Gilbert downconversion mixer using 0.35um deep trench isolation SiGe BiCMOS technology," IEEE Mtt-S Int. Microwave Symp. Dig., Fort Worth, U.S.A, June 2004, pp.975-978.
- [14] 吳宗翰, "利用金氧半場效電晶體, 鍺化矽電晶體, 和磷化銦鎵/砷化鎵異質接面電晶體技術之射頻吉伯特混頻器及接收機系統架構," 交通大學博士論文, 2007.
- [15] F. J. Crowne, A. Eskandarian, H. B. Sequeira, and R. Jakhete, "Deformable channel model for high-frequency MESFET modeling," IEEE Trans. Micro. Theory and Tech., vol. MTT-35, no.12, pp.1199-1206, Dec. 1987.
- [16] R. Anholt, and S. Swirhun, "Equivalent-circuit parameter extraction for cold GaAs MESFET's," IEEE Trans. Micro. Theory and Tech., vol. MTT-39, pp.1247-1252, July 1991.
- [17] K. L. Fong, C. D. Hull, and R. G. Meyer, "A class AB monolithic mixer for 900-MHz applications," IEEE J. Solid-State Circuits, vol.32, no.8, pp.1166-1172, Aug. 1997.
- [18] K. L. Fong, C. D. Hull, and R. G. Meyer, "Monolithic RF active mixer design," IEEE Trans. Circuits and Systems II, vol.46, no.3, pp.231-239, Mar. 1999.
- [19] J. R. Long and M. A. Copeland, "A 1.9GHz low-voltage silicon bipolar receiver front-end for wireless personal communication system," IEEE J. Solid-State Circuits, vol. 30, pp. 1438-1448, Dec.1995.

- [20]張家宏, "被動分合波器與主動混頻器之整合及覆晶封裝之毫米波驅動放大器設計與實作," 交通大學碩士論文, 2006.
- [21]H. Zirath, "A subharmonically pumped resistive dual-HEMT-mixer," IEEE MTT-S Int. Microwave Symp. Dig., 1991, pp. 875–878.
- [22]H. Zirath, I. Angelov, and N. Rorsman, "A millimeterwave subharmonically pumped resistive mixer based on a heterostructure field effect transistor technology," in IEEE MTT-S Int. Microwave Symp. Dig., 1992, pp. 599–602.
- [23]Y. J. Hwang, H. Wang, and T. H. Chu, "A W-band Subharmonically Pumped Monolithic GaAs-Based HEMT Gate Mixer," IEEE Trans. Microw. Wireless Compon. Lett., vol. 14, no. 7, pp. 313–315, July. 2004.
- [24]P. C. Yeh, W. C. Liu, and H. K. Chiou, "Compact 28-GHz subharmonically pumped resistive mixer MMIC using a lumped-element high-pass/Band-pass balun," IEEE Trans. Microw. Wireless Compon. Lett., vol. 15, no. 2, pp. 62–64, Feb. 2005.
- [25]F. Ellinger, L. C. Rodoni, G. Sialm, C. Kromer, G. von Buren, M. L. Schmatz, C. Menolfi, T. Toifl, T. Morf, M. Kossel, and H. Jackel, "30–40-GHz drain-pumped passive-mixer MMIC fabricated on VLSI SOI CMOS technology," IEEE Trans. Microw. Theory Tech., vol. 52, no. 5, pp. 1382–1391, May 2004.
- [26]F. Ellinger, "26.5–30-GHz resistive mixer in 90-nm VLSI SOI CMOS technology," IEEE Trans. Microw. Theory Tech., vol. 53, no. 8, pp. 2559–2565, Aug. 2005.
- [27]M. Bao, H. Jacobsson, L. Aspemyr, G. Carchon, and X. Sun, "A 9–31-GHz Subharmonic Passive Mixer in 90-nm CMOS Technology," IEEE J. Solid-State Circuits, vol. 41, no. 10, pp. 2257–2264, Oct. 2006.
- [28]顏英杰, "雙頻升頻器與結合被動元件正交相位降頻器," 交通大學碩士論文, 2006.

第五章：

- [1] E. Martins, E. M. Bastida, and J. W. Swart, "Design and performance of a Gilbert cell mixer MMIC's with a GaAs PHEMT Technology," in Proc. IEEE Microw. Optoelectron. Conf., Aug. 2001, vol. 1, pp. 245–248.
- [2] C. F. Cambell, "A wideband pHEMT downconverter MMIC for satellite communication systems," IEEE MTT-S. Int. Microw. Symp. Dig., pp. 55–58, 1998.
- [3] E. Dearn and L. M. Devlin, "A mm-wave monolithic Gilbert-cell mixer," IEEE Radio Frequency Integrated Circuit Symp., pp. 267–270, 2000,
- [4] C. C. Meng, T. H. Wu and M. C. Lin, "Compact 5.2-GHz GaInP/GaAs HBT Gilbert upconverter using lumped rat-race hybrid and current combiner," IEEE Microw. Compon. Lett., vol. 15, no. 10, pp. 688–690, Oct. 2005.

附錄

4-port 變壓器整理



A.1 D35-94D-48t

L: outer diameter , W: width , S: spacing , N: turns

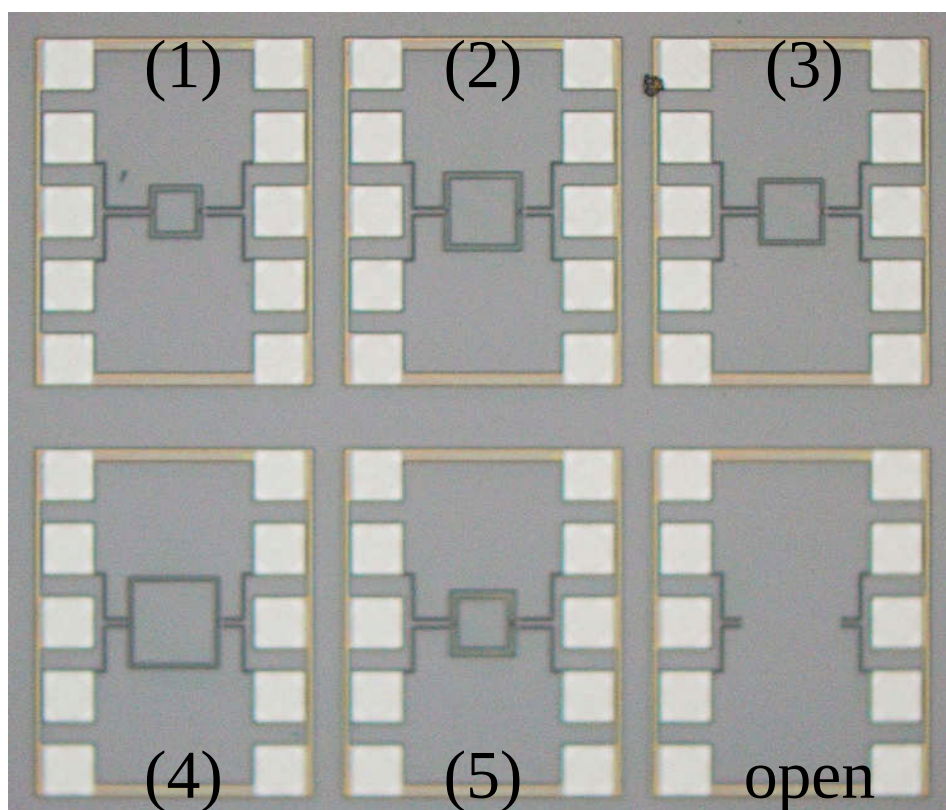
變壓器(1) L=80 μm , W=2.6 μm , S=1.9 μm , N=3

變壓器(2) L=80 μm , W=2.6 μm , S=1.9 μm , N=5

變壓器(3) L=100 μm , W=2.6 μm , S=1.9 μm , N=5

變壓器(4) L=120 μm , W=2.6 μm , S=1.9 μm , N=5

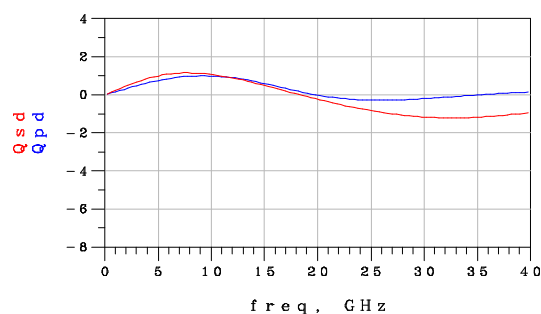
變壓器(5) L=140 μm , W=2.6 μm , S=1.9 μm , N=5



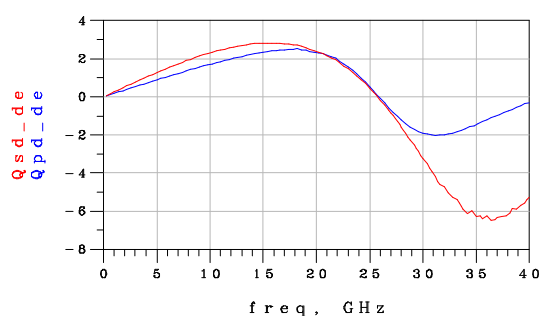
(圖 A.1) D35 對稱型變壓器_A die photo (1.4mm x 1.2mm)

以下皆列出 de-embedded 前後之量測結果。

— 變壓器(1)量測結果 —

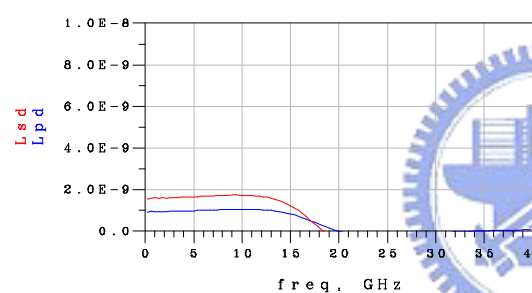


Before

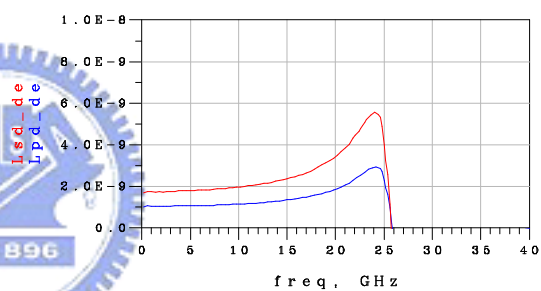


After

(圖 A.2) D35 變壓器_A (1) Q 值

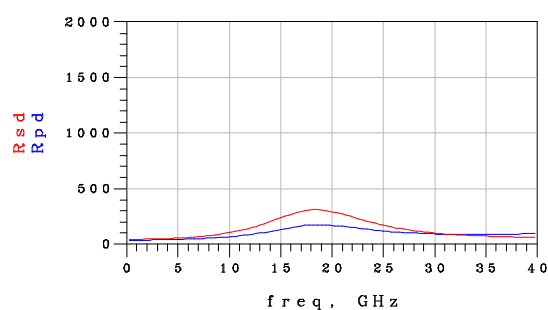


Before

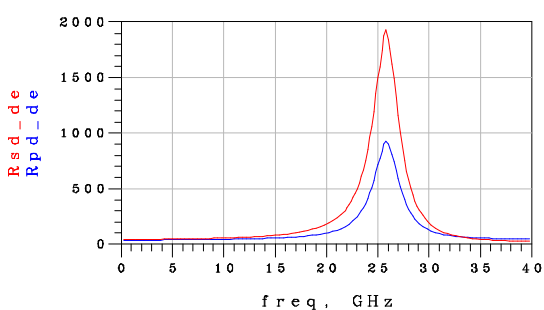


After

(圖 A.3) D35 變壓器_A (1) L 值



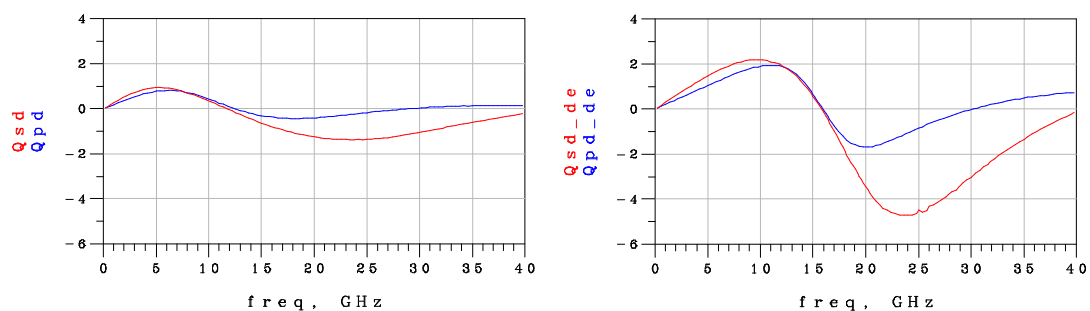
Before



After

(圖 A.4) D35 變壓器_A (1) R 值

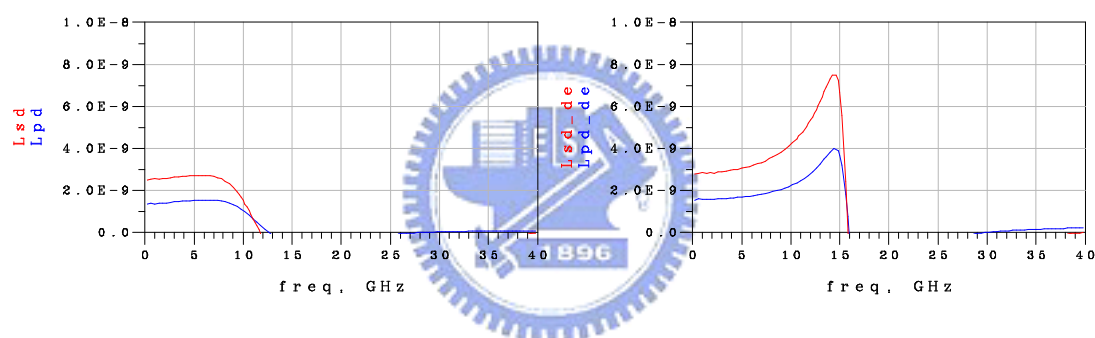
— 變壓器(2)量測結果 —



Before

After

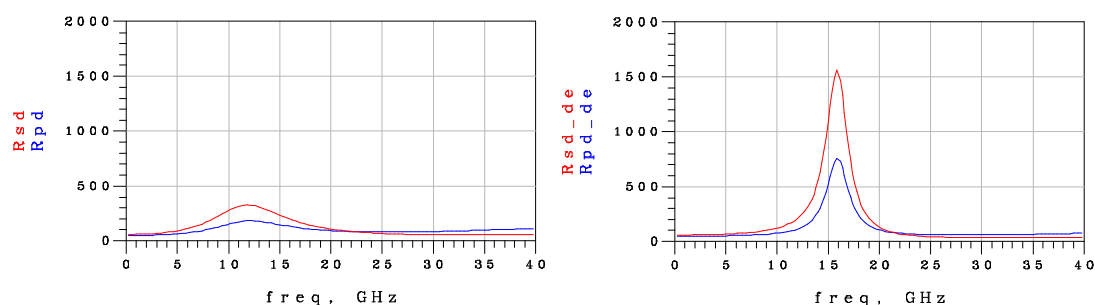
(圖 A.5) D35 變壓器_A (2) Q 值



Before

After

(圖 A.6) D35 變壓器_A (2) L 值

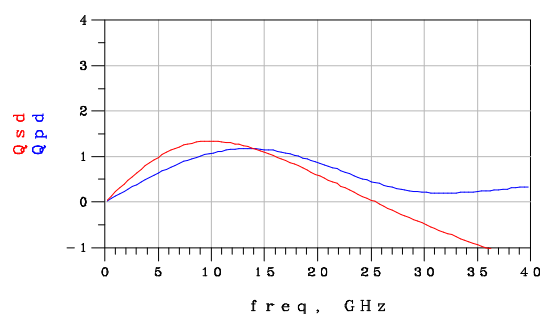


Before

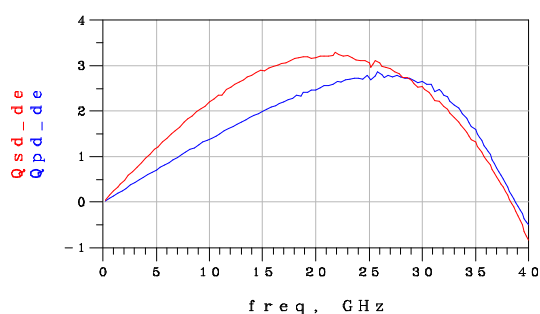
After

(圖 A.7) D35 變壓器_A (2) R 值

— 變壓器(3)量測結果 —

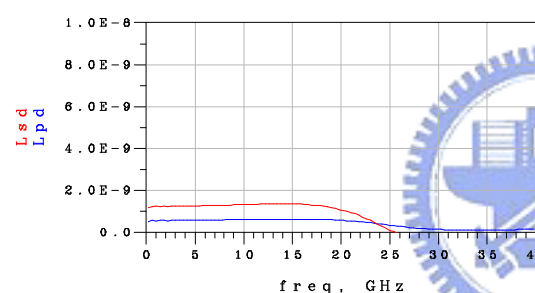


Before

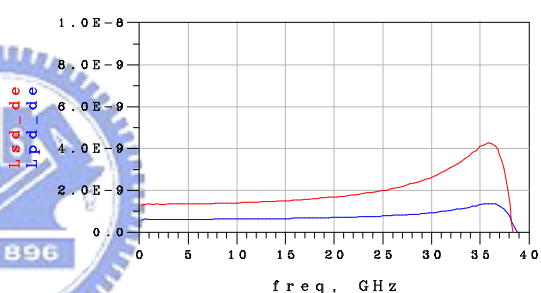


After

(圖 A.8) D35 變壓器_A (3) Q 值

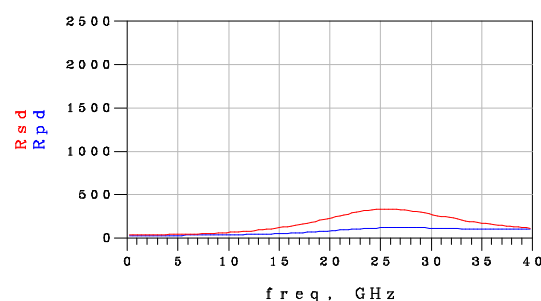


Before

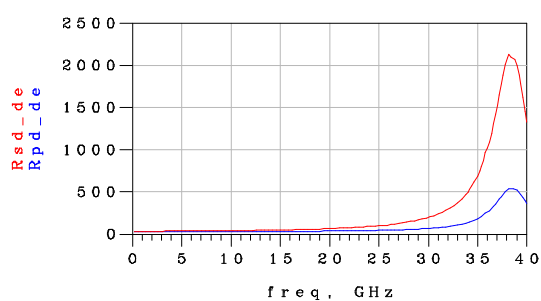


After

(圖 A.9) D35 變壓器_A (3) L 值



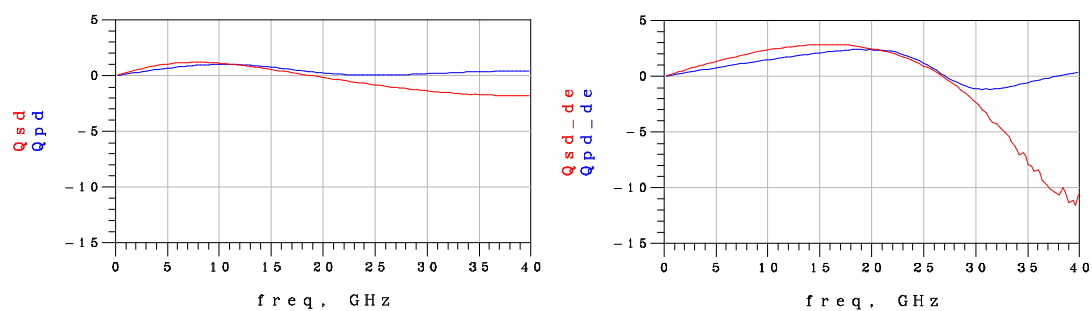
Before



After

(圖 A.10) D35 變壓器_A (3) R 值

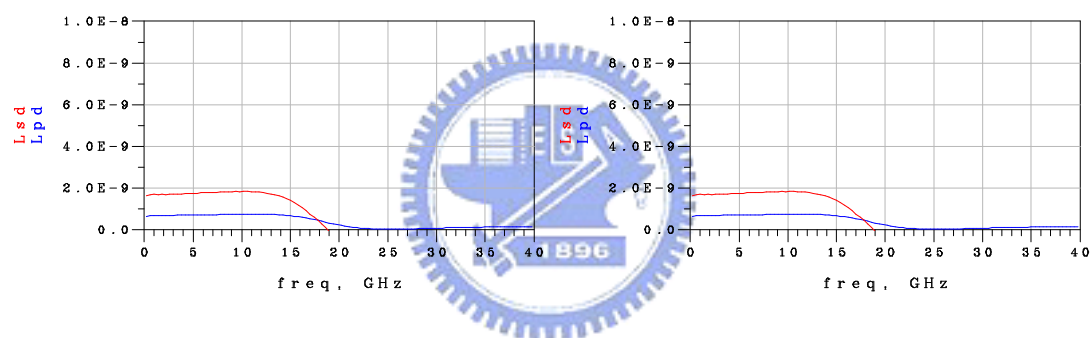
— 變壓器(4)量測結果 —



Before

After

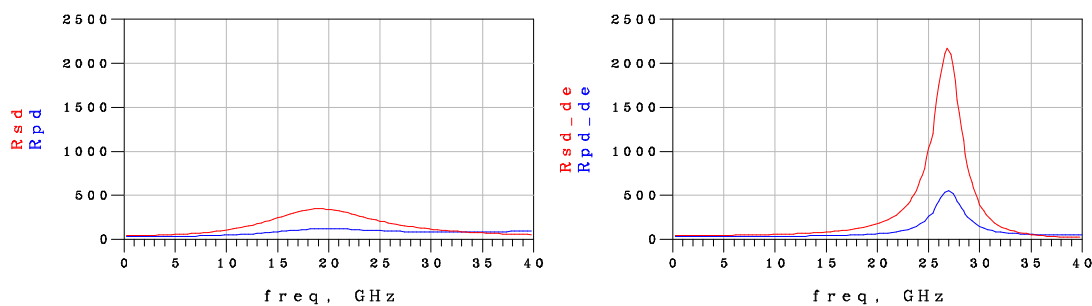
(圖 A.11) D35 變壓器_A (4) Q 值



Before

After

(圖 A.12) D35 變壓器_A (4) L 值

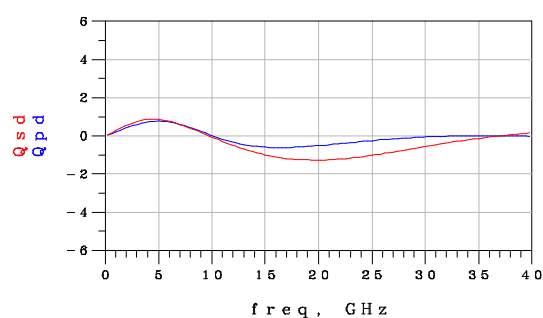


Before

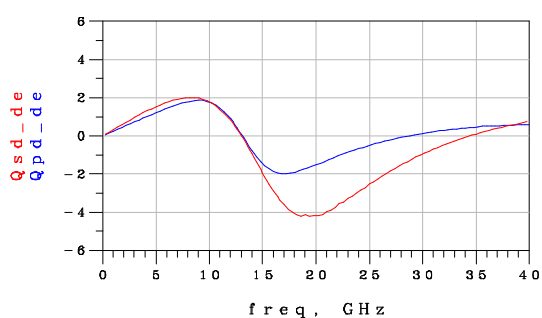
After

(圖 A.13) D35 變壓器_A (4) R 值

— 變壓器(5)量測結果 —

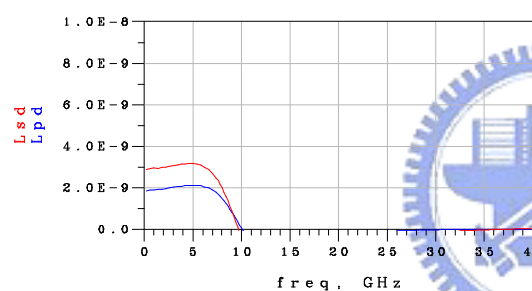


Before

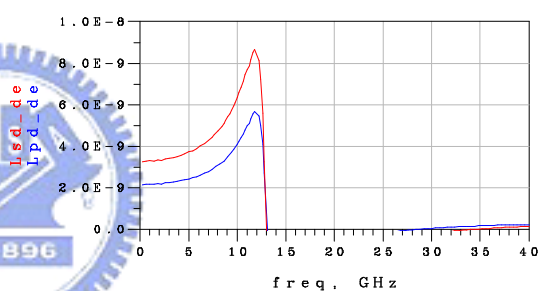


After

(圖 A.14) D35 變壓器_A (5) Q 值

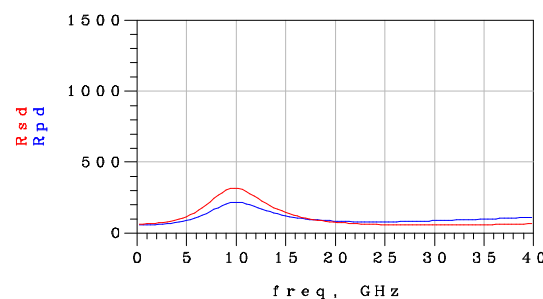


Before

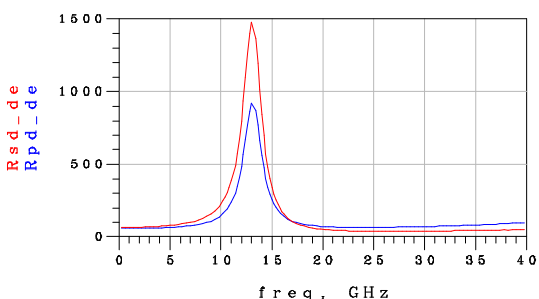


After

(圖 A.15) D35 變壓器_A (5) L 值



Before



After

(圖 A.16) D35 變壓器_A (5) R 值

A.2 D35-96A-36t

L: outer diameter , W: width , S: spacing , N: turns

變壓器(1)L=100 μm , W=3 μm , S=2.5 μm , N=7

變壓器(2)L=120 μm , W=3 μm , S=2.5 μm , N=7

變壓器(3)L=140 μm , W=3 μm , S=2.5 μm , N=7

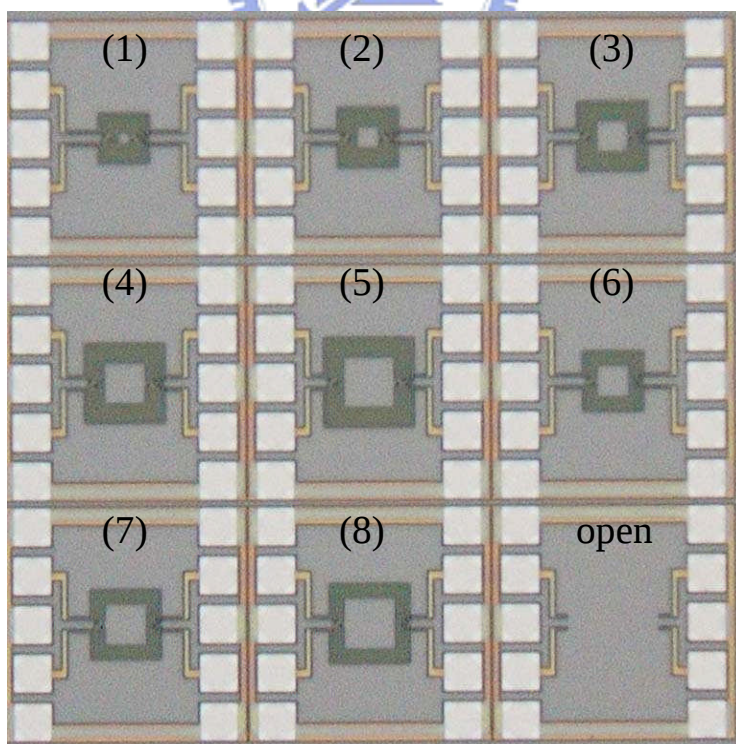
變壓器(4)L=160 μm , W=3 μm , S=2.5 μm , N=7

變壓器(5)L=180 μm , W=3 μm , S=2.5 μm , N=7

變壓器(6)L=120 μm , W=3 μm , S=2.5 μm , N=5

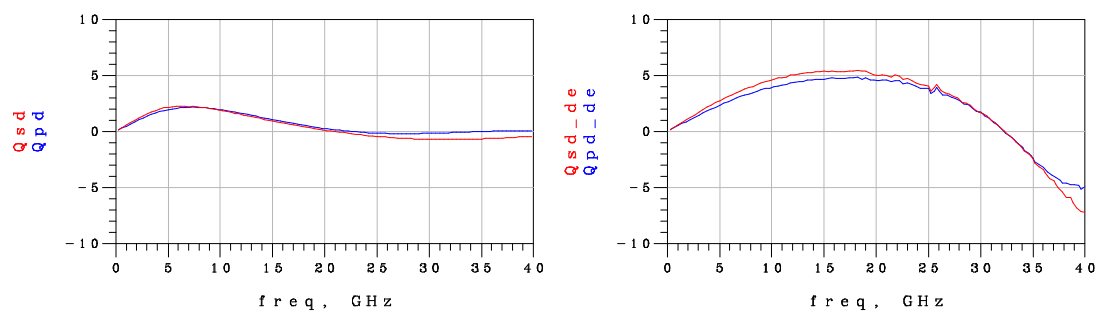
變壓器(7)L=140 μm , W=3 μm , S=2.5 μm , N=5

變壓器(8)L=160 μm , W=3 μm , S=2.5 μm , N=5



(圖 A.17) D35 對稱型變壓_B die photo (1.4mm x 1.2mm)

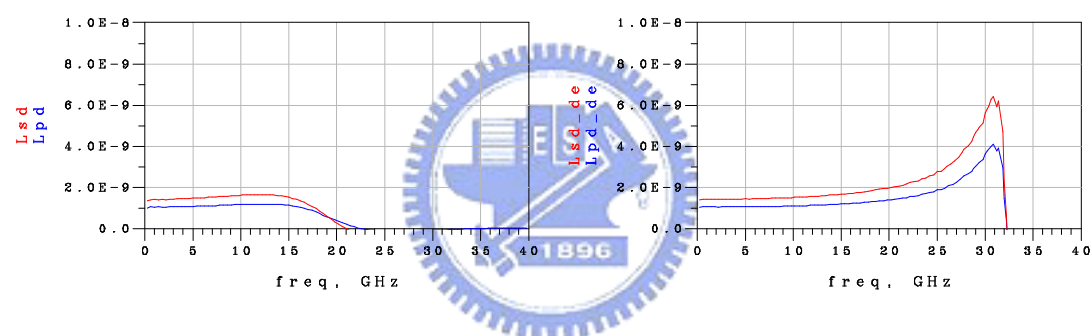
— 變壓器(1)量測結果 —



Before

After

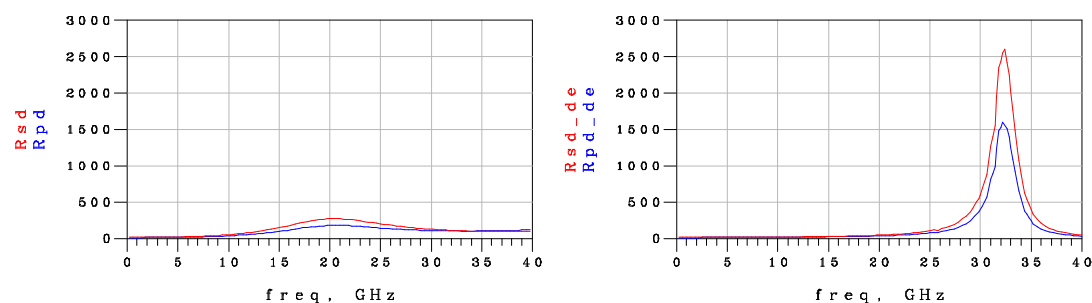
(圖 A.18) D35 變壓器_B (1) Q 值



Before

After

(圖 A.19) D35 變壓器_B (1) L 值

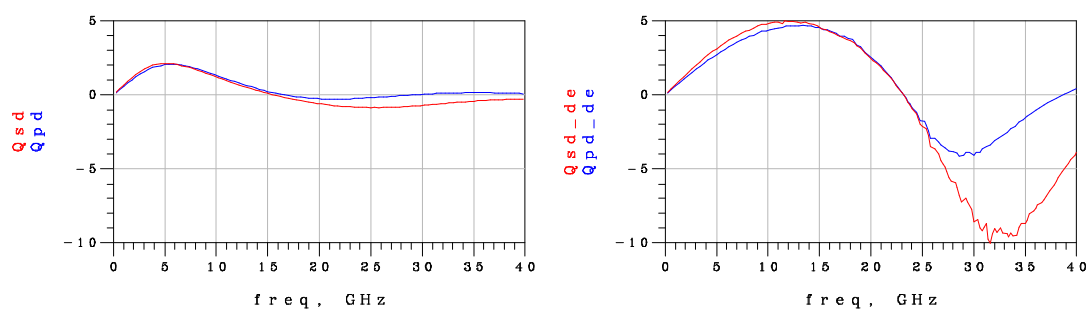


Before

After

(圖 A.20) D35 變壓器_B (1) R 值

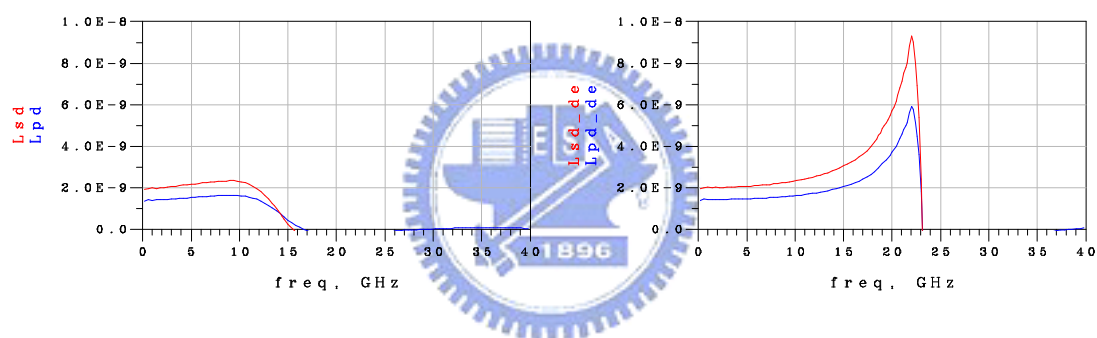
— 變壓器(2)量測結果 —



Before

After

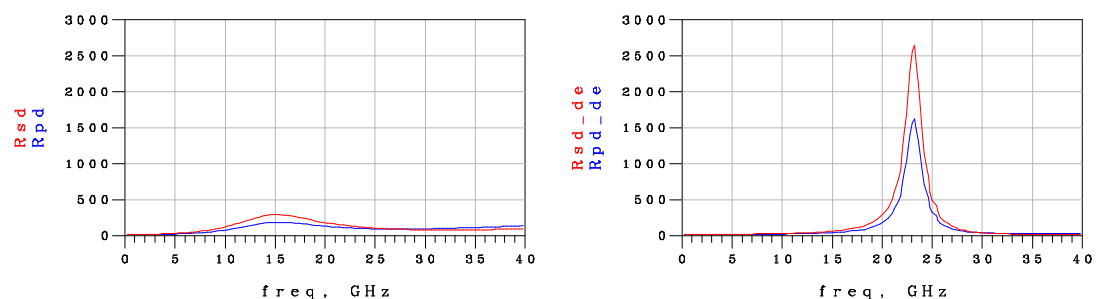
(圖 A.21) D35 變壓器_B (2) Q 值



Before

After

(圖 A.22) D35 變壓器_B (2) L 值

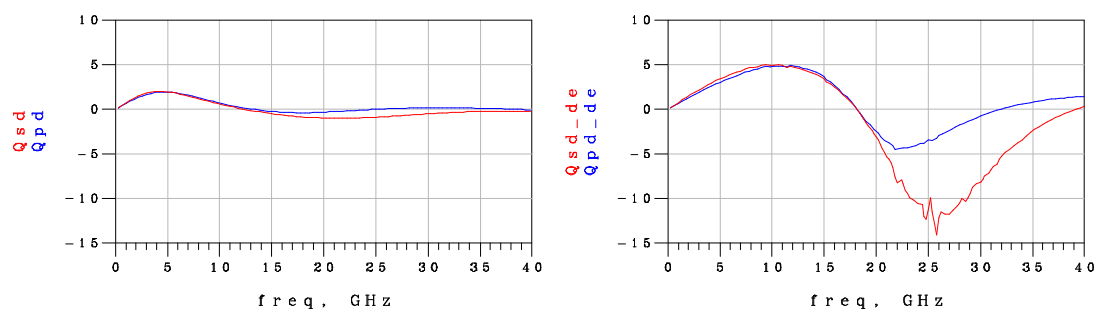


Before

After

(圖 A.23) D35 變壓器_B (2) R 值

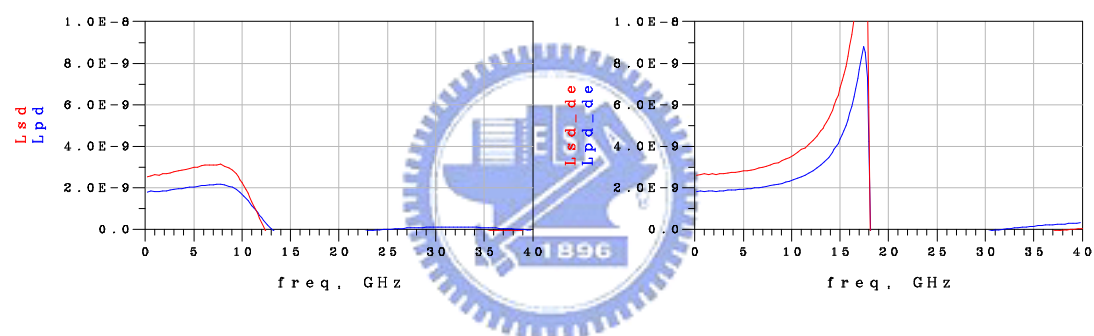
— 變壓器(3)量測結果 —



Before

After

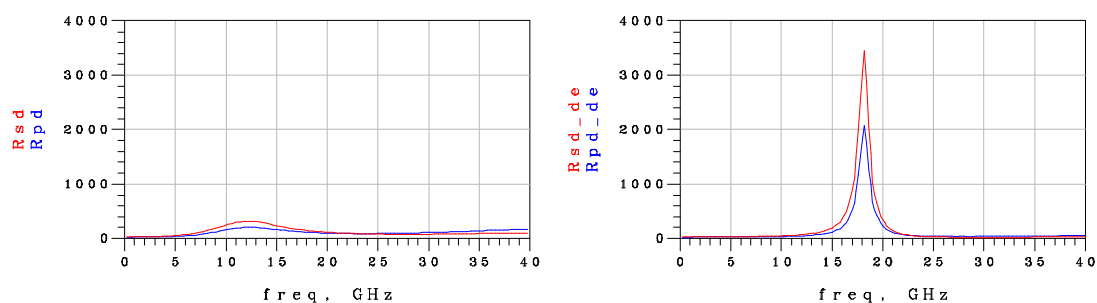
(圖 A.24) D35 變壓器_B (3) Q 值



Before

After

(圖 A.25) D35 變壓器_B (3) L 值

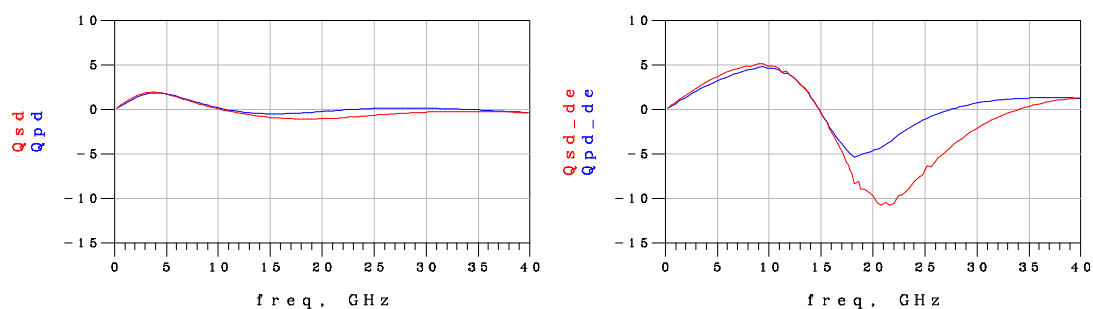


Before

After

(圖 A.26) D35 變壓器_B (3) R 值

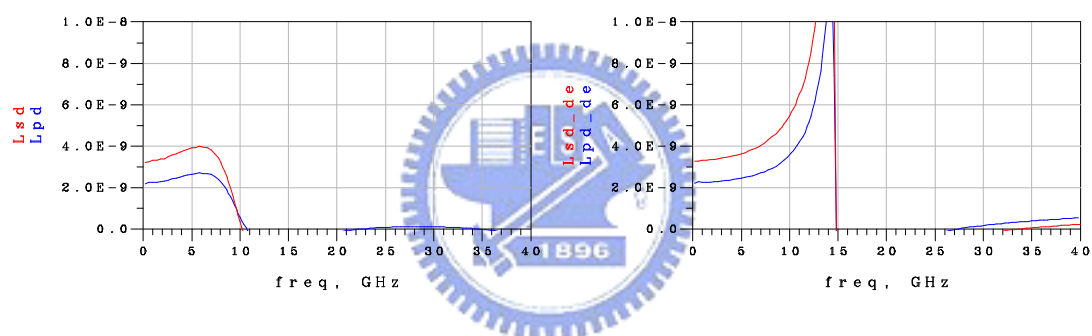
— 變壓器(4)量測結果 —



Before

After

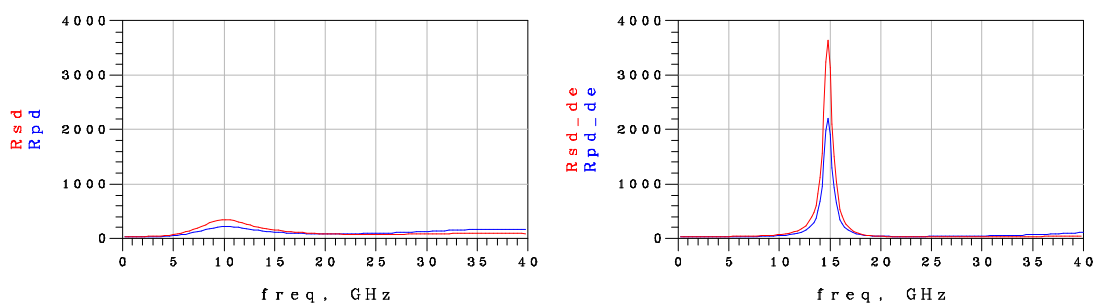
(圖 A.27) D35 變壓器_B (4) Q 值



Before

After

(圖 A.28) D35 變壓器_B (4) L 值

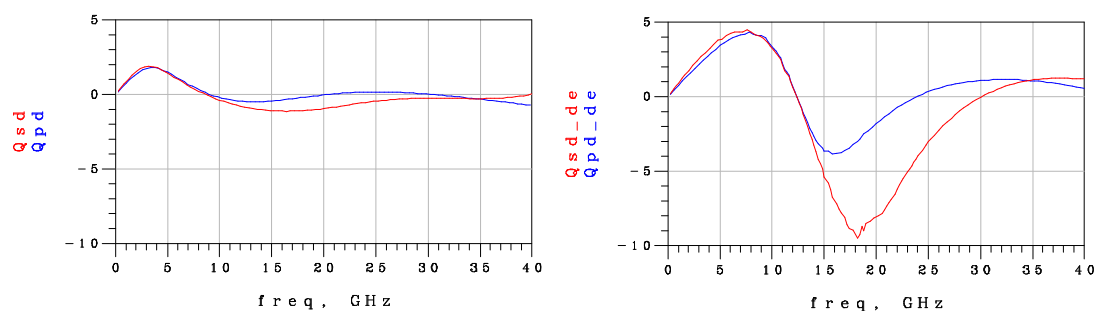


Before

After

(圖 A.29) D35 變壓器_B (4) R 值

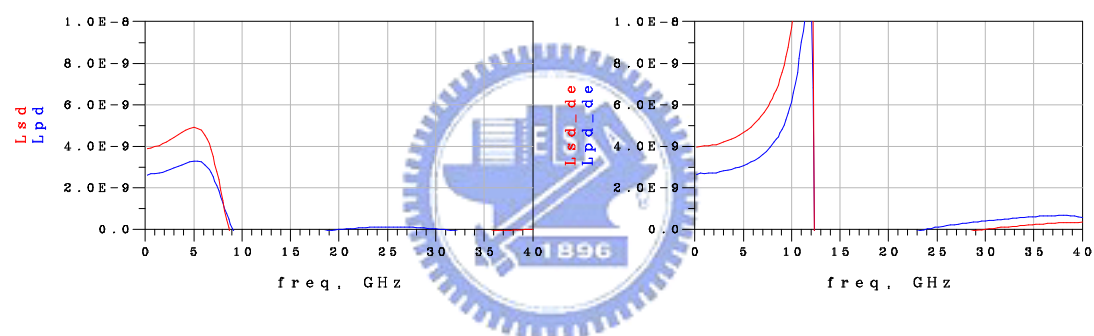
— 變壓器(5)量測結果 —



Before

After

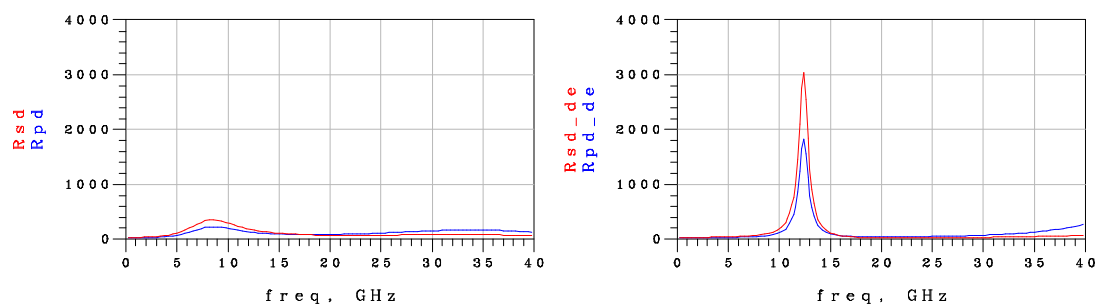
(圖 A.30) D35 變壓器_B (5) Q 值



Before

After

(圖 A.31) D35 變壓器_B (5) L 值

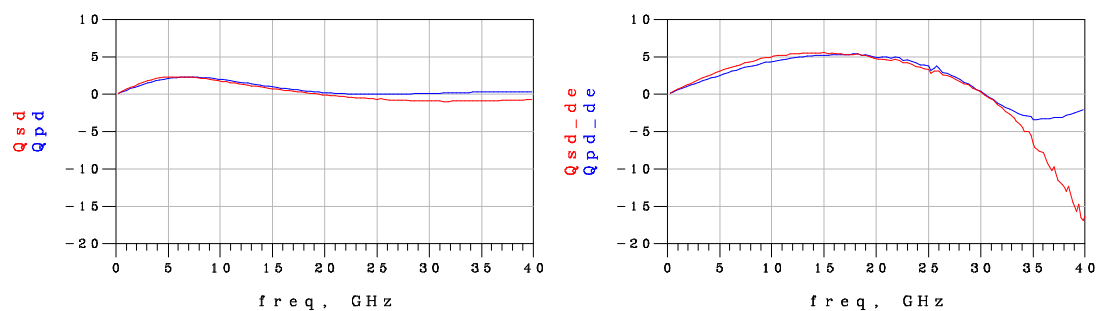


Before

After

(圖 A.32) D35 變壓器_B (5) R 值

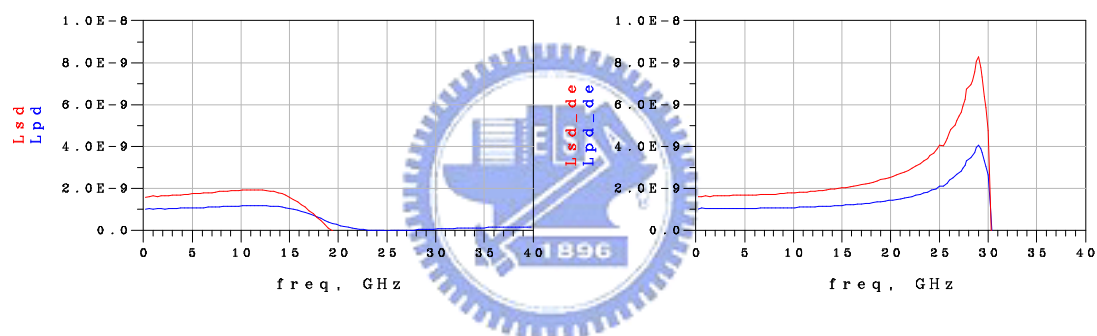
— 變壓器(6)量測結果 —



Before

After

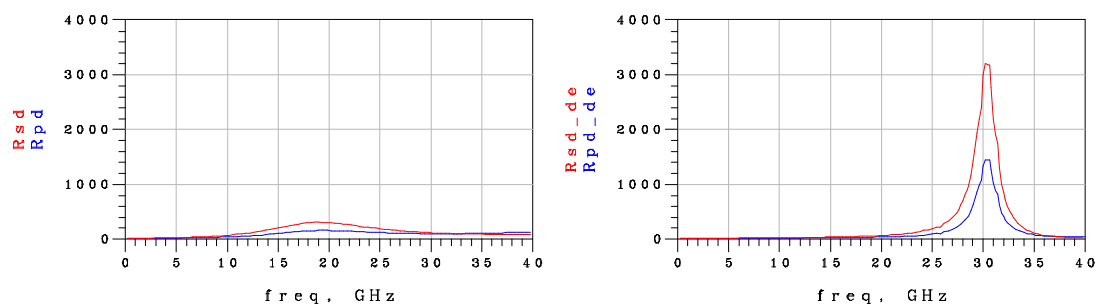
(圖 A.33) D35 變壓器_B (6) Q 值



Before

After

(圖 A.34) D35 變壓器_B (6) L 值

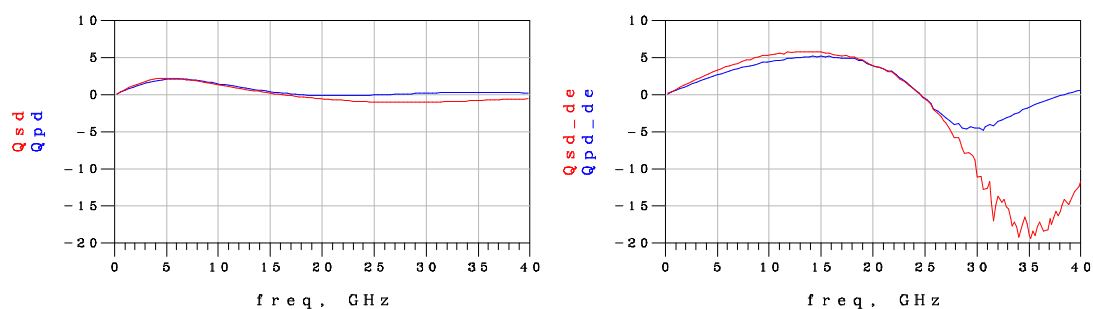


Before

After

(圖 A.35) D35 變壓器_B (6) R 值

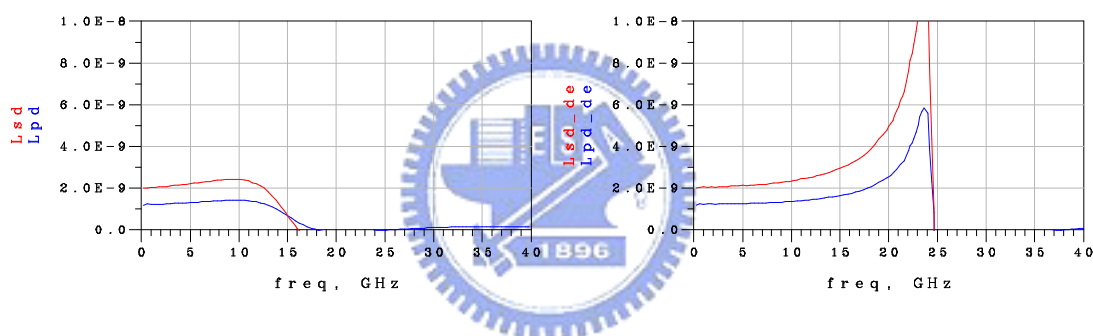
— 變壓器(7)量測結果 —



Before

After

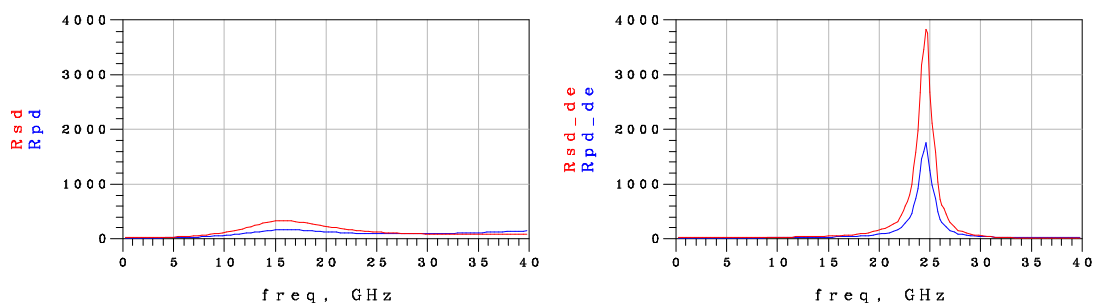
(圖 A.36) D35 變壓器_B (7) Q 值



Before

After

(圖 A.37) D35 變壓器_B (7) L 值

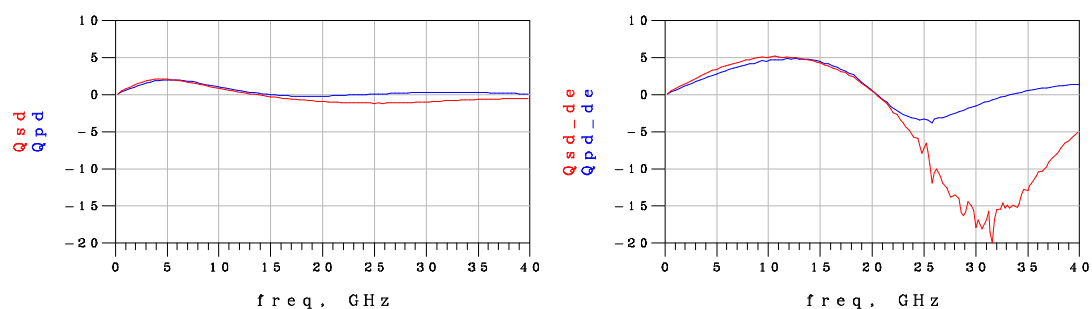


Before

After

(圖 A.38) D35 變壓器_B (7) R 值

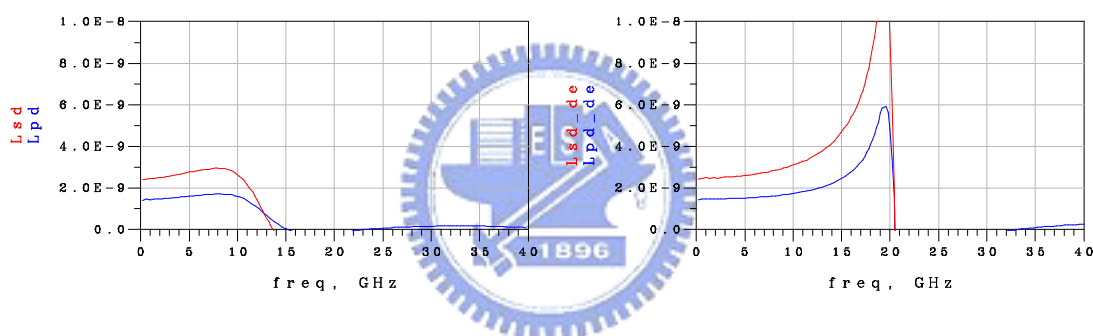
— 變壓器(8)量測結果 —



Before

After

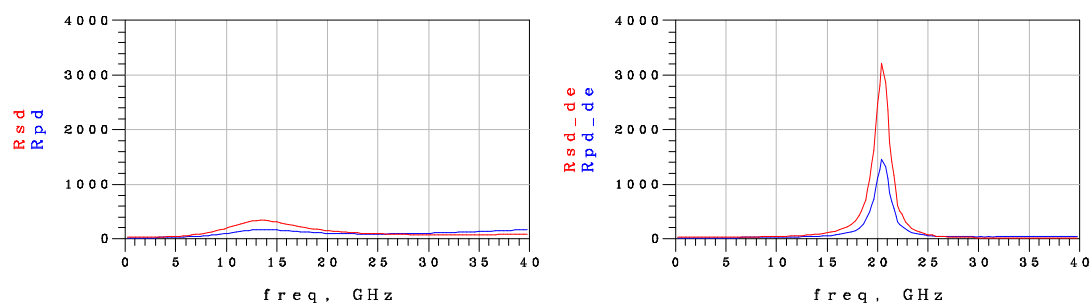
(圖 A.39) D35 變壓器_B (8) Q 值



Before

After

(圖 A.40) D35 變壓器_B (8) L 值



Before

After

(圖 A.41) D35 變壓器_B (8) R 值

A.3 SiG-94C-02t

L: outer diameter , W: width , S: spacing , N: turns

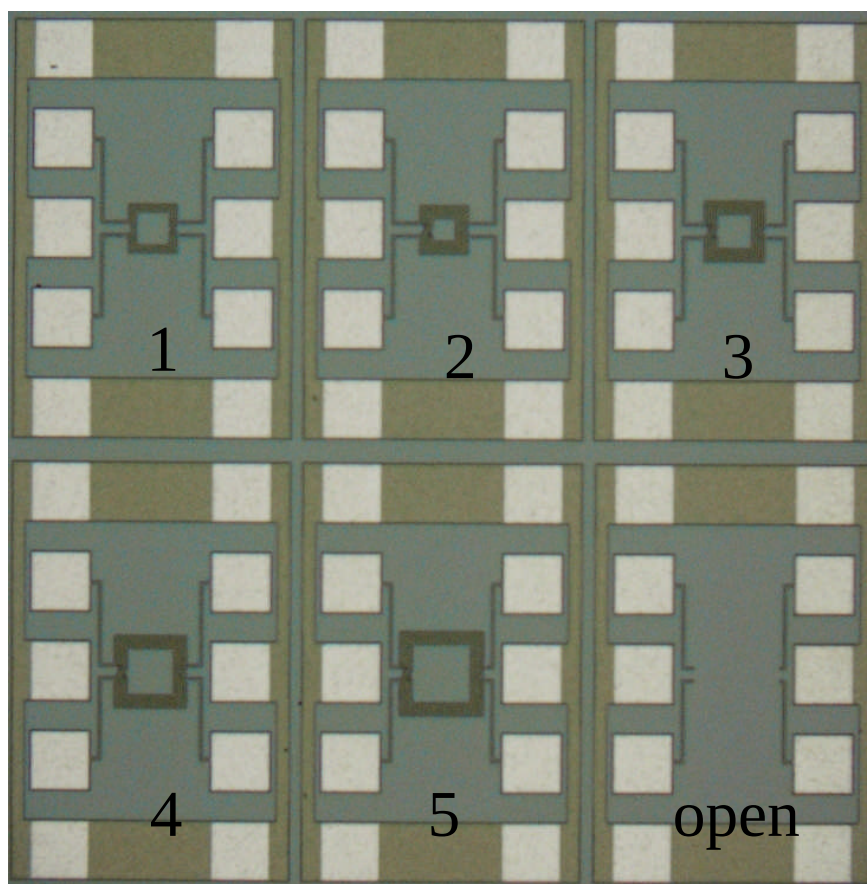
變壓器(1) L=80 μm , W=2.6 μm , S=1.9 μm , N=3

變壓器(2) L=80 μm , W=2.6 μm , S=1.9 μm , N=5

變壓器(3) L=100 μm , W=2.6 μm , S=1.9 μm , N=5

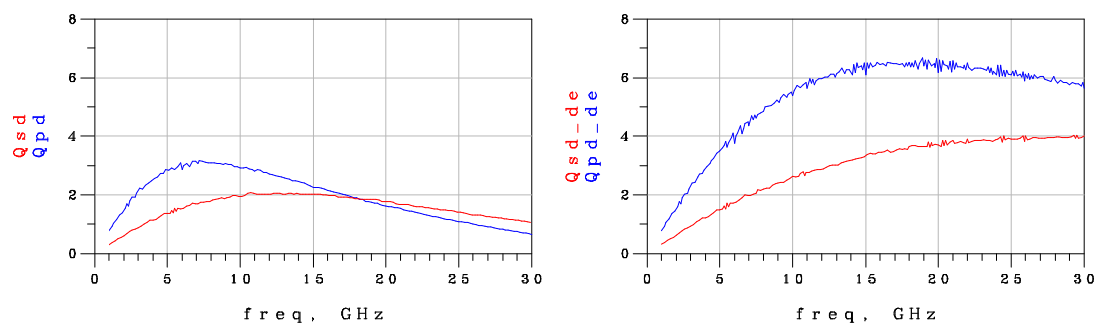
變壓器(4) L=120 μm , W=2.6 μm , S=1.9 μm , N=5

變壓器(5) L=140 μm , W=2.6 μm , S=1.9 μm , N=5



(圖 A.42) SiGe 對稱型變壓器 die photo (1.5mm x 1.5mm)

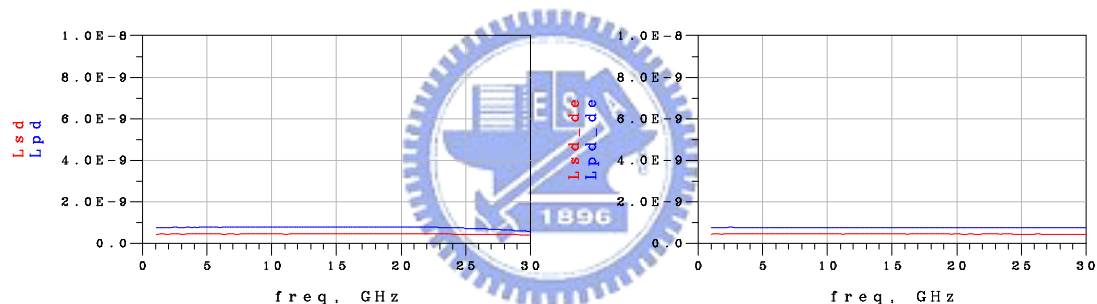
— 變壓器(1)量測結果 —



Before

After

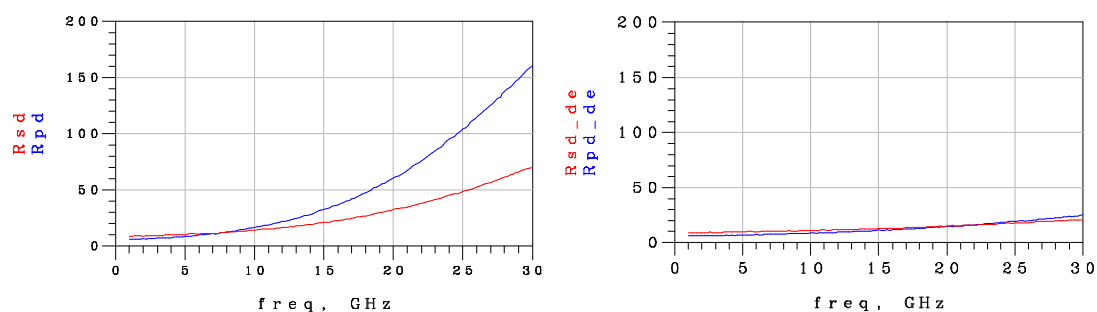
(圖 A.43) SiGe 變壓器(1) Q 值



Before

After

(圖 A.44) SiGe 變壓器(1) L 值

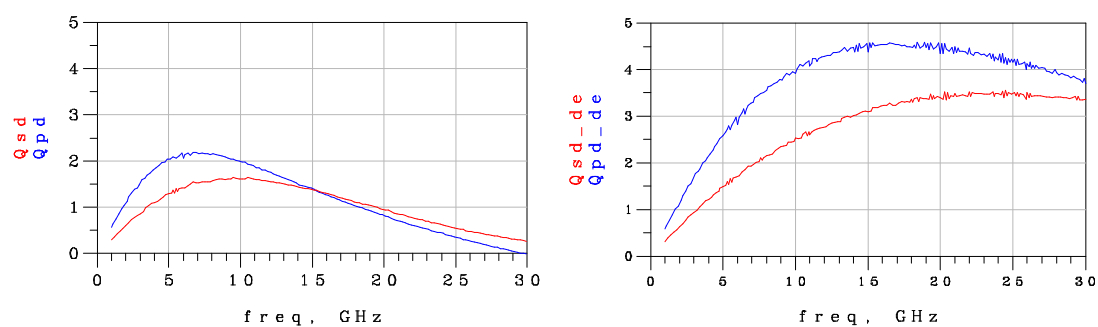


Before

After

(圖 A.45) SiGe 變壓器(1) R 值

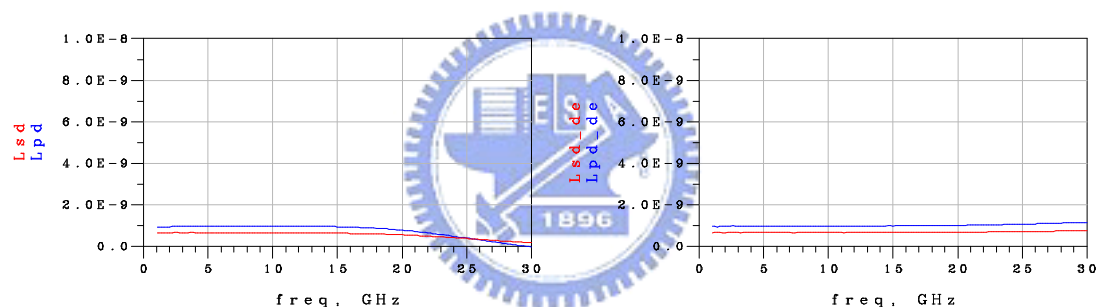
— 變壓器(2)量測結果 —



Before

After

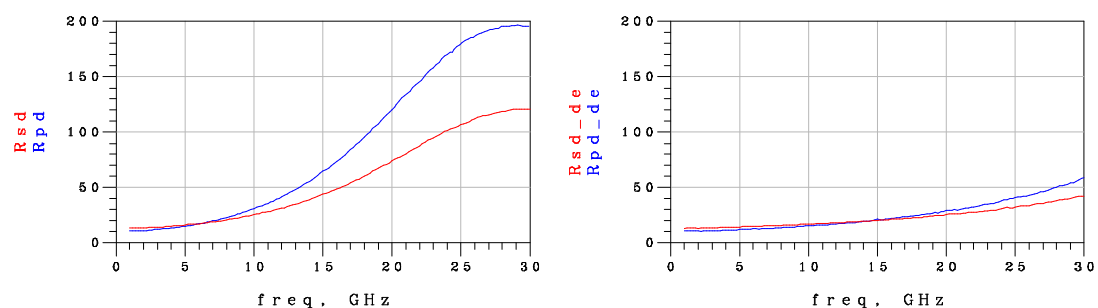
(圖 A.46) SiGe 變壓器(2) Q 值



Before

After

(圖 A.47) SiGe 變壓器(2) L 值

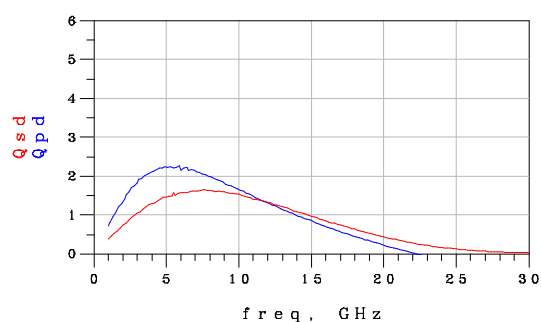


Before

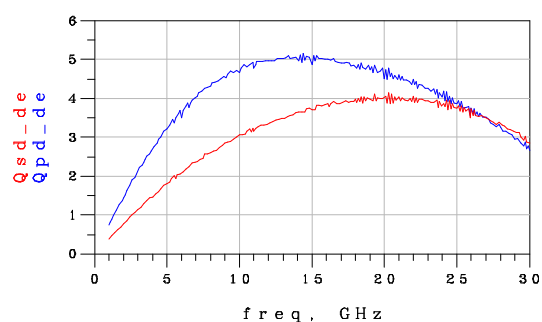
After

(圖 A.48) SiGe 變壓器(2) R 值

— 變壓器(3)量測結果 —

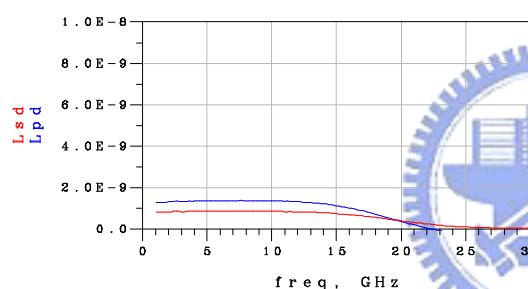


Before

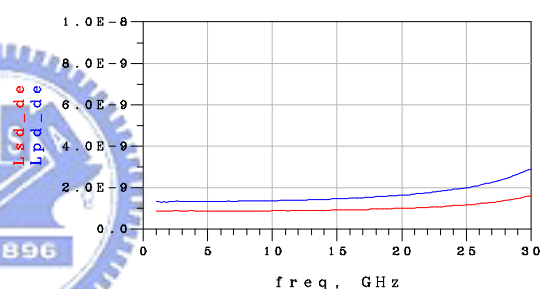


After

(圖 A.49) SiGe 變壓器(3) Q 值

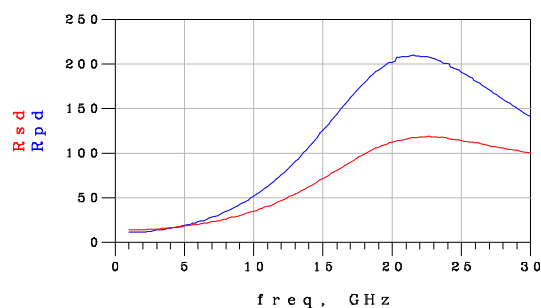


Before

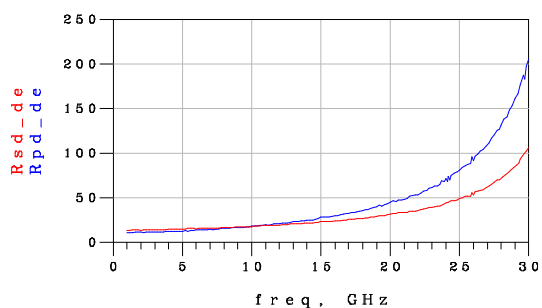


After

(圖 A.50) SiGe 變壓器(3) L 值



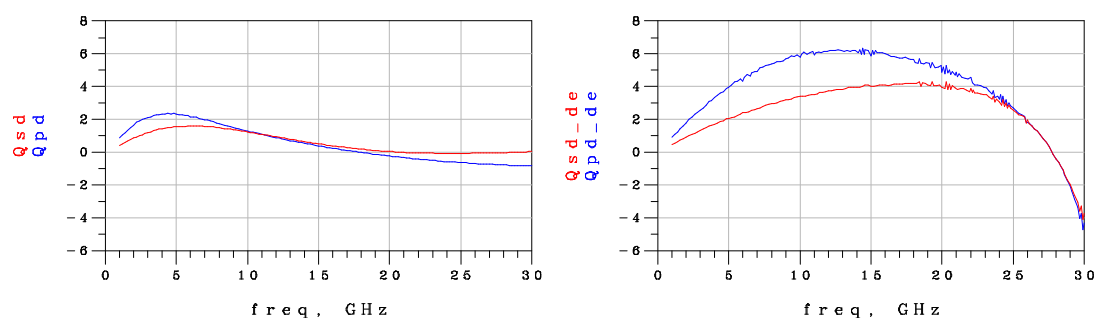
Before



After

(圖 A.51) SiGe 變壓器(3) R 值

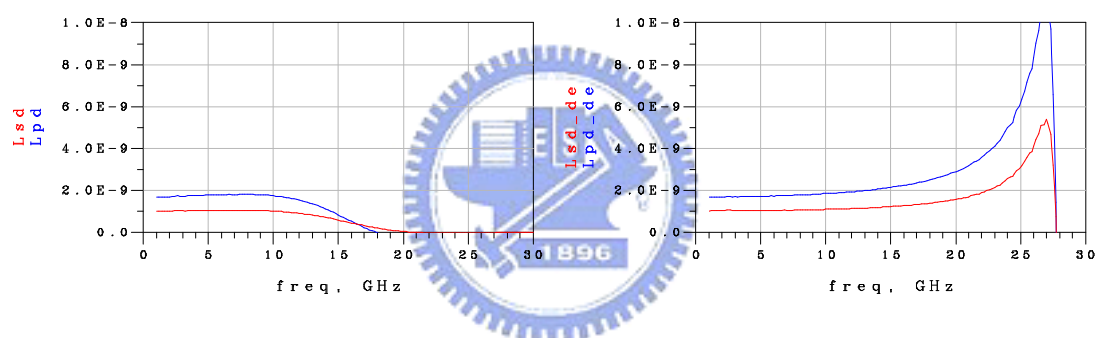
— 變壓器(4)量測結果 —



Before

After

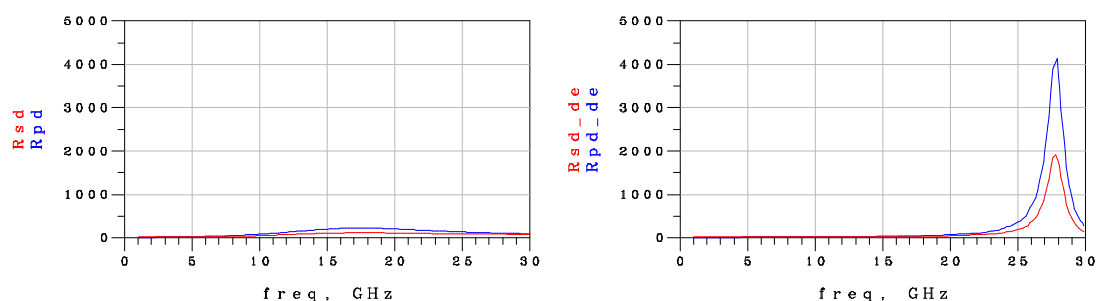
(圖 A.52) SiGe 變壓器(4) Q 值



Before

After

(圖 A.53) SiGe 變壓器(4) L 值

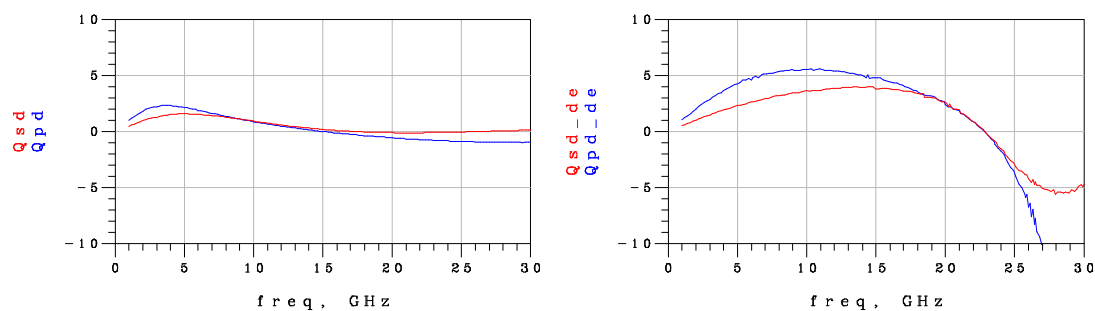


Before

After

(圖 A.54) SiGe 變壓器(4) R 值

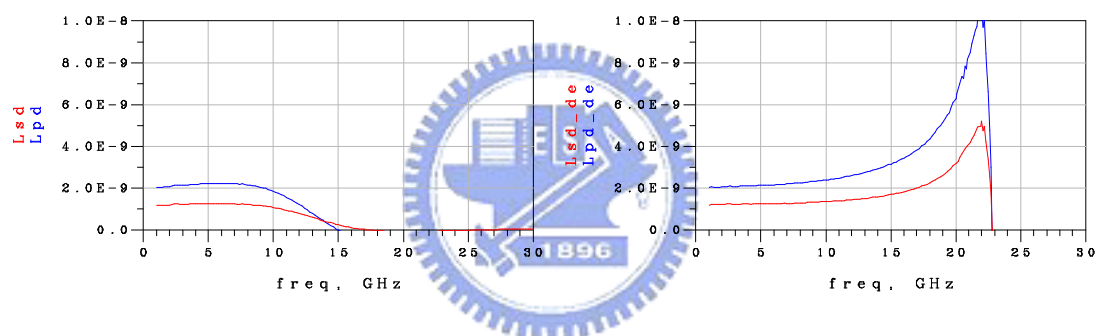
— 變壓器(5)量測結果 —



Before

After

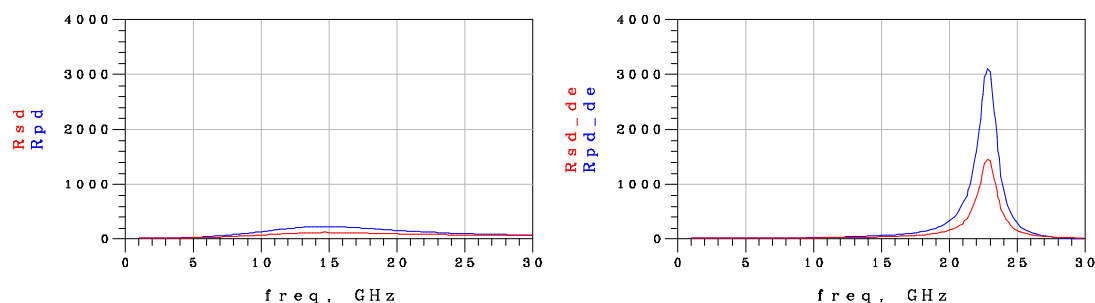
(圖 A.55) SiGe 變壓器(5) Q 值



Before

After

(圖 A.56) SiGe 變壓器(5) L 值



Before

After

(圖 A.57) SiGe 變壓器(5) R 值

A.4 TSMC 0.18um 變壓器

T: type , W: width , S: spacing , N: turn ratio

變壓器(1) T : symmetric , W=3 um , S=2 um , N=3 : 2

變壓器(2) T : symmetric , W=6 um , S=2 um , N=3 : 2

變壓器(3) T : symmetric , W=9 um , S=2 um , N=3 : 2

變壓器(4) T : symmetric , W=6 um , S=3 um , N=3 : 2

變壓器(5) T : symmetric , W=6 um , S=2 um , N=3 : 2

變壓器(6) T : symmetric , W=6 um , S=2 um , N=4 : 3

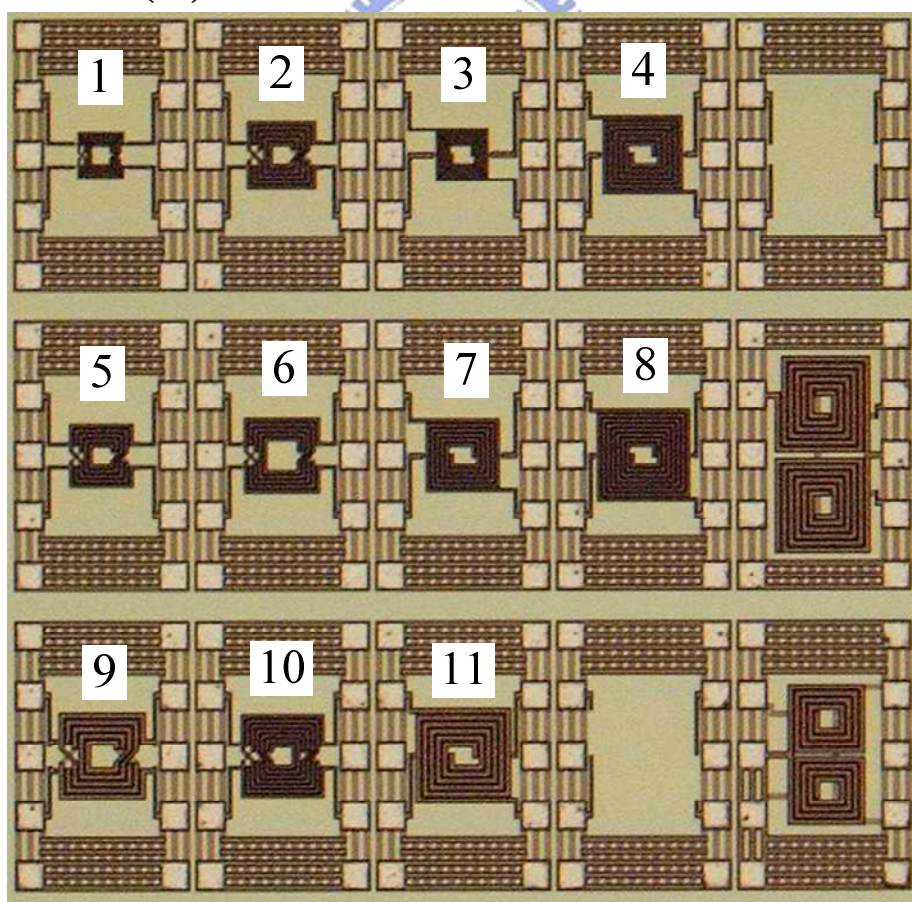
變壓器(7) T : interleave , W=3 um , S=2 um , N=3 : 3

變壓器(8) T : interleave , W=6 um , S=2 um , N=3 : 3

變壓器(9) T : interleave , W=9 um , S=2 um , N=3 : 3

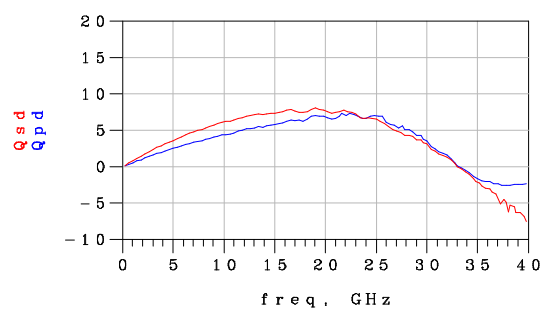
變壓器(10) T : interleave , W=6 um , S=3 um , N=3 : 3

變壓器(11) T : interleave , W=6 um , S=2 um , N=4 : 4

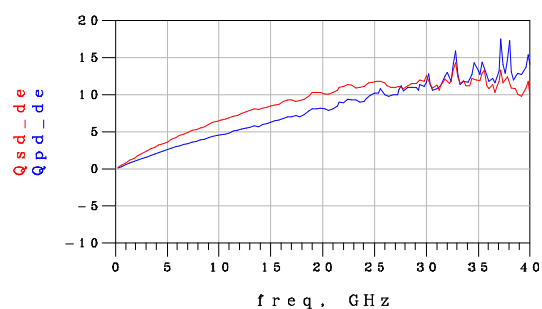


(圖 A.58) T18 變壓器 die photo (1.5mm x 1.5mm)

— 變壓器(1)量測結果 —

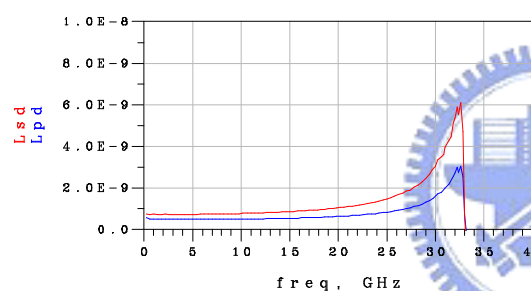


Before

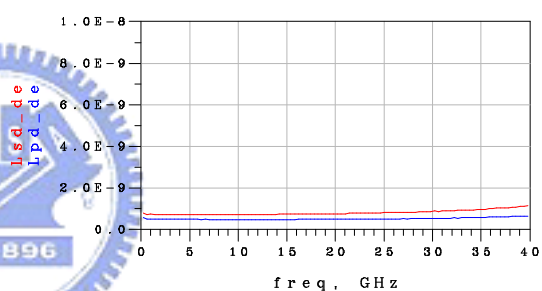


After

(圖 A.59) T18 變壓器(1) Q 值

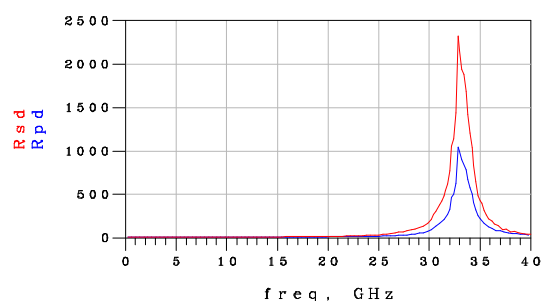


Before

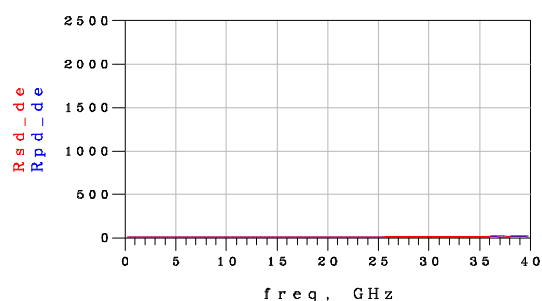


After

(圖 A.60) T18 變壓器(1) L 值



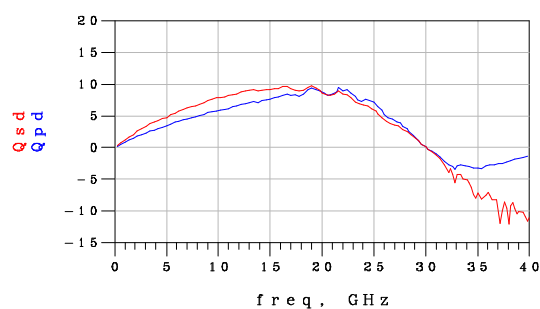
Before



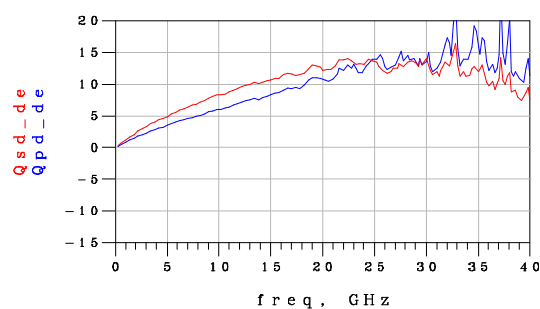
After

(圖 A.61) T18 變壓器(1) R 值

— 變壓器(2)量測結果 —

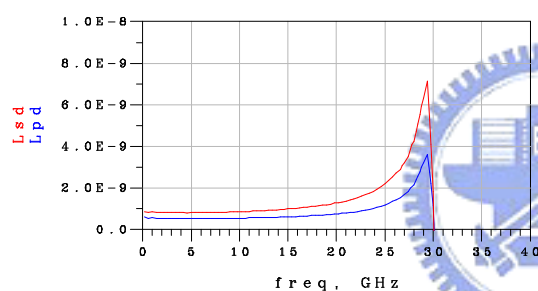


Before

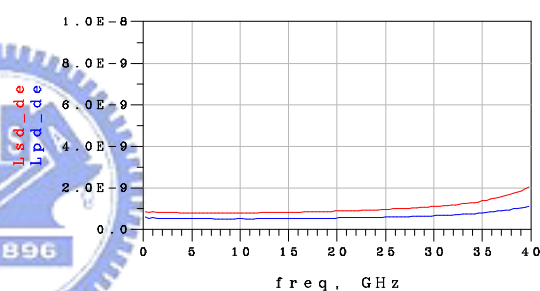


After

(圖 A.62) T18 變壓器(2) Q 值

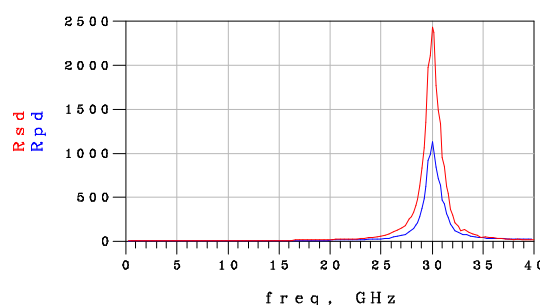


Before

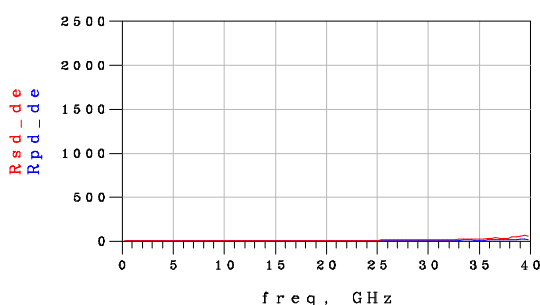


After

(圖 A.63) T18 變壓器(2) L 值



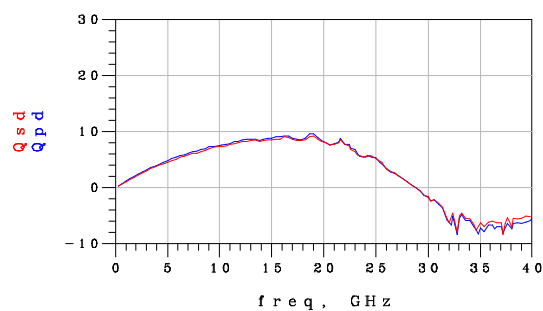
Before



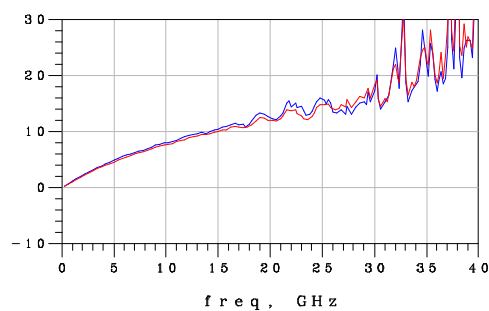
After

(圖 A.64) T18 變壓器(2) R 值

— 變壓器(3)量測結果 —

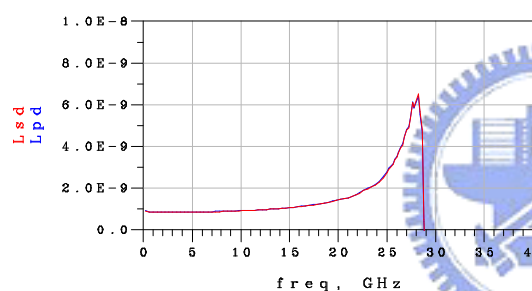


Before

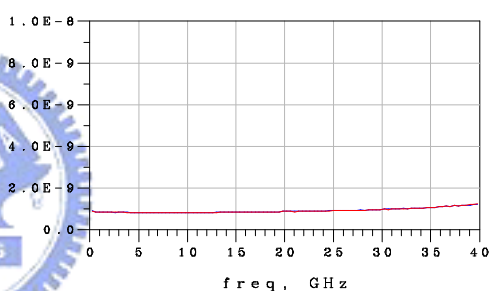


After

(圖 A.65) T18 變壓器(3) Q 值

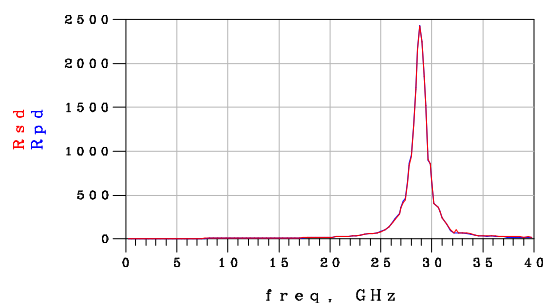


Before

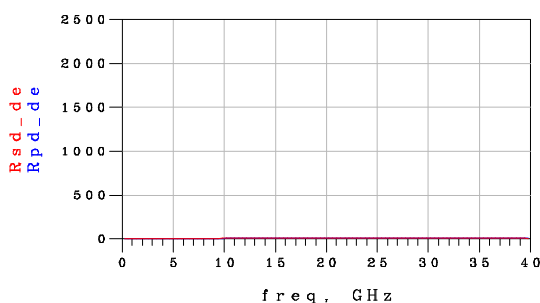


After

(圖 A.66) T18 變壓器(3) L 值



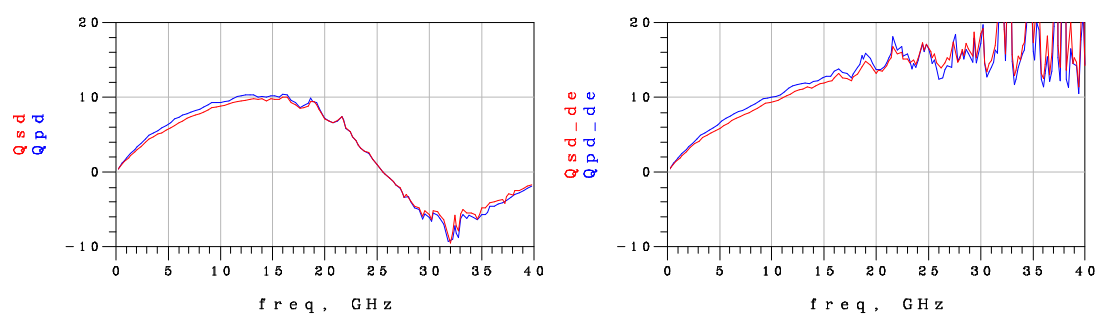
Before



After

(圖 A.67) T18 變壓器(3) R 值

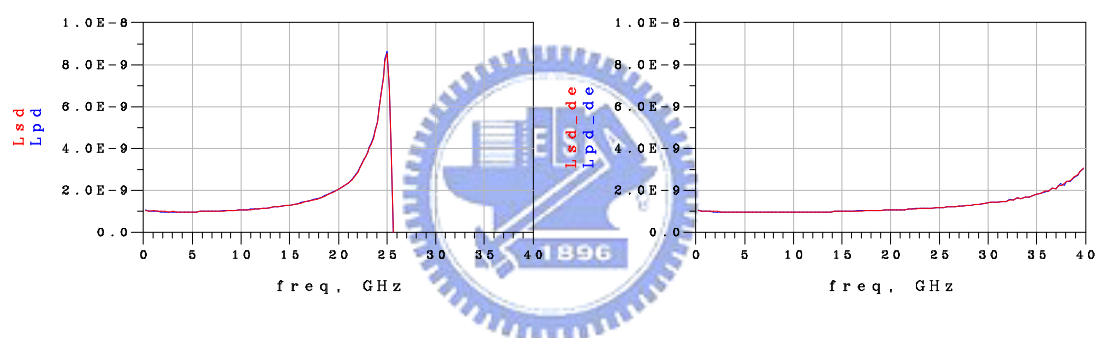
— 變壓器(4)量測結果 —



Before

After

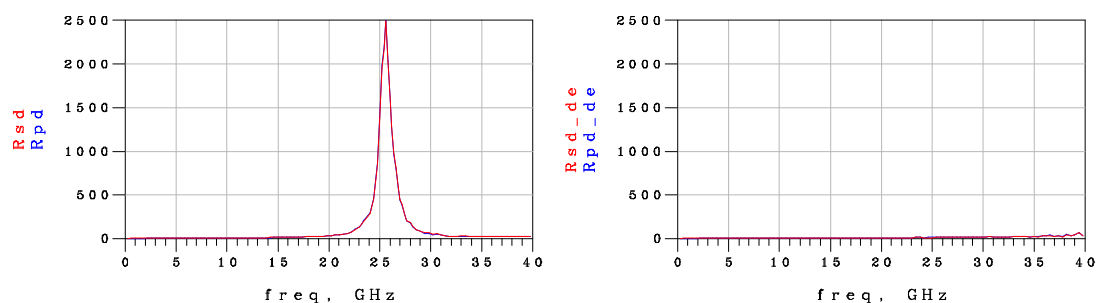
(圖 A.68) T18 變壓器(4) Q 值



Before

After

(圖 A.69) T18 變壓器(4) L 值

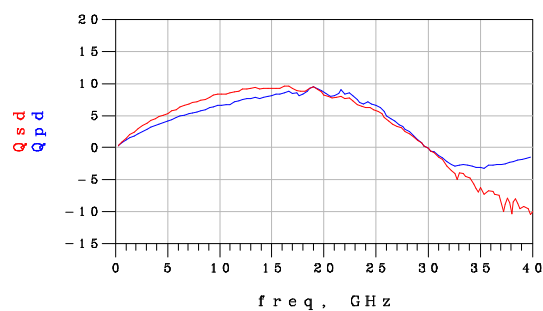


Before

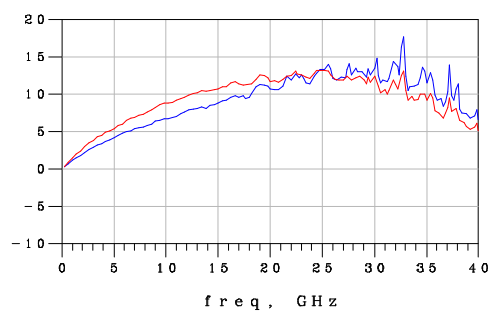
After

(圖 A.70) T18 變壓器(4) R 值

— 變壓器(5)量測結果 —

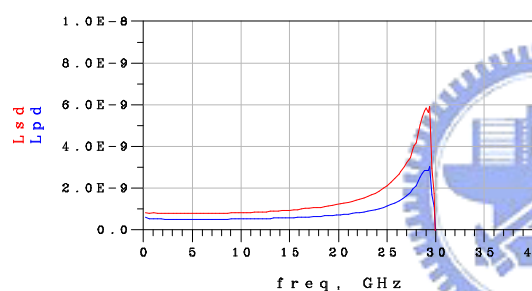


Before

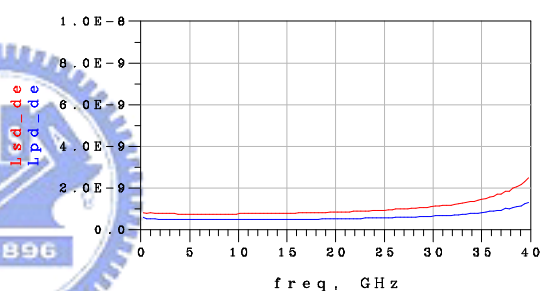


After

(圖 A.71) T18 變壓器(5) Q 值

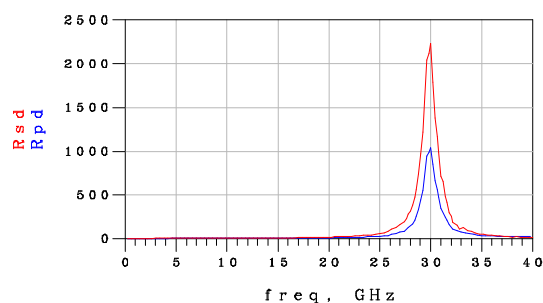


Before

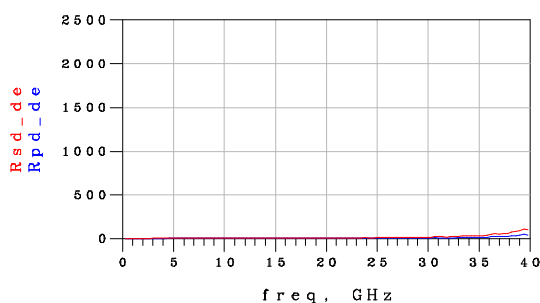


After

(圖 A.72) T18 變壓器(5) L 值



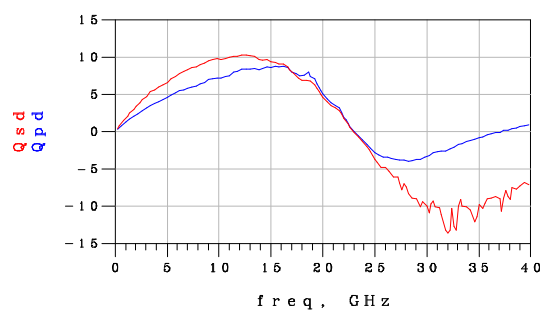
Before



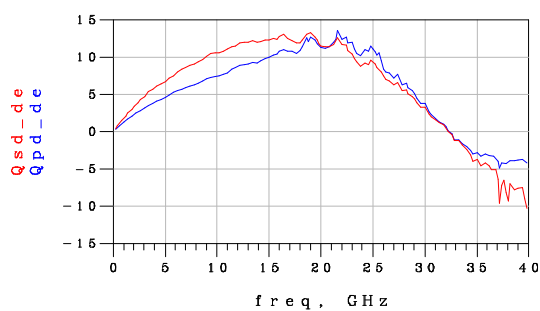
After

(圖 A.73) T18 變壓器(5) R 值

— 變壓器(6)量測結果 —

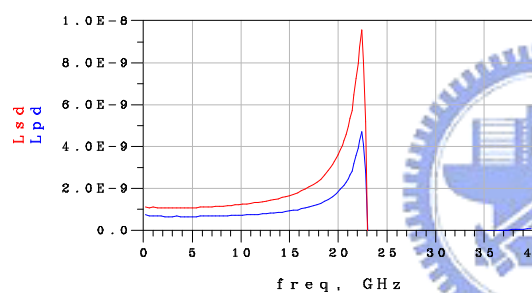


Before

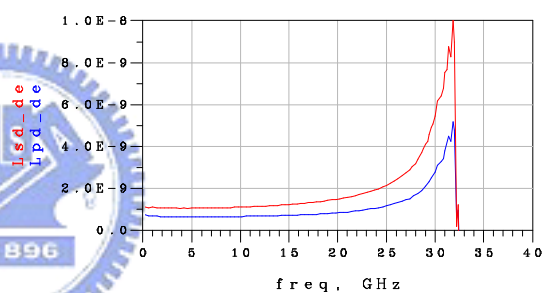


After

(圖 A.74) T18 變壓器(6) Q 值

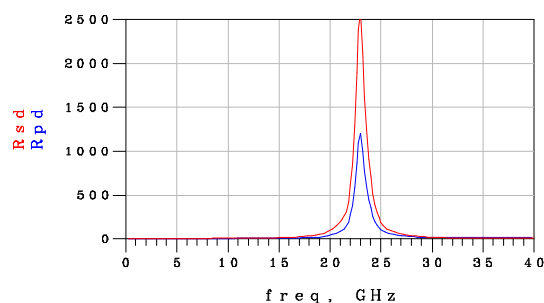


Before

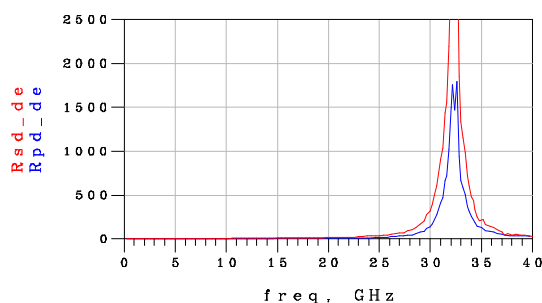


After

(圖 A.75) T18 變壓器(6) L 值



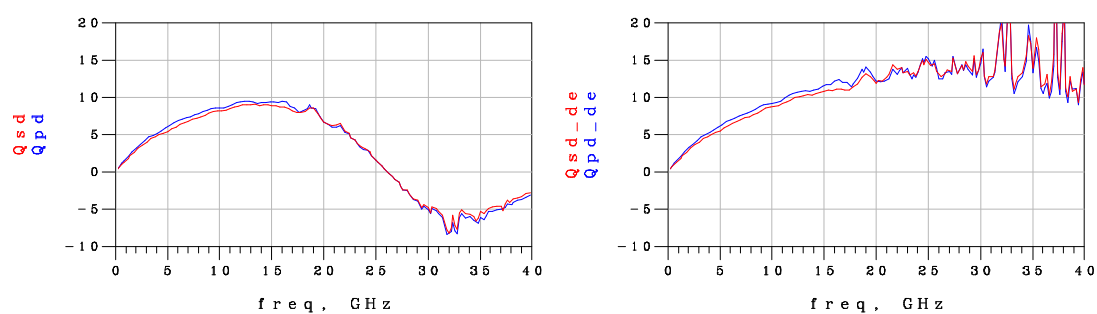
Before



After

(圖 A.76) T18 變壓器(6) R 值

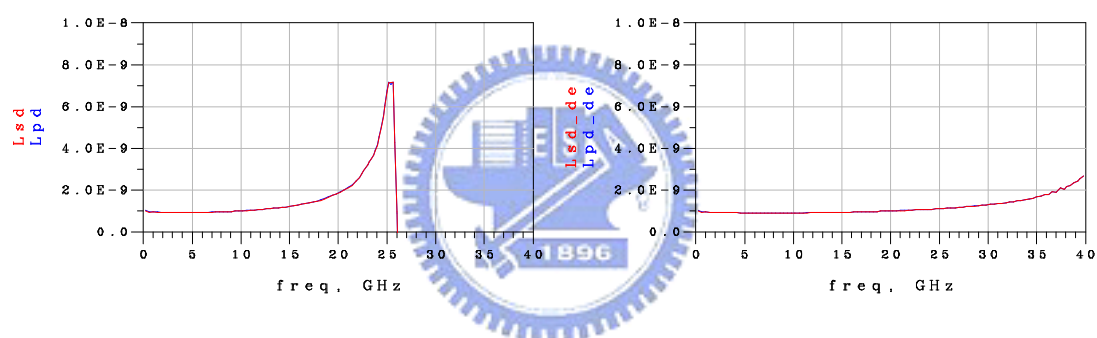
— 變壓器(7)量測結果 —



Before

After

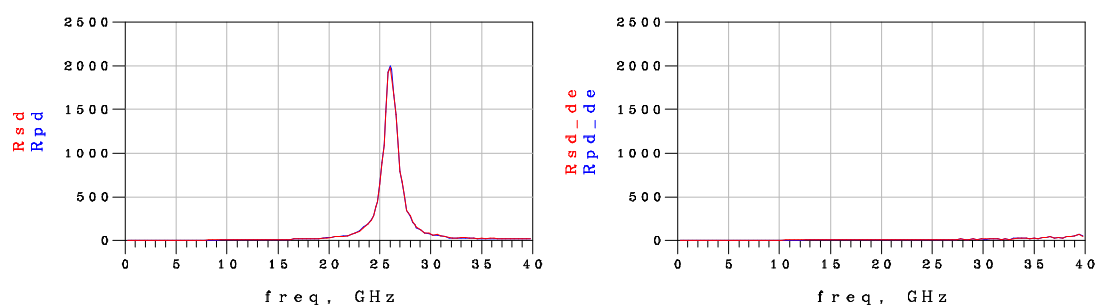
(圖 A.77) T18 變壓器(7) Q 值



Before

After

(圖 A.78) T18 變壓器(7) L 值

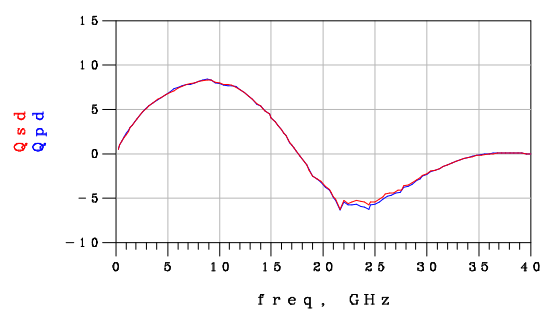


Before

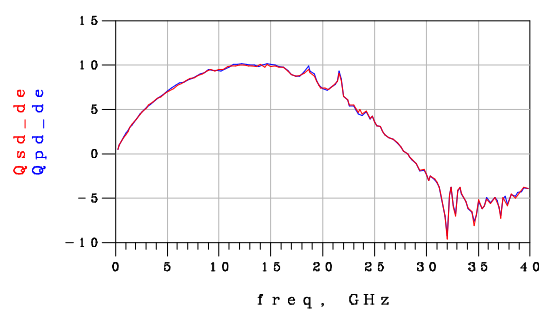
After

(圖 A.79) T18 變壓器(7) R 值

— 變壓器(8)量測結果 —

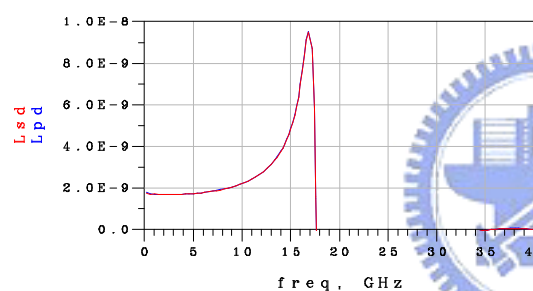


Before

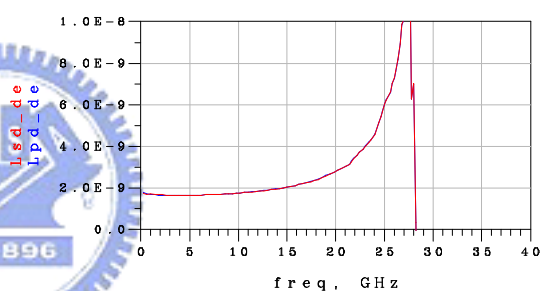


After

(圖 A.80) T18 變壓器(8) Q 值

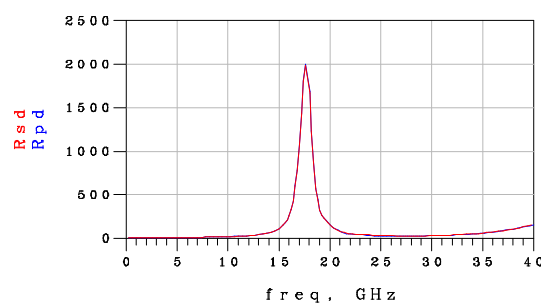


Before

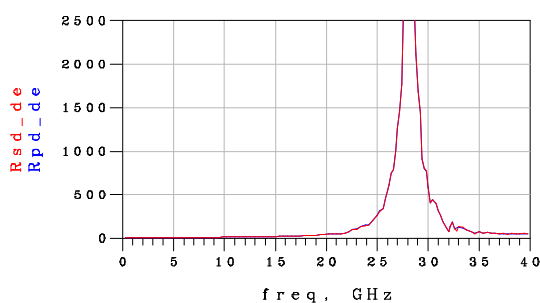


After

(圖 A.81) T18 變壓器(8) L 值



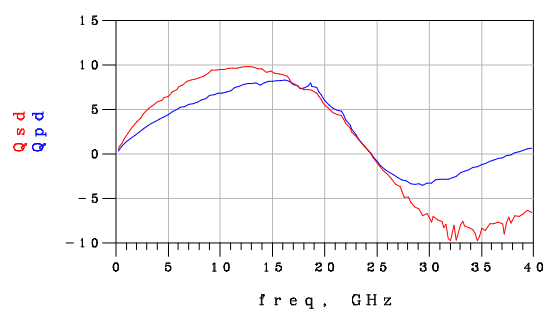
Before



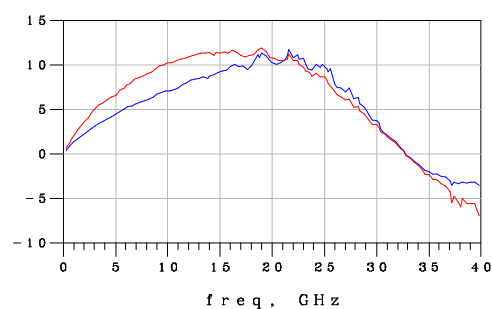
After

(圖 A.82) T18 變壓器(8) R 值

— 變壓器(9)量測結果 —

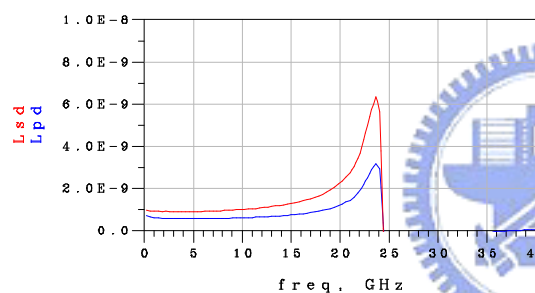


Before

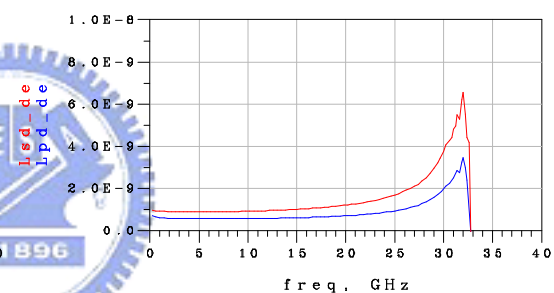


After

(圖 A.83) T18 變壓器(9) Q 值

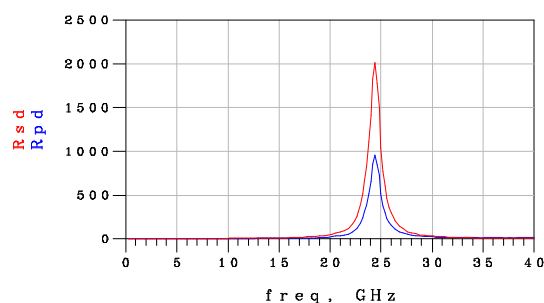


Before

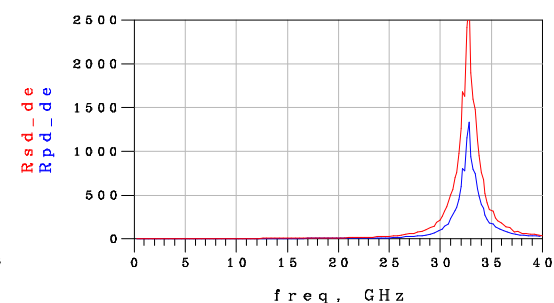


After

(圖 A.84) T18 變壓器(9) L 值



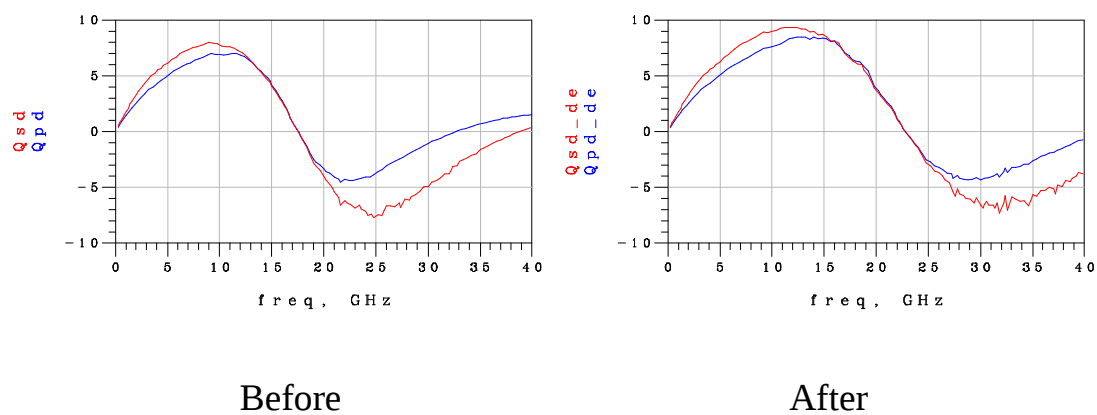
Before



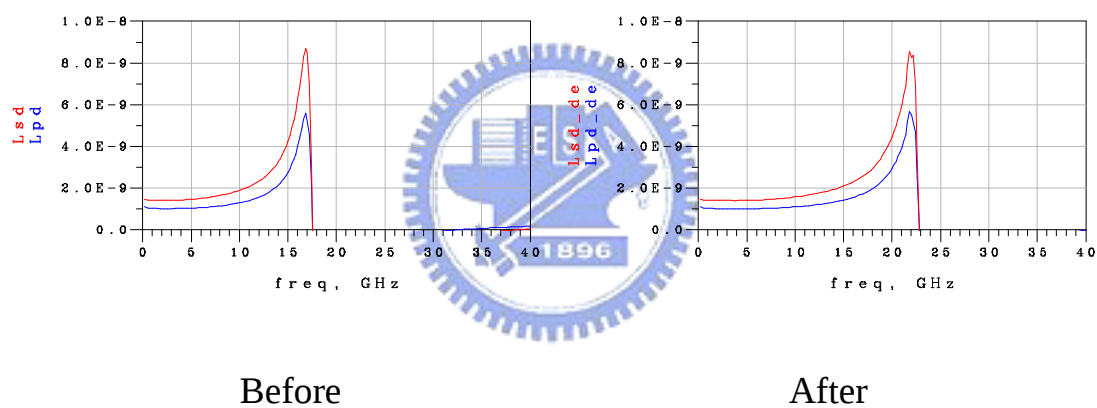
After

(圖 A.85) T18 變壓器(9) R 值

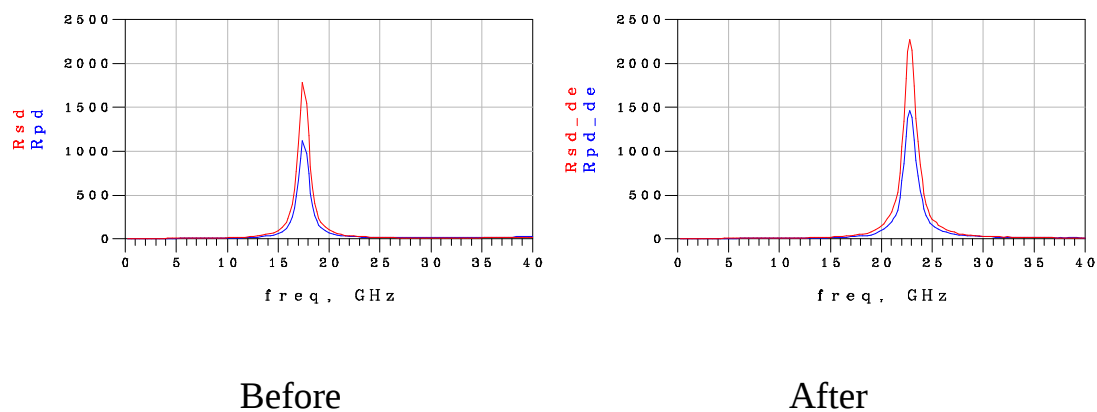
— 變壓器(10)量測結果 —



(圖 A.86) T18 變壓器(10) Q 值

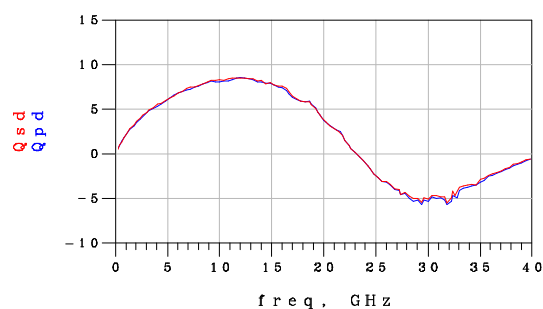


(圖 A.87) T18 變壓器(10) L 值

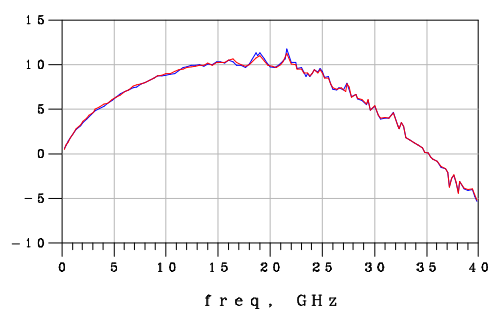


(圖 A.88) T18 變壓器(10) R 值

— 變壓器(11)量測結果 —

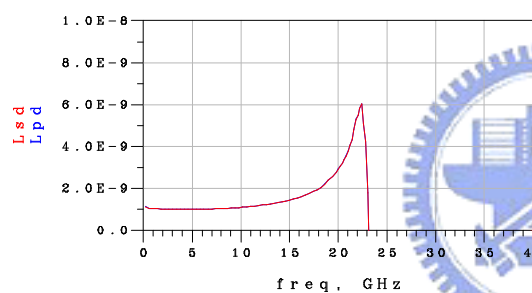


Before

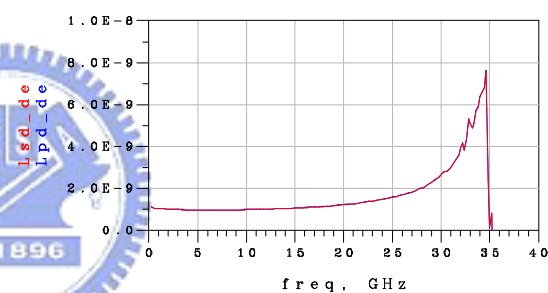


After

(圖 A.89) T18 變壓器(11) Q 值

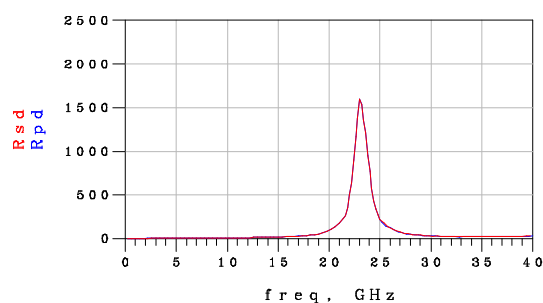


Before

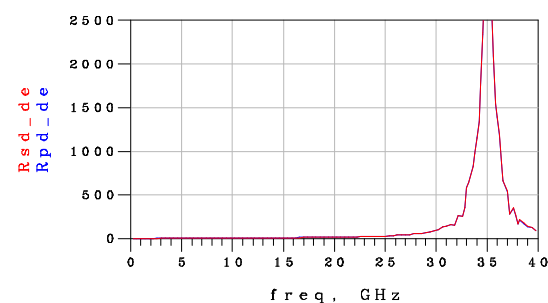


After

(圖 A.90) T18 變壓器(11) L 值



Before



After

(圖 A.91) T18 變壓器(11) R 值

96
碩士論文

鼠徑分合波吉伯特混頻器及次諧波混頻器設計



交通大學電機學院
電信工程學系碩士班

吳柏誼