

國立交通大學

電信工程學系碩士班

碩士論文

低相位雜訊表面聲波壓控振盪器的研究



Study on Low Phase Noise CMOS
Voltage-Controlled SAW Oscillator

研究生：康乃元

指導教授：高曜煌 教授

中華民國九十六年七月

低相位雜訊表面聲波壓控振盪器的研究

Study on Low Phase Noise CMOS
Voltage-Controlled SAW Oscillator

研究生：康乃元

Student : Nai-Yuan Kang

指導教授：高曜煌 博士

Advisor : Prof. Yao-Huang Kao



A Thesis

Submitted to Department of Communication Engineering
College of Electrical and Computer Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
in Communication Engineering
July 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年七月

低相位雜訊表面聲波壓控振盪器之研究

Study on Low Phase Noise CMOS Voltage-Controlled SAW Oscillator

研究生：康乃元

Student : Nai-Yuan Kang

指導教授：高曜煌 博士

Advisor : Prof. Yao-Huang Kao

國立交通大學電信工程學系碩士班



摘要

本論文研製一個可應用於同步數位通訊的高頻低功率損耗低相位雜訊的積體化表面聲波振盪器，以皮爾斯振盪器為基礎，並改良加入相位偏移器，進行相位調節，以克服表面聲波共振腔的寄生電容，使振盪時減少損耗，使得此電路能夠達到低功率損耗的目標。本電路以台灣積體電路公司所提供的 $0.18\mu\text{m}$ 1P6M CMOS 製程實現，輸出頻譜為 622.2MHz ，相位雜訊在 1MHz 的 offset 頻率以後可以達到 -175 dBc/Hz ，並且在 10 kHz 的 offset 頻率約有 136 dBc/Hz 的相位雜訊，輸出強度 4.07 dBm ，直流偏壓為 1.2V ，總電流消耗為 15mA 。

Study on Low Phase Noise CMOS Voltage-Controlled SAW Oscillator

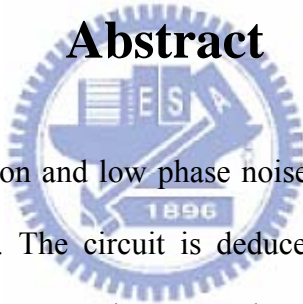
Student : Nai-Yuan Kang

Advisor : Prof. Yao-Huang Kao

Department of Communication Engineering

National Chiao Tung University

Abstract



In this study, a low consumption and low phase noise voltage controlled SAW oscillator is proposed for SDH application. The circuit is deduced from Pierce oscillator. A single resistance is provided for self bias to save the area and power consumption. A phase shifter is used for phase adjustment to overcome the parasitic effect of SAW resonator and to improve the current consumption. The circuit is implemented by tsmc 0.18 μ m 1P6M CMOS process. The output frequency is at 622.2MHz. The oscillator's white phase noise floor is -175 dBc/Hz for carrier offset frequency greater than 1 MHz and -136 dBc/Hz at 10 kHz carrier offset. The oscillator provides 4.07 dBm of output power and consumes 15mA from +1.2V DC power supply.

誌 謝

一轉眼兩年的時間過去了，此論文得以順利完成，首先要感謝上蒼讓我接受指導教授高曜煌博士的指導，在兩年的研究生活中，無論在電機專業領域或生活上的處事態度，都使我有很大的收穫。

感謝國家晶片系統設計中心(CIC)及台灣積體電路公司(tsmc)，提供晶片下線與製作的機會，也感謝台灣晶技(TXC)和台灣嘉碩(TAISAW)提供研究上的幫助，並且也感謝912實驗室和307實驗室陳建文學長提供量測上的幫助。

感謝我們909 高頻電路暨光纖通訊實驗室的所有成員：感謝義濱學長和炯宏學長在專業領域及工作經驗上與我分享許多寶貴的想法和觀念，也感謝我上一屆的學長勇銚、晏慶、志雄、佳宏，學長們在我剛進入研究所時，協助我適應新環境，也不厭其煩的回答我許多問題，尤其是台灣晶技的笙翔學長不吝於對我指導。在此，也要感謝邦郁、嘉川、宏彰在這兩年來與我一起同甘共苦，生活和課業上都受到你們許多幫忙，我很幸運的能夠認識你們並成為同學，也祝福你們有幸福的未來。還有種馬學弟，也謝謝你在平時生活的照顧與協助，研究生的生活因你們而多了許多歡笑與回憶。

最後，更要特別感謝我的家人，有你們在背後毫無保留的付出和默默的支持才使我可以專心完成學業，真的謝謝你們，僅以此小小的成果與你們分享。在未來的日子裡，我會更加努力工作，不會讓你們失望。

獻給我愛的人與愛我的人，Goodbye my love~

乃元 於 Lab. 909, NCTU 2007/7

目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
表目錄	vi
圖目錄	vii



第一章 緒論	- 1 -
1.1 動機	- 1 -
1.2 表面聲波振盪器	- 4 -
1.2.1 表面聲波振盪器常用架構	- 4 -
1.2.2 利用製程技術的表面聲波振盪器	- 8 -
1.3 論文目標	- 9 -
1.4 論文架構	- 10 -
第二章 表面聲波振盪器	- 11 -
2.1 共振腔	- 11 -
2.1.1 表面聲波共振腔	- 11 -
2.1.2 薄膜聲波共振器	- 17 -
2.2 表面聲波積體振盪器基本原理	- 21 -

第三章	低功率表面聲波振盪器.....	- 25 -
3.1	改良式皮爾斯表面聲波振盪器介紹.....	- 25 -
3.2	相位偏移器.....	- 30 -
3.3	表面聲波振盪器設計與量測.....	- 35 -
3.4	增大 PULLING RANGE.....	- 52 -
第四章	結論.....	- 59 -
附錄 A	負電阻測量.....	- 60 -
附錄 B	可變電容之介紹與大訊號分析.....	- 65 -
B.1	簡介.....	- 65 -
B.2	可變電容的分類.....	- 66 -
B.2.1	二極體電容(p+_Nwell junction Capacitance).....	- 66 -
B.2.2	標準 MOS 可變電容(Standard-mode MOS Varactor).....	- 67 -
B.2.3	反轉型 MOS 可變電容(Inversion-mode MOS Varactor).....	- 67 -
B.2.4	累積型 MOS 可變電容(Accumulation-mode MOS Varactor).....	- 69 -
B.3	可變電容之大訊號分析.....	- 70 -
B.3.1	簡介.....	- 70 -
B.3.2	積分平均法.....	- 70 -
B.3.3	有效容值分析法.....	- 71 -
B.3.4	HSPICE 傅立葉分析法[19].....	- 73 -
附錄 C	ABSOLUTE PULL RANGE.....	- 74 -
參考文獻	- 76 -
簡歷	- 79 -

表目錄

表 1-1 SONET/SDH 標準規格表[1]	- 3 -
表 2-1 622.08MHz 單埠表面聲波共振腔等效電路參數	- 15 -
表 3-1 預計規格與量測結果	- 44 -
表 3-2 量測總整理	- 49 -
表 3-3 本次實驗與其他規格比較	- 51 -



圖目錄

圖 1-1 考畢子架構(I).....	- 5 -
圖 1-2 考畢子架構(II).....	- 5 -
圖 1-3 皮爾斯振盪器.....	- 6 -
圖 1-4 三級振盪器.....	- 7 -
圖 1-5 迴圈振盪器架構圖.....	- 8 -
圖 1-6 QoS 製程剖面圖[6].....	- 9 -
圖 2-1 單埠表面聲波共振腔.....	- 12 -
圖 2-2 雙埠表面聲波共振腔結構.....	- 13 -
圖 2-3 表面聲波元件 BVD 等效模型.....	- 13 -
圖 2-4 表面聲波共振腔 S21 參數量測.....	- 14 -
圖 2-5 表面聲波共振腔 S21 參數大小比較.....	- 15 -
圖 2-6 表面聲波共振腔 S21 參數相位比較.....	- 16 -
圖 2-7 表面聲波共振腔 S21 參數相位平移之後比較.....	- 16 -
圖 2-8 FBAR (A) 架構圖 (B) 照片.....	- 17 -
圖 2-9 FBAR 樣本 1.....	- 18 -
圖 2-10 FBAR 樣本 2.....	- 18 -
圖 2-11 FBAR 樣本 3.....	- 19 -
圖 2-12 等效模型.....	- 19 -
圖 2-13 量測與模型的比較.....	- 20 -
圖 2-14 正回授系統.....	- 21 -
圖 2-15 能量補償系統分析圖.....	- 23 -
圖 2-16 負電阻產生電路 (單顆 MOS 電晶體).....	- 23 -
圖 2-17 接地點不同所構成的振盪器結構.....	- 24 -
圖 3-1 電抗特性表示圖.....	- 25 -
圖 3-2 傳統上的皮爾斯振盪器.....	- 26 -
圖 3-3 無 CA、CB 的 INSERTION LOSS 表現.....	- 27 -
圖 3-4 有 CA、CB 的 INSERTION LOSS 表現.....	- 27 -
圖 3-5 改良式的皮爾斯振盪器.....	- 28 -
圖 3-6 大小相位圖：INSERTION LOSS 小.....	- 29 -
圖 3-7 大小相位圖：INSERTION LOSS 大.....	- 30 -
圖 3-8 傳輸線與其角度.....	- 31 -
圖 3-9 Π 電路.....	- 31 -

圖 3-10 T 電路	- 31 -
圖 3-11 -90° 的 Π 電路.....	- 32 -
圖 3-12 提供 -90 度相位.....	- 33 -
圖 3-13 $+90^\circ$ 的 T 電路.....	- 34 -
圖 3-14 提供 $+90$ 度相位.....	- 35 -
圖 3-15 FT 比較圖	- 36 -
圖 3-16 IC 部分	- 37 -
圖 3-17 IC 與相位偏移器.....	- 38 -
圖 3-18 晶片佈局圖	- 39 -
圖 3-19 主動 IC 照片	- 39 -
圖 3-20 IC 部分的量測與模擬圖.....	- 40 -
圖 3-21 加入相位偏移器和 C0 的負電阻圖形	- 41 -
圖 3-22 振盪器與 OSCTEST 之點	- 42 -
圖 3-23 OSCTEST 所探測到的 Z 參數.....	- 42 -
圖 3-24 量測電路版.....	- 43 -
圖 3-25 基頻輸出 (窄頻)	- 45 -
圖 3-26 基頻、二階和三階頻譜	- 45 -
圖 3-27 波形量測圖	- 46 -
圖 3-28 相位雜訊.....	- 46 -
圖 3-29 (A) 可變電容變動範圍 (B) 輸出可調範圍.....	- 47 -
圖 3-30 JITTER(RMS)、JITTER(P-P).....	- 48 -
圖 3-31 量測其起振時間	- 48 -
圖 3-32 相位雜訊與 VECTRON VS-700 和 TXC 比較.....	- 50 -
圖 3-33 可變電容分析	- 52 -
圖 3-34 可變電容範圍 (A) 2PF (B) 10PF	- 53 -
圖 3-35 CA 大小對 INSERTION LOSS 比較 (A) 2PF (B) 10PF	- 54 -
圖 3-36 可變電容在 5PF 改變量	- 55 -
圖 3-37 整合示意圖	- 56 -
圖 3-38 電容為 5PF 的阻抗表示圖	- 56 -
圖 3-39 電容為 2PF 的阻抗表示圖	- 57 -
圖 3-40 電容為 7.5PF 的阻抗表示圖	- 57 -
圖 A-1 負電阻的呈現方式	- 60 -
圖 A-2 接地單埠式阻抗量測	- 60 -
圖 A-3 高頻 BALUN 線圈轉接	- 61 -
圖 A-4 雙埠網路參數示意圖	- 62 -
圖 A-5 轉換成為 Z 參數.....	- 62 -
圖 A-6 8510C 高頻網路分析儀的量測環境.....	- 64 -

圖 B-1 (A)理想無損電容電感共振槽 (B)可變電容小訊號與大訊號容值之比較...	- 65 -
圖 B-2 P+_NWELL 接面電容 (A)製程結構 (B)電容-電壓特性[22].....	- 66 -
圖 B-3 N 型 MOS 可變電容 (A)製程結構與電路符號 (B)電容-電壓特性[19].....	- 67 -
圖 B-4 反轉型 MOS 可變電容 (A)PMOS 製程結構、端點連接方法與電路符號 (B)NMOS 製程結構、端點連接方法與電路符號	- 68 -
圖 B-5 反轉型 MOS 可變電容電壓電容特性曲線 (A) PMOS (B) NMOS.....	- 69 -
圖 B-6 累積型 MOS 可變電容 (A) 製程結構 (B) 電容電壓特性.....	- 69 -
圖 B-7 大訊號擺幅下的等效電容電壓曲線	- 70 -
圖 B-8 積分平均法預估之大訊號等效電容電壓關係曲線	- 71 -
圖 B-9 大訊號擺幅下可變電容的電流電壓軌跡圖(不同臨界電壓)[22]	- 72 -
圖 B-10 利用(B-7)式預估之可變電容大訊號等效電容電壓曲線	- 72 -
圖 B-11 HSPICE 傅立葉分析電路設置圖 (反轉型 NMOS 可變電容).....	- 73 -
圖 B-12 HSPICE 傅立葉分析法預估之大訊號等效電容電壓曲線.....	- 73 -



第一章

緒論

1.1 動機

自從美國康寧(Corning)公司在1980 年代初期首先製造出商用化的光纖以來，光纖通訊發展已有二十幾年的時間。在Internet 興起之前，光纖網路的設計主要針對語音傳輸之用，但是隨著時光推進需求也從語音一直增加到無論是影像傳輸或是達到處處可以辦公事的境界，而且現在技術還在持續進步中。

由於光纖具有高頻寬和低干擾之特性，目前已大量用於電信網路，由於以往購自不同製造商的光纖通訊設備均很難直接連接在一起，因此使用者愈來愈希望能由不同的製造商獲得可以相容的通訊設備，而SONET/SDH 的出現就解決了這個問題。SONET/SDH 的目的在於建立一套標準化的光纖界面，使得不同製造商的設備可以在傳輸的每一端使用，而不必配置中間信號的轉換設備。SONET/SDH 的出現是光纖網路邁向全球統一化的重大一步

在光通訊網路中，表面聲波振盪器可用來提供參考頻率，以確保資料可以準確的傳送與接收。目前光通訊網路的標準主要有三大技術，分別是高密度分波多工(Dense Wavelength Division Multiplexing)、光乙太網路(Optical Ethernet)及 SONET/SDH (Synchronous Optical Network/Synchronous Digital Hierarchy)，其中 SONET/SDH 為現今光通訊網路的主流標準。SDH 的基本架構是以同步傳送模式(Synchronous Transport Mode ;STM)為基礎，而其基本速率為 155.52Mbps，稱之為同步傳送模組第一

位階(STM-1)，而 SONET 基本速率為 51.84Mbps，稱之為同步傳送信號第一位階(STS-1)。只是 SONET 是由美國訂定的光纖傳輸標準（美規），SDH 是 ITU（International Telecommunication Union, 國際電信協會）根據 SONET 為藍本，之後再訂定改編適用於美國以外的全球同步傳輸標準。為了透過光纖傳輸，SONET 規定了和 STS-1 信號相對應的光傳輸信號第一位階(OC-1)信號，此信號由 STS-1 直接經由電—光轉換而獲得。OC-1 是 SONET 傳輸的光基本信號，將其乘以一個整數倍即可得到更高速率之信號，例如 OC-3 信號的速率是 OC-1(51.84 Mbps)的 3 倍，即 155.52Mbps，它相對於 SDH 的 STM-1 信號。表一是標準化的 SDH 各級信號與相對應的 SONET 信號的速率表。由於傳統數位傳輸網路 PDH (Plesiochronous Digital Hierarchy；類同步數位階層)是發展在低頻寬的電話語音系統(如目前常見的電信專線 T1、T3 等)，它的網路管理能力有限，時序的同步較差且網路的服務較沒有彈性，不適合擔任需具有高度可靠性傳輸系統的角色，相對於 PDH 系統，SONET/SDH 提供高頻寬的傳輸速率，更有效率及具有更多功能的網路管理系統[1]，不僅大大地提昇網路的可靠性及效能，也提高了動態頻寬管理的能力，下頁表 1-1 為 SONET/SDH 標準規格表。



Optical Carrier (OC) level	SONET Synchronous Transport Signal (STS) level	SDH Synchronous Transfer Mode (STM) level	Signal level
OC-1	STS-1		51.84Mbit/s
OC-2	STS-2		103.68Mbit/s
OC-3*	STS-3	STM-1*	155.52Mbit/s
OC-4	STS-4	STM-2	207.36Mbit/s
OC-9	STS-9	STM-3	466.56Mbit/s
OC-12*	STS-12	STM-4*	622.08Mbit/s
OC-18	STS-18	STM-6	93.12Mbit/s
OC-24	STS-24	STM-8	1.2442Gbit/s
OC-36	STS-36	STM-12	1.8662Gbit/s
OC-48*	STS-48	STM-16*	2.4883Gbit/s
OC-96	STS-96	STM-32	4.976Gbit/s
OC-192*	STS-192	STM-64*	9.9533Gbit/s
OC-768*	STS-256	STM-256*	39.8131Gbit/s

*：一般商用化系統較常用之規格

表 1-1 SONET/SDH 標準規格表[1]

隨著網際網路的普及與影音多媒體的廣泛應用，網路頻寬的需求與日俱增，網路上資料流量愈來愈大，為了確保資料正確地傳輸，光接收機中利用到時脈回復電路，常常要求相當高標準的最低誤碼率。此時操作於高頻的壓控表面聲波振盪器(Voltage Controlled SAW Oscillator)能夠提供一精準且穩定的參考訊號[2]。本論文針對此先行研究一定頻之 622.08MHz 表面聲波振盪器(SO)，目標在於將表面聲波振盪器積體化，在未來技術成熟後，即可加上壓控功能，並以低功率為目標，並擁有低雜訊，而完成一完整之壓控表面聲波振盪器(VCSO)。

1.2 表面聲波振盪器

西元 1965 年，加州大學柏克萊分校的 R.M. White 以及 F.W. Voltmer 發現在壓電晶體上鍍上交叉指狀電極 (Inter-digital Transducer: IDT) [3]，則可產生表面聲波，此後表面聲波元件便開啟了其在通訊以及感測方面的應用。

由於表面聲波元件 (Surface Acoustic Wave Devices) 具有相當高的品質因數 (Quality Factor) 與頻率穩定度，且其亦具有體積小、重量輕、與 IC 製程技術相容等優點，因此被廣泛應用於通訊系統上濾波器、諧振器與振盪器之設計[4]。以目前已開發的表面聲波元件，主要涵蓋在 10MHz~3GHz 之間。因此可以作為高頻通訊系統或是光纖通訊系統中，提供穩定高頻訊號的來源。

過去表面聲波振盪器主要是以離散電路的方法實現，利用大量的集總元件和迴路放大器來實現振盪器，此方法佔去太大的面積，且需要較高電壓作為電源供應。而因應積體電路(Integrated Circuit)的蓬勃發展，積體化的表面聲波振盪器也隨之產生。IC 化的表面聲波振盪器克服傳統離散電路的大面積缺點，而隨著製程進步，使得低損耗功率的電路也跟著可行。

1.2.1 表面聲波振盪器常用架構

(a) 考畢子振盪器(I)：

下圖 1.1 為一考畢子(Collpits)架構[2]，電阻(R_f)可用來調整 SAW 的回授能量，電感(L_1)可以延伸拉動頻率範圍(pulling frequency range)， VC_1 為可變電容，經由外來的控制電壓加以調整。本電路利用一個雙載子截面電晶體(BJT)提供增益，這樣的架構可以說是現在最常見的。

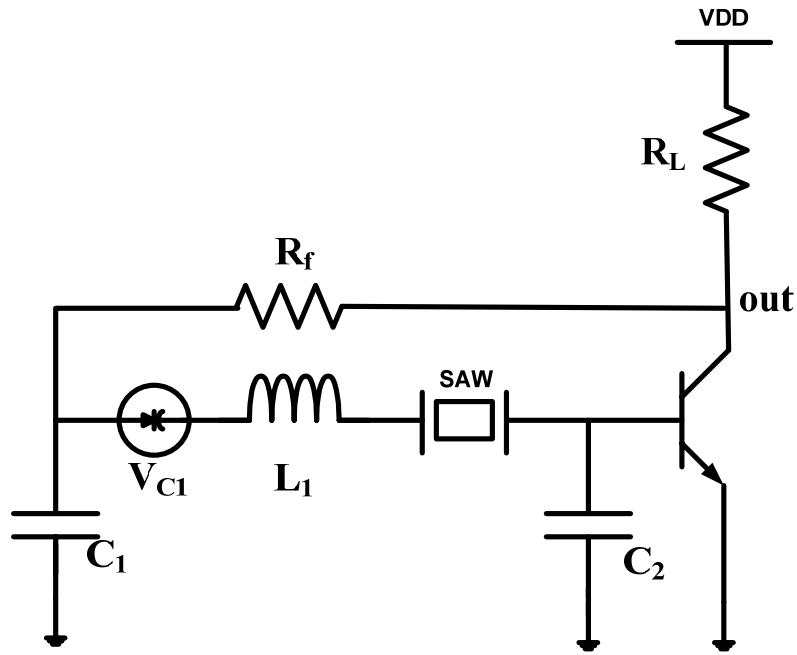


圖 1-1 考畢子架構(I)

(b) 考畢子振盪器(II)：

圖 1.2 為一穩定式表面聲波振盪器，這裡是利用一個 Colpitts 振盪器再配合一個表面聲波元件在一旁[5]。引發振盪的機制仍然來自核心振盪器本身，而 SAW 只是扮演一個穩定頻率的角色。經由適當的設計，本架構可用來接受外來的信號作調變的功能。然則本架構因為需要用到電感元件，往往需要耗掉大量面積，因此只適合用分離式電路完成。

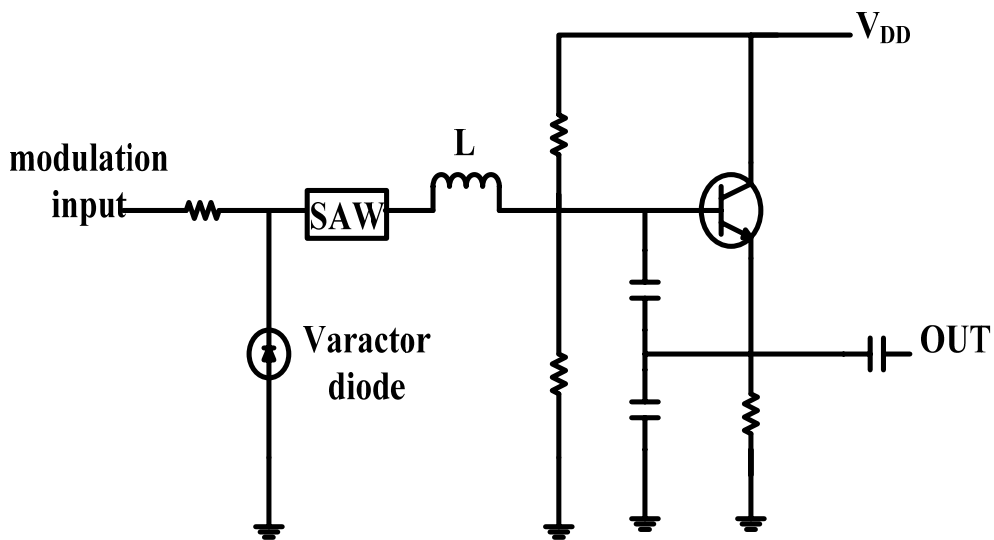


圖 1-2 考畢子架構(II)

(c) 皮爾斯振盪器

使用皮爾斯(Pierce)振盪電路如圖 1.3，表面聲波元件在電路中扮演電感的角色，在適當設計的前提下，此電路能輕易地達到低失真弦波輸出的目標，且其的偏壓容易設計，相對地使得電路較為穩定。

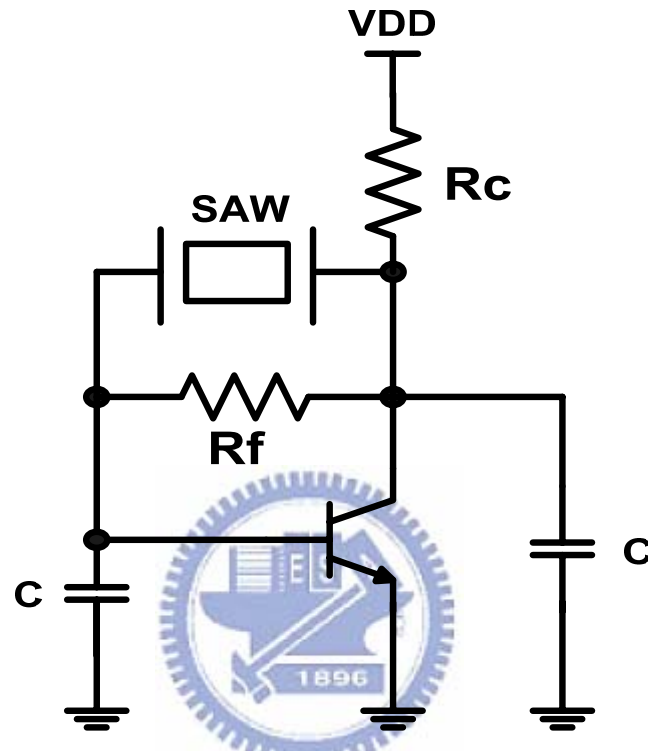


圖 1-3 皮爾斯振盪器

(d) 三級振盪器振盪器

為了提高負電阻確保振盪，但若只有加大單級面積，當增益大到一個程度，所表現的負電阻會有飽和情況產生，因此並非一好的解決方法。下圖 1-4 所示即為所介紹之 Colpitts 架構，加以改良[6]，由於單級的電晶體架構的操作頻率越高對負電阻越不利（在頻率 600MHz 以上的負電阻，銳減至 20~30 歐姆），此外；SAW 的寄生電容 C_p 相當大，約有三 pF 上下，這也是另外一個大大拉低負電阻的重要來源，將增益級，從一級提高到三級，希望能藉由大增益來提供大的負電阻，此種方式也是 SAW 振盪器裡不錯的方法。

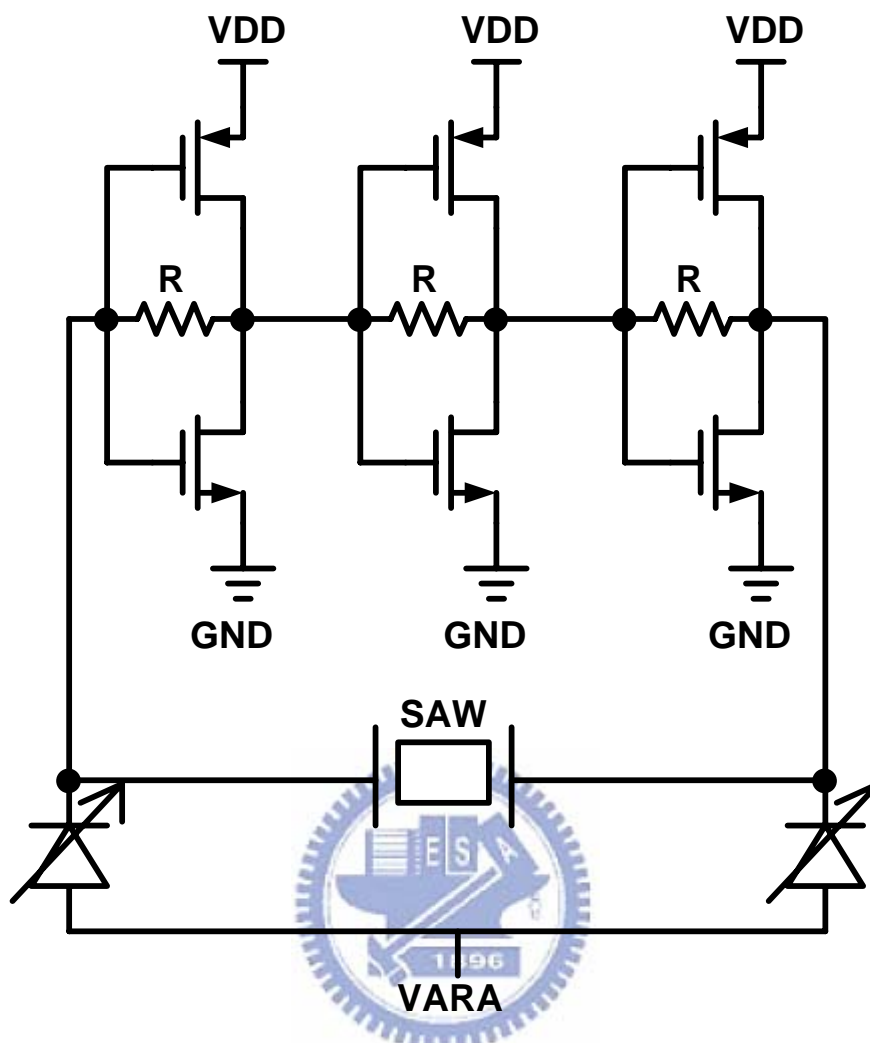


圖 1-4 三級振盪器

(e) 迴圈振盪器：

圖 1-5 表示迴圈振盪器架構圖，此方法都可以用來振盪單阜或是雙阜表面聲波共振腔[7-8]，利用一個或是一組放大器用於提供足夠的增益，接著經過一組功率分流器，一端接至輸出端，另一端在迴路之內，如此方法可以避免外部的阻抗影響迴路本身，之後接至相位偏移器，將相位調整至迴圈 360 度或是 0 度進而符合巴克豪森振盪準則，再接上表面聲波共振腔，完成此迴圈並且起振之後，相位偏移器也可以用來改變些微相位，用來調變振盪頻率。

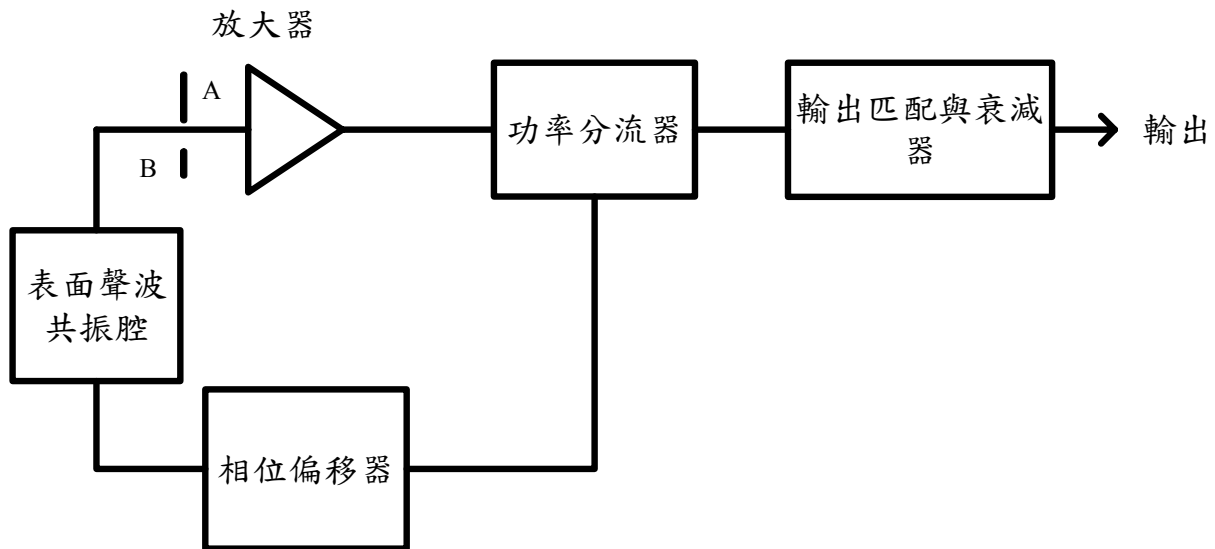


圖 1-5 迴圈振盪器架構圖

1.2.2 利用製程技術的表面聲波振盪器

利用後製程或前製程的特殊製作方式，是實現表面聲波振盪器的另外一種方法，此種方式利用製程技術，將表面聲波共振腔和金氧半導體的矽基板疊合在一起，形成單晶片的形式。也就是所謂的Quartz on silicon (QoS) 製程或稱為Monolithic CMOS-SAW Oscillator[6, 9]。此優點為單一製程設計，並且可避免外接表面聲波元件所引發的寄生效應，但缺點來自製程本身的條件，此作法Insertion Loss比較大，使得表面聲波元件在高頻的表現有一定的限制，且此製程在成本上明顯高出其他實現電路的方法。圖1-6為此製程的剖面示意圖。

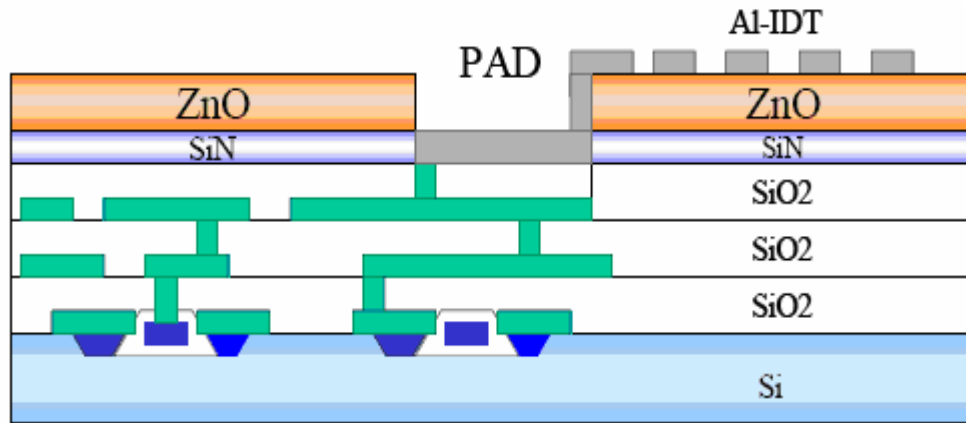


圖 1-6 QoS 製程剖面圖[6]

1.3 論文目標

本論文目標在於使用 CMOS 製程技術實現一個可應用的表面聲波振盪器架構，而此架構也能同時應用於其他同樣使用壓電共振腔的振盪器電路。實現的振盪器有以下的特色：

1. 高穩定度：由於振盪器使用了高品質因數的表面聲波為共振腔，使得此振盪器比一般使用電容電感共振槽(LC-tank)的振盪器有著更為精準的振盪頻率。
2. 節省材料成本與電路面積：將傳統上使用集總元件製作的表面聲波振盪器減化成 IC，可減少外部集總元件的使用。
3. 低功率損耗：市面上利用 CMOS 製程實現的表面聲波振盪器為了在高頻時能提供足夠的負電阻，需要足夠大的功率消耗使得迴路中的增益級能達到標準。本論文提出的架構降低了電路對增益級電導的依靠性，進一步降低其功率損耗。

1.4 論文架構

本論文各章節的主題如下：第一章為歷史沿革，發展動機以及市面上的規格介紹與論文目標；第二章為表面聲波共振腔的參數萃取，振盪器基本架構與理論，分析方法以及基本架構的限制；第三章則是振盪器的設計流程與模擬結果，實現電路時的考量和實際電路量測結果，以及為了貼近量測結果對模擬結果所做的修正；第四章為結論與未來的研究展望。



第二章

表面聲波振盪器

在電子電路系統中，表面聲波振盪器扮演極重要的角色，因高品質因素，使其能精確的表現諧振頻率(resonant frequency)，提供系統標準參考源(reference source)。可以提供給所需要的電子電路系統，如鎖相迴路使之有相當好的本地源參考訊號。

本章開始先介紹兩種我們所擁有的共振腔結構，之後在介紹基本振盪原理，再來分析振盪器的起振負電阻與振盪頻率，實現振盪器。

2.1 共振腔



2.1.1 表面聲波共振腔

表面聲波是超聲波的一種，其為在介質表面進行淺層傳播的機械能量波。隨著表面條件不同，表面聲波具有不同的振盪型態[10]。在這些不同型態的表面聲波中，Rayleigh wave 具有非色散、易分析，且在傳遞的過程中有著尖銳的頻率特性，因而被廣泛的使用。表面聲波元件一般可分為單埠與雙埠兩種。

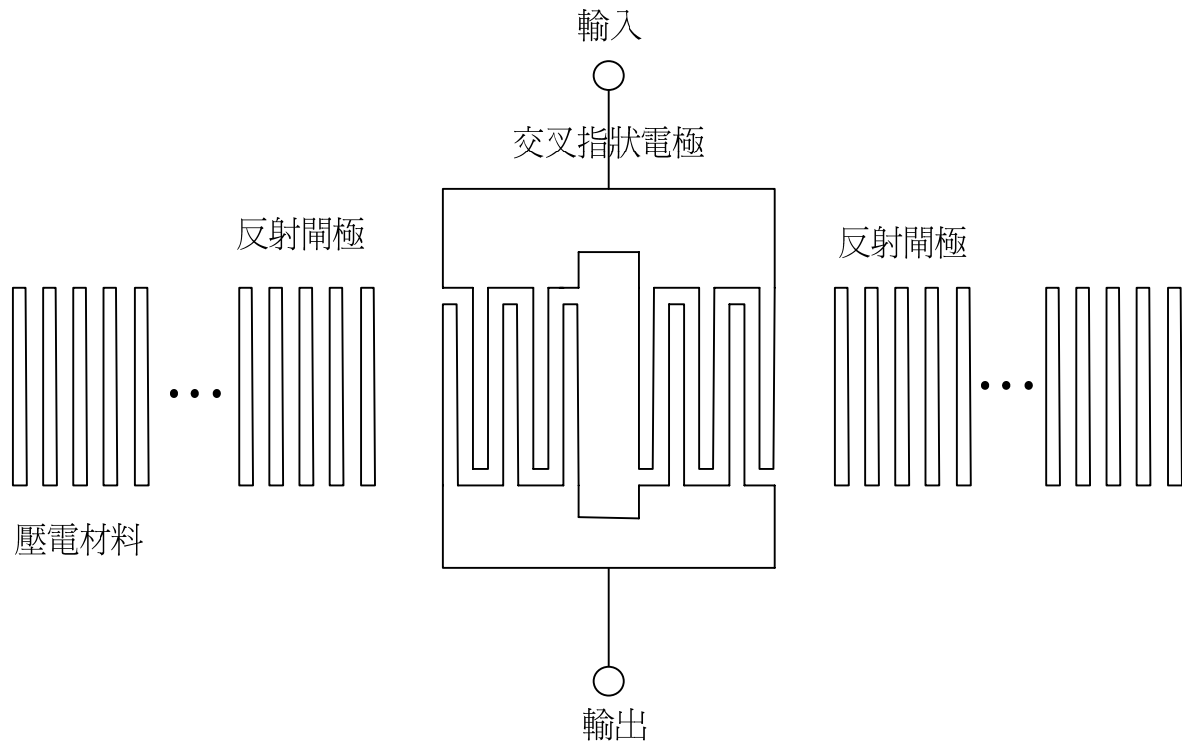


圖 2-1 單埠表面聲波共振腔

圖 2-1 為單埠表面聲波共振腔(SAW-R)結構圖。表面聲波元件在壓電材料基板上以薄膜製造方式製造兩組交叉指狀電極(IDT)，其中一組為輸入，將接受到的電訊號以逆壓電效應轉換成表面聲波，轉換的表面聲波將透過兩組 IDT 間的延遲線區到達另一 IDT，再利用正壓電效應將表面聲波轉換成電訊號輸出。

圖 2-2 則為雙埠表面聲波共振腔。工作原理與上述單埠表面聲波共振腔之工作原理同。

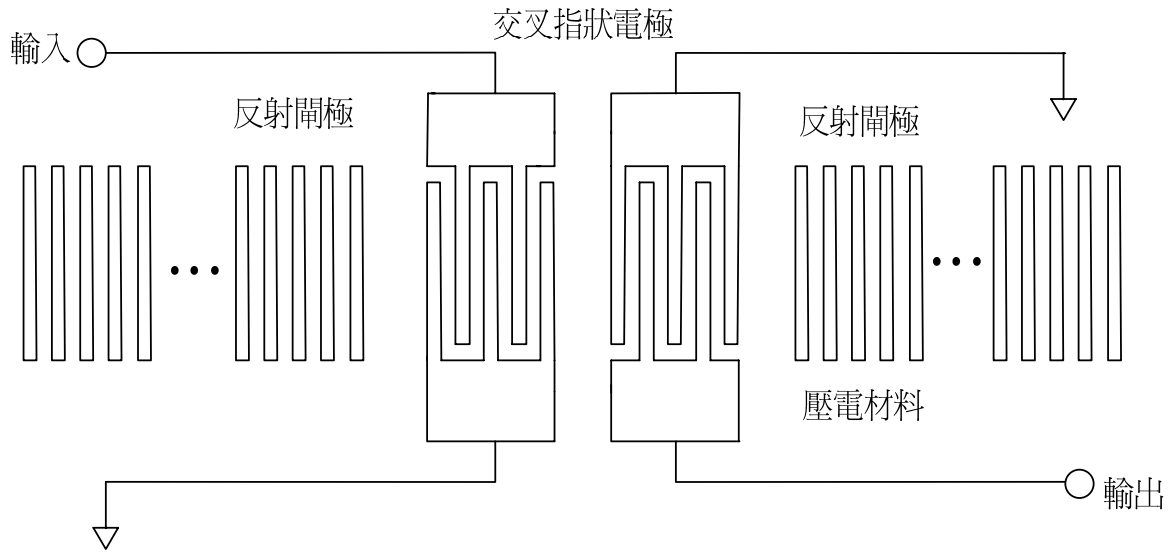


圖 2-2 雙埠表面聲波共振腔結構

而本論文將使用單埠表面聲波共振腔來作為振盪電路中作為振盪源的能量槽，因此以下將針對單埠表面聲波元件進行等效電路的分析與萃取。壓電共振腔具有多種集總元件等效模型，為了在設計分析上的方便和貼近實際電路兩者間取得平衡點，我們採用了 Butterworth Van Dyke (BVD) 模型，BVD 模型的等效模型如圖 2-3[11]。此模型為對稱架構，因此腳位 1 和腳位 2 兩接腳可自由互換。

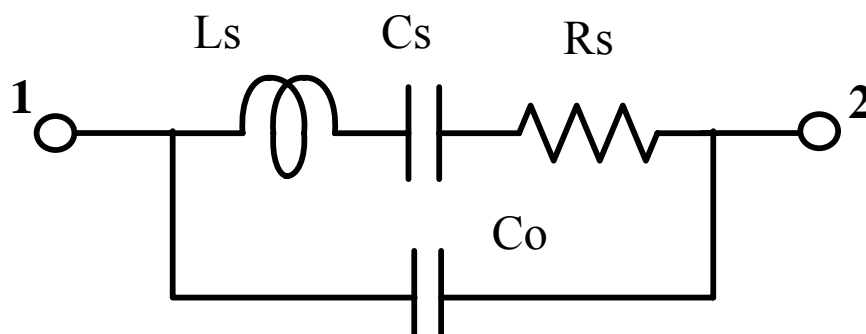


圖 2-3 表面聲波元件 BVD 等效模型

在 BVD 模型中，破壞振盪的主要等效元件為與 RLC 並聯的電容 C_0 ，此電容產生的原因主要來自於 IDT 間的雜散電容，以及包裝時封裝的等效寄生電容。此電容同時也被稱為靜態電容(static capacitor)、封裝電容(case capacitor)，或是分路電容(shunt capacitor)。圖中所標式的點 1 與點 2，在使用上可以相互交換，因為其為對稱元件。

本論文使用台灣晶技 (TXC) 所提供的 622.08MHz 表面聲波共振腔，利用網路分析儀進行量測，觀察其 S21 參數，所量測到的 S21 參數如圖 2-4 所示。

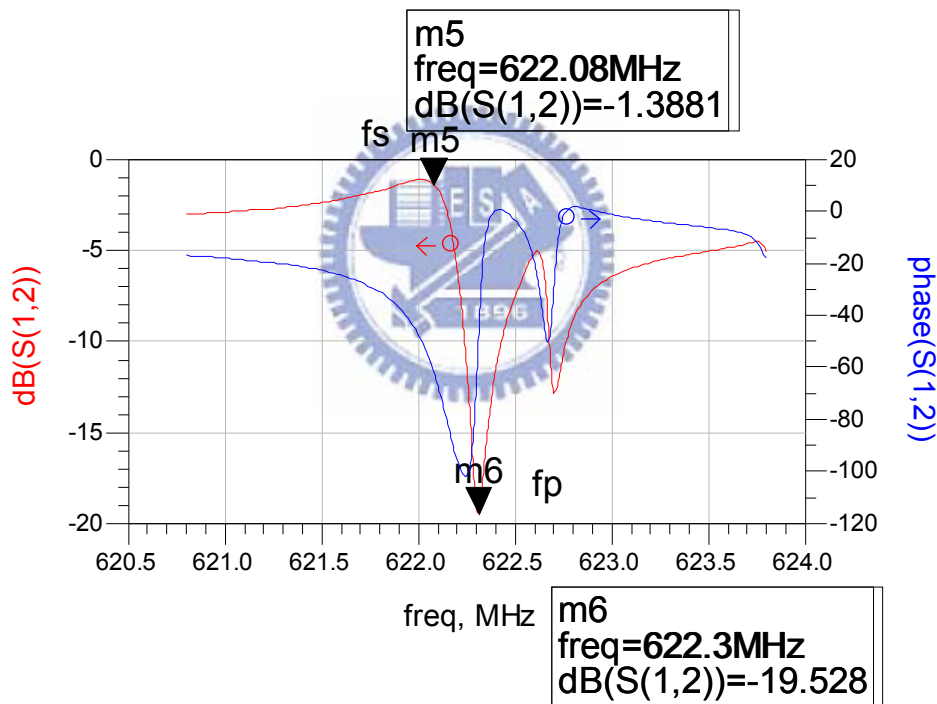


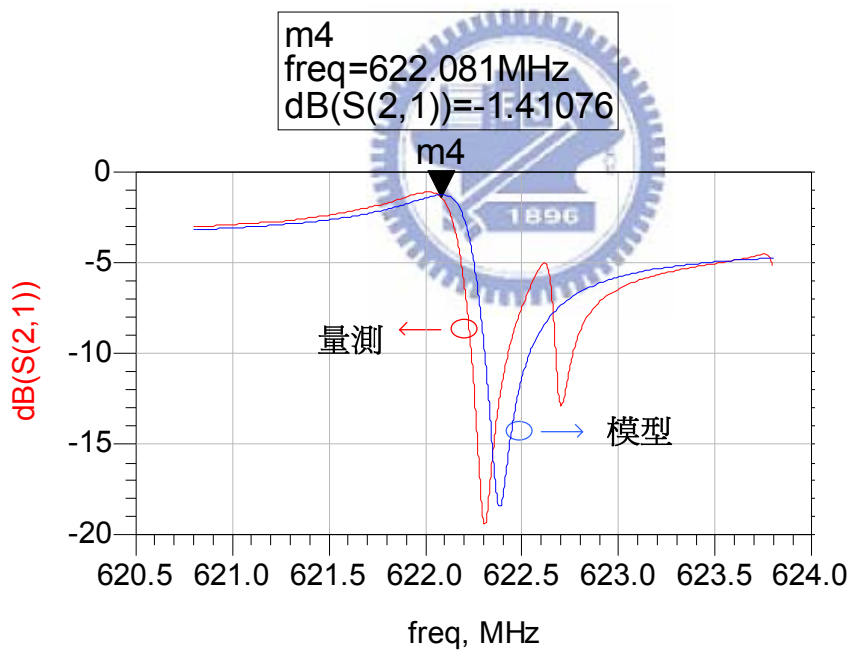
圖 2-4 表面聲波共振腔 S21 參數量測

下頁表 2-1 為 SAW 的等效電路參數。

表 2-1 622.08MHz 單埠表面聲波共振腔等效電路參數

$f_s(\text{MHz})$	$IL(\text{dB})$	QL	$R_s(\Omega)$	$L_s(\mu\text{H})$	$C_s(\text{fF})$	$C_o(\text{pF})$
622.08	1.41	1382	20.2	42.22	1.55	2.11

圖 2-5 為 S_{21} 的大小量測與模型的比較結果，由結果可以充分看出，模型與量測在大小(dB)的部分是相當的契合，然而等效電路模型在 S 參數相位部分，與實際上的量測大約有 60 度的差距，在圖 2-6 可以明顯看出，若加上一個負 60 度的相位，及可以表現出非常的符合，如圖 2-7。所以在使用上可以加上一個相位，使之可以相當符合，無論在大小或是相位的部分。

圖 2-5 表面聲波共振腔 S_{21} 參數大小比較

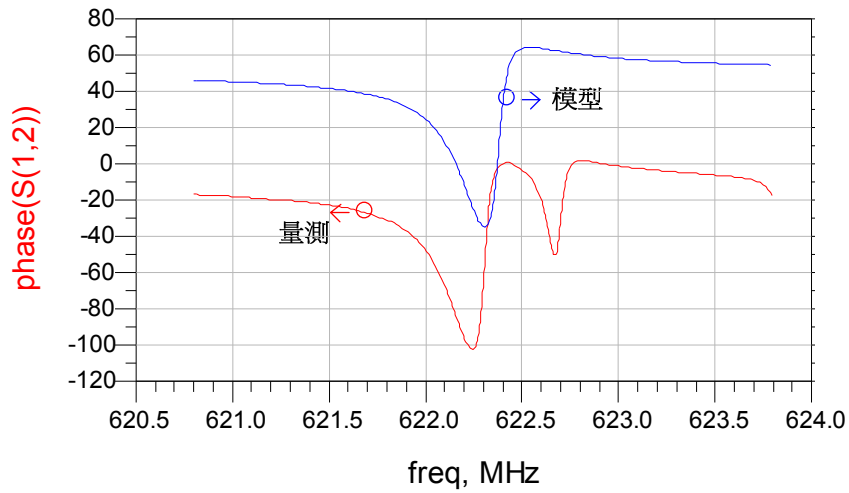


圖 2-6 表面聲波共振腔 S21 參數相位比較

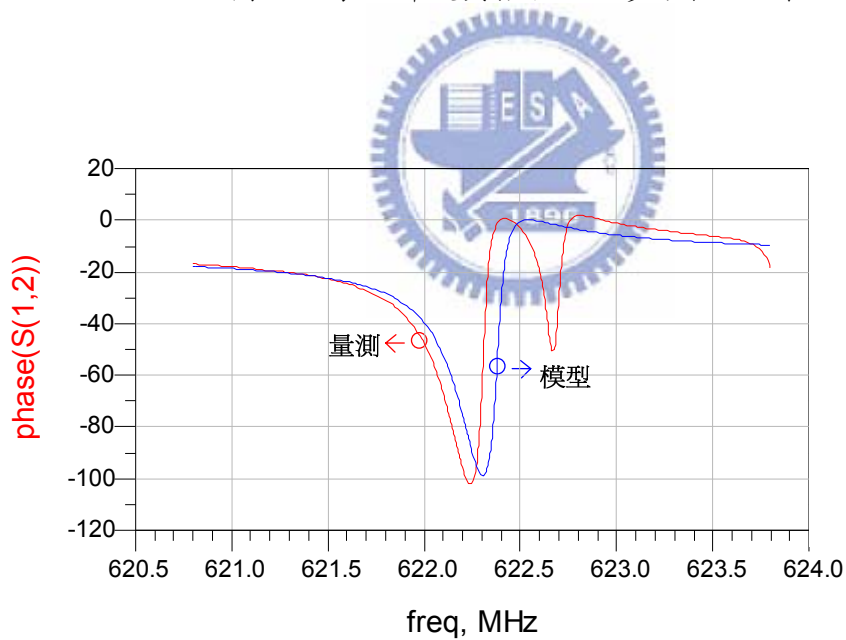


圖 2-7 表面聲波共振腔 S21 參數相位平移之後比較

由於模型的相位表現明顯的與實際不符合，所以在往後的使用模擬上，都是使用量測的參數，如此才能夠真正表現此共振腔的真實情形。

2.1.2 薄膜聲波共振器

薄膜聲波共振器 (Film Bulk Acoustic Resonator, FBAR)，圖 2-8 (a) 為其架構圖，為另一種較新的一種共振腔，其模型類似於表面聲波共振腔[12]，也具高品質因素與頻率穩定度，其體積小、重量輕，且其頻率特性與溫度係數小於傳統上使用之表面聲波元件等優點。目前美商安捷倫將其應用於行動通訊之雙功器及射頻濾波器中，以取代傳統之表面聲波濾波器。

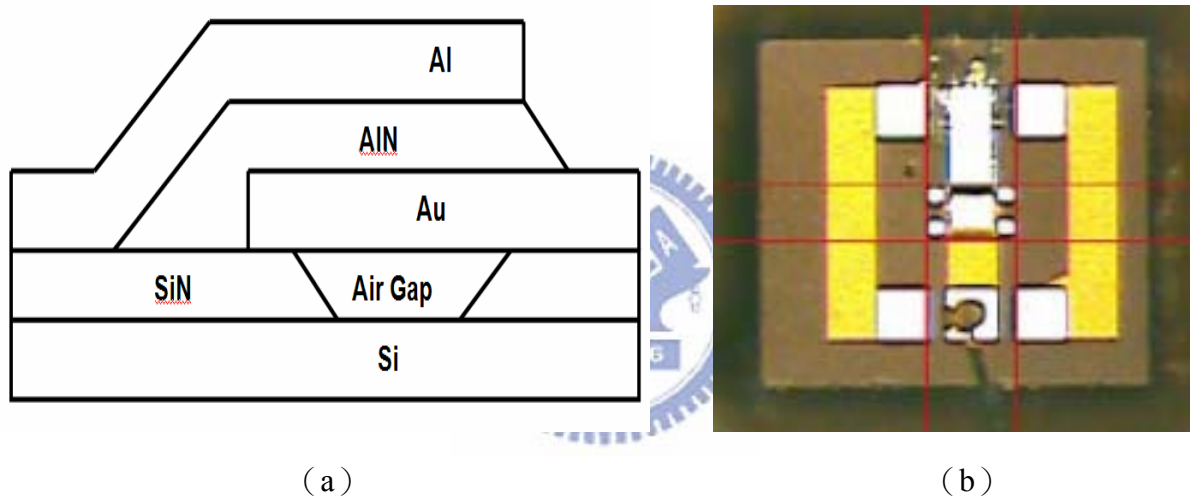


圖 2-8 FBAR (a) 架構圖 (b) 照片

在此將中科院提供的薄膜聲波共振器進行量測，圖 2-8 (b) 為 FBAR 照片，量測此種電路，通常會使用探針進行量測，必須注意量測前的 calibration 要小心翼翼，如此才能確定所量測到的平面為我們所指定的，其參數才有使用上的意義，在此將量測到的幾個樣本標示如下圖 2-9~圖 2-11，其分別代表樣本 1~樣本 3，樣本 1~樣本 3 的 FBAR 為雙阜設計，而樣本 4 為單阜設計。

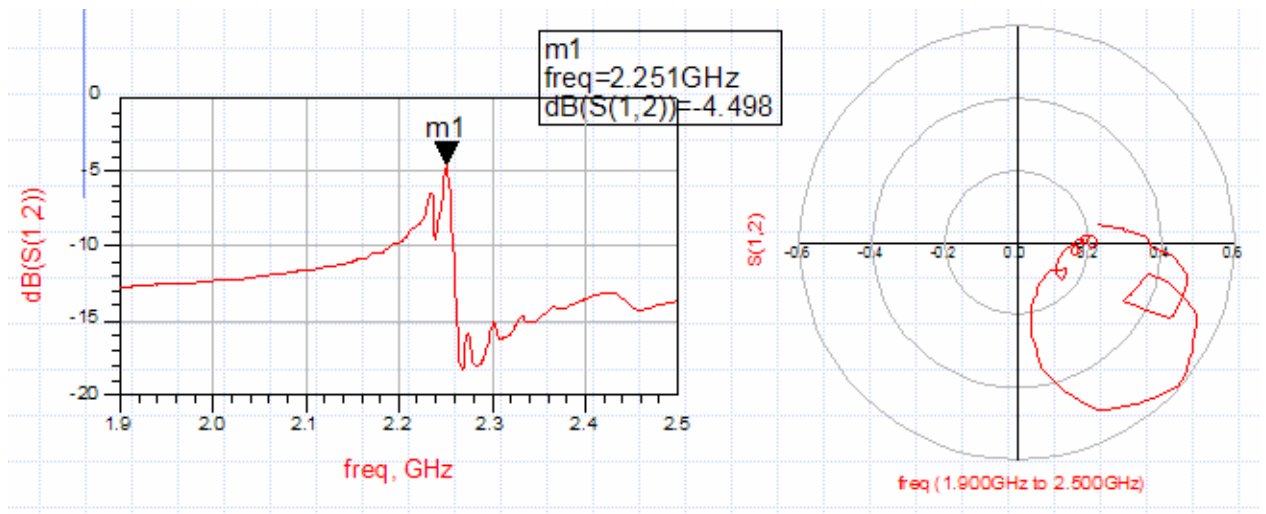


圖 2-9 FBAR 樣本 1

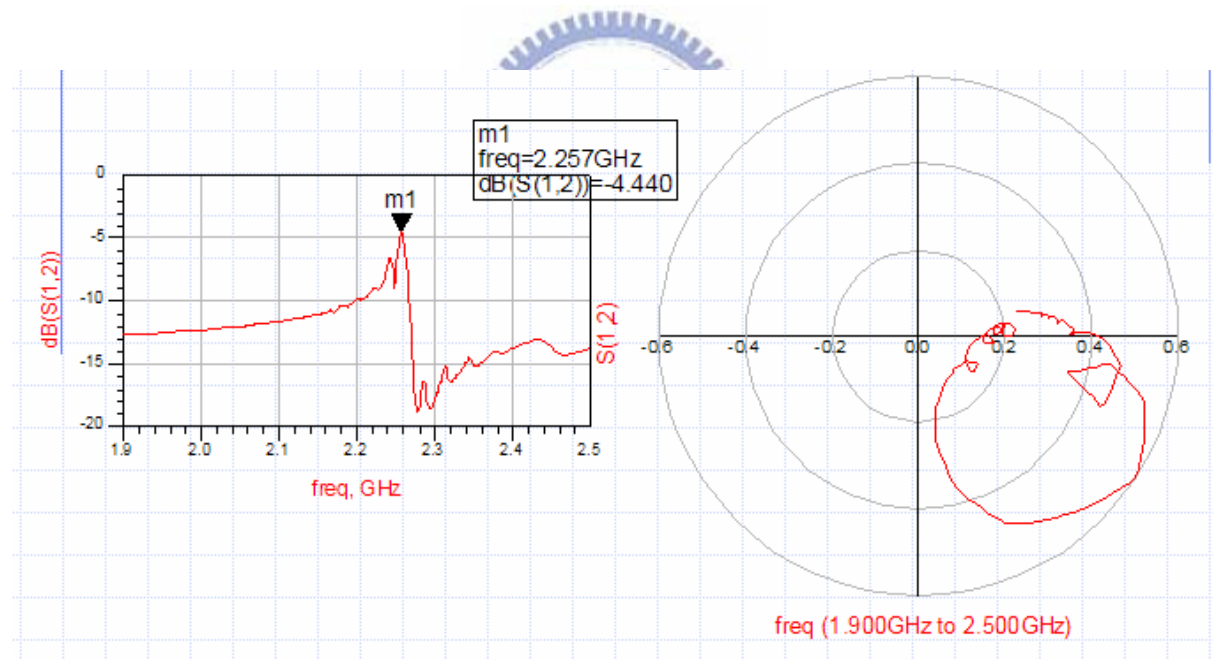


圖 2-10 FBAR 樣本 2

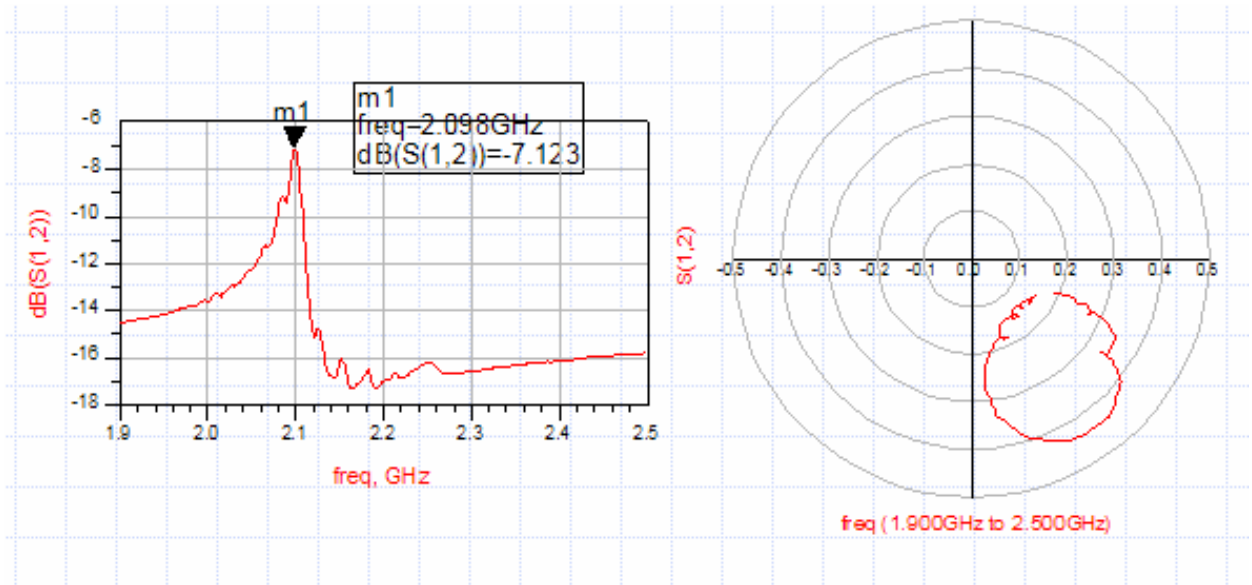


圖 2-11 FBAR 樣本 3

以上為 FBAR 樣本 1~FBAR 樣本 3，接下來樣本 4 的單阜 FBAR 利用 Polar Z 參數表示，並且嘗試找出其等效模型於圖 2-12，並且將量測與模型的比較表示於下圖 2-13。

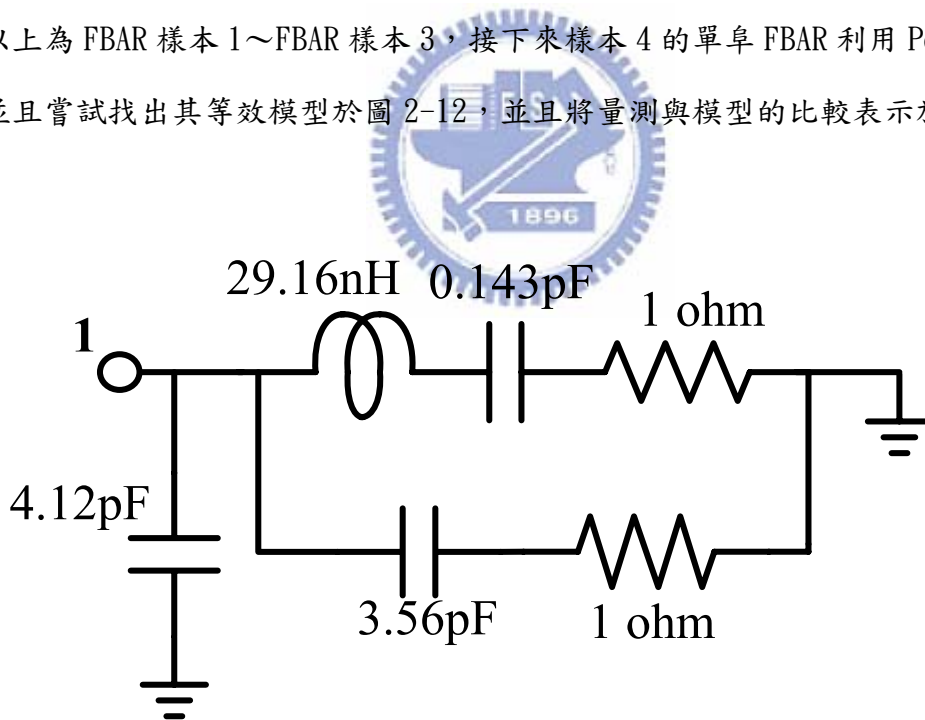


圖 2-12 等效模型

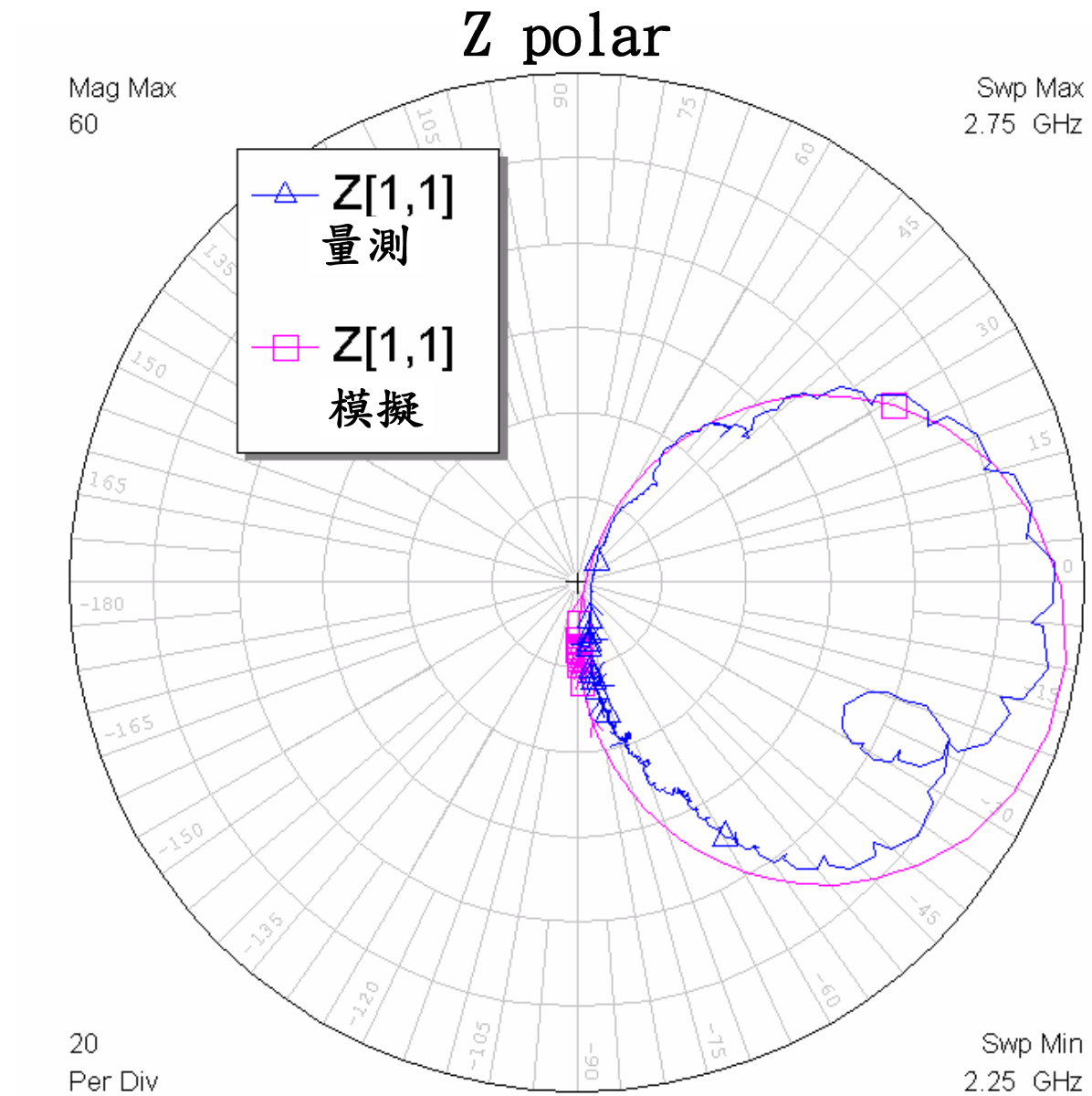


圖 2-13 量測與模型的比較

由以上的量測樣本，可以看出，每一組樣本的振盪頻率都不一樣，並且其插入損耗都相當的大，由於中科院也是在嘗試製作階段，故每次生產共振腔皆無法產生製作出相同的條件，故不易設計出符合所有共振腔的起振電路，故在此不選用此種共振腔。

2.2 表面聲波積體振盪器基本原理

振盪器即一個只有直流電源供應下，產生週期變化電壓信號的電路元件。電路要產生振盪，必須符合振盪條件，其理論為巴克豪森準則(Barkhausen criterion)，由迴路相位與增益來分析起振狀況；如圖 2-14 所示，為一個正回授系統，其轉移函數可由下式表示：

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{A(j\omega)}{1 - A(j\omega)B(j\omega)} \quad (2-1)$$

根據巴克豪森準則，電路要產生振盪必須符合兩個條件：

- (1) 電路的增益在振盪頻率上須大於一。
- (2) 電路的總相位移需為 $n \times 2\pi$ 弧度，其中 $n=0, 1, 2 \dots$ 等整數。

即(2-7)式須滿足：

$$|A(j\omega_o)B(j\omega_o)| \geq 1 \quad (2-2)$$

$$\angle(A(j\omega_o)B(j\omega_o)) = 0^\circ \text{ or } 360^\circ \quad (2-3)$$

當兩條件成立時，電路便可振盪在使(2-3)式成立的頻率點(ω_o)上。當(2-2)式等於”1”時，(2-1)式將變得無窮大，即使沒有 V_{in} 輸入，仍然有 V_{out} 輸出，也就是在符合巴克豪森準則時，只要回授系統中有一點雜訊成份存在，則此正回授系統即可產生振盪。

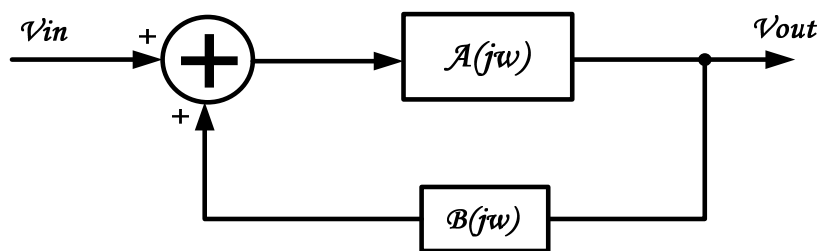


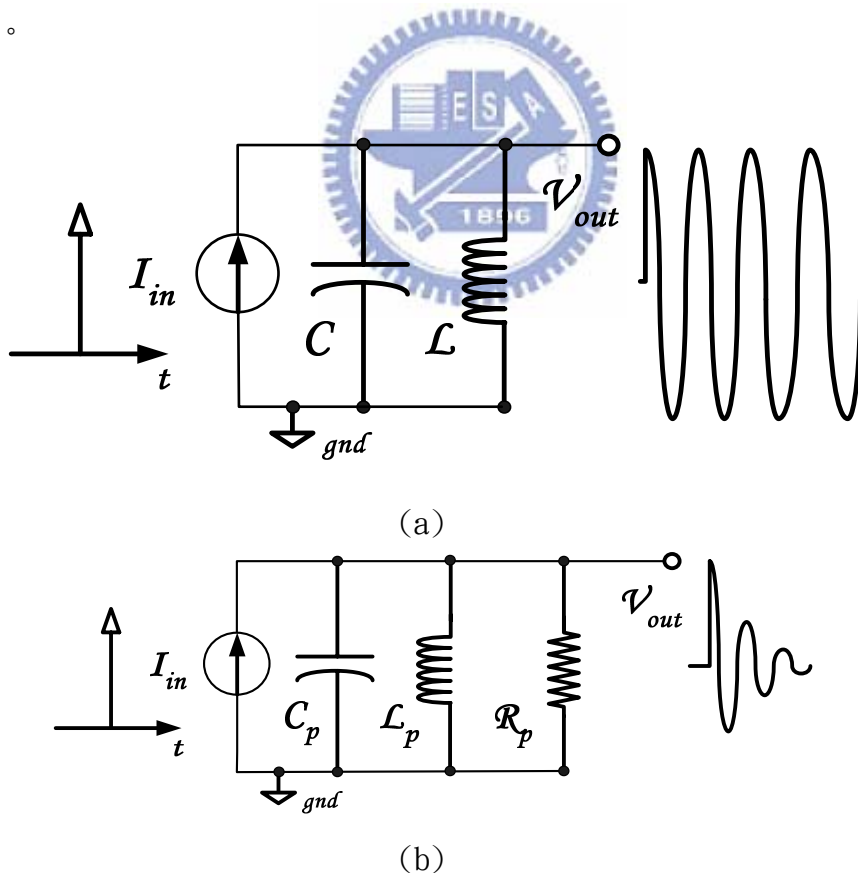
圖 2-14 正回授系統

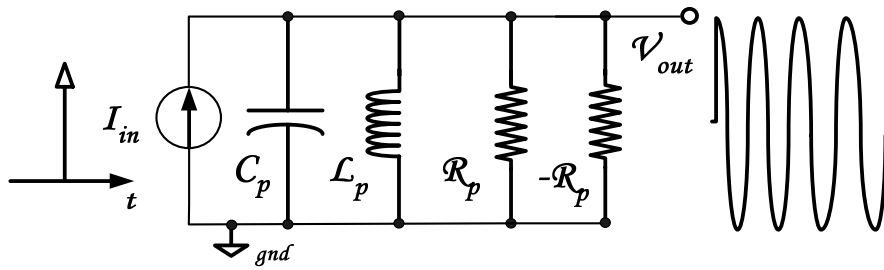
除了上述迴路分析的方法，亦可由能量補償系統的觀點來分析，即所謂的負電阻分析法。在一個理想的電感電容諧振槽中，如圖 2-15(a)，一個電流脈衝訊號刺激時，此

電感電容迴路將在電感感抗($j\omega_0 L$)等於電容容抗($1/j\omega_0 C$)時產生共振,共振頻率(ω_0)為 $1/\sqrt{LC}$;但實際電路的電感與電容包含有寄生電阻,如圖 2-15(b),當 RLC 電路振盪時,訊號將被寄生電阻 R_p 衰減至零。如果將一個負的 R_p 與 RLC 電路並聯,如圖 2-15(c),抵消共振槽中的電阻性,則振盪訊號可維持振盪。然而實際電路中並沒有負阻抗這種元件,必須由電晶體主動電路來等效,如圖 2-15(d),由主動電路來提供負電阻,提供能量來補償 RLC 共振槽的損耗,而使電路持續振盪。以上即為能量補償的概念,所以在分析電路是否能夠振盪,電路內部阻抗需符合兩個條件:

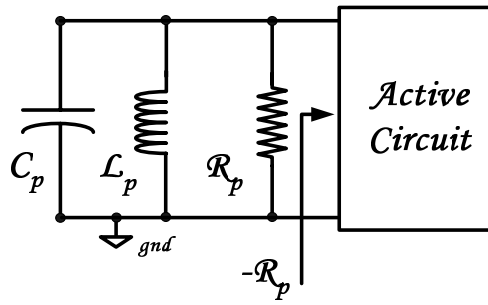
- (1) 電路的總電抗為零。
- (2) 電路的總電阻在起振頻率點為負值。

當兩條件成立時,電路振盪在使第一項成立的頻率點,且在第二項條件接近零時,達到穩定振盪。





(c)



(d)

圖 2-15 能量補償系統分析圖

利用電晶體產生負電阻的方法，本篇論文使用，單顆 MOS 電晶體形式，如圖 2-16 所示，由小信號等效電路分析，忽略基底效應(body effect)與通道調變效應(channel modulation effect)，可得負電阻為[13]：

$$Z_{in} = -R_p - jX_p \quad \text{-----}(2-4)$$

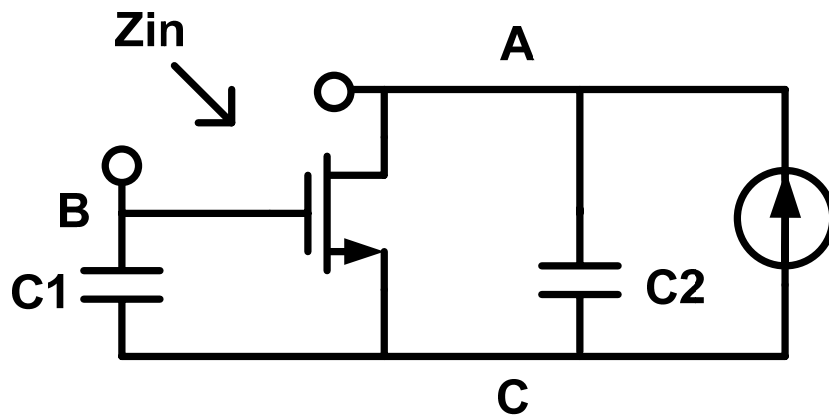


圖 2-16 負電阻產生電路 (單顆 MOS 電晶體)

由(2-4)式顯示，此種架構皆實現了圖 2-16 中補償損耗的負電阻 $-R_p$ ，且此架構中，A, B 和 C 三點分別接地，可以得到三種不同結構的振盪器，如圖 2-17 所示，電路(a)中，A 點接地為一個源極隨耦器(source follower)架構；電路(b)中，B 點接地為單端振盪器使用最廣泛的考畢之(Colpitts)振盪電路；電路(c)中，C 點接地，與前兩者相比少了一偏壓點，此架構稱皮爾斯(Pierce)振盪電路。

表面聲波振盪器應用中，皆使用單端電晶體的形式，其中又以圖 2-17(c)的皮爾斯架構使用最廣，因為表面聲波晶體在此架構中為並聯共振的形式，其並聯的負載電容對頻率控制有明顯的定義，且電容直接接地，在積體電路中直接與基底連結，提供良好的交流接地點(ac ground)，表面聲波共振腔兩端的寄生電容也可直接歸納在 C_1 與 C_2 上，另外電晶體的源極接地，使得源極與基板的電容(C_{sb})短路，以上接地的效果皆降低了多餘的雜散效應，使得此架構能達到低功率且高穩定度的表現[14]。由於負電阻分析中，只要把電感與主動電路分開，如圖 2-17(b)的形式，分析主動電路提供的負電阻是否大於電路中的消耗電阻，即可判斷是否起振；相較於迴路分析的方式，直觀且方便，所以本論文設計，將採用負電阻分析的方法，電路形式使用皮爾斯振盪架構。

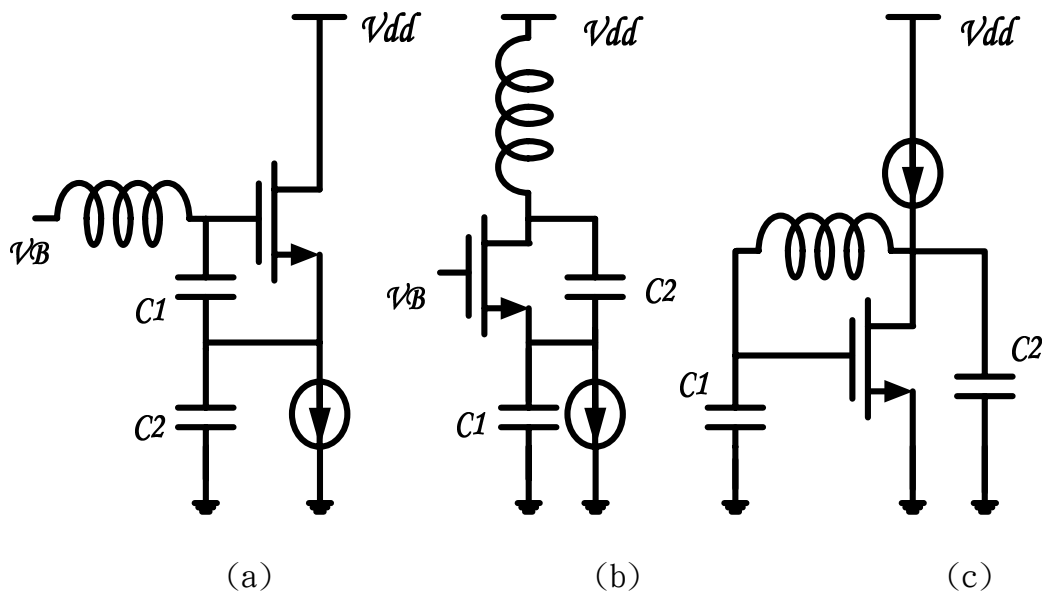


圖 2-17 接地點不同所構成的振盪器結構

第三章

低功率表面聲波振盪器

3.1 改良式皮爾斯表面聲波振盪器介紹

表面聲波振盪器的參數如第二章所提及利用量測的參數，而圖 3-1 為將之轉換為電抗特性表示圖， f_s 表面聲波共振腔的串聯共振，由 L_s 和 C_s 所產生，而 f_p 為其並聯共振 (L_s 、 C_s 、 C_0) 所造成。

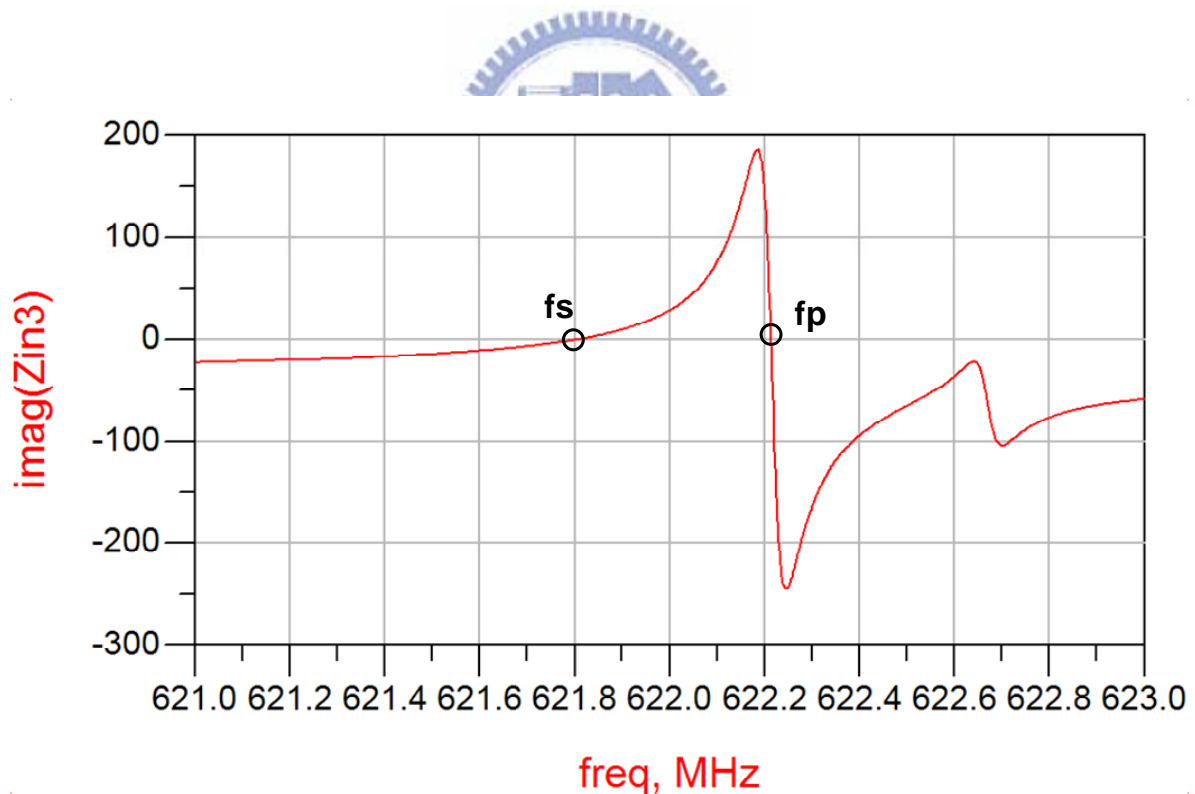


圖 3-1 電抗特性表示圖

在使用表面聲波共振腔通常操作在 f_p 與 f_s 之間，為一個一個電感性。而傳統上的

皮爾斯振盪器如圖 3-2

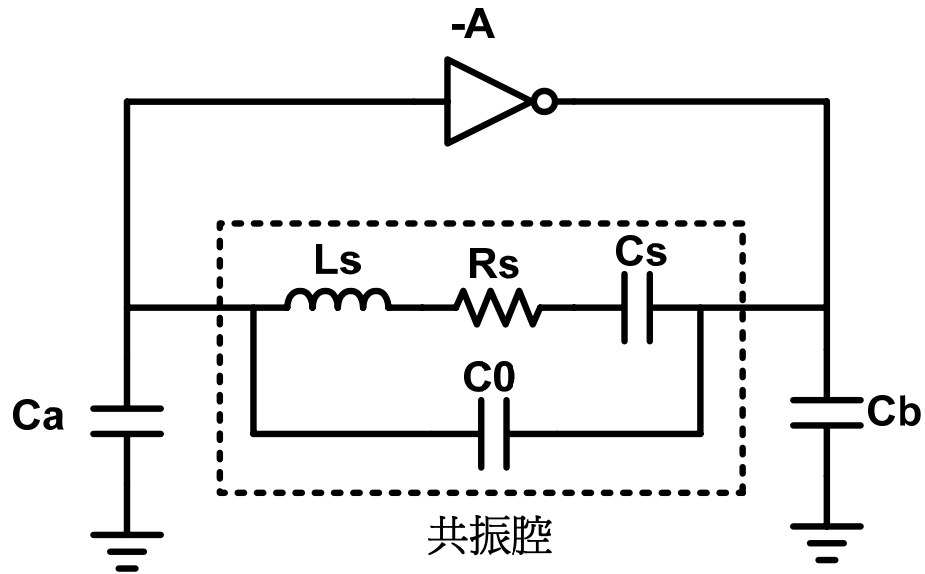


圖 3-2 傳統上的皮爾斯振盪器

在環繞一圈需要符合巴克豪森準則，通常一個單一電晶體放大器大約提供 180 度左右的相位，這就表示表面聲波共振腔與旁邊並聯的 C_a 、 C_b 兩者，此一 pi 電路必須提供約 180 度的相位，但是這樣會把共振腔的 Insertion Loss 增大很多，比較圖 3-3 與圖 3-4，圖 3-3 為 $C_a=C_b=0$ ，而圖 3-4 則是利用 C_a 、 C_b 達成此 pi 電路在 622.08MHz 時提供 180 度相位，此時 $C_a=C_b=13$ pF。

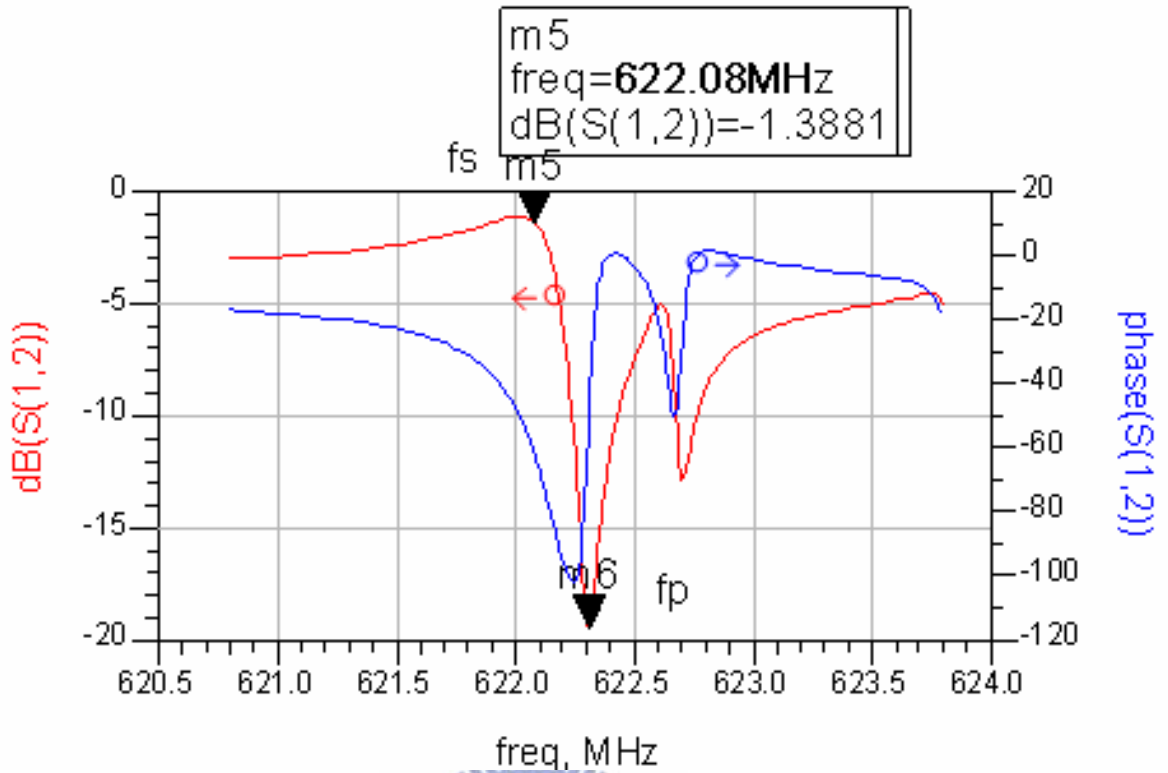


圖 3-3 無 Ca、Cb 的 Insertion Loss 表現

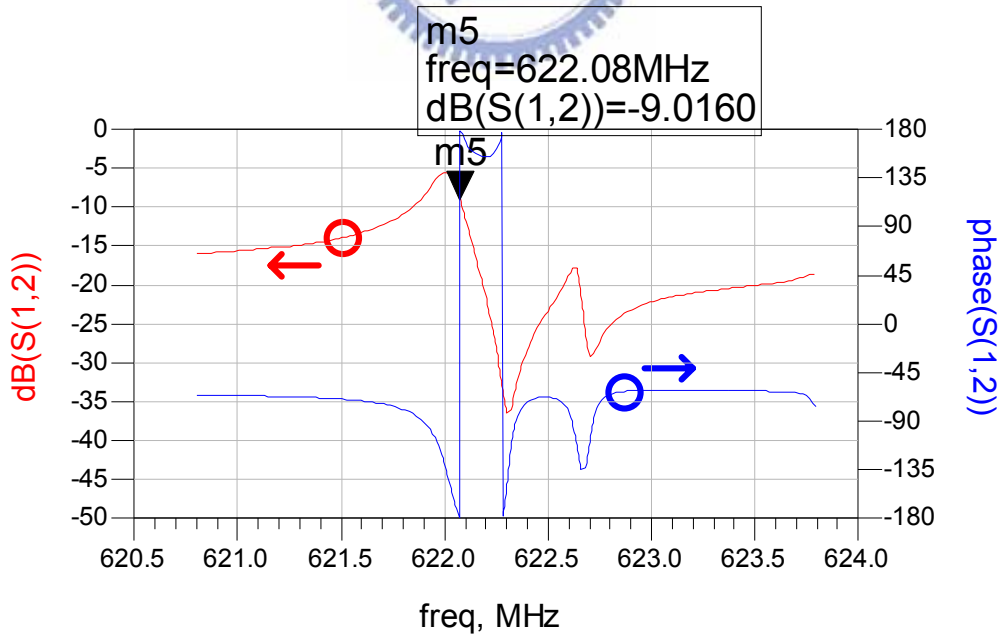


圖 3-4 有 Ca、Cb 的 Insertion Loss 表現

明顯的從圖 3-4 可以看出其 Insertion Loss 相對提高非常的多，達到 9dB 左右，如此在主動電路的部分要克服此消耗，必須要加大其直流功率消耗，但是如此作法會將過多的功率消耗在抵銷 Insertion Loss 而不是提高輸出端的推動能力，效率會明顯下降很多。

在此提出另一個改良式的皮爾斯振盪器，如圖 3-5，在此利用一組相位偏移器，其功效與圖 3-2 的 pi 電路相同，可以使共振腔部分提供 180 度的相位偏移，但是此作法有一最主要的好處，就是在 622.08MHz 時滿足巴克豪森準則，不會讓 Insertion Loss 過度提高，如圖 3-6 所示，如此可以讓單一電晶體的直流功率不必消耗多少就可以輕鬆的克服此 Insertion Loss 達到負電阻足夠大的目的。

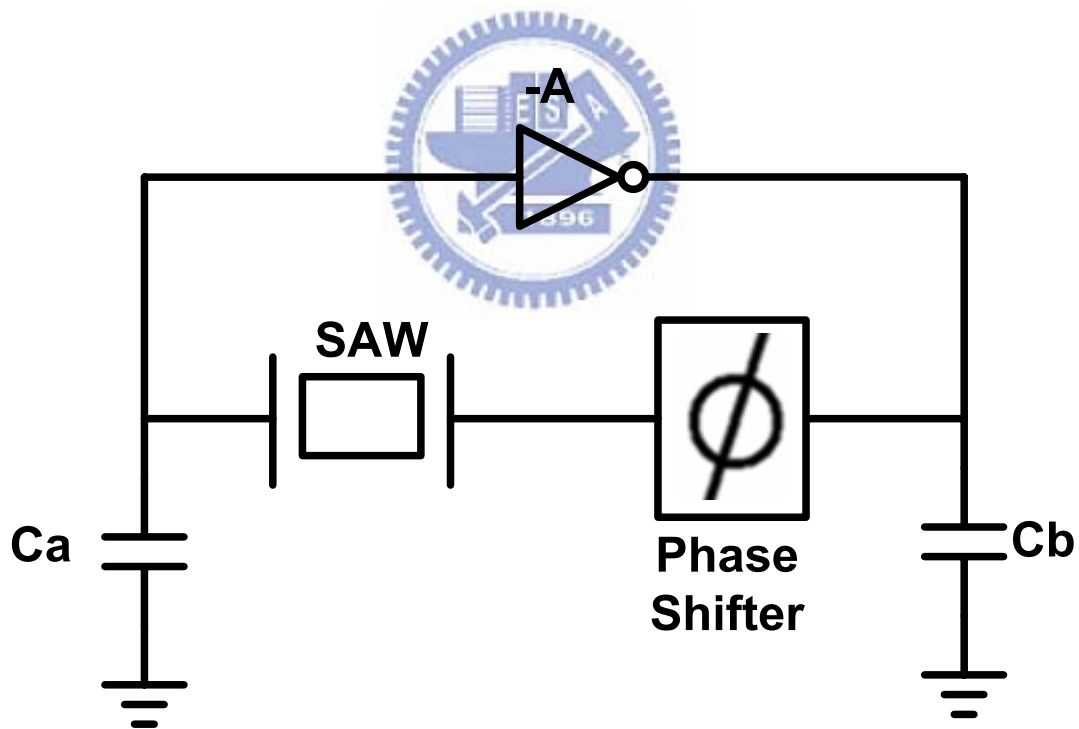


圖 3-5 改良式的皮爾斯振盪器

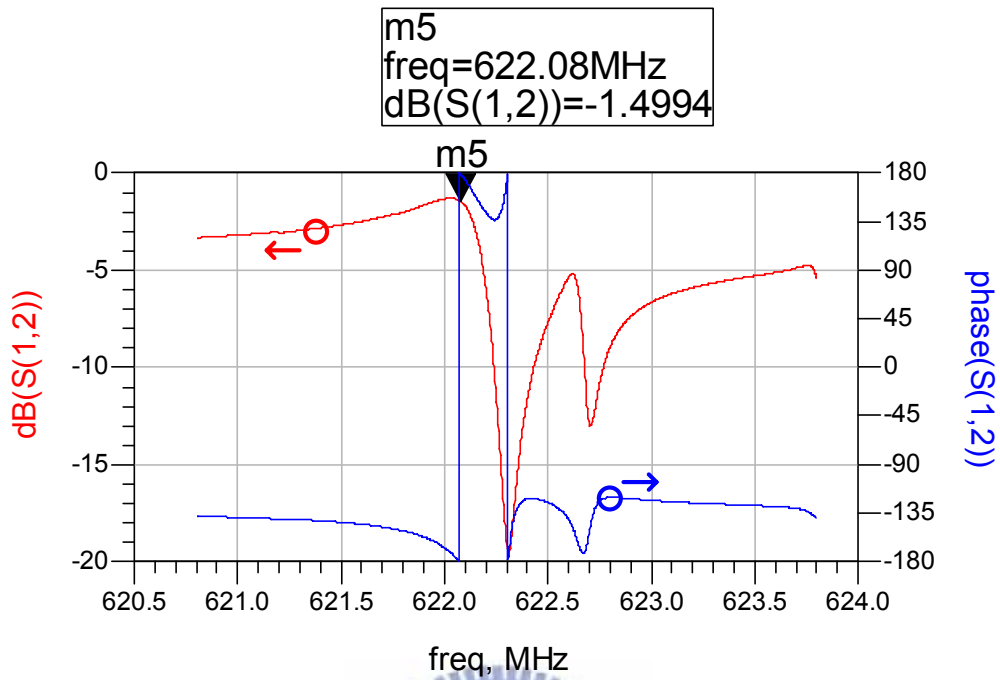


圖 3-6 大小相位圖：Insertion Loss 小

但若將相位偏移器使用過度，即超過 Insertion Loss 最小的點，此作法也會讓滿足巴克豪森準則的振盪頻率點承受到過大的 Insertion Loss 點，如圖 3-7 所以如此作法需要注意，並且小心的使滿足巴克豪森準則的振盪頻率點是在最小的 Insertion Loss 如此可以大大的提高使用效率。

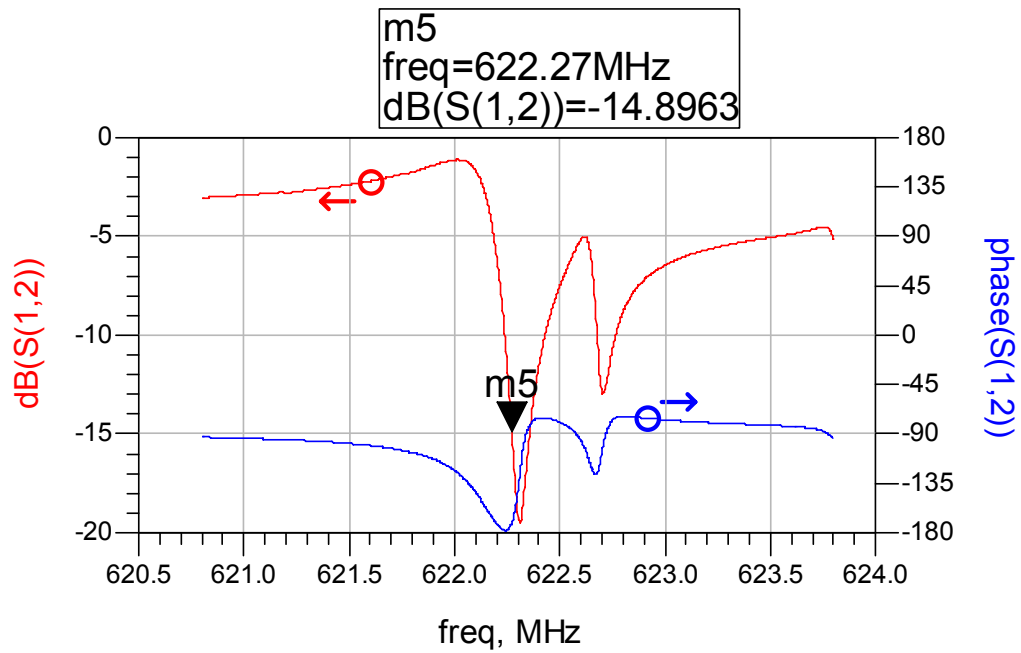


圖 3-7 大小相位圖：Insertion Loss 大



3.2 相位偏移器

由一條傳輸線出發，先決定要偏移的相位角度，如圖 3-8 所示，接著轉換為 ABCD

$$\text{參數, } A = \cos \theta ; B = jZ_0 \sin \theta ; C = jY_0 \sin \theta ; D = \cos \theta \quad (3-1)$$

決定了相對的參數之後，可以將之轉換為 Π 電路（圖 3-9）或 T 電路（圖 3-10）。

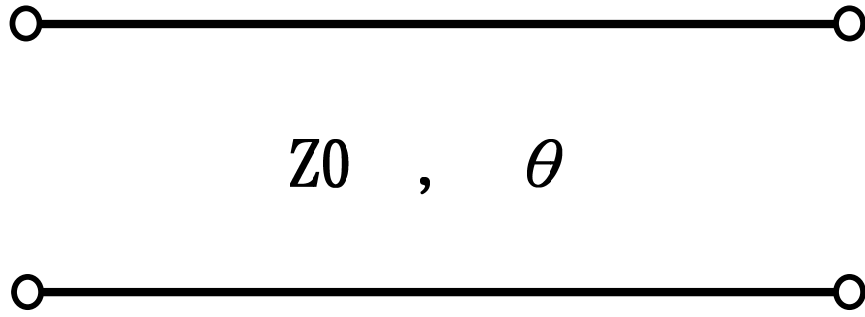


圖 3-8 傳輸線與其角度

以 Π 電路而言 $A = 1 + \frac{Y_2}{Y_3}$; $B = \frac{1}{Y_3}$; $C = Y_1 + Y_2 + \frac{Y_1 Y_2}{Y_3}$; $D = 1 + \frac{Y_1}{Y_3}$ (3-2)

如此可以推出其對應的參數大小，亦可決定電容或電感。

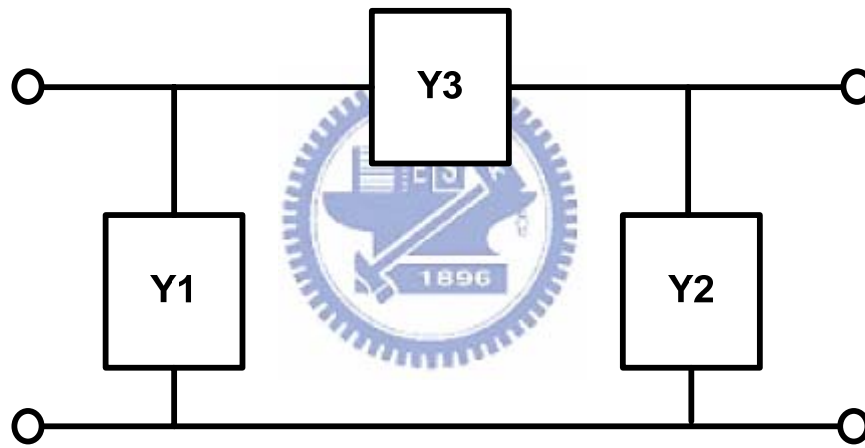


圖 3-9 Π 電路

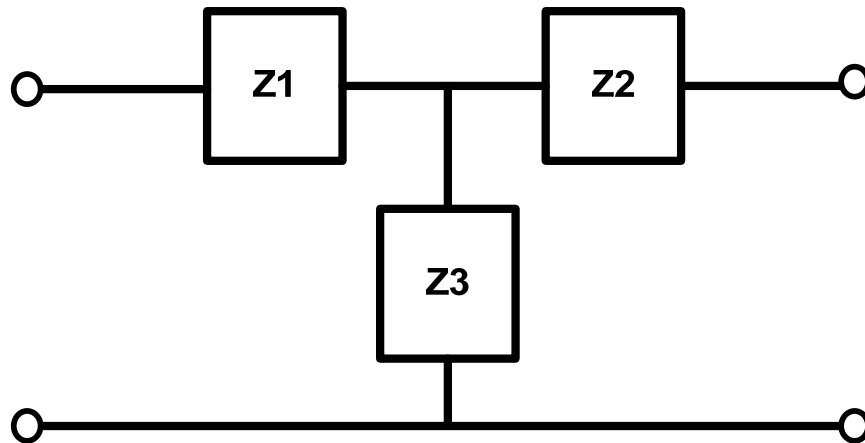


圖 3-10 T 電路

以 T 電路而言

$$A = 1 + \frac{Z_1}{Z_3} ; B = Z_1 + Z_2 + \frac{Z_1 Z_2}{Z_3} ; C = \frac{1}{Z_3} ; D = 1 + \frac{Z_2}{Z_3} \quad (3-3)$$

如此的轉換運算，再搭配 IC 主動電路的量測與模擬，即可以計算預估出所需要的相位角度，並且利用此算法，選擇使用 Π 電路或是 T 電路來實現，達到所需的相位。若能將相位宜的角度設定在 $\pm 90^\circ$ 最容易設計出低損耗的相位偏移器，並且能夠以單純的電感和電容組成。

(1) 以 -90° 相位偏移而言，ABCD 參數裡

$$A = D = 0 ; B = -jZ_0 ; C = -\frac{j}{Z_0} \quad (3-4)$$

以 Π 電路而言可以推算出 $Y_3 = -\frac{1}{jZ_0}$ ，此很明顯的為一個電感器 (L_3)，若將設計的頻率

訂在 $f = 622.08 \text{ MHz}$ ，則可以得到 $2\pi f L_3 = 50 \rightarrow L_3 = 12.79 \text{ (nH)}$ ，再以 $A = 1 + \frac{Y_2}{Y_3}$ 可以得到

$A = 1 + \frac{Y_2}{B}$ ，推得 $-B = Y_2$ ，明顯的可以看出 $\frac{1}{jZ_0} = Y_2$ ， Y_2 為一個電容器，且

$\frac{1}{50} = 2\pi f C_2 \rightarrow C_2 = 5.11 \text{ (pF)}$ ，同理可以算出 $C_1 = 5.11 \text{ (pF)}$ ，如此可以設計出此 Π 電路

為圖 3-11。

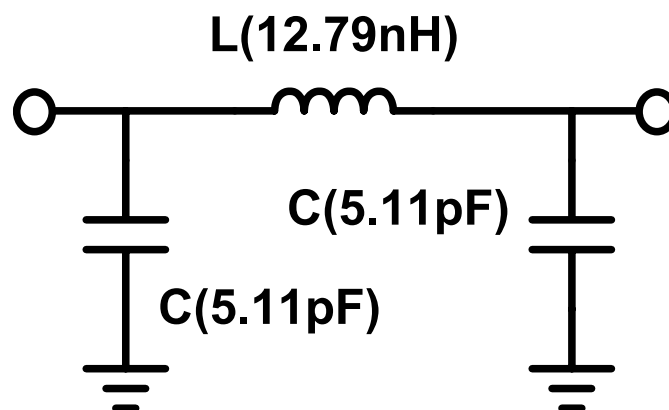


圖 3-11 -90° 的 Π 電路

並帶入 ADS 做模擬即可以畫出圖 3-12，可以看出在 $f=622.08\text{MHz}$ ，相位偏移器本身會有小小的 Insertion Loss，但是對相位的提供達到 -90 度。

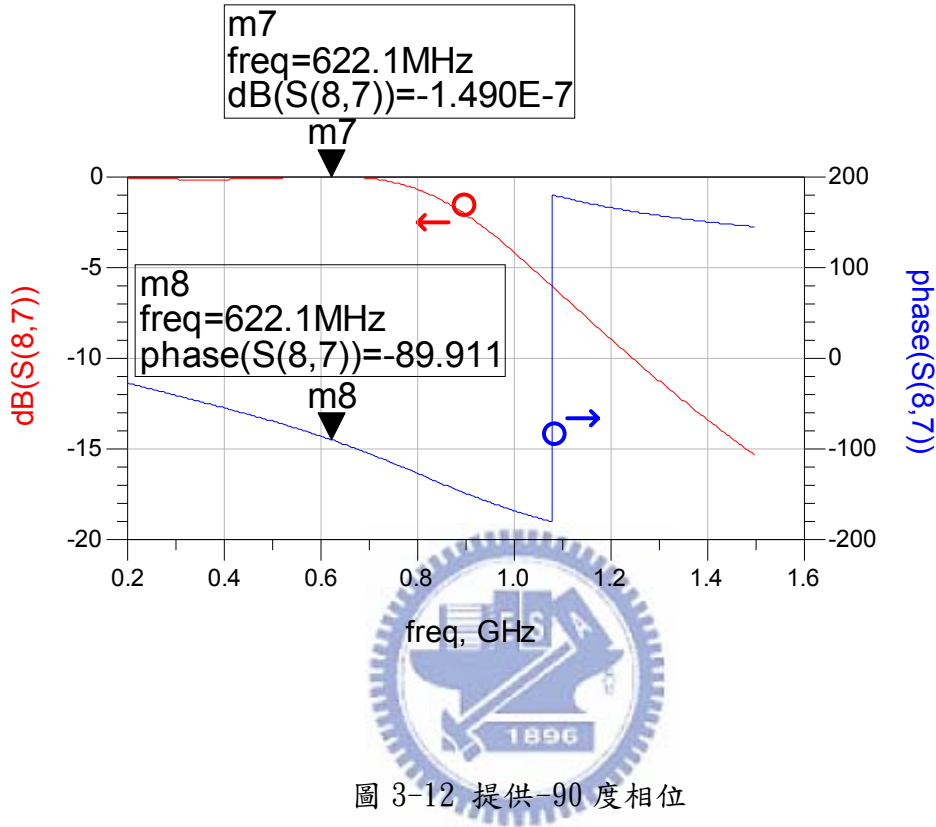


圖 3-12 提供 -90 度相位

(2) 若再以 $+90^\circ$ 相位偏移而言，ABCD 參數裡

$$A=D=0 ; B= jZ_0 ; C= \frac{j}{Z_0} \quad (3-5)$$

以 Π 電路而言可以推算出 $Y_3 = \frac{1}{jZ_0}$ ，此很明顯的為一個電容器 (C_3)，若將設計的頻率

訂在 $f=622.08\text{MHz}$ ，則可以得到 $2\pi fC_3 = 50 \rightarrow C_3 = 12.79(\text{nF})$ ，再以 $A = 1 + \frac{Y_2}{Y_3}$ 可以得到

$A = 1 + \frac{Y_2}{B}$ ，推得 $-B = Y_2$ ，明顯的可以看出 $-\frac{1}{jZ_0} = Y_2$ ， Y_2 為一個電感器，且

$\frac{1}{50} = 2\pi fL_2 \rightarrow L_2 = 5.11(\text{pH})$ ，同理可以算出 $L_1 = 5.11(\text{pH})$ ，由於 C_3 在使用上容值過

大，而 L_1 和 L_2 則過小，無論在 IC 佈局裡或是離散電路都不易找到此元件。故在此建議

使用 T 電路來達成， $C = \frac{1}{Z_3}$ 則 $Z_3 = jZ_0$ ，可已看出 Z_3 為一個電感器，則可以得到

$2\pi fL_3 = 50 \rightarrow L_3 = 12.79(nH)$ ，再由 $A = 1 + \frac{Z_1}{Z_3}$ 可以得到 $Z_1 = Z_3 \rightarrow Z_1 = -jZ_0$ 由此可以看

出 Z_1 為一個電容器並且算出， $\frac{1}{50} = 2\pi fC_1 \rightarrow C_2 = 5.11(pF)$ ，同理也可以推出 Z_2 也為一

個電容器， $C_1 = 5.11(pF)$ 。如此可以畫出此 T 電路圖 3-13。

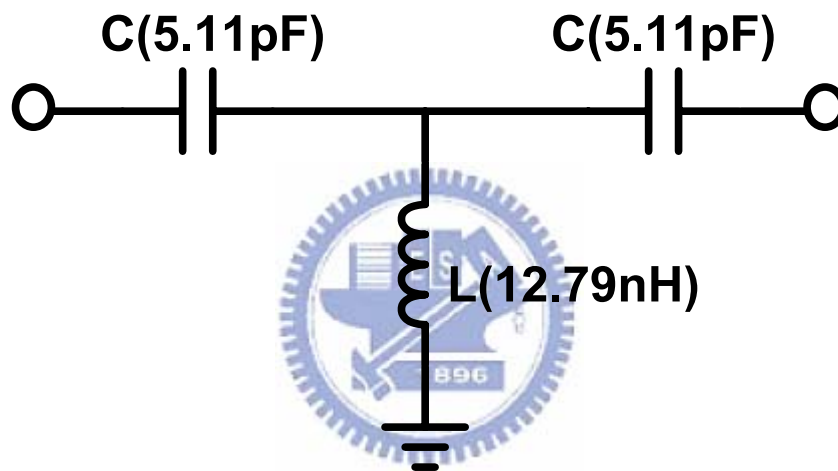


圖 3-13 $+90^\circ$ 的 T 電路

並帶入 ADS 做模擬即可以畫出圖 3-14，可以看出在 $f=622.08MHz$ ，相位偏移器本身會有小小的 Insertion Loss，但是對相位的提供達到 $+90$ 度。

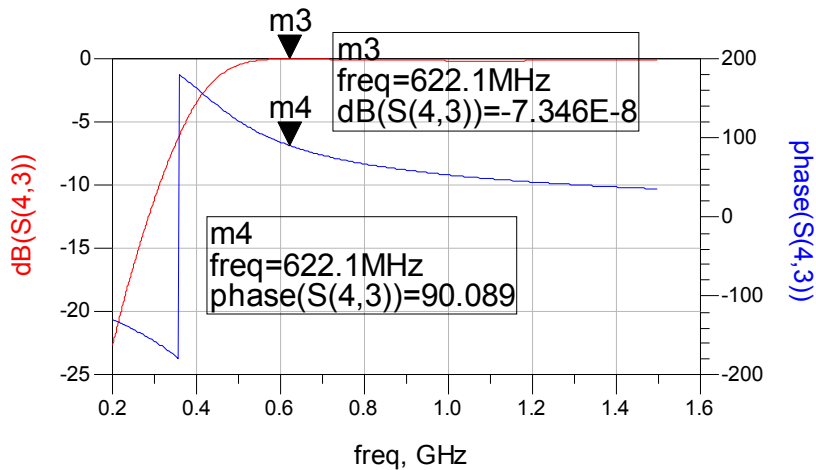


圖 3-14 提供+90 度相位

3.3 表面聲波振盪器設計與量測

在此將 IC 主動電路設計在較小的核心電流約使用 10mA，將 tsmc.35 和 tsmc.18 作為選擇製程的考量，比較在單顆 NMOS 流入相同的電流情形下，比較其單增益頻率 (Unit gain frequency ; f_t) 的差別，圖 3-15 表示在我將要設計的核心電流， $I_d=10\text{mA}$ 的情況下可以看出 tsmc.18 的 f_t 為 35 (GHz) 而 tsmc.35 在相同的電流情形下，只能將 f_t 表現為 13 (GHz)，並依據元件設計理論推導的一個式子[15]:

$$NF \min = 1 + 2\gamma \frac{f}{f_t} \sqrt{\gamma + gmRg} \quad (3-6)$$

其中 R_g 為閘級端組抗， f_t 為單增益頻率， f 為振盪頻率，而 r 成正比於流入 NMOS 的電流可以視為一個常數。

在設計振盪器主動電路部分，是使用台積電 tsmc0.18um 的製程。此次的電路圖使用單一電晶體的方式，為了達到低相位雜訊，故將核心電路只使用單一電晶體，負電阻

的提供來自於共源級架構的 RF-NMOS-M2，M1 和 M3 是一組電流鏡，用來提供穩定的電流源，M1 亦是 M2 的主動負載，利用電阻 R 來調配流入的電流，電阻 Rf 是 RF-NMOS-M2 的一個迴授電阻，可以使 M2 操作在飽和區，如此可以在相同的功率消耗之下，提供較大的增益，而 M4 與 M5 為一個輸出緩衝級，使電路再接上表面聲波共振腔和一組相位偏移器之後還可以對外界電阻不受干擾，防止輸出的功率因儀器 50ohm 的低組抗而降低很多。

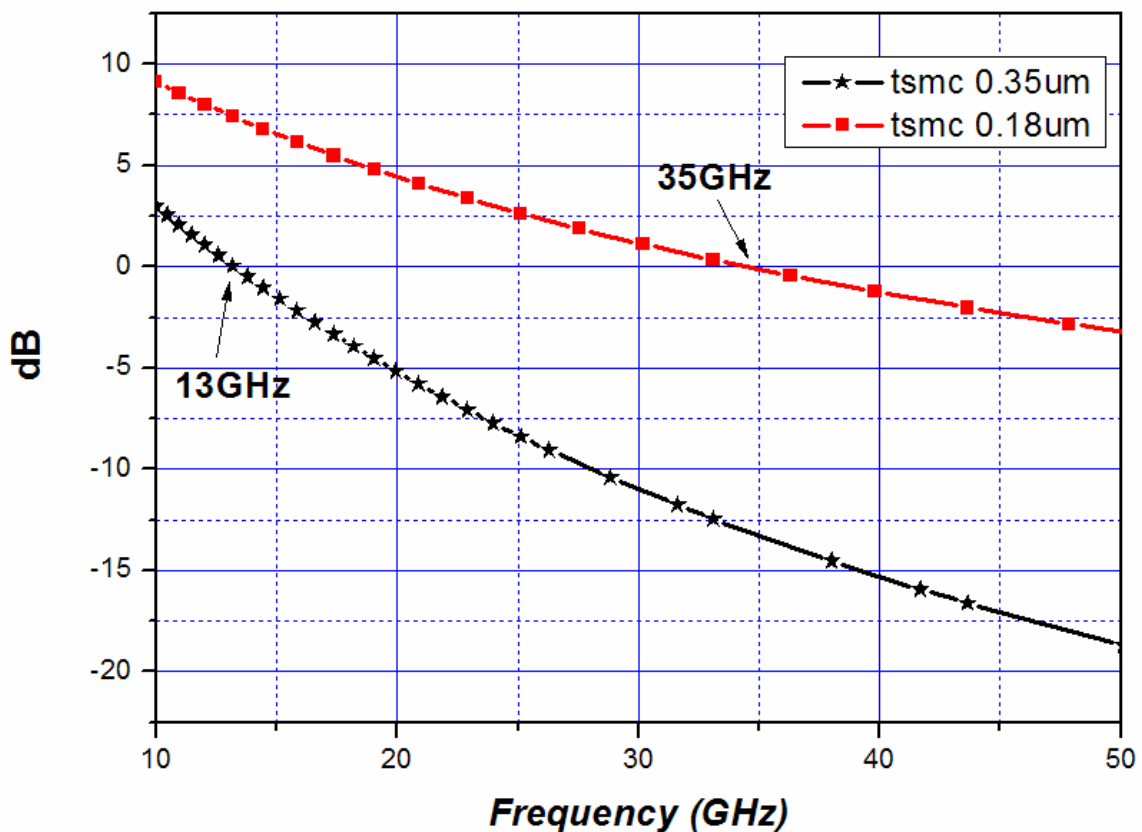


圖 3-15 ft 比較圖

依據上面所敘述的式子，比較 tsmc.35 和 tsmc.18 的相關參數，Rg 在選用的 NMOS 尺寸大小差不多的情形下是不會有太大差異，f 與 r 都是在同樣的情況之下，所以我們可以瞭解到較大的 ft 可以有效的降低 N/\min ，所以在低相位雜訊的考量下選用國家晶片中心 (CIC) 對學生開放使用的 tsmc.18 製程做設計。

決定了低功率與製程之後，進入設計階段，此架構在此必須注意與表面聲波共振腔

接在一起時要有足夠大的增益(負電阻),在 IC 與相位偏移器的部分為下圖 3-16 所示,而圖 3-17 為 IC 簡化後和相位偏移器圖示,在設計 IC 必須要注意相位偏移器使用如同前節所表示,為了避免消耗功率的元件使用,故在此選用圖 3-11 的 Π 電路。在設計 M2 裡,故意選擇比較大的尺寸, $W/L = 192/0.18(\mu\text{m})$,如此作法是預留若表面聲波共振腔裡的 R_s 過大,或是因為製程偏移而讓 M2 消去太多推動的能力而故意設計,但要考慮小功率的消耗,則可以利用電阻 R 和 M1、M3 的電流鏡將電流有效控制,在此流入的電流設定為 10mA, M4 和 M5 為輸出 Buffer,可以避免在迴路中被输出的阻抗所干擾,在此設計 PMOS 與 NMOS 的大小為 2:1,因為載子速率的關係,可以使輸出波形比較對稱。

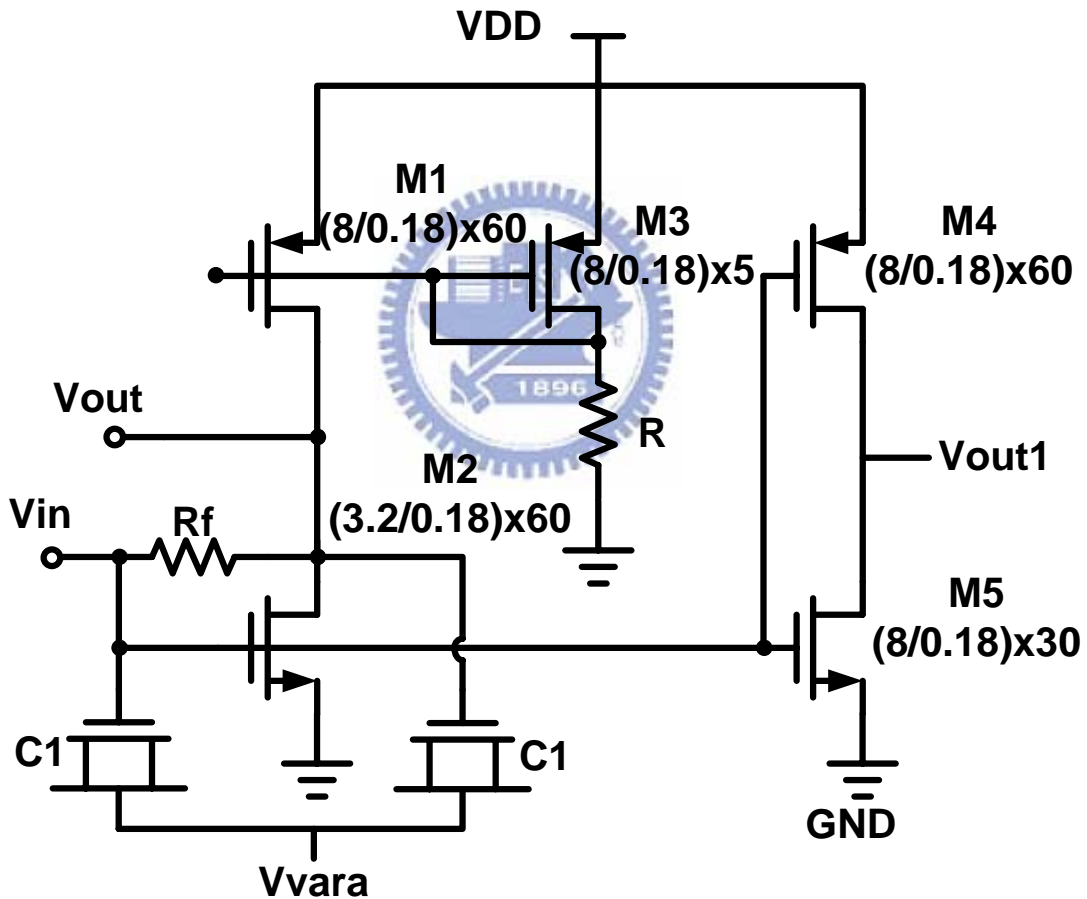


圖 3-16 IC 部分

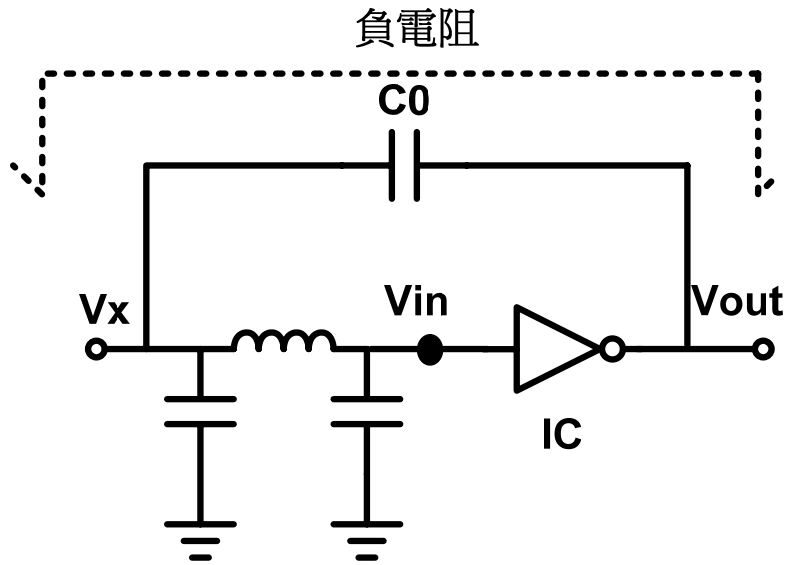


圖 3-17 IC 與相位偏移器

圖 3-18 為晶片佈局圖，而圖 3-19 為主動 IC 的照片，為利用 tsmc.18 所製作，晶片編號為 T18-95E-142，IC 大小為 $850 \times 465 \mu\text{m}^2$ 為了使面積達到比較小，符合較經濟的使用面積，又要能夠 on wafer 量測，在使用上又能夠打線應用，選擇 PAD 的大小為 $80 \times 80 \mu\text{m}^2$ 且 pitch 為 $100 \mu\text{m}$ 。而使用的可變電容為 tsmc 所提供的 PDK1.2A 的 RF 可變電容，其型態為累積型可變電容 (Accumulation Mode)，而可變電容的型態與比較在 [附錄 B] 有較詳盡說明。圖 3-24 為將單獨對 IC 部分圖 3-16 的量測與模擬比較圖，利用安捷倫 8510C 量測其 S 參數，負電阻的計算方式為 [附錄 A] 的方法，並且量測出其本身的 S 參數的大小與相位部分，S 參數的大小就是與負電阻是正相關的看此電路是否能真的克服 R_s ，而相位部分則是可以用來確定迴圈是否達到 360° 。圖 3-17 將主動電路接上相位偏移器，但實際上並非所有的電容、電感器的任一值都存在，利用前節的計算方式算出電感值以及電容值，之後再將附近的實際擁有值帶入，電感： $12.79(nH) \rightarrow 12(nH)$ ；電容： $5.11(pF) \rightarrow (pF)$ 。之後再加入表面聲波共振腔之寄生 C_0 如圖 3-17 的模擬與量測則可以得到圖 3-21 的負電阻圖形。

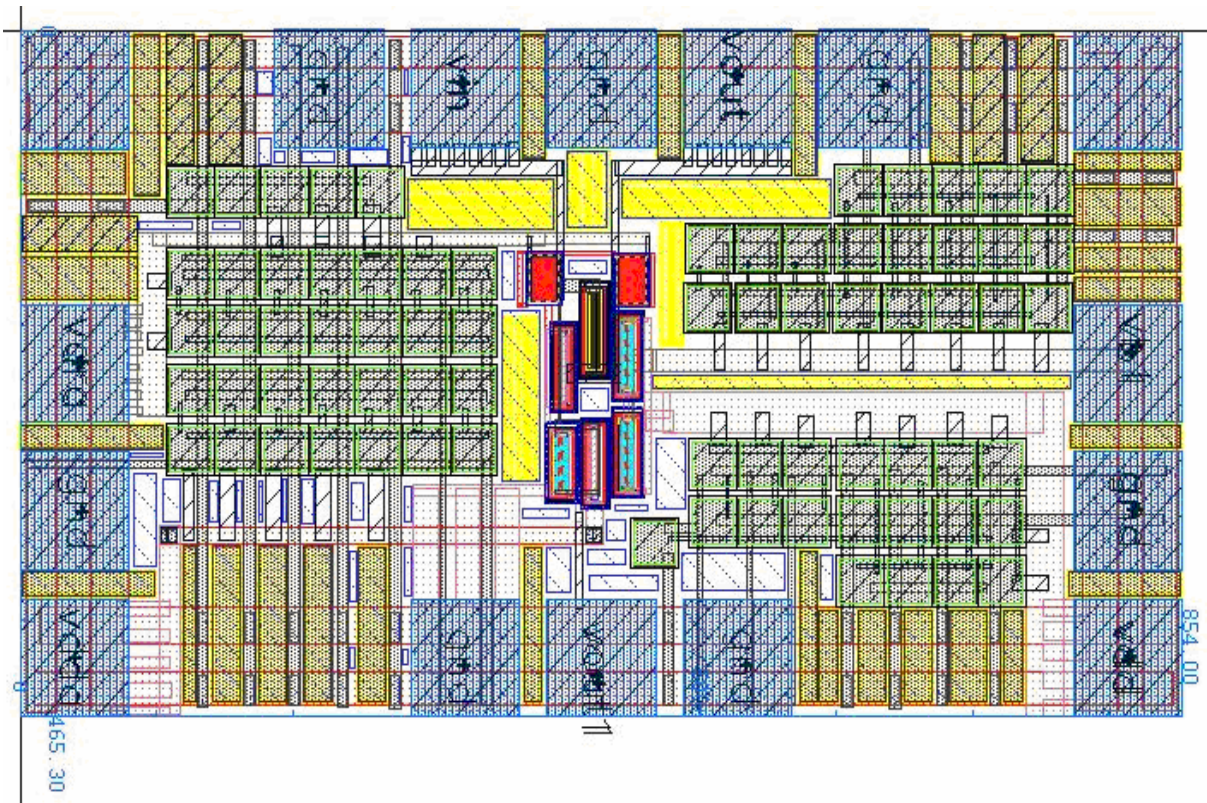


圖 3-18 晶片佈局圖

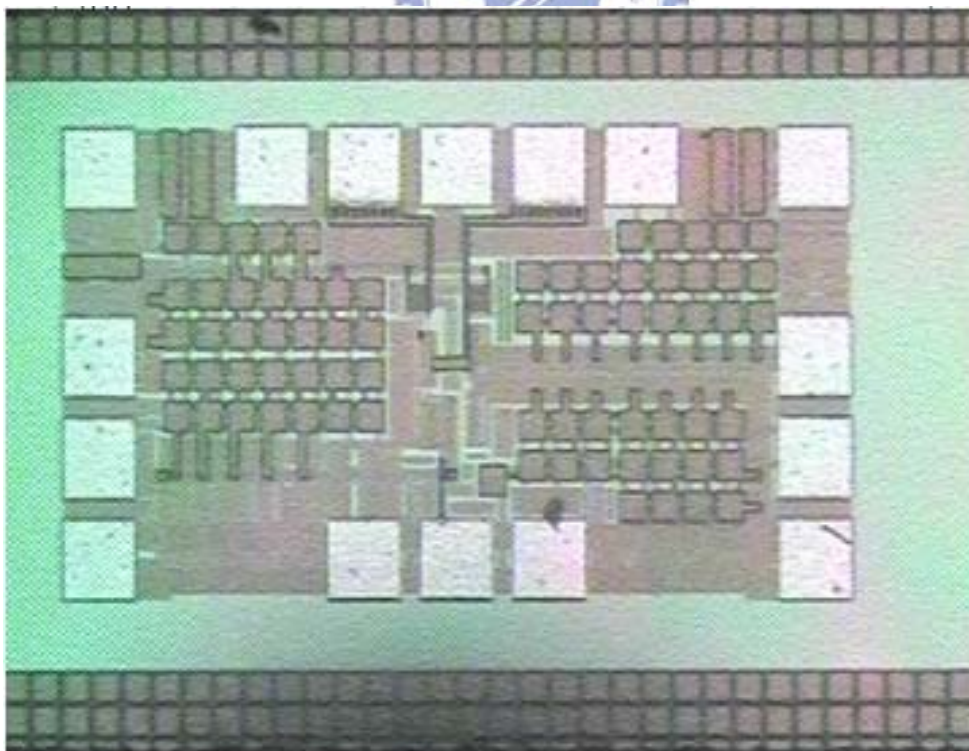


圖 3-19 主動 IC 照片

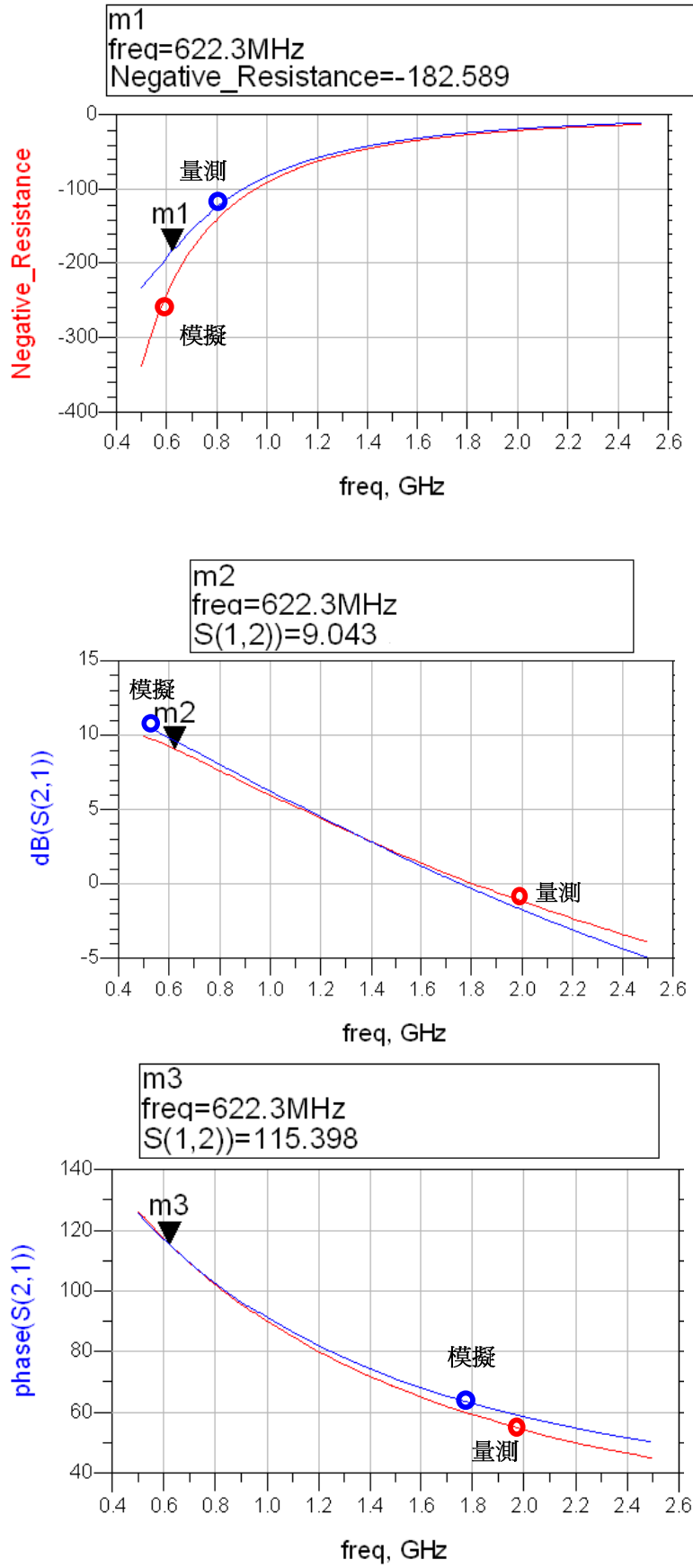


圖 3-20 IC 部分的量測與模擬圖

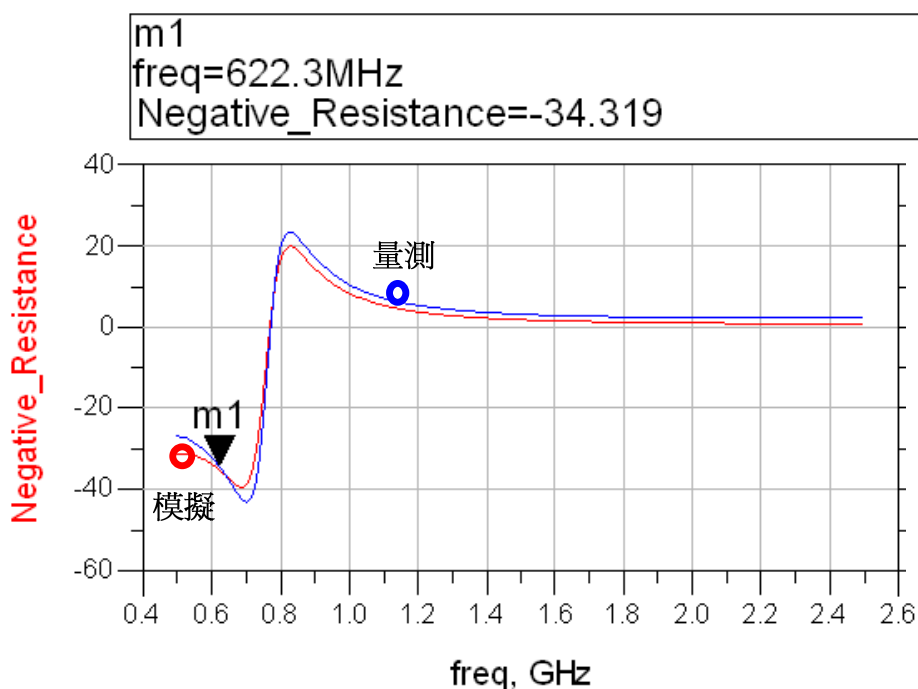


圖 3-21 加入相位偏移器和 C0 的負電阻圖形



圖 3-21 裡可以看出頻率在 800MHz 之後負電阻全然消失，這是因為相位偏移器具有選頻的功能，如此又可以讓 2 階或 3 階諧波過大，影響本身的振盪。但頻率在 622MHz 附近還擁有 -35Ω 左右的負電阻，明顯大於表面聲波共振腔裡的 R_s 約將近 2 倍，顯示以 $VDD=1.2V$ ，核心電流為 10mA 的情形之下依然可以推動共振腔，進而起振。

之後將表面聲波共振腔也全部加入模擬，形成一個完整電路，相位偏移器、電晶體 M2 和表面聲波共振腔 (SAW) 形成一個迴路，在此迴路滿足巴克豪森準則，相位滿足 360 度。如此可以完成起振。並在迴圈之中取一點擺入 ADS 的 OscTest，當作一個開路檢測點，可以測出此時的電阻情況，來探測此設計可否符合巴克豪森準則，圖 3-22 為一個完整迴圈電路設計，並且標示出探測的點。圖 3-23 表示在此開路點可以得到其 Z 參數組抗表示 (1) 在振盪頻率擁有負電阻，實部小於 0；(2) 迴圈在振盪點的虛部電阻為零，表示相位為零，由以上這兩點可以完全證明此電路符合巴克豪森準則。

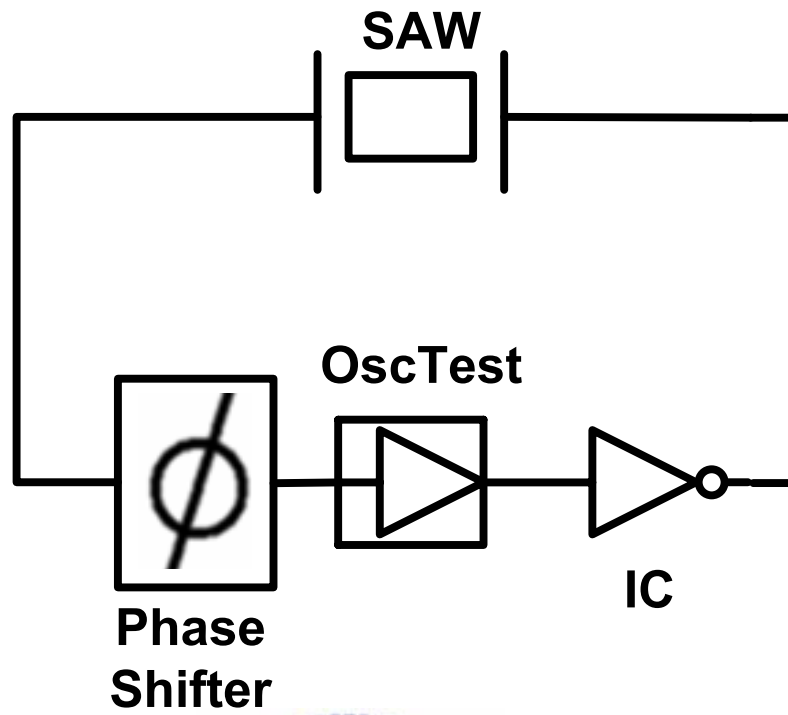


圖 3-22 振盪器與 OscTest 之點

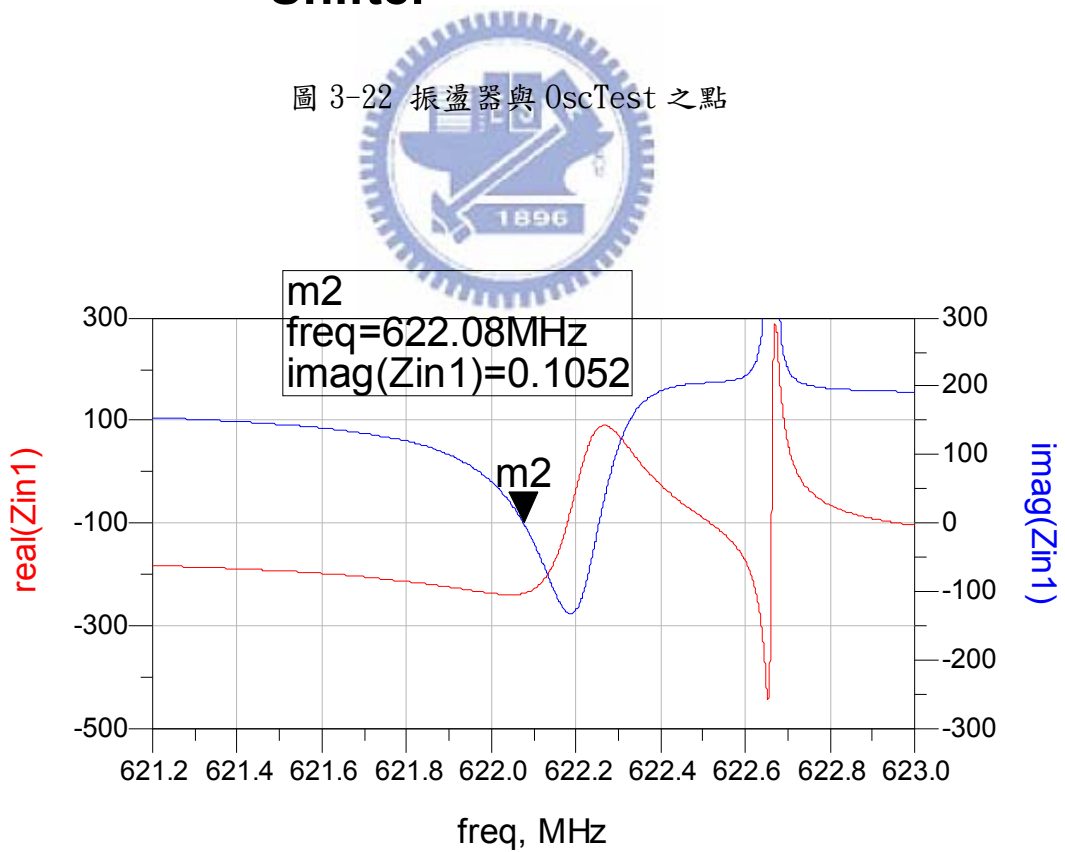


圖 3-23 OscTest 所探測到的 Z 參數

在確定此設計符合巴克豪森準則之後，在利用頻域的 Harmonic Balance 模擬出振盪的確實情況，模擬全部完成之後在將之利用下列步驟全部實現之。

實現步驟：

- (1) 洗出一合理大小的 PCB，考慮所有走線大小，以最小的走線與大小完成以免有太多寄生。
- (2) 將 CIC 送回來的 IC 黏貼在 PCB 上並打線，並用膠將 IC 封住，要注意打的線是否脫落或斷裂。
- (3) 找到合適電容電感器的大小，形成相位偏移器和 DC Block 焊接於 PCB 上。
- (4) 將表面聲波共振腔小心焊上，接地點要夠多，並注意其封裝的鐵殼也是地點。
- (5) 最後將 SMA 街頭和直流電線焊上。

小心的完成一塊量測電路版，如圖 3-24。

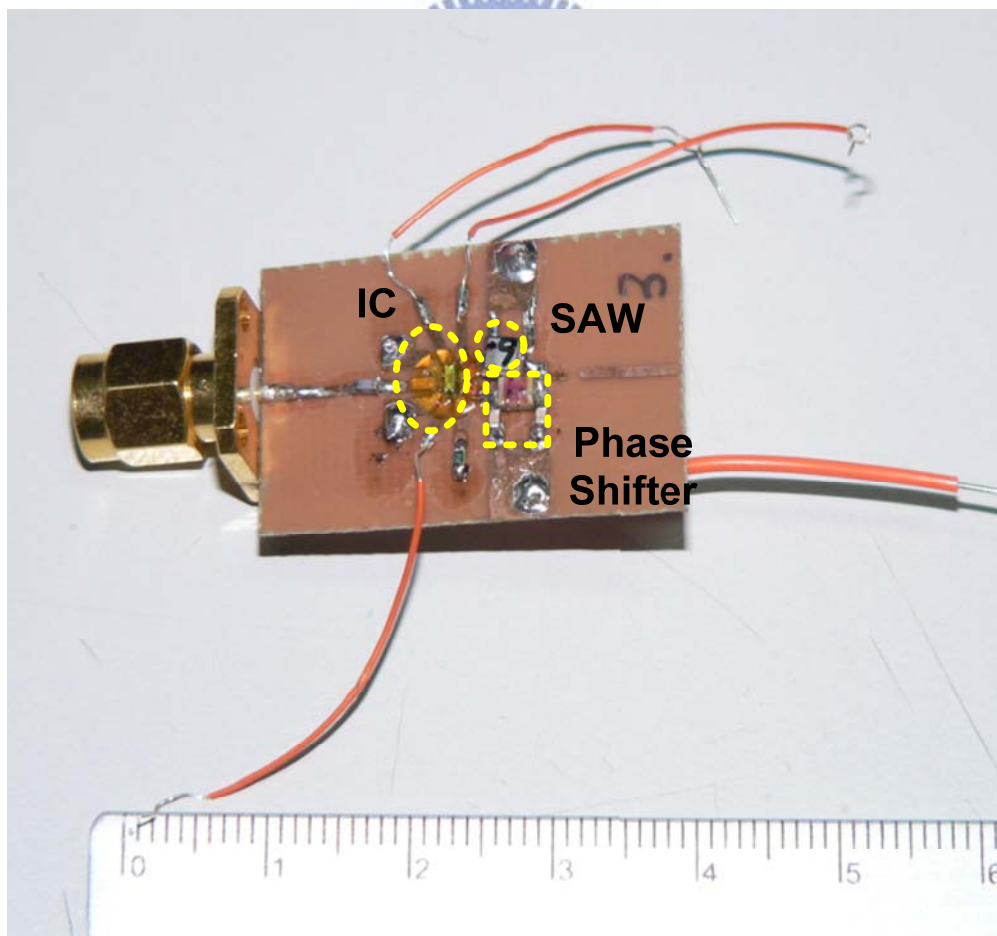


圖 3-24 量測電路版

而接下來比較模擬與量測的相關參數，頻譜分析儀是使用安捷倫的儀器圖 3-25 為基頻輸出（窄頻），而圖 3-26 則表現其在基頻、二階和三階頻譜（寬頻）的情形。接下來圖 3-27 波形圖在量測的部分是使用安捷倫的 86100C 示波器，其量測的方式需要一組 Trigger 訊號，在此量測時需要利用輸出的訊號當作量測和 Trigger 訊號，故需要使用功率分流器（Power Splitter）故其量測到的輸出大小將會受到影響。圖 3-28 為量測模擬相位雜訊比較，此台量測儀器是安捷倫的 E5052A，在此量測設定其 Average Factor 為 6 和 Correction Factor 為 6，在量測非常低的相位雜訊時需將將上述的兩樣參數設定的大一點，如此可以將儀器本身的雜訊濾除的更乾淨，但是相對的量測時間將會非常的冗長。

下表 3-1 為預計規格與量測結果，以提供比較。

表 3-1 預計規格與量測結果

	ADS 模擬	TSMC 量測
VDD	1.2V	1.22V
核心消耗電流	9.6mA	10mA
輸出級消耗電流	5.2mA	5mA
總消耗功率	17.76mW	18.3mW
振盪器主波	622.08MHz	622.21MHz
振盪器二階諧波	1.24416GHz	1.2444GHz
主波輸出功率	4.266dBm	4.07dBm
二階諧波輸出功率	-12dBm	-10dBm

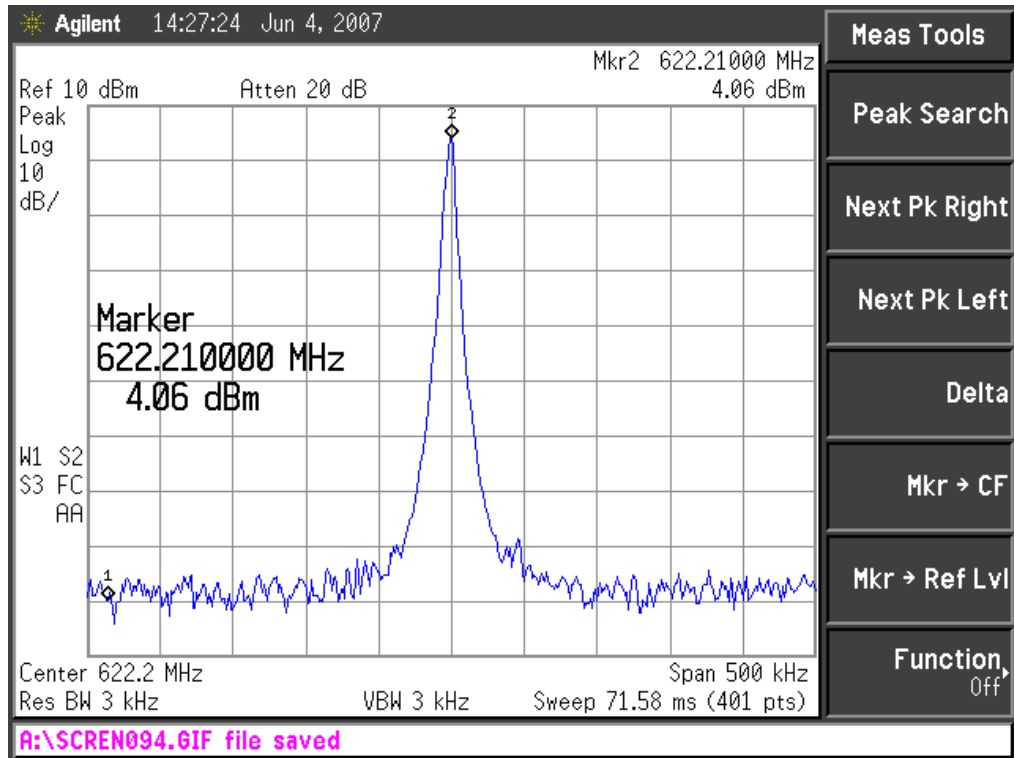


圖 3-25 基頻輸出（窄頻）

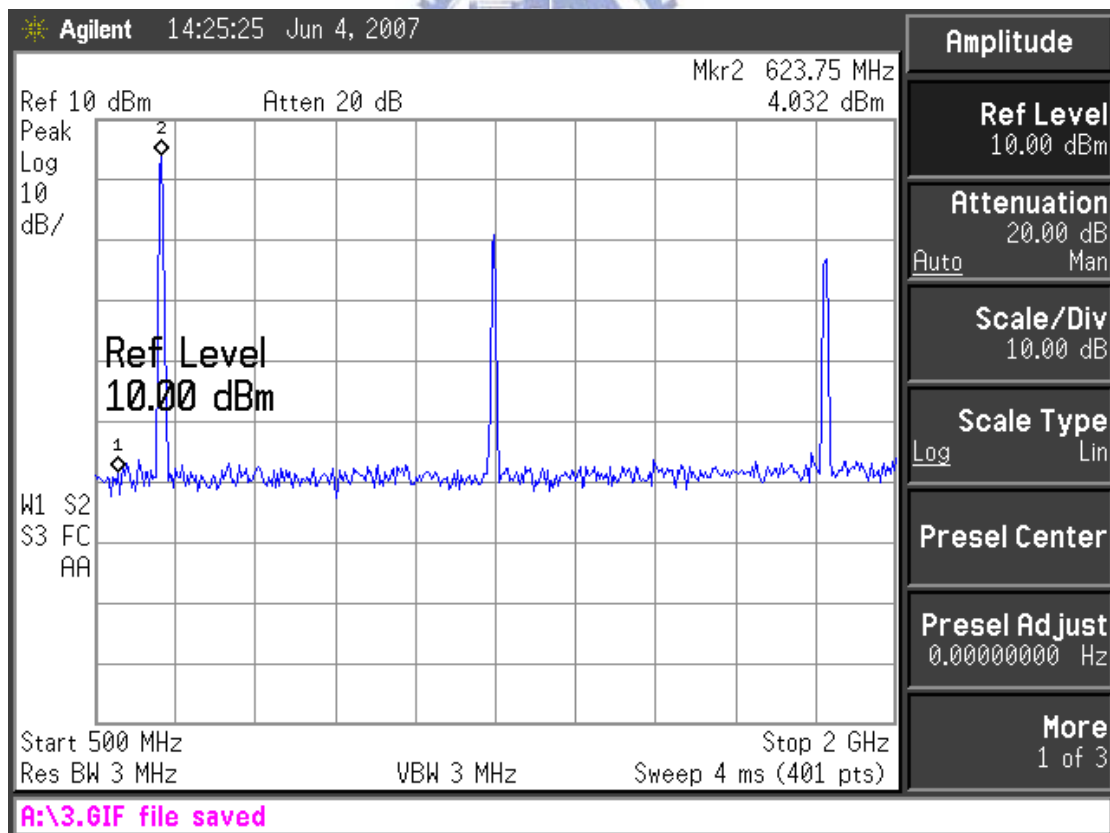


圖 3-26 基頻、二階和三階頻譜

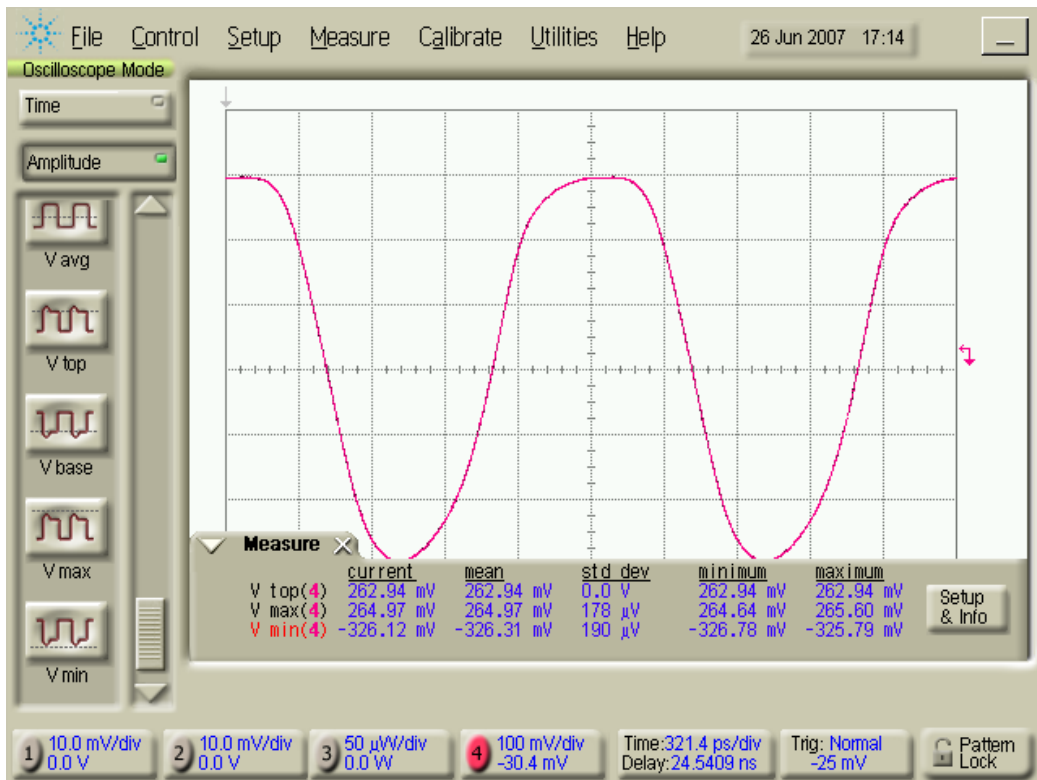


圖 3-27 波形量測圖

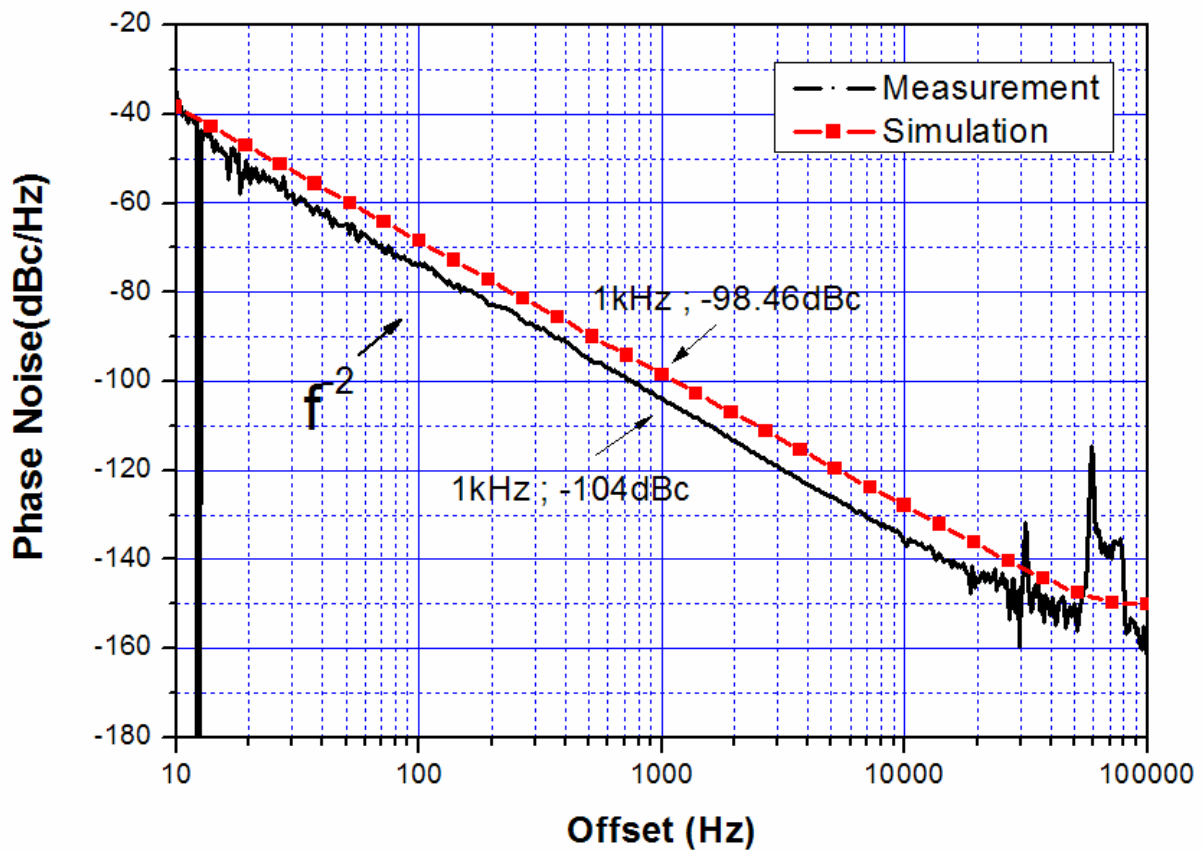
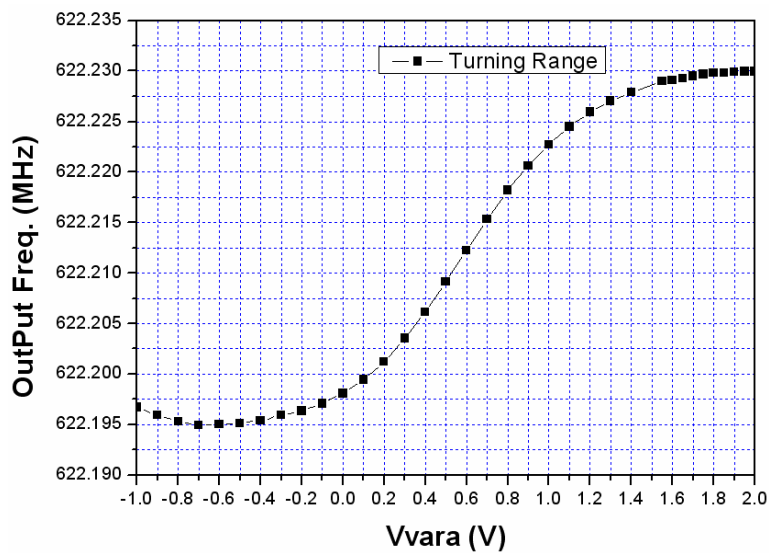
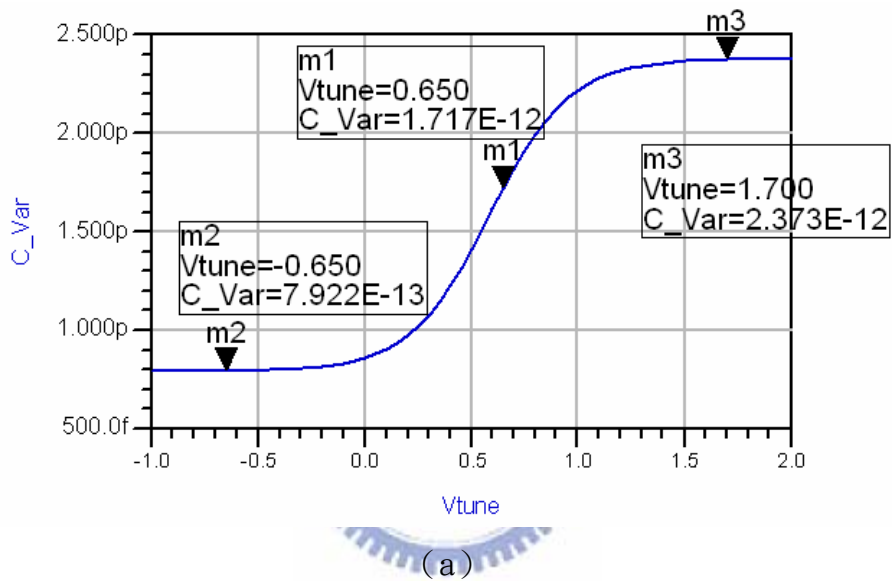


圖 3-28 相位雜訊

並量測其可調範圍，由於此次的可變電容（為 A-Mode）選擇比較小約為 1.5pF，變動範圍也不大，所以輸出可調範圍相對比較小為：

$(622.230226-622.194917)/622.2125715=57\text{ppm}$ ，如圖 3-28 所示。依據 APR 的計算[附錄 C]，SAW 由於溫度的效應，將會有最大的影響，通常約會使調變範圍少將近一半，感謝由 TXC 提供 SAW 的相關數據帶入計算：

$$\begin{aligned} \text{APR} &= (\text{Pull range}) - (\text{degradations due to temperature}+\text{aging}+\text{power supply}+\text{load}) \\ &= 57-(30+5+5+4)=13\text{ppm} \end{aligned}$$



(b)

圖 3-29 (a) 可變電容變動範圍 (b) 輸出可調範圍

圖 3-30 量測顯示 Jitter(RMS)、Jitter(p-p)，並圖 3-31 利用太克 TDS3054B 的 Real Time 示波器來量測其起振時間。

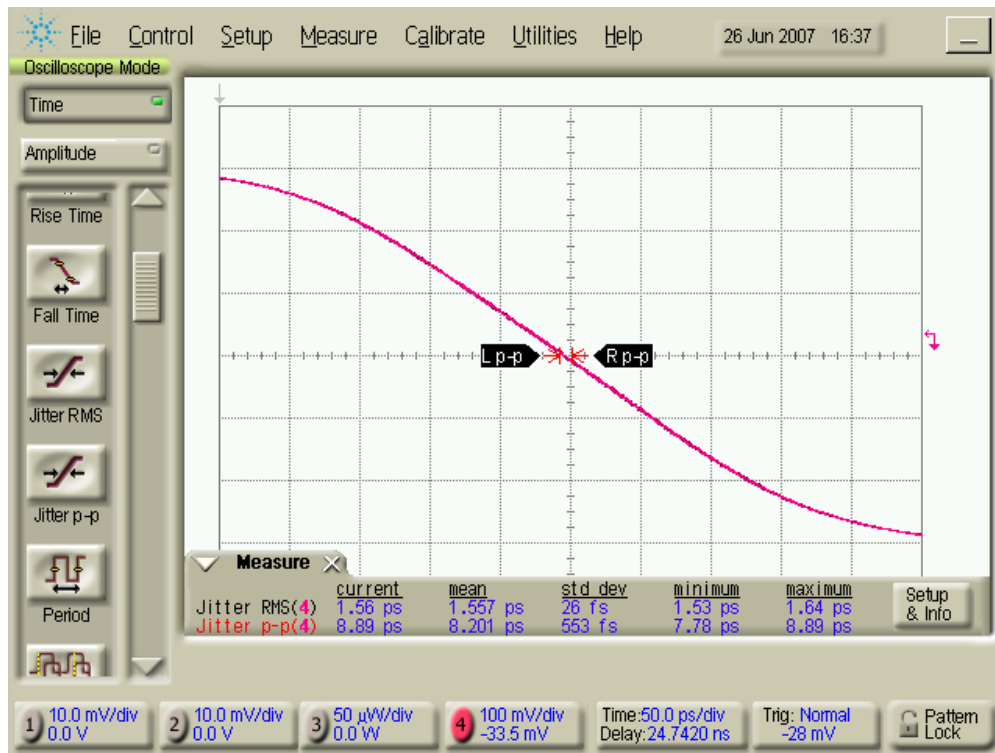


圖 3-30 Jitter(RMS)、Jitter(p-p)

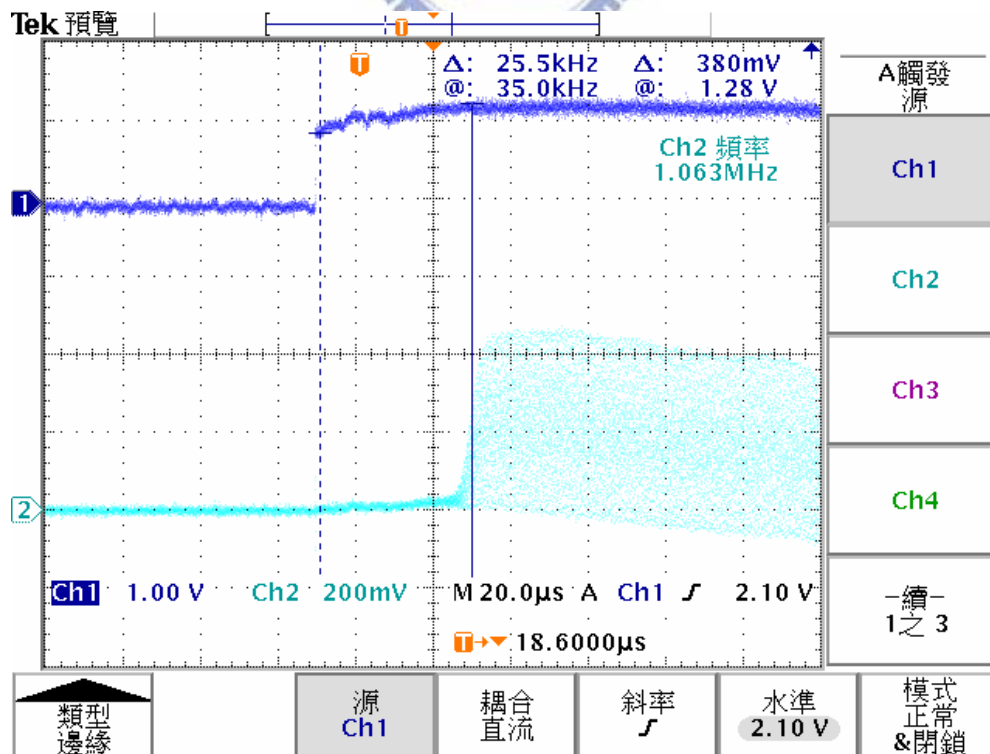


圖 3-31 量測其起振時間

將量測頻域和時域總結整理在表 3-2：

表 3-2 量測總整理

Output Frequency	622.2MHz
Output Power	4.06dBm
Phase Noise	-136dBc/Hz @ 10kHz offset
Tuning Range	57ppm
APR	13ppm
DC Power Supply	1.2V, 15mA
Rise Time	375.5ps
Fall Time	336ps
Duty Cycle	54.9%
V _{p-p}	591.09mV
Jitter(RMS)	1.557ps
Jitter(p-p)	8.201ps
Start up	40 us

將此次實驗的相位雜訊與 Vectron VS-700 和 TXC 的 622.08MHz 的振盪器作比較，其中 OC-192 為一個規範，要求相位雜訊要低於此規範，由圖 3-32 可以明顯看出，此次的實驗明顯的優於其他產品。再針對相位雜訊也是表現相當好的 TXC 產品做較深入的比較，大約與他差別 18dB 左右，這是由於 TXC 是使用製程是 0.35um 的製程，而本次實驗是由 tsmc 所提供的 0.18um 製程所製，0.18um 的 ft 比 0.35um 的 ft 高約三倍左右，且

本次實驗在量測相位雜訊時將 Avg Factor 和 Correction Factor 開的較高，會使量測時的數據較低所致。

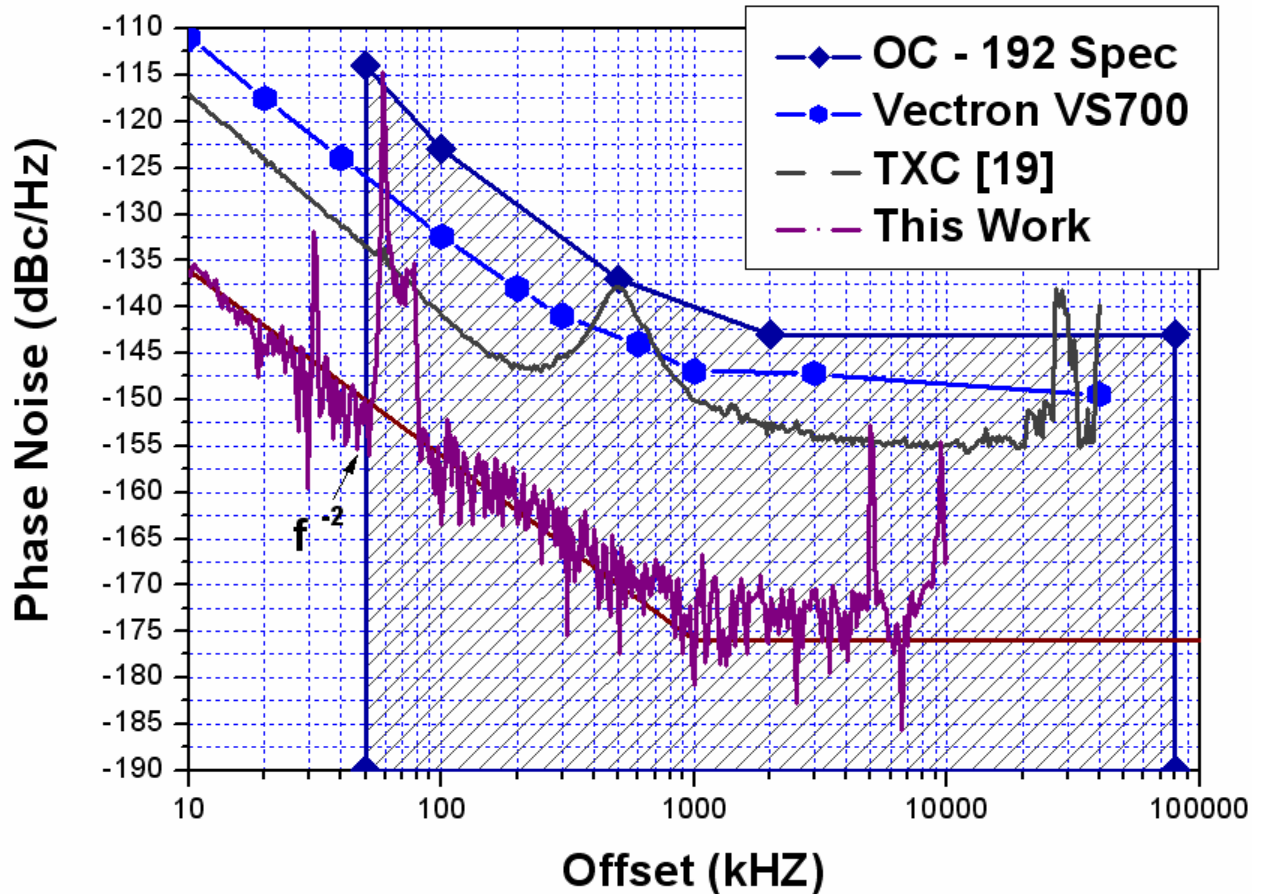


圖 3-32 相位雜訊與 Vectron VS-700 和 TXC 比較

本論文研究為實現一全互補式金氧半製程(CMOS)之積體化表面聲波振盪器。在此再將第相關規格，以振盪器在 622MHz 部分拿出來與本次實驗做一個比較，而形成下頁表 3-3，而 TAISAW 所使用的振盪器是石英振盪器，其他都是表面聲波振盪器，藉由觀察市面上的振盪器規格，可以比較其差異，可以發現供給電流大多超過 65mA，因此本論文預計供給電流設計在 20mA 內，並配合台積電 TSMC .18 製程，操作在低電壓 1.2V，以實現一低功率，積體化之表面聲波振盪器。

表 3-3 本次實驗與其他規格比較

Factory	VECTRON	TXC	TAI-SAW	Connor Winfield	This Work
Product	VS-700	8P Series	PECL VCXO	VSPLD53TE	NCTU909
Frequency	500MHz-850MHz	500MHz~750MHz	622.08MHz	622.08MHz	622.08MHz
Supply Voltage	3.3V	3.3V	3.3V	3.3V	1.2V
Supply Current	55 mA	80mA	100mA Max	80mA Max	15mA
Operating Temperature	-40~85 度 C	-40~85 度 C	-40~85 度 C	0~70 度 C	-40~85 度 C
Package size	5.0×7.5×2.5 mm	7.0×5.0×1.85 mm	7.0×5.0×1.85 mm	9.02x14.1x3.58mm	NO package
Output level	Vcc-1.3V	1.65V	PECL Level	N. A	263~-326.12mV
Swing(output)	650mV	0.1VDD~0.9VDD	1V	595mV	4.07dBm
Rise time	250 ps	0.17ns Max	0.6ns	N. A	375.5ps
Fall time	250 ps	0.17ns Max	0.5ns	N. A	336ps
Symmetry	45~55%	45~55%	45~55%	45~55%	54.9
Jitter (RMS)	N. A	N. A	N. A	N. A	1.557ps
Jitter (p.p)	N. A	N. A	N. A	N. A	8.201ps
Phase Noise	-110dBc/10kHz -130dBc/100kHz -147dBc/1MHz	-117dBc/10kHz -140dBc/100kHz -154dBc/1MHz	-109dBc/1kHz -110dBc/10kHz -109dBc/100kHz	-105dBc/1kHz -145dBc/10kHz -155dBc/100kHz	-136dBc/10kHz -163dBc/100kHz -175dBc/1MHz

3.4 增大 Pulling Range

一個電壓控制振盪器而言，其可以調變的頻率範圍也是相當重要的參數之一，而在此可以控制頻率的為表面聲波共振腔的 C_0 和可變電容的 C_1 ，如圖 3-33，圖 3-33 (a) 為出主要的電容的部分， C_1 為可變電容，其中 C_{fix} 為一部份的固定電容。

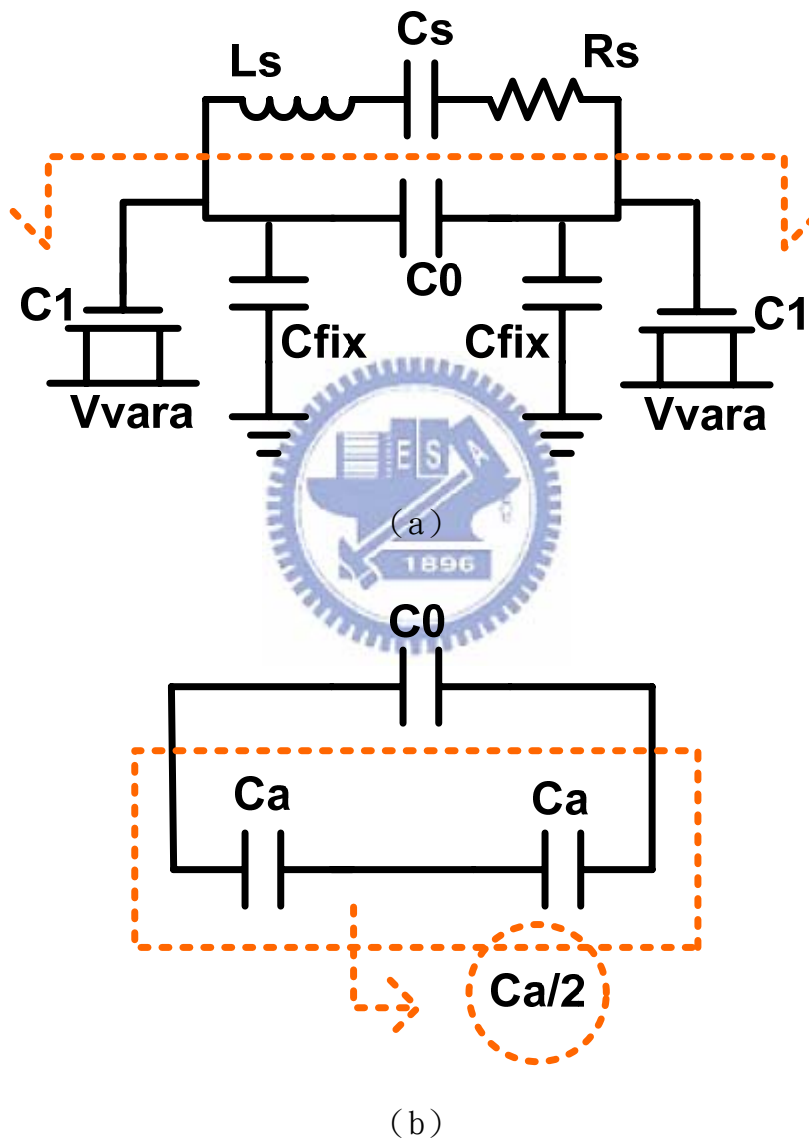


圖 3-33 可變電容分析

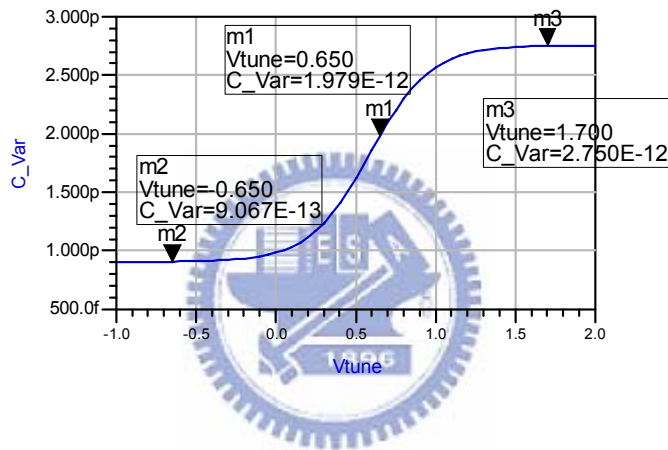
C_1 可以與 C_{fix} 並聯，

$$C_a = C1 \parallel C_{fix} = C1 + C_{fix} \quad (3-7)$$

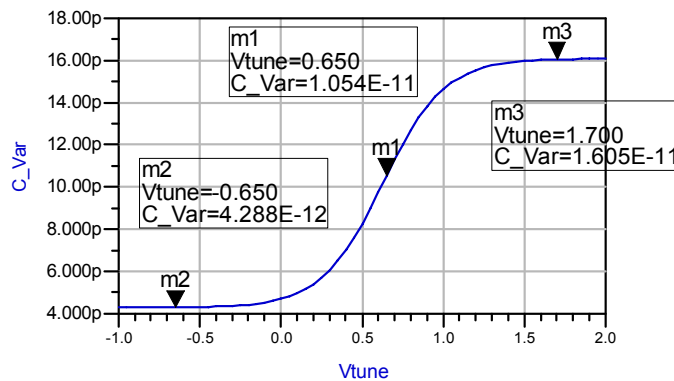
並由圖 3-33 (b) 的表現可以看出兩個可變電容 C_a 串聯之後會變成 $\frac{C_a}{2}$ ，之後在和 C_0 並聯

$$\frac{C_a}{2} \parallel C_0 = \frac{C_a}{2} + C_0 \quad (3-8)$$

如此可以很明顯的可以看出，如果 C_a 的大小越大則可已變成主要的改變頻率的電容，以可變電容來說，大部分來說每一個的改變容值大小有一定的變動比例，以 tsmc.18 的可變電容為例如圖 3-34 所示：



(a)



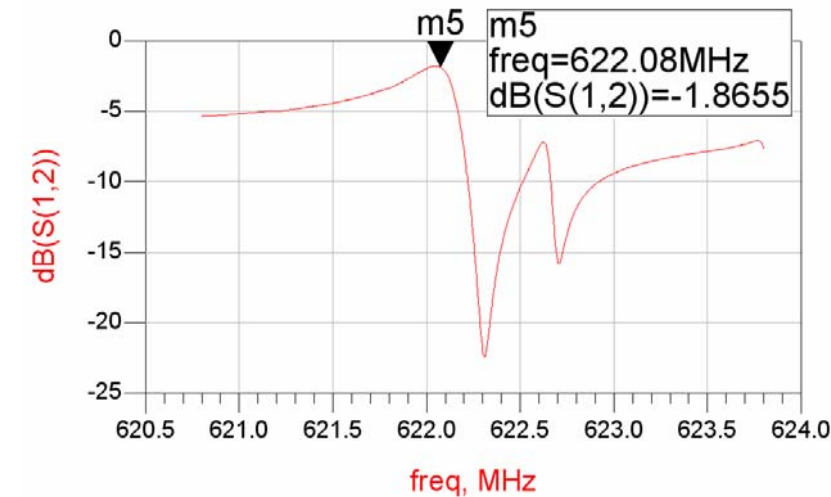
(b)

圖 3-34 可變電容範圍 (a) 2pF (b) 10pF

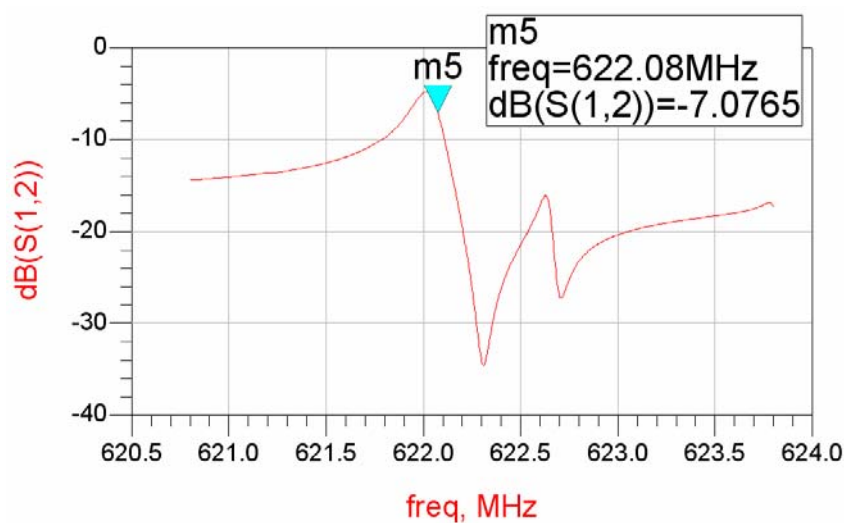
圖 3-34 (a) 中心為 2pF 變動比例 = $\frac{1.75 - 0.9067}{1.979} (pF) = 42.6\%$

圖 3-34 (b) 中心為 10pF 變動比例 = $\frac{16.05 - 4.288}{10.54} (pF) = 111.59\%$

由此可以看出，選擇的電容越大，則可以變動的範圍相對的越大，其 Pulling Range 的範圍相對較大，但若共振腔兩側如果有較大的電容則會使 Insertion Loss 變大，若過大則將會使振盪器不易起振如圖 3-35 說明，這是一個 trade off 的決定。



(a)



(b)

圖 3-35 Ca 大小對 Insertion Loss 比較 (a) 2pF (b) 10pF

由此可以看出要增加 Pulling Range 則可以將可變電容選擇大一點，可以較容易達成，但是會造成共同的 Insertion Loss 變大。

由於越大的可變電容，可以變化的範圍越大，但是無止盡的使用大電容其迴圈的相位將會無法對在 0 度或是 360 度，依據前節的推導說明，在此將 C1 選擇在 5pF，因為 5pF 的振盪點會在 622.08MHz(圖 3-38)，依據 tsmc 0.18 製程的可變電容，約可以改變在 2pF~7.5pF 左右(圖 3-36)，如此的改變量比起此次設計的 1.5pF 改變量大的多，所以可以偏移的範圍會比較大。下圖 3-37 為前節的電路稍做改變，將可變電容增加為 5pF。

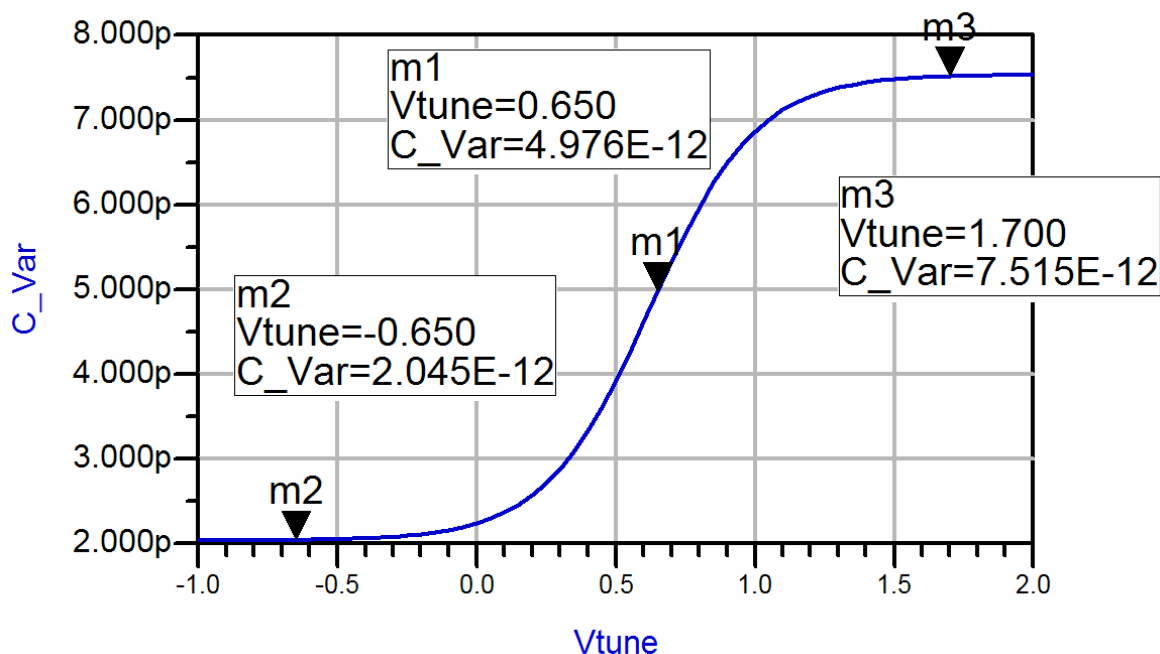


圖 3-36 可變電容在 5pF 改變量

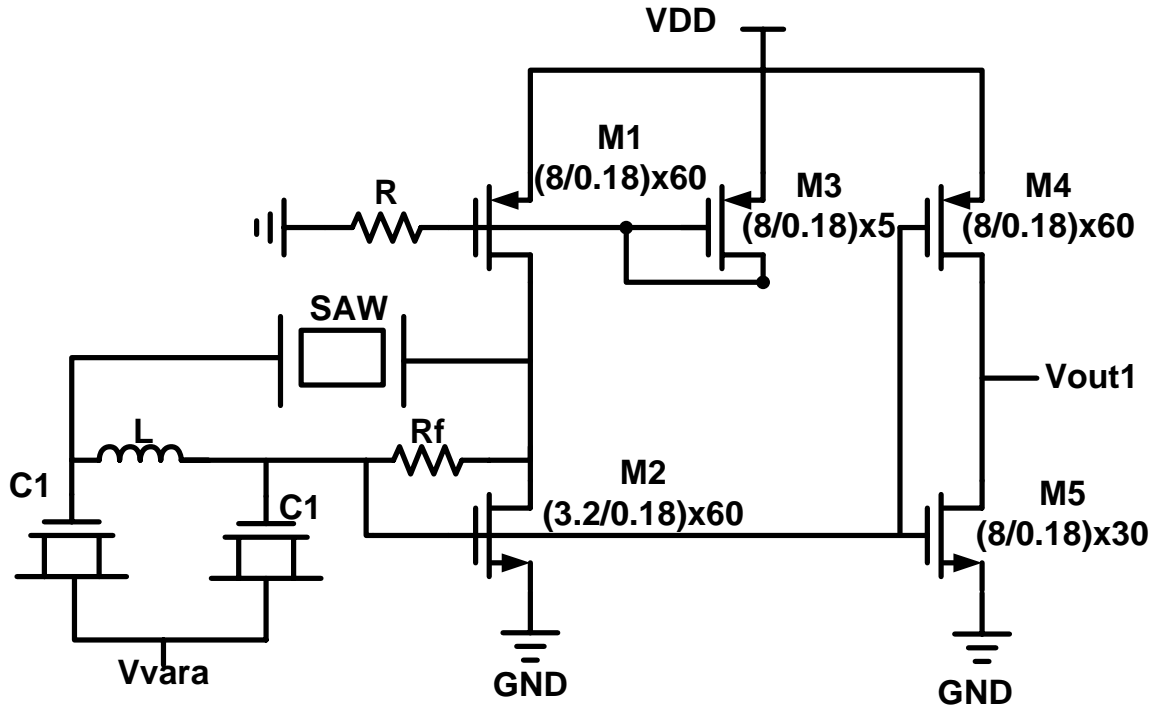


圖 3-37 整合示意圖

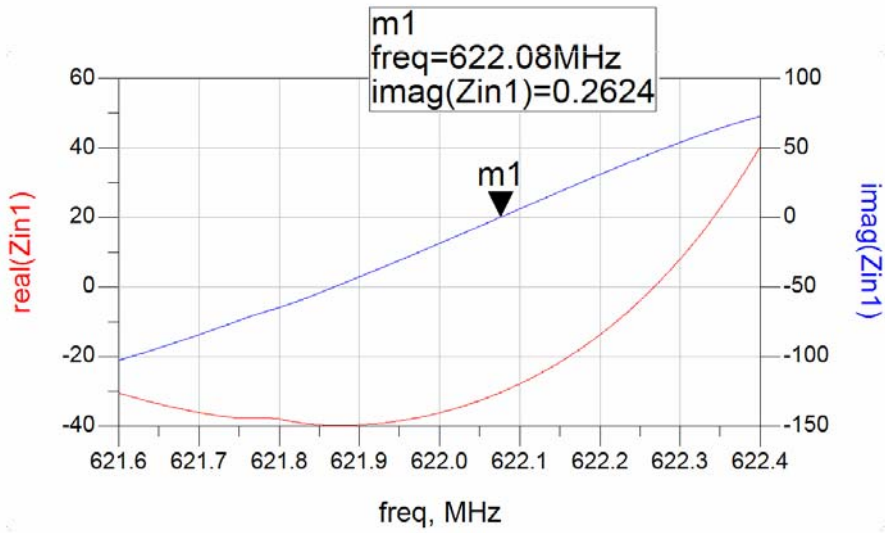


圖 3-38 電容為 5pF 的阻抗表示圖

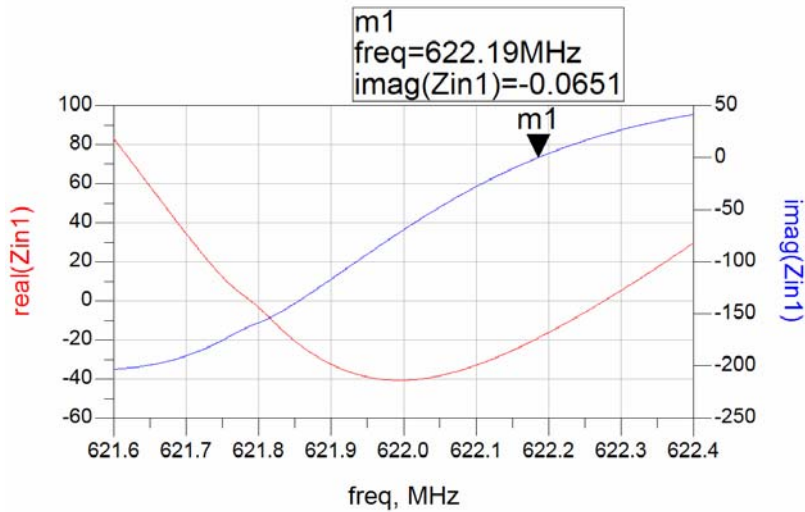


圖 3-39 電容為 2pF 的阻抗表示圖

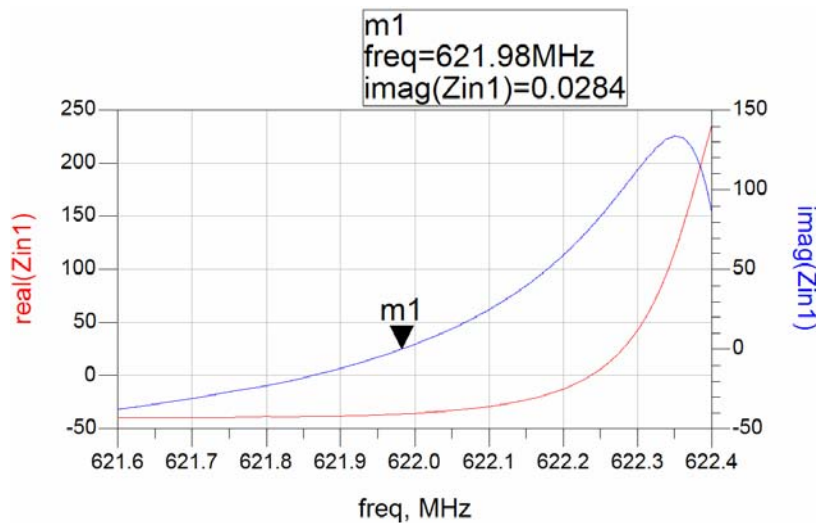


圖 3-40 電容為 7.5pF 的阻抗表示圖

帶入可變電容為 2pF(圖 3-39)，和可變電容為 7.5pF(圖 3-40)，皆可以模擬出起振的頻率點，由此可以看出其可調範圍變得比較大，約為：

$$(622.19 - 621.98) / 622.08 = 337\text{ppm}$$

由此再利用計算的方式推估出其 APR：

$$\begin{aligned} \text{APR} &= (\text{Pull range}) - (\text{degradations due to temperature} + \text{aging} + \text{power supply} + \text{load}) \\ &= 337 - (160 + 5 + 5 + 4) = 163\text{ppm} \end{aligned}$$

利用此改變的方式，將相位偏移器所包含的電容，與皮爾斯架構中的電容，整合而

成為一組比較大的電容，如此較大的電容，可以改變的範圍也比較大，可以改變的頻率明顯的也較大，再帶入模擬找出確定的振盪的中心頻率，與可調範圍，如此一來可以設計出擁有高可調範圍的表面聲波振盪器，並且增加絕對可調範圍的大小。



第四章

結論

本論文研究一實現在 622.08MHz 之表面聲波積體振盪器電路，討論兩種架構，分別為傳統皮爾斯架構表面聲波積體振盪器，以及改良式的皮爾斯架構表面聲波積體振盪器。使用 tsmc 所提供的 0.18 μm CMOS 製程來進行實驗方面的驗證。傳統的皮爾斯架構振盪電路具有易解析的優點，然而根據解析與軟體設計，我們了解到其因為需要達到符合的相位而使其可能會負電阻不足與消耗功率較大的缺點。為了克服這兩個缺點，本論使用改良式的皮爾斯架構，增加一個相位偏移器，來解決此問題，對此架構提出一套理論作為基礎，再以此基礎來進行一設計流程。

根據本論文的研究結果，由傳統的皮爾斯架構利用負電阻解析的方式，依據電路的頻率，增益，附加電容等具體參數，明確的提出如何設計出所需要的負電阻來克服表面聲波共振腔的阻抗，然而實際研究發現，本架構由於表面聲波元件的寄生電容效應加入後，並且加入皮爾斯架構兩旁的電容對於增益有相當的傷害，進而大幅度降低負電阻。在此利用改良式的皮爾斯架構，主動電路部分可以抵抗表面聲波共振腔阻抗後，再根據巴克豪森準則，必須滿足迴路 360 度，其中所差別的度數，利用相位偏移器來達成，如此可以減小使用傳統皮爾斯架構因架構上需求使得需要輸入更多直流功率，進而達到小功率的目的。

在此利用 tsmc.18 製程來製作，並由容易取得的單一 NMOS 電晶體和一組相位偏移器來完成，依據本論文理論，在直流偏壓提供在 1.2V 並且在核心電路消耗電流 10mA，總電流消耗 15mA 的低功率下，輸出功率可以達到提供 4.06dBm。並利用 tsmc.18 的特性，在量測上白色相位雜訊在 1MHz 的 offset 頻率以後最低可以達到 -175 dBc/Hz，並且在 10 kHz 的 offset 頻率約有 136 dBc/Hz 的相位雜訊，也與其他產品比較。都有不錯表現。

附錄 A

負電阻測量

負電阻是利用主動元件產生小於零的電阻，它可以產生能量造成振盪，一般負電阻愈大愈容易起振，依電路的設計負電阻的呈現方式有兩種，如圖 A-1 (a) 是有一端接地 (Gtounded Type)，另一是兩端均未接地為方便稱為浮地式 (Floating Type)，如圖 A-1 (b) 所示。

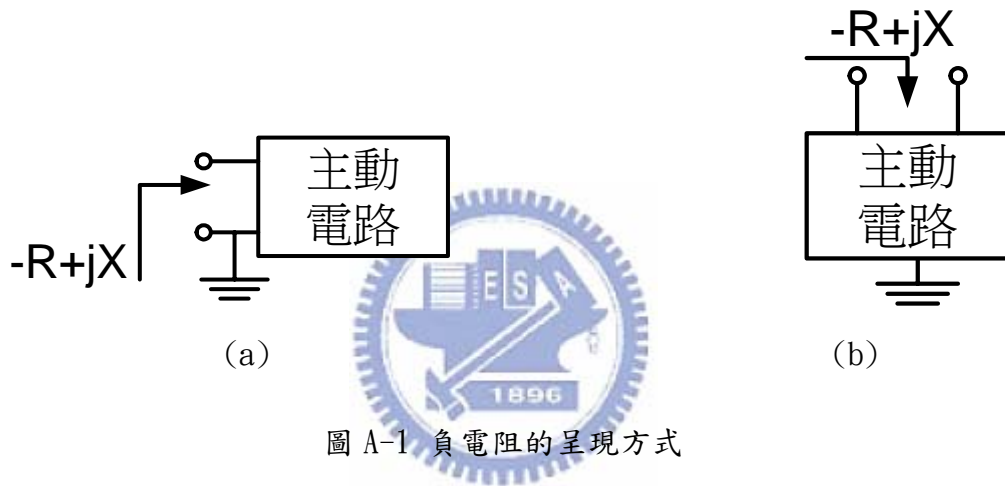


圖 A-1 負電阻的呈現方式

要測量負電阻可用阻抗量測儀或用網路分析儀，在接地式的情況下用前者可直接測得阻抗，用後者可先得單埠反射係數，設置如圖 A-2，再經由轉換公式

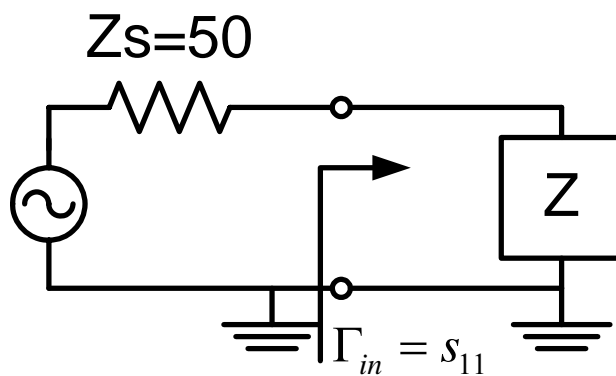


圖 A-2 接地單埠式阻抗量測

可推到如下面式子：

$$\Gamma_{in} = s_{11} = \frac{Z - Z_0}{Z + Z_0} \quad (\text{A-1})$$

and

$$Z = R + jX = \frac{Z_0(1 + s_{11})}{1 - s_{11}} = \frac{1}{Y} \quad (\text{A-2})$$

由此可以計算推得 Z 的實部電阻。

若是浮地式則較麻煩，因為兩端均不能接地，為了要克服此問題，直覺上可用高阻抗差動阻抗探棒，或用高頻 Balun 線圈轉接，如下圖 A-3 所示

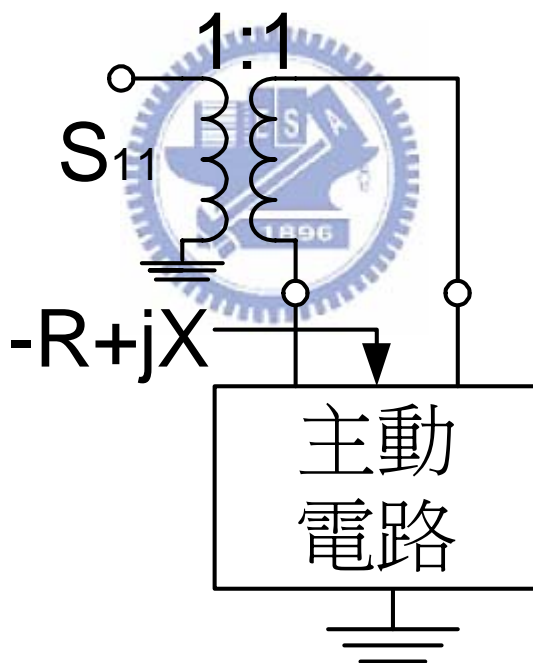


圖 A-3 高頻 Balun 線圈轉接

但用線圈式的 Balun 容易引入寄生效應造成誤差，計算的將會相當不準確。在此介紹利用網路分析儀測量雙埠網路參數再經由數學轉換再求得負電阻觀念示意圖如下圖 A-4：

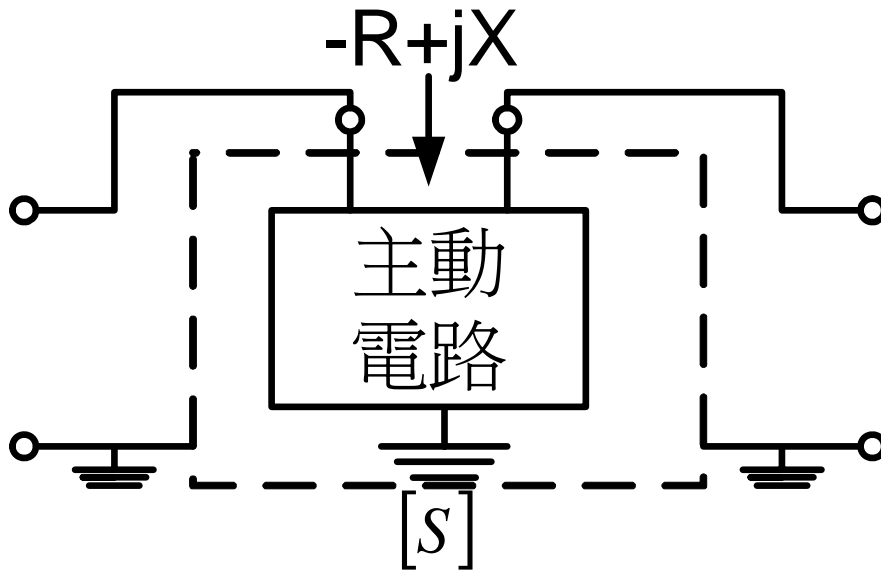


圖 A-4 雙埠網路參數示意圖

先將主動電路視為 Z 參數，如下圖 A-5

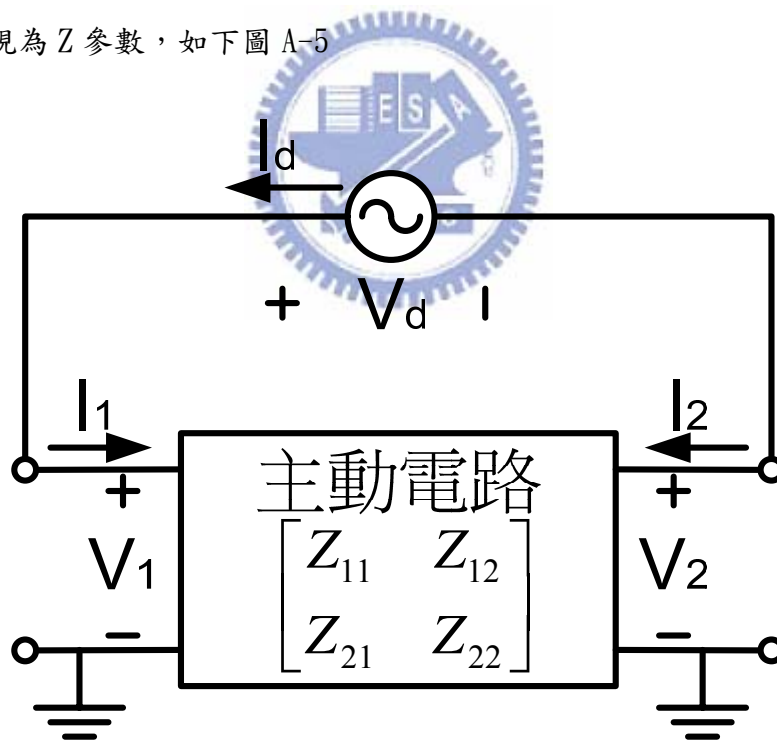


圖 A-5 轉換成為 Z 參數

已知埠 1 與埠 2 的電流電壓關係可寫為下式

$$\begin{aligned} V_1 &= Z_{11}I_1 + Z_{12}I_2 \\ V_2 &= Z_{21}I_1 + Z_{22}I_2 \end{aligned} \quad (\text{A-3})$$

今外加電壓源 V_d ，由電路得知

$$\begin{aligned} V_d &= V_1 - V_2 \\ &= Z_{11}I_1 + Z_{12}I_2 - Z_{21}I_1 - Z_{22}I_2 \end{aligned} \quad (\text{A-4})$$

因為

$I_d = I_1 = -I_2$ 所以推得

$$V_d = (Z_{11} - Z_{12} - Z_{21} + Z_{22})I_d \quad (\text{A-5})$$

所以浮地式的阻抗 $Z_d = V_d / I_d$ ：

$$Z_d = \frac{V_d}{I_d} = Z_{11} - Z_{12} - Z_{21} + Z_{22} \quad (\text{A-6})$$

若要用 S 參數表示則可由查表知阻抗對散射參數的轉換為下式：

$$Z_{11} = Z_o \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \quad (\text{A-7})$$

$$Z_{12} = Z_o \frac{2S_{12}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \quad (\text{A-8})$$

$$Z_{21} = Z_o \frac{2S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \quad (\text{A-9})$$

$$Z_{22} = Z_o \frac{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \quad (\text{A-10})$$

其中 Z_o 為特性阻抗 50 歐姆。所以阻抗可以表示為：

$$\begin{aligned}
 Z_d &= 2Z_o \frac{1 - S_{11}S_{22} + S_{12}S_{21} - S_{12} - S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \\
 &= 2Z_o \frac{(1 - S_{12})(1 - S_{21}) - S_{11}S_{22}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \\
 &\equiv R_d + jX_d
 \end{aligned} \tag{A-11}$$

有了上述的數學算式，就可以利用雙埠網路分析儀，得到 S_{11} 、 S_{12} 、 S_{21} 、 S_{22} 等的參數帶入計算及可以獲得看入的主動電路等效組抗，並進而判斷此電路的負電阻及推動能力是否合格。

在此再次感謝國家晶片中心(CIC)提供一個量好的量測環境，圖 A-6 為安捷倫 8510C 高頻網路分析儀的量測環境，並由此儀器配合數學算式，可以推得負電阻。



圖 A-6 8510C 高頻網路分析儀的量測環境

附錄 B

可變電容之介紹與大訊號分析

B.1 簡介

可變電容(varactor)在壓控振盪器中有著頻率調諧的功能，是不可或缺的重要元件。一般在金氧半(MOS)標準製程中，二極體電容(p+_Nwell 界面電容)和 MOS 可變電容為常使用的兩大類，後者根據其端點連接的不同可操作於不同模態，又可分為強反轉型(strong inversion mode)和累積型(accumulation mode)[21]。考慮一個理想的無損共振槽，如圖 B.1(a)，由其中我們可以看出可變電容所扮演的角色。

在振盪產生時，可變電容的兩端的跨壓並非定值，使得其容值也會因振盪發生而隨之改變，進而對頻率調諧造成影響，在頻率預估上形成誤差。圖 B.1(b)即利用小訊號與大訊號兩種方式來預估頻率的示意圖，由此可以看出兩者間明顯的誤差。在接下來的章節中，我們會對幾種不同的可變電容作簡單的介紹，並提出幾種不同的大訊號可變電容分析方法並加以比較。

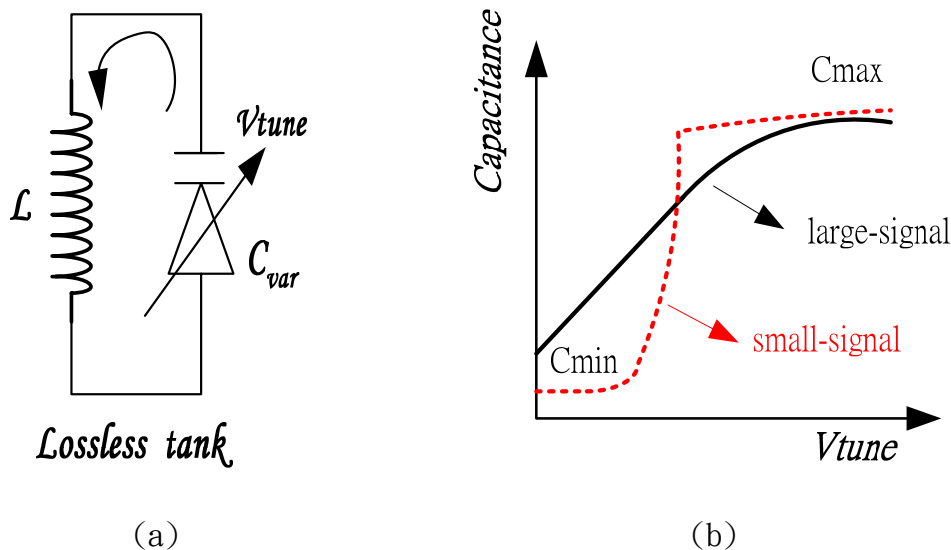


圖 B-1 (a)理想無損電容電感共振槽 (b)可變電容小訊號與大訊號容值之比較

B.2 可變電容的分類

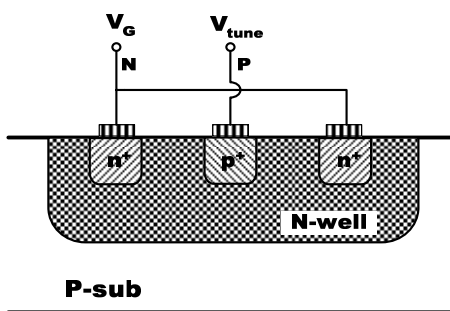
本節主要介紹金氧半製程所能提供的可變電容分類，包括二極體電容、標準 MOS 可變電容、反轉型 MOS 可變電容，以及累積型可變電容，並由其中選擇出符合實際上應用的可變電容。

B.2.1 二極體電容(p+_Nwell junction Capacitance)

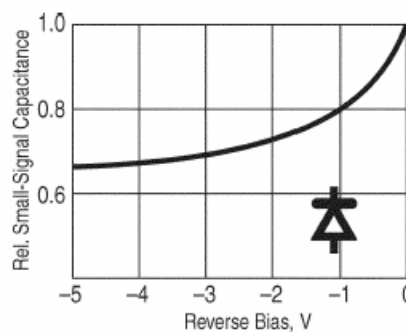
二極體電容其架構如圖 B-2(a)，主要是利用 p+和 Nwell 兩層形成的 PN 接面 (junction) 來實現之，接面的空乏區(depletion region)受逆偏壓(reverse bias)影響而形成一個壓控可變電容，其容值與調諧電壓的關係如(B-1)式：

$$C(V_R) = \frac{C_o}{\left(1 + \frac{V_R}{V_o}\right)^m} \tag{B-1}$$

其中的 V_o 為接面植入(build-in)電壓， V_R 為逆偏壓值， C_o 為逆偏壓為零時的接面電容，而 m 表示梯度係數(gradient coefficient)，其值範圍約在 0.3~0.5[13]；電容與逆偏壓的關係如圖 B-2(b)[22]。此種電容具有極佳的品質因數[23]，然而只有在逆偏壓的時候具有電容特性，當振盪訊號為大訊號的時候，PN 接面有機會進入順偏區使其喪失電容的功能；再者此類電容的調動範圍小，僅有在接近順偏區的時候有較明顯的容值變化，不適用於此論文的振盪器設計中。



(a)



(b)

圖 B-2 p+_Nwell 接面電容 (a)製程結構 (b)電容-電壓特性[22]

B. 2. 2 標準 MOS 可變電容(Standard-mode MOS Varactor)

相較於二極體可變電容，MOS 可變電容不存在順偏壓的問題，具有較大的電壓控制與動態範圍。以 NMOS 為範例，圖 B. 3(a)為標準 MOS 可變電容的製程結構與電路符號示意圖，其汲極(Drain)、源極(Source)與基底(Bulk)三個端點相連接，利用與閘極(Gate)端的跨壓來進行電容調諧。其電壓電容特性如圖 B. 3(b)，由其中我們可以看出此類可變電容之電容特性非單調曲線，其調諧範圍受到限制，且當振盪器應用於鎖相迴路時，此特性會使得電路的鎖定時間(lock time)變長甚至無法成功鎖定。

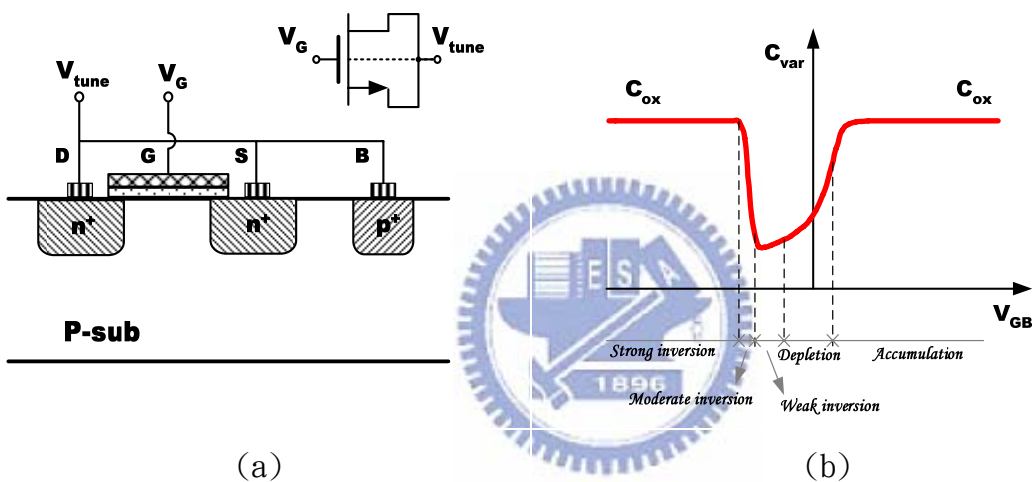


圖 B-3 N 型 MOS 可變電容 (a)製程結構與電路符號 (b)電容-電壓特性[19]

B. 2. 3 反轉型 MOS 可變電容(Inversion-mode MOS Varactor)

一般壓控振盪器需要單調(monotonic)特性的調諧，改變標準型態 MOS 可變電容中的節點連接方式，將汲極與源極連接，基底接到最低電位(NMOS)或是最高電位(PMOS)，其製程結構與電路符號如圖 B-4(a)(b)，其電容電壓特性如圖 B-5(a)(b)。反轉型可變電容之可調範圍比標準型可變電容的來得大，因為反轉型可變電容不再進入累積區(Accumulation region)，而是工作於強反轉區與中(弱)反轉區，另外基底端接到最正

或最負電壓，消除了基底效應(Body effect)，使得電壓電容特性曲線稍微往外移；在強反轉區有高通道電阻存在，關於與可變電容串聯的寄生電阻，工作在強反轉區時可以用(B-2)式近似[24]：

$$R_{mos} = \frac{L}{12 \cdot k \cdot W (V_{BG} - |V_T|)} \tag{B-2}$$

電阻大小關係到品質因數，故在強反轉區可變電容有最小的品質因數；NMOS 具有較大的載子移動率，即(B-2)式中的 k 值，所以跟 PMOS 相較之下其寄生電阻較低，但由於基底共用的原因使得 NMOS 可變電容易受基底雜訊影響，此因素使得 PMOS 可變電容反而比 NMOS 有較佳的品質因數表現。然而考慮到 layout 與可變電容的調諧方式，論文裡頭採用的為反轉型的可變電容。

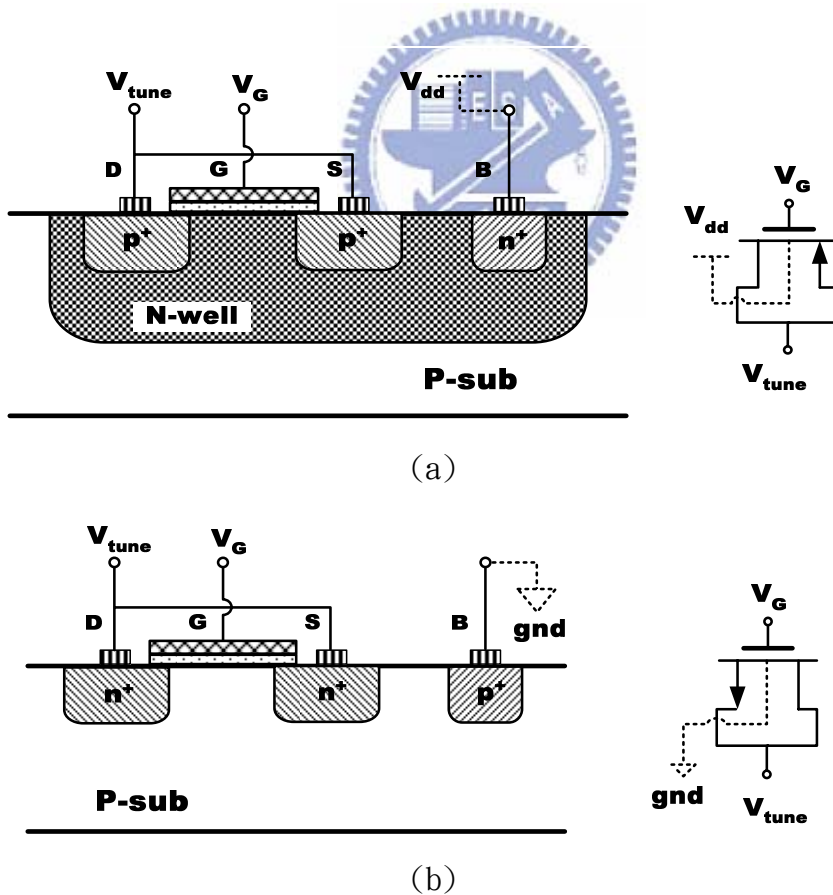


圖 B-4 反轉型 MOS 可變電容 (a)PMOS 製程結構、端點連接方法與電路符號
(b)NMOS 製程結構、端點連接方法與電路符號

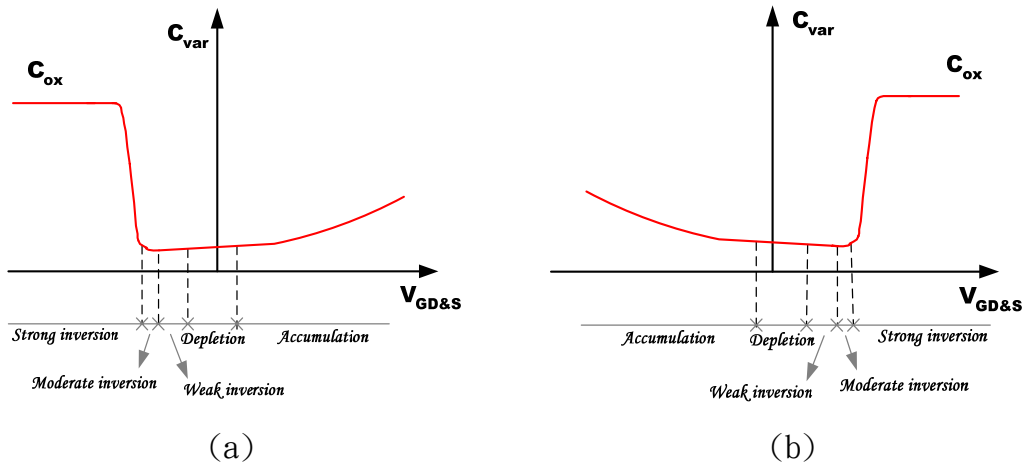


圖 B-5 反轉型 MOS 可變電容電壓電容特性曲線 (a) PMOS (b) NMOS

B. 2.4 累積型 MOS 可變電容(Accumulation-mode MOS Varactor)

與反轉型 MOS 可變電容一樣，為了達到單調的調整，發展出累積型 MOS 可變電容。在一般的 PMOS 元件中，改變其汲極與源極的參雜型態(doping type)，由 p+改成 n+，如圖 B-6(a)所示，抑制少數載子電洞在通道中產生，防止進入強反轉區，而工作在累積區與空乏區，電容電壓特性如圖 B-6(b)，較反轉型的可變電容變化趨勢來得緩和，且因為 Nwell 上的 n+參雜使得寄生電阻來得較小，同時 Nwell 亦有隔絕基底雜訊的功能，使得此類電容具有較佳的品質因數；但是在我們所採用的 tsmc 0.18 μm 製程並無提供此類電容，電路設計者欲使用此電容需要製作測試元件(testkey)建立等效模態參數，始能應用於電路模擬之中。

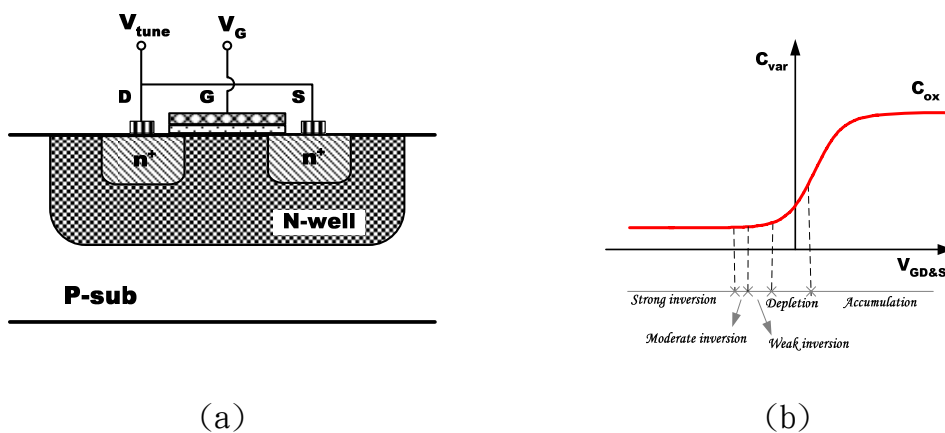


圖 B-6 累積型 MOS 可變電容 (a) 製程結構 (b) 電容電壓特性

B.3 可變電容之大訊號分析

B.3.1 簡介

金氧半可變電容(MOS varactor)所表現的電容值與加在其兩端的跨壓相關，在固定調諧電壓下，當閘極有小訊號擾動時，電容值之表現類似前述的可變電容在直流跨壓時的電容電壓特性；在閘極端為大訊號擺動時，可變電容會隨著振幅改變而改變其電容值，使得其特性與直流偏壓下預估不同。因應此現象，在接下來的章節中我們會提出幾個大訊號分析可變電容的方法。

B.3.2 積分平均法

訊號週期內，振幅在閘極端擺盪，訊號的大電壓容值變化如圖 B-7，取其積分平均為大訊號等效可變電容[25]：

$$C_{\text{var,ave}} = \frac{1}{V_{gH} - V_{gL}} \int_{V_{gL}}^{V_{gH}} C(V_{\text{tune}}, V_g) dV_g \quad (\text{B-3})$$

由 B-3 式我們可以看出，等效可變電容大小受振盪訊號振幅、調諧電壓和閘極偏壓影響。當閘極電壓固定時，根據(B-3)式可以得到調諧電壓與等效容值的關係曲線隨振幅增加而趨於平緩，圖 B-8 為以反轉型可變電容為例之關係圖[19]。

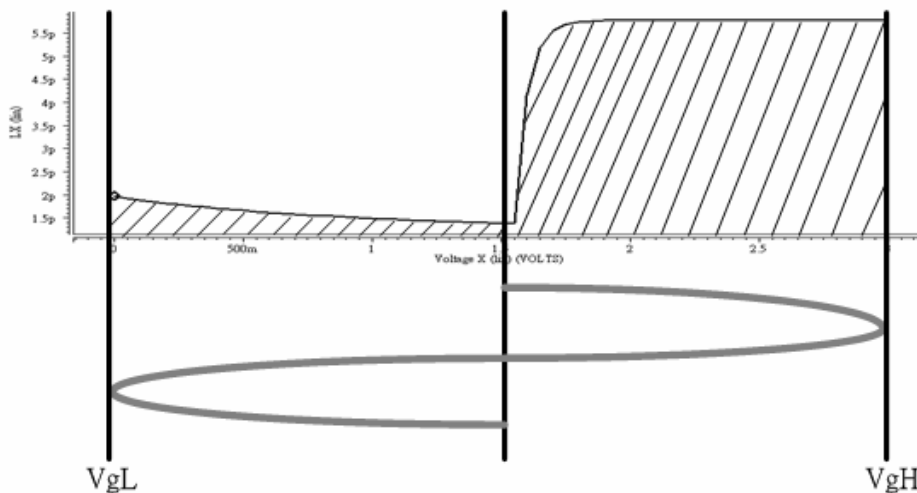


圖 B-7 大訊號擺幅下的等效電容電壓曲線

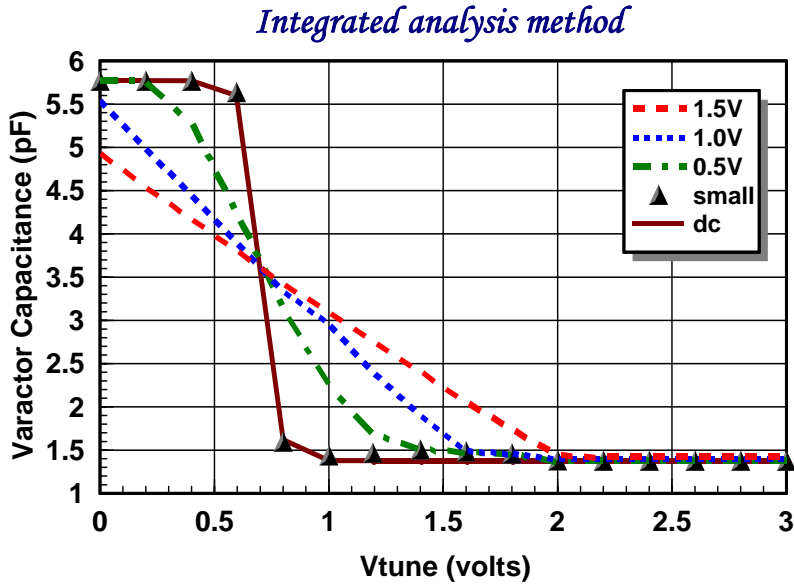


圖 B-8 積分平均法預估之大訊號等效電容電壓關係曲線



B. 3. 3 有效容值分析法

可變電容小訊號特性可以假設為(B-4)式，為理想的步階函數[22]；若振盪訊號忽略二階以上諧波，則步階不連續的電容在週期大訊號驅動下，其電流電壓軌跡如圖 B-9，以有效臨界電壓 $V_{eff} (=V_g - V_{th} - V_{tune})$ 為分界，一個振盪週期下，其軌跡如同兩個橢圓合成：

$$\begin{cases} \left(\frac{V}{A}\right)^2 + \left(\frac{i}{\omega C_{min} A}\right)^2 = 1, \text{ for } V < V_{eff} \\ \left(\frac{V}{A}\right)^2 + \left(\frac{i}{\omega C_{max} A}\right)^2 = 1, \text{ for } V > V_{eff} \end{cases} \quad (B-4)$$

軌跡中 $V_{max} = A$ (振幅大小)， $I_{max} = \omega_o CA$ ，則週期下的有效容值如：

$$C_{eff} = \frac{\oint i dv}{\pi \omega_o A^2} \quad (B-5)$$

兩個橢圓的合成區域的迴路積分(enclosed integration)為：

$$\oint i dv = 2 \left(\int_{-A}^{V_{eff}} i dv + \int_{V_{eff}}^A i dv \right) \tag{B-6}$$

解出(B-5)式中的積分，代入(B-6)式中得到大訊號等效可變電容：

$$C_{var,ave} = \frac{1}{2}(C_{max} + C_{min}) + \frac{1}{\pi}(C_{min} - C_{max}) \times \left(a \sin\left(\frac{V_{eff}}{A}\right) + \left(\frac{V_{eff}}{A}\right) \sqrt{1 - \left(\frac{V_{eff}}{A}\right)^2} \right) \tag{B-7}$$

利用此方法所得到的大訊號等效電容電壓關係曲線如圖 B-10[19]，其趨勢與積分平均法大致上相同。

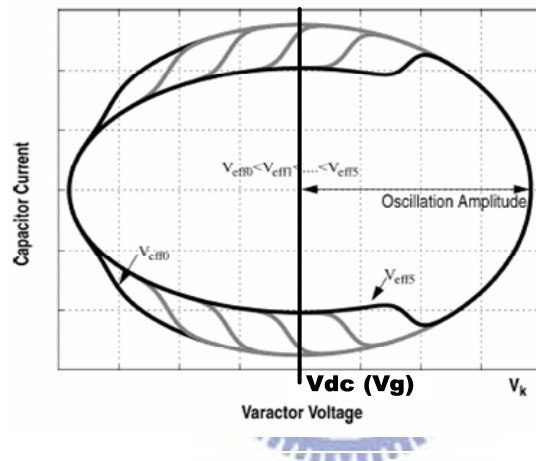


圖 B-9 大訊號擺幅下可變電容的電流電壓軌跡圖(不同臨界電壓)[22]

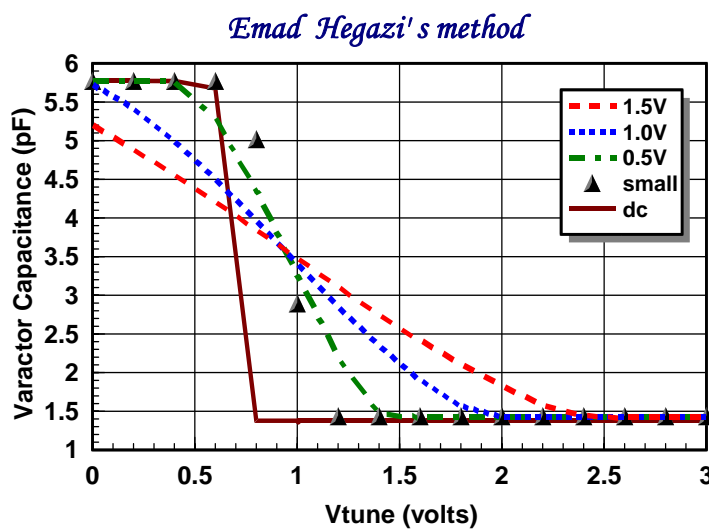


圖 B-10 利用(B-7)式預估之可變電容大訊號等效電容電壓曲線

B. 3.4 HSPICE 傅立葉分析法[19]

可變電容在大訊號驅動之下，跨壓變化與可變電容交流電流變化均為大訊號擺幅，另一方面訊號並非完美的週期性弦波，包含許多基頻(fundamental frequency)之外的諧波項。在文獻[22][24]中，忽略高階諧波的影響來求得可變電容在大訊號之下的影響；而在高品質因數的振盪電路中，如本論文中使用的表面聲波振盪器，訊號中的諧波將被衰減，能量交換發生在基頻[16]，因此我們假設振盪訊號為理想弦波，考慮可變電容中電流電壓的基頻成分，利用 HSPICE 中的傅立葉分析求其基頻項的等效阻抗，即可得到大訊號擺幅下的等效電容值。其設置如圖 B-11，電壓電容曲線如圖 B-12。

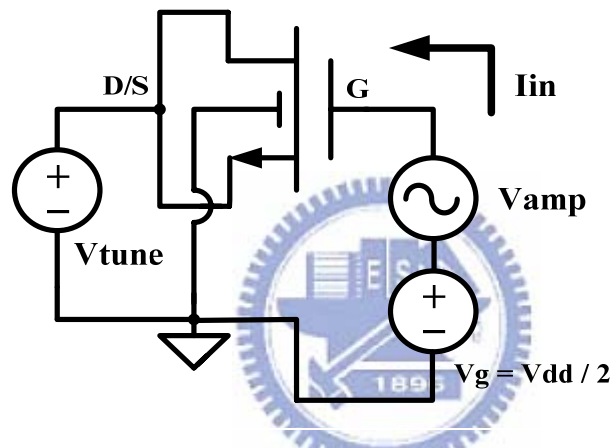


圖 B-11 HSPICE 傅立葉分析電路設置圖 (反轉型 NMOS 可變電容)

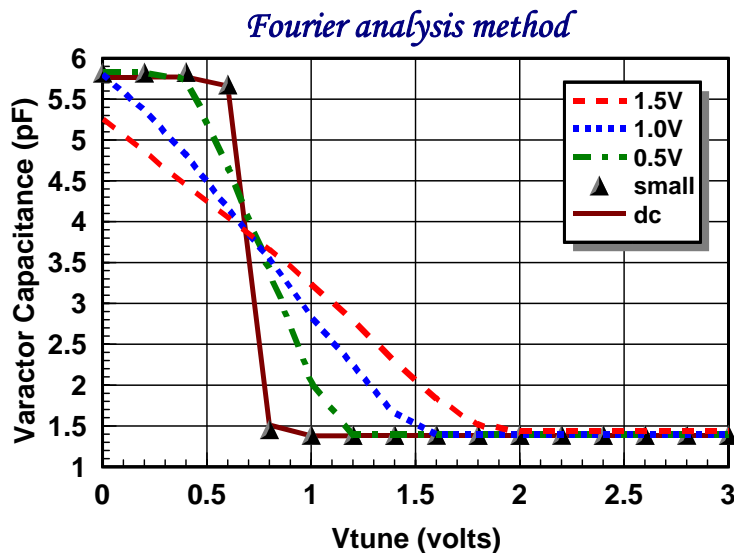


圖 B-12 HSPICE 傅立葉分析法預估之大訊號等效電容電壓曲線

附錄 C

Absolute Pull Range

Absolute Pull Range (APR) 是定義振盪器在中心振盪頻率左右，可以在表面聲波共振腔或是石英共振腔，因為溫度飄移而使振盪頻率不在所要的中心頻率、因時間變化而造成共振腔老化，以及主動電路的直流偏壓供給不穩造成變化，最後和接上使用電路的阻抗也一併加入考慮，而定義出來的一項振盪器的參考指標。

關於 $APR = (\text{Pull range}) - (\text{degradations due to temperature} + \text{aging} + \text{power supply} + \text{load})$

一項一項說明如下：



1. Pull range:

通常是說常溫下 VCSO/VCXO 所能調整的範圍。舉例來說：-45 ppm ~ +45 ppm (e.g. $V_c = 0 \sim 3V$)

2. Degradations due to temperature:

請參考下方數據，舉例來說：雖然 +25 deg(常溫)時 tuning range 是很對稱的(-45 ppm ~ 45 ppm)

但實際應用時要考慮所有的溫域。所以考慮所有溫域後(-30~85 degC)，

實際能調的範圍就會縮小到 -30 ppm ~ +30 ppm 所以 Degradations due to temperature = +/- 15ppm

 at -30 degC: turing range= -60 ppm ~ +30 ppm (e. g. Vc=0~3V)

at -0 degC: turing range= -40 ppm ~ +50 ppm (e. g. Vc=0~3V)

at +25 degC: turing range= -45 ppm ~ +45 ppm (e. g. Vc=0~3V)

at 55 degC: turing range= -30 ppm ~ +60 ppm (e. g. Vc=0~3V)

at 85 degC: turing range= -35 ppm ~ +55 ppm (e. g. Vc=0~3V)

3. Degradations due to aging:

VCSO/VCXO 的頻率會隨著使用時間改變，可能是 10 年內會在 +/- 3ppm 變動



4. Degradations due to power supply:

VCSO/VCXO 的頻率也許會隨著供應電壓改變，可能是 3.3 +/- 10% 會在 +/- 1ppm 變動

5. Degradations due to load:

VCSO/VCXO 的頻率也許會隨著輸出的 load 改變，可能是 5pF~25 pF 會在 +/- 2ppm 變動

所以最後 APR = (Pull range) - (degradations due to temperature + aging + power supply + load)

$$= (+/-45 \text{ ppm}) - [(+/- 15\text{ppm}) + (+/- 3\text{ppm}) + (+/- 1\text{ppm}) + (+/- 1\text{ppm})] = +/- 30 \text{ ppm}$$

參考文獻

- [1] From <http://www.itri.org.tw/index.jsp>
- [2] T. Saito, T. Hara and M. Shida, S. Akama ,and H. Kudo, “3.3V Supply-Voltage Controlled SAW Oscillator and Its PLL Application,” , Proceeding of the IEEE International Frequency Control Symposium, pp 248-251, June 1996.
- [3] R.M. White and F.W. Voltmer, “Direct piezoelectric coupling to surface elastic waves,” Appl. Phys. Lett., Vol. 17, pp.314-316, 1965.
- [4] 朱慕道, ” 表面聲波元件原理與應用” , 新電子—光電元件專輯, p183~p186, 1994年3月.
- [5] S. Urabe, S. Saito and N. Kanmuri, “New Saw Oscillator For Land Mobile Telephone Radio Unit,” Microwave Symposium Digest, MTT-S International Volume 83, Issue 1, pp. 315-317, May 1983
- [6] M. Furuhashi, A. Yajima, K. Goto, H. Sato, T. Funasaka, S. Kawano, S. Fujii, T. Higuchi, and M. Ueno, “Development of Monolithic CMOS-SAW Oscillator” Third International Symposium on Acoustic Wave Devices for Future Mobile Communication Systems , pp.167-170 ,2007.
- [7] J. H. Lin and Y. H. Kao, “A Low Phase Noise Voltage Controlled SAW Oscillator With Surface Transverse Wave Resonator for SONET Application” Digital Object Identifier MTT, pp. 60-65 , 2006.
- [8] G.K. Montress , and T.E. Parker , M. J. Loboda , and J.A. Greer , “Extremely low phase noise SAW resonators and oscillators design and performance” IEEE Transaction on Ultrasonics ferroelectrics and frequency control, vol. 35, 1988.

- [9] Y. Eo, S. Hyun, P. Choi, and K. Lee, "Reference SAW Oscillator on Quartz-on-Silicon (QoS) Wafer for Polyolithic Intergration of True Single Chip Radio," Department of Electrical Engineering, Korea Advanced Institute of Science and Technology (Taejon, Korea) and Devices & Materials Lab, LG Corporate Institute of Technology (Seoul, Korea).
- [10] M. J. Vellekoop, "Acoustic Wave Sensors and their technology," Ultrasonics proceedings, pp 7-14, 1998.
- [11] A. Ballato, "Modeling Piezoelectric and Piezomagnetic Devices and Structures via Equivalent Networks," IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, Vol. 48, No. 5, September, 2001.
- [12] Y. H. Kao, J. H. Lin, N. Y. Kang, and Y. N. Liu, "A 2.5GHz Volag Controlled Oscillator with Film Bulk Acoustic Resonator" International Conference on Microwave and Millimeter Wave Technology, pp. 1-3, April, 2007.
- [13] A. S. Sedra and K. C. Smith, Microelectronic Circuits, Chap. 5, New York, NY: Oxford University Press, 1998.
- [14] J. R. Vig, "Quartz crystal resonators and oscillators for frequency control and timing applications," a tutorial, U.S. Army Communications-Electronics Command Attn: AMSEL-RD-C2-PT, Monmouth, NJ 07703-5601, USA, June, 2003.
- [15] M. C. King, Z. M. Lai, C. H. Huang, C. F. Lee, M. W. Ma, C. M. Huang, Y. Chang and Albert Chin, "Modeling finger number dependence on RF noise to 10 GHz in 0.13 μm node MQSFETs with 80nm gate length," IEEE RF IC Symp. Dig., pp. 171-174, 2004.

- [16]E. A. Vittoz, M. G. Degrauwe, and S. Bitz, “High-Performance Crystal Oscillator Circuits:Theory and Application,” IEEE J. Solid-State Circuits, Vol.23, no. 3, pp. 774-783, June 1988.
- [17]Rusznayak, “Start-up time of CMOS oscillators,” IEEE Trans. Circuits System vol. CAS-34, pp. 259-268, March 1987.
- [18]D. M. Pozar, Microwave Engineering 3rd Edition, John Wiley & Sons, New York, 2005
- [19]謝銘鴻, “壓控石英振盪器精準頻率控制之研究”, 國立交通大學電信工程學系碩士班論文, 2005 年 9 月
- [20]Private communication for TXC
- [21]R. Castello, P. Erratico, S. Manzini, and F. Sveito, “A $\pm 30\%$ tuning range varactor compatible with future scaled technologies,” in Symp. VLSI Circuit Tech. Dig., pp.34-35, June 1998.
- [22]E. Hegazi and A. Abidi, “Varactor characteristics, oscillator tuning curves, and AM-FM conversion,” IEEE J. Solid-State Circuits, Vol. 38, no.6, pp.1033-1043, June 2003.
- [23]R. L. Bunch and S. Raman, “Large-signal analysis of MOS varactors in CMOS Gm LC VCOs,” IEEE J. Solid-State Circuits, Vol. 38, no.8, pp.1325-1332, June 2003.
- [24]P. Andreani and S. Mattisson,” A 2.4GHz CMOS monolithic VCO based on an MOS varactor,” in Proc. ISCAS’ 99, vol. II, pp. 557-560, May/June, 1999.
- [25]D. Siprak and A. Roithmeier, “Varactor Modeling Methodology for Simulation of VCO Tuning Sensitivity,” Proc. IEEE 2004 Int. Conference in Microelectronic Test Structures, Vol. 17, pp.273-277, March 2004.

簡 歷

姓 名：康乃元

居 住 地：桃園縣龍潭鄉

出生日期：民國七十二年四月十三日

學 經 歷：

中央大學電機工程學系 (90年9月~94年6月)

交通大學電信工程學系碩士班 (94年9月~96年7月)

