

國立交通大學

機械工程研究所

碩士論文

鋁基電極鈦酸鋇鋇薄膜電容研製

Fabrication and Characterization of
 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ thin film capacitors using
aluminum-based electrodes

The logo of National Central University (NCU) is a circular emblem with a gear-like border. Inside the circle, there is a stylized figure holding a torch, and the year '1896' is inscribed at the bottom.

研究生：林偉雄

指導教授：周長彬博士
吳文發博士

中華民國九十六年六月

鋁基電極鈦酸鋇鋇薄膜電容研製
Fabrication and Characterization of $Ba_xSr_{1-x}TiO_3$ thin film
capacitors using aluminum-based electrodes

研究生：林偉雄 Student: Wei-Xiong Lin
指導教授：周長彬 博士 Advisor: Dr. Zhang-Bin Zhou
共同指導：吳文發 博士 Advisor: Dr. Wen-Fa Wu

國立交通大學
機械工程研究所
碩士論文



Submitted to Institute of Mechanical Engineering
College of engineering
National Chung Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
In
Mechanical Engineering

November 2006

Hsinchu, Taiwan, Republic of China

中華民國96年6月

序言

終於完成了碩士學位，在這裡我要感謝指導教授周長彬老師與吳文發博士兩年的辛勤指導，及交通大學焊接實驗室的仁聰、佑銘學長提供論文撰寫的一些寶貴的諮詢建議，及同屆的同學矜良、冠庭、蔓蕙、哲偉在我實驗低潮時幫我打氣，以及實驗室的眾位學弟，兩年來要謝的人太多就謝謝老天吧。



中文摘要

鋁基電極鈦酸鋇鋇薄膜電容製作

指導教授：周長彬 博士

研究生：林偉雄

吳文發 博士

國立交通大學機械工程學系碩士班

摘要

本研究使用射頻濺鍍方法在鋁基電極上備製鈦酸鋇鋇薄膜電容，實驗結果顯示在鋁基電極上備製鈦酸鋇鋇薄膜電容會導致很高的漏電流密度，然而雙層(非晶與結晶)結構可有效降低漏電流密度達兩個級數以上，達成良好的介電特性；漏電流密度在 0.44MV/cm 電場以下可維持於 (10^{-7}A/cm^2) 以下，介電常數可達(87.4)，本研究使用半導體參數分析儀 HP4156 進行漏電流密度－電場量測，以 Keithley 595 進行電容值－電壓量測，以 XRD 分析薄膜結晶性，以原子力顯微鏡掃描鈦酸鋇鋇薄膜表面形貌，以歐傑電子分析儀進行各層元素之縱深分析，以掃描式電子顯微鏡分析 BST 的厚度，以穿遂式電子顯微鏡進行電容橫截面結構分析。

英文摘要

Fabricated of $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ thin film capacitors using
aluminum-based electrodes

Student: Wei-Xiong Lin

Advisor: Dr. Zhang-Bin Zhou

Advisor: Dr. Wen-Fa Wu

Institute of Mechanical Engineering

National Chiao Tung University

Abstract

Barium Strontium titanate thin films were deposited on Al-based electrodes by rf magnetron sputtering. Experimental results indicate that the BST film deposited on Al-based electrodes has a large leakage current density. However, it is found that the leakage current density can be reduced by two orders of magnitude using Multilayer (Amorphous and Crystal) BST film. Excellent electrical characteristics, including low leakage current density ($10^{-7}\text{A}/\text{cm}^2$) under $0.44\text{M MV}/\text{cm}$, dielectric constant (87.4) can be achieved. The leakage current density versus dc electrical field was measured at 25°C using a HP4155A semiconductor parameter analyzer. The capacitance versus dc voltage (C-V) was measured at 1 MHz using Keithley 595. The dependence of the crystallinity of the different amorphous layer thickness was traced by XRD. An atomic force microscope (AFM) was used to characterize the surface

morphology of the BST films. The depth profiles of BST and bottom electrode interface were analyzed by (AES). The BST films thickness were measured using a scanning electron microscope (SEM). The crystalline structure and the amorphous structure were analyzed using transmission electron microscopy (TEM)



目 錄

中文摘要	I
英文摘要	II
目錄	IV
表目錄	VII
圖目錄	VIII
第一章 序論	1
1-1 前言	1
第二章 基本理論與文獻回顧	4
2-1 鈦酸鋇系鐵電材料	4
2-1-1 鈦酸鋇基本特性	4
2-1-2 摻雜物對鈦酸鋇特性影響	5
2-1-3 鈦酸鋇薄膜備製	6
2-2 介電理論	7
2-2-1 極化機制以及頻率特性	7
2-2-2 極化現象與相對介電常數	8
2-2-3 介電崩潰強度	9
2-2-4 介電損失	10
2-2-5 漏電流	11
2-3 薄膜沉積原理	13
2-3-1 沉積機制	13
2-3-2 薄膜表面及截面結構	14
2-4 射頻磁控濺鍍原理	14
2-4-1 磁控濺射	14
2-4-2 射頻濺射	15
2-6 文獻回顧	15
2-6-1 薄膜成分比的影響	16
2-6-2 基板溫度的影響	16
2-6-3 薄膜厚度的影響	16
2-6-4 後處理的影響	17
2-6-5 濺鍍氣氛的影響	18
第三章 實驗儀器與實驗步驟	29
3-1 實驗儀器	29
3-1-1 元件備製設備	29

3-1-1-1	電極濺鍍系統	29
3-1-1-2	底電極處理系統	30
3-1-1-3	介電層製備系統	30
3-1-1-4	介電層處理系統	31
3-1-2	量測分析設備	32
3-1-2-1	電性量測系統	32
3-1-2-2	物性分析系統	33
3-2	實驗步驟	35
3-2-1	基材之前處理	35
3-2-2	底電極備製及處理	36
3-2-3	介電層備製及處理	38
3-2-4	上電極備製	39
第四章	實驗結果與討論	45
4-1	鈦酸鋇銀薄膜沉積率與蝕刻率	45
4-1-1	鈦酸鋇銀薄膜沉積率	45
4-1-2	鈦酸鋇銀薄膜蝕刻率	45
4-2	<實驗一>	46
4-2-1	C-V量測	46
4-2-2	J-E量測	47
4-2-3	TEM斷面分析	48
4-3	<實驗二>	48
4-3-1	C-V量測	48
4-3-2	J-E量測	49
4-4	<實驗三>	49
4-4-1	AES縱深分析	50
4-4-2	TEM斷面分析	50
4-4-3	C-V量測	51
4-4-4	J-E量測	51
4-5	<實驗四>	51
4-5-1	C-V量測	52
4-5-2	J-E量測	53
4-5-3	AFM表面粗糙度分析	53
4-5-4	XRD薄膜結晶性分析	53
4-5-5	TEM斷面分析	54
4-6	<實驗五>	55



4-6-1	C-V量測	55
4-6-2	J-E量測	56
4-6-3	AFM表面粗糙度分析	56
4-6-4	XRD薄膜結晶性分析	57
4-6-5	TEM斷面分析	57
4-7	<實驗六>	58
4-7-1	C-V量測	58
4-7-2	J-E量測	59
4-7-3	AFM表面粗糙度分析	60
4-7-4	XRD薄膜結晶性分析	60
4-8	<實驗七>	61
4-8-1	高頻介電常數量測	61
4-8-2	高頻電阻量測	61
第五章	結論	101
第一章	參考文獻	102
第二章	參考文獻	103



表目錄

表一(a). eletrode1之TaN薄膜沉積參數-----	36
表一(b). eletrode1之Al薄膜沉積參數-----	37
表二(a). eletrode2之TiN薄膜沉積參數-----	37
表二(b). eletrode2之Al薄膜沉積參數-----	37
表三. 氮電漿參數-----	38
表四. 沉積BST薄膜參數-----	38
表五. 爐管退火參數-----	39
表六. 氧電漿參數-----	39
表七. 蝕刻率測試條件-----	40



圖目錄

圖2-1. 溫度高於居里溫度時的理想鈣鈦礦結構示意圖	19
圖2-2. 溫度低於居里溫度時，鈦離子偏移示意圖	19
圖2-3 鐵電域極化情形	20
圖2.4 典型鐵電材料之電滯曲線圖	20
圖2-4. 鈦酸鋇相轉變之結晶構造與溫度關係圖	21
圖2-5. 鈦酸鋇之晶格常數隨溫度變化之關係	21
圖2-6. 等價置換對鈦酸鋇相轉換溫度之影響	22
圖2-7. 不同極化機構之示意圖	23
圖2-8. 不同分極率與頻率之關係圖	24
圖2-9. 平行板電容示意圖	24
圖2-10. 介電材料內充電電流與損失電流示意圖	25
圖2-11. 室溫下，三種介電損失機構所佔的比例	25
圖2-12. Barrier limited 傳導機構；(a) Schottky emission， (b) Tunneling	26
圖2-13. Bulk limited 傳導機構；(a) 空間電荷限制傳導， (b)離子傳導，與(c) Poole-Frenkel	26
圖2-14. 薄膜沉積步驟，(a)長晶、(b)晶粒成長、(c)晶粒聚結、 (d)縫道填補、(e)薄膜的沉積	27
圖2-15. 濺鍍參數對沉積薄膜之影響	27
圖2-16. 平面磁控結構及電子運動路徑	28
圖3-1. 元件備製、分析流程圖	41
圖3-2. 電容結構量測概圖	42
圖3-3. 高頻元件製作流程圖	44
圖4-1-1. SEM試片取樣位置示意圖	63
圖4-1-2(a). BST沉積時間90分鐘之(a)SEM截面圖	63
圖4-1-2(b). BST沉積時間90分鐘之(b)SEM截面圖	63
圖4-1-3(a). BST沉積時間150分鐘之(a)SEM截面圖	63
圖4-1-3(b). BST沉積時間150分鐘之(b)SEM截面圖	63
圖4-1-2(a). 不同氬氣/氯氣比下BST、TiN、Al蝕刻率變化	64
圖4-1-2(a). 不同氬氣/氯氣比下BST/TiN、BST/Al蝕刻選擇比	64
圖4-2-1(a). <實驗一>電容值對電壓圖	65
圖4-2-2(a). <實驗一>漏電流密度對電場圖	65
圖4-2-3(a). <實驗一>BST厚度60nmTEM斷面圖	66
圖4-2-3(b). 4-2-3(a)之放大圖	66
圖4-3-1(a). <實驗二>電容值對電壓圖	67
圖4-3-2(a). <實驗二>漏電流密度對電場圖	67
圖4-4-1(a). <實驗三>底電極氮電漿處理三分鐘之歐傑縱深元素分析圖	68
圖4-4-1(b). <實驗三>底電極氮電漿處理六分鐘之歐傑縱深元素分析圖	68

圖4-4-1(c). <實驗三>底電極氮電漿處理十分鐘之歐傑縱深元素分析圖	69
圖4-4-2(a). <實驗三>底電極經處理10min之TEM斷面圖	70
圖4-4-2(b). 4-4-2(a)之放大圖	70
圖4-4-3(a). <實驗三>電容值對電壓圖	71
圖4-4-4(a). <實驗三>漏電流密度對電場圖	71
圖4-5-1(a). <實驗四>電容值對電壓圖	72
圖4-5-2(a). <實驗四>漏電流密度對電場圖	72
圖4-5-3(a). <實驗四>BST單層薄膜AFM2D、3D形貌圖	73
圖4-5-3(b). <實驗四>BST雙層(非晶層厚度10nm)AFM2D、3D形貌圖	74
圖4-5-3(c). <實驗四>BST雙層(非晶層厚度20nm)AFM2D、3D形貌圖	75
圖4-5-4(a). <實驗四>BST單層XRD繞射圖	76
圖4-5-4(b). <實驗四>BST雙層(非晶層厚度10nm)XRD繞射圖	76
圖4-5-4(c). <實驗四>BST雙層(非晶層厚度20nm)XRD繞射圖	76
圖4-5-5(a). <實驗四>單層結構TEM斷面圖	77
圖4-5-5(b). 4-5-5(a). 放大圖	77
圖4-5-5(c). <實驗四>雙層結構(非晶層厚度10nm)TEM斷面圖	78
圖4-5-5(d). 圖4-5-5(c). 放大圖	78
圖4-5-5(e). <實驗四>雙層結構(非晶層厚度20nm)TEM斷面圖	79
圖4-5-5(f). 圖4-5-5(e). 放大圖	79
圖4-6-1(a). <實驗五>電容值對電壓圖	80
圖4-6-1(b). <實驗四>、<實驗五>等效介電常數比較圖	80
圖4-6-2(a). <實驗五>漏電流密度對電場圖	81
圖4-6-3(a). <實驗五>BST單層薄膜AFM2D、3D形貌圖	82
圖4-6-3(b). <實驗五>BST雙層(非晶層厚度10nm)AFM2D、3D形貌圖	83
圖4-6-3(c). <實驗五>BST雙層(非晶層厚度20nm)AFM2D、3D形貌圖	84
圖4-6-3(d). <實驗四>、<實驗五>表面粗糙度(RMS)比較圖	85
圖4-6-4(a). <實驗五>BST單層XRD繞射圖	86
圖4-6-4(b). <實驗五>BST雙層(非晶層厚度10nm)XRD繞射圖	86
圖4-6-4(c). <實驗五>BST雙層(非晶層厚度20nm)XRD繞射圖	86
圖4-6-5(a). <實驗五>單層結構TEM斷面圖	87
圖4-6-5(b). 4-6-5(a). 放大圖	87
圖4-6-5(c). <實驗五>雙層結構(非晶層厚度10nm)TEM斷面圖	88
圖4-6-5(d). 圖4-6-5(c). 放大圖	88
圖4-6-5(e). 圖4-6-5(d). 放大圖	89
圖4-6-5(f). 圖4-6-5(e). 之(a)傅利葉轉換	89
圖4-6-5(g). 圖4-6-5(e). 之(b)傅利葉轉換	89
圖4-6-5(h). <實驗五>雙層結構(非晶層厚度20nm)TEM斷面圖	90
圖4-6-5(i). 圖4-6-5(h). 放大圖	90
圖4-7-1(a). <實驗六>電容值對電壓圖	91
圖4-7-1(b). <實驗五>、<實驗六>等效介電常數比較圖	91
圖4-7-2(a). <實驗六>漏電流密度對電場圖	92

圖4-7-3(a). <實驗六>BST單層薄膜AFM2D、3D形貌圖	93
圖4-7-3(b). <實驗六>BST雙層(非晶層厚度10nm)AFM2D、3D形貌圖	94
圖4-7-3(c). <實驗六>BST雙層(非晶層厚度20nm)AFM2D、3D形貌圖	95
圖4-7-3(d). <實驗五>、<實驗六>表面粗糙度比較圖	96
圖4-7-4(a). <實驗六>BST單層XRD繞射圖	97
圖4-7-4(b). <實驗六>BST雙層(非晶層厚度10nm)XRD繞射圖	97
圖4-7-4(c). <實驗六>BST雙層(非晶層厚度20nm)XRD繞射圖	97
圖4-8-1. <實驗七>高頻量測示意圖	98
圖4-8-2(a). <實驗七>BST單層史密斯圖	98
圖4-8-2(b). <實驗七>BST雙層(非晶層厚度10nm)史密斯圖	99
圖4-8-2(c). <實驗七>BST雙層(非晶層厚度20nm)史密斯圖	99
圖4-8-3. <實驗七>介電常數對頻率圖	100
圖4-8-4. <實驗七>電阻對頻率圖	100



第一章 序論

1-1 前言

隨著半導體製程技術的進步積體電路元件尺寸不斷的縮小，使今日電子產品體積縮小但功能更強大，然而目前電子產品內的被動元件如電容、電阻、電感是獨立於晶片外，如此造成電子產品的體積無法更有效縮小。因此將這些被動元件整合到晶片內，是電子產品微小化工作相當重要的一環。本論文即探討以高介電材料薄膜化技術在矽晶片上製作電容器，而目前各種研究中的高介電材料，鈦酸鋇鋇($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ，以下簡稱BST)材料被認為是目前最有潛力的候選之一，主要原因是BST具有以下優點[1]:

- (1) 高介電常數；
- (2) 溫度穩定性；
- (3) 低漏電流密度；
- (4) 低介電損失；
- (5) 電容值可調性。



因此，近年廣泛應用於半導體的DRAM製程[1]以及微波可調式電容元件研究中[2, 3]。而目前研究鈦酸鋇鋇薄膜的電極材料，主要可分為以下三大類:

- (1) 貴金屬電極，例如:Pt、Au、Ag...等；
- (2) 氧化物電極，例如: RuO_2 、 IrO_2 ...等；
- (3) 鈣鈦礦氧化物電極，例如: LaNiO_3 、 SrRuO_3 ...等。

使用不同電極各有其不同優缺點，例如:採用氧化物電極，可以減少鍍製鈦酸鋇鋇薄膜時氧原子擴散對底電極所產生的影響;使用鈣鈦礦結

構的電極材料，有助於成長具有「優選取向」之鈦酸鋇鉬薄膜，進而提昇薄膜之介電常數及電容可調性，但目前研究中底電極材料還是以貴金屬為最佳，以其中Pt電極來說，主要優點有[4]：

- (1)高功函數:使整體電容元件具有相對低的漏電流密度；
- (2)貴金屬對氧化環境的抵抗能力:鈦酸鋇鉬薄膜製程溫度得以提高進而改善薄膜結晶性，有助於提升介電常數與介電可調性。

然而Pt電極卻有蝕刻困難、成本昂貴、電阻值偏高…等的缺點，造成製程整合上的困難。又例如採用氧化物電極、鈣鈦礦氧化物電極，普遍都會遭遇製程複雜以及與介電層之間交互擴散等問題[5]。

因此，本研究決定使用半導體內連線材料，如鋁基的電極來製作電容被動元件，使用鋁基電極整合電容元件製程有下列優點[6]：

- (1)製程容易;鋁材料已在半導體工業使用多年，廣泛應用於金屬內連線製程中，不管是製程便利性或是相容性都已經過驗證，因此整體製程技術較為容易。
- (2)材料價格便宜;鋁材料相對於上述各種電極材料，有價格便宜及取得容易的優勢。
- (3)低阻值($2.7 \mu \Omega\text{-cm}$);鋁材料導電特性極佳，對於高頻特性來自電極的損失，可起有效降低的作用。

總結以上，本研究決定使用鋁基電極整合鈦酸鋇鉬薄膜電容，將被動元件(電容)整合入晶片之中，達成System On Chip(SOC)與整合型被動元件(Integrated Passive Device;IPD)之中，可以有效減少電容元件所佔據的空間。

但由於鈦酸鋇鉬薄膜濺鍍過程中，底電極需曝露在高溫、高氧環境下，容易使底電極產生氧化或各元素間交互擴散，進而產生中介層

(interfacial layer)影響整體元件之效能。所以需要擴散阻障層來避免氧原子擴散進入鋁電極，以及阻障底電極與鈦酸鋇鋁薄膜間交互擴散。

由目前使用於半導體產業中之阻障層材料；如TiN[7]、WN[8]、TaN[9]…等。上列材料中，以鈹(Ta)為主的氮化物為最廣泛應用的阻障層材料，其熱穩定性佳且與鋁不易形成化合物。因此本研究決定使用的阻障層為TaN、TiN二種材料，與鋁電極本身形成三層電極(TaN/Al/TaN) or(TiN/Al/TiN)來製作鈦酸鋇鋁電容元件。

本論文以製作鋁基電極之鈦酸鋇鋁薄膜電容元件，利用底電極之前處理、鈦酸鋇鋁薄膜之後處理以及改變介電層之結構以改善電容元件之特性。物性方面以SEM與TEM進行沉積率與膜厚分析，以XRD分析薄膜的結晶性，以AES對各膜層縱深成分進行分析以探討元素擴散情況，在薄膜表面粗糙度方面使用AFM機台進行量測，電性量測方面如電流密度、電容密度。希望針對鋁基電極整合鈦酸鋇鋁薄膜電容進行可行性探討。

第二章 基本理論與文獻回顧

2-1 鈦酸鋇系鐵電材料

2-1-1 鈦酸鋇基本特性

鈦酸鋇的單位晶胞(Unit cell)結構是 ABO_3 鈣鈦礦結構(perovskite structure)[1]，在室溫下的理論密度為 6.017g/cm^3 。如圖2-1所示，鋇原子佔據八個角落位置，氧原子佔據六個面心位置，鈦則位於體心位置。由於 Ba^{2+} 和 O^{2-} 的半徑分別為 1.43\AA 和 1.32\AA 可以形成一緊密的堆積，而在體心位置上的 Ti^{4+} 半徑為 0.64\AA ，因此有足夠大的空間可以在c軸方向上下移動。

由於在室溫下鈦在體心的位置可以有所偏移，此一特殊的特性便造成鐵電材料的自發性極化現象，如圖2-2所示[2]，此現象稱為「電滯現象」，如圖2-3所示，當材料受一電場E作用下，由零開始逐漸提高電場材料極化程度會由A→B到C點達到飽合狀態，但將電場逐漸移去到零極化程度由C→B到D點，也就是說當電場完全移去後材料內仍會有一殘留極化量(remanent polarization, P_r)。換句話說，在零電場時鐵電材料具有兩個穩定的殘存極化狀態($+P_r$ 、 $-P_r$)，可選擇為邏輯“0”與“1”，此特性對非揮發性記憶體的研究很重要。

由上討論可知，鐵電材料的順電相與鐵電相之間的變化，是由單位晶胞的幾何形狀改變所造成，故可由簡單的幾何關係推估各種摻雜離子對單位晶胞的影響，鈣鈦礦之堆積可由容忍因子 t (tolerance factor)來表示，定義為：

$$t = \frac{R_A + R_O}{\sqrt{2}(R_B + R_O)} \quad (2.1)$$

R_A 、 R_B 、 R_O 代表A、B、O離子半徑。 t 在 $0.9\sim 1.1$ 之間為鈣鈦礦結構；

t 在 0.95~1.0 則為立方晶； t 值較低則晶格輕微的扭曲形成非鐵電性 (non-ferroelectric)； $t > 1.0$ 為鐵電性。

鈦酸鋇在 1460°C 以上為非鐵電性的 hexagonal 穩定相結構， 1460°C 以下為不帶極性的立方晶系 (cubic) 鈣鈦礦結構，為順電相。當溫度下降至居禮溫度 130°C 時，立方晶體會沿著 c 軸伸長變成正方晶 (tetragonal)，使中心 Ti 離子亦會沿 c 軸稍微偏離原本中心位置，如此一來，便具有平行 c 軸的極性方向，具鐵電性。當溫度再下降到 0°C 以下，正方晶進行同質異相 (polymorphic) 轉變，沿面對角線來伸長，此時晶胞結構會變成斜方晶 (orthorhombic)，其極性方向亦轉變成平行面對角線。當溫度再繼續下降至 -90°C 以下時，斜方晶會變成沿體對角線延伸的菱形晶體 (rhombohedral)，鈦酸鋇整體結晶構造的轉變，如圖 2-4[1] 所示，其晶格參數與溫度間的關係，如圖 2-5[1]。

2-1-2 摻雜物對鈦酸鋇特性影響

為使鈦酸鋇材料能符合應用上的需求，可藉由添加一些摻雜物，以改善其電子特性。其中最常利用的方法為等價置換 (Isovalent Substitution)，將一些等價離子摻雜在鈦酸鋇內可用來取代 Ba^{2+} 或 Ti^{4+} 離子，進而改變其居禮溫度和改善其介電性質，常以 Pb^{2+} 、 Ca^{2+} 、 Sr^{2+} 取代 Ba^{2+} ，以 Zr^{4+} 、 Sn^{4+} 、 Hf^{4+} 取代 Ti^{4+} 。而 Ba^{2+} 、 Ti^{4+} 被取代最顯著的現象是居禮溫度的改變，如圖 2-6 所示。其中 Pb^{2+} 會使居禮溫度上升， Ca^{2+} 對居禮溫度影響不大。 Sr^{2+} 、 Zr^{4+} 、 Sn^{4+} 離子的等價置換可降低居禮溫度。鋇離子 (Sr^{2+}) 等價置換鋇離子 (Ba^{2+})，可視為鈦酸鋇 (SrTiO_3) 與鈦酸鋇混合而成的固溶液 (solid solution)。因 Sr^{2+} 離子半徑 (1.91\AA) 小於 Ba^{2+} 離子半徑 (1.98\AA)，

Sr_{2+} 的添加會導致在C軸方向上的晶格長度收縮，形成擬立方體結構(pseudo-cubic)。又 SrTiO_3 在室溫乃是順電相立方晶結構，故添加的Sr離子的數量越多，使鈦酸鋇居里溫度越往下降，介電常數亦可在操作溫度時調整至最大。

除此之外，**受體摻雜**(Acceptor Dopants)也是另外一種常使用的摻雜方式，發生在用來置換的離子其電荷量比其所置換的離子為低時。這通常發生在鈣鈦礦結構 ABO_3 中的B晶格位置，亦即 Ti^{4+} 離子處，其摻雜溶解度較為有限。如摻雜 Mn^{3+} ，可以降低電荷密度，增加熱游離的能障，使漏電流降低。摻雜 Al^{3+} ，會減少薄膜的結晶度及降低漏電流。若用來置換的離子其電荷量較被置換的離子為高時，稱為**施體摻雜**(Donor Dopants)，像是以 Nb^{5+} 、 Ta^{5+} 和 W^{6+} 等離子來置換鈦，多出的電子通常會在鈦的位置產生空缺，少許的摻雜可以中和受體雜質及消除因雜質產生的氧空缺[3]，進而改善鈦酸鋇鋁材料之漏電特性。

2-1-3 鈦酸鋇鋁薄膜之備製

由於鈦酸鋇鋁有許多優點，所以在DRAM應用與微波電容元件有許多討論。而鈦酸鋇鋁薄膜備製方式有許多種，如射頻磁控濺鍍法(RF magnetron sputtering)[4]、脈衝雷射剝鍍法(pulsed laser deposition; PLD)[5]、金屬有機化學氣相沉積(Metal organic chemical vapor deposition; MOCVD)[6]、溶膠-凝膠法(sol-gel)[7]等。其中還是以射頻磁控濺鍍法最常被使用，主要優點為[8]:

1. 成份比控制較穩定，固定製程參數可獲得成份比相同之薄膜；
2. 薄膜厚度控制較為方便，調整濺鍍時間即可有效控制薄膜厚度；
3. 製程污染情況較低，薄膜製程在高真空環境下完成，因此薄膜遭受

污染之機會較低。

因此本研究使用射頻磁控濺鍍法備製鈦酸鋇鋇薄膜，以整合鋁基電極整成元件並討論其高頻特性。

2-2 介電理論

2-2-1 極化機制以及頻率特性

介電材料在元件中主要是做為絕緣體與電容器，當絕緣體受外加電場作用時，內部電荷會產生位移因而形成電偶極(electric dipole)，導致極化產生而有介電性，如圖2-7[11]所示，共有四種不同的極化機制，如下所列[9, 10, 11]：

1. 電子極化 (electronic polarization)

由於外加電場的作用，使原子中電子作一相對的位移而產生電偶極矩的現象，稱為電子極化。

2. 離子極化 (ionic polarization)

由於外加電場的作用，使得分子中正負離子作一相對位移而產生電偶極矩的現象，稱為離子極化。

3. 配向極化 (orientation polarization)

當無外加電場時，具有任意排列的分子電偶極其偶極矩之和為零的物質，當施以外加電場時，電場會對這些分子偶極施力而產生力矩，如此這些分子便順著外加上到電場的方向排列，此為方向極化。

4. 介面極化 (space charge polarization)

當介電層內包含有兩種或兩種以上不同的物質，由於彼此導電性

的不同，載電體可能會在界面處減速或累積，而造成所謂空間電荷極化。

當介電物質受到外加電場作用時，其總極化量為以上四者總和，如公式(2.1)所示：

$$\sigma = \sigma_e + \sigma_i + \sigma_o + \sigma_s \quad (2.2)$$

其中 σ_e 為電子極化、 σ_i 為離子極化、 σ_o 為方向極化及 σ_s 為空間電荷極化的貢獻。如圖2-8[12]所示，如果外加電場是個交流電場，則這四種極化的反應速率皆不同。電子極化反應最快，可以跟隨交流電的頻率約至 10^{16} Hz，離子極化反應次之，可以跟隨交流電的頻率約至 10^{13} Hz，雙極極化反應再次之，可以跟隨交流電的頻率約至 10^{10} Hz，空間電荷極化反應最慢，可以跟隨交流電的頻率約至 10^3 Hz。

2-2-2 極化現象與相對介電常數

如圖2-9所示，代表一個平行板電容，而其間為介電材料的狀態下，當電容通以一直流電壓(D.C.)之後，其中一個導電板帶正電，另一個帶負電。因此電容器上的電荷量：

$$Q = CV \quad (2.3)$$

其中 C 為電容值(Capacitance)，單位為法拉(Farad)； V 為所加的電壓，單位為伏特(Volts)；電荷 Q 的單位為庫倫(Coulombs)。而電容值 C 的

大小是由導電板的面積 A 、介質材料厚度 d 所決定，關係如下：

$$C = \varepsilon_0 \frac{\varepsilon_r A}{d} \quad (2.4)$$

其中； ε_0 為真空的介電常數(Permittivity of Free Space)其值為 $8.85 \times 10^{-14} \text{F/cm}$ ； ε_r 則稱之為相對介電常數(Relative dielectric constant)，沒有單位，其值視不同的材料而定。因此相對介電常數便常被用來描述材料所能儲存的電荷量，介電常數越高則材料儲存的電荷量越大。由電容值計算公式，增加電容量有下列三種方法：

1. 提高相對介電常數；
2. 增加電容器的面積；
3. 降低介電層的厚度。

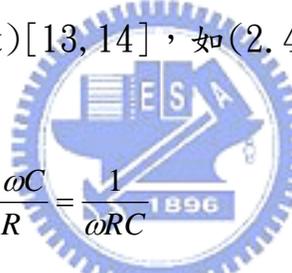
增加電容器的面積方面，目前有兩種較為常用的方法，一為深溝(Trench)，另一為堆疊(Stacked)，一般而言；這樣會增加整體製程的複雜度且增加幅度也有限。至於降低介電層的厚度方面，從物理的量子觀點得知，當厚度低於一定值時，電子便會產生穿隧效應(Tunneling Effect)，而直接引起漏電流，甚至造成介電崩潰現象(Dielectric breakdown)的產生。所以目前研究的焦點方向，都是放在增加介電層的相對介電常數來提升電容器之電容值。

2-2-3 介電崩潰強度

介電崩潰強度為材料在高電壓下儲存電量之量度。即在很高電場強度作用下，介電材料的價帶電子躍到導電帶始可導電，發生介電崩潰前所能允許之最大電場強度就稱為介電崩潰強度。介電崩潰強度越大，則薄膜電容器所能忍受之最大電場就越大。

2-2-4 介電損失及品質因子

當交流電流經介電物質時，隨著頻率電流極性改變，會造成一小部份的能量損失，這就是介電損失產生的主因。就一個完美的介質材料而言，在交流電場作用時會造成電壓信號與電流信號相差 90° 相位差，但實際上粒子的移動需要延遲一些時間，才會達到平衡位置。如圖2-10所示，此時充電電流(I_C)與外加交流電壓不再相差 90° ，而是 $90^\circ - \delta$ ，總電流為充電電流(I_C)與損失電流(I_I)之和。其中電流流經電阻器所產生的功率消耗，便是用來表示能量的損耗。其中 δ 就是因為弛緩而落後之相角(Phase Angle)，又稱為介電損失角(Dielectric Loss Angle)，而 $\tan \delta$ 稱為介質損失(Loss Tangent)[13,14]，如(2.4)式所示：


$$\tan \delta = \frac{I_I}{I_C} = \frac{X_C}{R} = \frac{1/\omega C}{R} = \frac{1}{\omega RC} \quad (2.5)$$

一般而言，以 $\tan \delta$ 來表示介電損失並稱之為正切介電損失(Dielectric loss tangent)， δ 稱之為介電損失角。一般電容器的好壞可以用 $\tan \delta$ 來表示，而陶瓷材料作為介電材料的最大優點之一，就是其介電損失比其他材料小很多。

介電材料能量損失路徑有三[2]，列於如下：

1. 離子遷移損失(Ion migration losses)
 - (a) Dc傳導損失(Dc conductivity losses)
 - (b) 離子躍遷與偶極鬆弛損失(Ion jump and dipole relaxation losses)
2. 離子震動與變形損失(Ion vibration and deformation losses)
3. 電子極化損失(Electron polarization losses)

電子極化損失部分會導致介電材料吸收可見光，而顯現出顏色。而在紅外線區域，離子震動與變形損失相當重要。在頻率低於 10^{10} Hz的部分，它就不是主要因素，而真正主要影響則是離子遷移損失，其值在低頻率時較大，且隨溫度升高而增大。而圖2-11[2]所示為在室溫條件下，三種介電損失機構在 $\tan \delta$ 中所佔的比例。此外，定義介質損失 $\tan \delta$ 之倒數為品質因子 Q ($Q=1/\tan \delta$)。介電質的介電損失越小，即 Q 值越大，對高頻元件實用性就越大。

2-2-5 漏電流

薄膜漏電流大小為元件製作上非常重要的參數。漏電流過大將無法儲存電荷而造成資料的流失甚至於介電崩潰，故保持良好的絕緣特性與降低漏電流為發展上的一大關鍵。漏電流的機制大致上可分為以下幾種：

- (1) 穿遂效應(Tunneling Effect)；
- (2) 蕭特基發射(Schottky Emission)；
- (3) 空間電荷限制傳導(Spaced-Charge Limited Conduction)；
- (4) 離子傳導(Ion Conduction)；
- (5) 普爾-夫倫克爾放射(Poole-Frenkel emission)

在鐵電薄膜中，漏電流現象發生在金屬導體與介電材料之介面。它是在外加電場的作用下，金屬中的電子熱激發，從金屬電極越過介面的能障，進入介電質的導帶產生熱放射現象，造成漏電流的產生，此現象稱為能障限制(Barrier Limited)。蕭特基發射與穿遂效應是屬於此限制的範圍，如圖2-12所示。另外漏電流現象發生在薄膜缺陷中的電子受到熱激發至薄膜中的導帶造成漏電流，稱之為本體限制(Bulk Limited)。空間電荷限制傳導、本質傳導與普爾-夫倫克爾放射是屬於此限制的範

圍，如圖2-13所示。由一些文獻中得知，影響薄膜的漏電流機制為能障限制的Schottky Emission(SE)與本體限制的Poole-Frenkel(PF)[15, 16]。

從SE 傳導機制之漏電流如(2.5)式所示：

$$J = A^*T^2 \exp\left[\frac{\beta_{SE}E^{1/2} - \Phi_{SE}}{k_B T}\right] \quad (2.6)$$

其中 $\beta_{SE} = (e^3 / 4\pi\epsilon_0\epsilon)^{1/2}$ ，A*是Richardson常數， Φ_{SE} 是位能障；經過計算後，可以求得其斜率公式：

$$\ln J = \frac{\beta_{SE}E^{1/2}}{k_B T} + \left[\ln(A^*T^2) - \frac{\Phi_{SE}}{k_B T} \right] \quad (2.7)$$

$$Slope = \frac{\beta_{SE}}{k_B T} \quad (2.8)$$

PF 傳導機制之漏電流如(2.8)式所示：

$$J = J_0 \exp\left[\frac{\beta_{PF}E^{1/2} - \Phi_{PF}}{k_B T}\right] \quad (2.9)$$

其中 $\beta_{PF} = (e^3 / \pi\epsilon_0\epsilon)^{1/2}$ ，e是電子電荷， ϵ_0 是空氣的介電常數， ϵ 是材

料的介電常數， T 是絕對溫度， E 是外加電場， k_B 是波茲曼常數， Φ_{PE} 是位能障。經過計算後，可以求得其斜率公式：

$$\ln J = \frac{\beta_{PE} E^{1/2}}{k_B T} + \left[\ln(J_0) - \frac{\Phi_{PE}}{k_B T} \right] \quad (2.10)$$

$$Slope = \frac{\beta_{PE}}{k_B T} \quad (2.10)$$

2-3 薄膜沉積原理

2-3-1 沉積機制

晶片(Wafer)上之所以產生薄膜，初始於分佈在晶片表面上的許多粒子，如原子、原子團和離子等。經由化學反應之後，產生許多固態的粒子，並沉積在晶片表面上[17]。或是經由表面擴散運動而失去部分的動能後，被晶片表面所吸附，進而沉積於晶片表面上。薄膜沉積的機制如圖2-14所示，依發生的前後順序，可分為下列幾個步驟：

- (1)長晶：通過邊界層到達wafer表面的氣體粒子，在表面失去部分的動能之後，物理性地被wafer表面所吸附。
- (2)晶粒成長：當薄膜的沉積進入個別晶粒成長後，氣相中傳來的粒子經由碰撞，成為晶粒的一部份。
- (3)晶粒聚結：原本個別獨立的晶粒，開始成長且增加其半徑，使得晶粒大到開始與附近的其他晶粒相接觸。
- (4)縫道填補：當晶粒與晶粒之間形成縫道，其所吸附的原子將不斷的

沉積，而將此縫道填滿。

(5)沉積膜成長：當晶粒與晶粒之間的縫道填滿後，完整的薄膜初步在表面形成，隨著時間的增加而增加膜厚。

2-3-2 薄膜表面及截面結構

針對以物理氣相沉積法(PVD, Physical Vapor Deposition)製成之薄膜，其微觀結構是由Thornton[18]所提出之SZM(Sputter-Zone Model)所決定，如圖2-15所示。隨著濺鍍的功率、基板溫度、氣體濃度、真空壓力的改變，會有不同的吸附原子在表面擴散，在適當的階梯或頸結位置下聚結，進而形成不同的微觀結構。其中：

Zone 1是顯示結合性較差的柱狀顆粒結構，其截面上為含有空隙之組織。

Zone 2是顯示針狀結構，其截面上有明顯的圓柱組織。

Zone T是介於Zone 1和Zone 2之間的過渡組織，是一種有著緊密排列的纖維狀組織。

Zone 3上面的結晶是由於整個擴散現象和再結晶所形成的結果。

2.4 射頻磁控濺鍍原理

濺射(Sputtering)現象是利用電位梯度將離子(通常選用鈍氣離子)加速並撞擊靶材(陰極)，經由動量及能量轉移，把原子從靶材表面撞擊出來，使其沉積於基板(陽極)的一種物理現象[19]。

2-4-1 磁控濺鍍

傳統的直流二極濺射系統雖然構造簡單，但濺鍍時基板溫度往往會上升至幾百度，且濺鍍薄膜的速度太慢；為了解決上述問題，於是發展出一種高速低溫的濺射方法稱為磁控濺射[20]。如圖2-16所示，當磁控濺射產生時，由於陰極靶面上有一個封閉的環狀磁場，可使腔室中的自由電子沿磁場線產生螺旋狀迴旋，增長其行進路徑，也增加電子撞擊出氣體離子的機率，能有效地提高離子體密度，在不利於氣體電離的條件下，仍然可以獲得很高的靶面電流密度。整體而言，磁控濺射不僅擁有鍍膜速度快與基板溫度低等優點外，同時具有大量生產、分段鍍膜與低輻射損傷等特點，所以非常適合於薄膜工程、半導體與光電元件等方面的應用。

2-4-2 射頻濺射



在濺射系統中，當兩個電極之間接上射頻(Radio frequency, RF)電源，則形成射頻濺射裝置。在射頻電源(13.56MHz)的交變電場作用下，氣體中的電子隨之發生震盪。氣體原子受到這些震盪電子的碰撞而離子化。射頻電源下的陰極電位等效為一恆定負電位，加上隨頻率而變的弦波電位，當靶面處於脈動電位的正半週時，脈動電位與恆定負向電位相互抵消。處於負半週時則相互疊加這疊加之負電位，使得離子加速而轟擊靶面並產生濺射效應。射頻濺射最大優點就是可用於介電陶瓷材料的濺鍍及可在較低壓力下進行濺鍍，傳統直流濺鍍只能濺鍍金屬靶材。其缺點是大功率的射頻波對人體有害，且射頻電源供應器比直流電源複雜很多。

2-6 文獻回顧

2-6-1 薄膜成分比的影響

在射頻磁控濺鍍的製程研究中，前人以成分 $Ba_xSr_{1-x}TiO_3$ 的靶材進行濺鍍，發現鈦酸鋇鋇薄膜的成分 $(Ba+Sr)/Ti$ 比小於1，因此研究上使用自製的陶瓷靶材，在燒結的過程增加過量的鈦酸鋇及鈦酸鋇，希望得到比較接近計量比的薄膜[31-34]。在另外一些文獻中[35, 36]，以 $Ba_{0.5}Sr_{0.5}TiO_3$ 成份比的靶材，經由調整濺鍍時的工作壓力(22m torr-58m torr)，發現到在比較高的工作壓力下，可以得到比較接近靶材之計量比的鈦酸鋇鋇薄膜，且其薄膜的相對介電常數與介電可調性也比較高。但是對於其優異值(FOM, Figure of Merit) ($FOM = Tunability / \tan \delta$)而言，反而是在最不符合計量比的情況下(22mtorr)所得到的值是最大的。

2-6-2 基板溫度的影響[37, 38, 39]

鈦酸鋇鋇薄膜濺鍍的過程中通常會對基板直接加熱。主要目的是希望提供足夠的能量，使濺鍍到基板上的原子可以移動到晶格排列的位置，使薄膜有較高的結晶性，這樣濺鍍出來的薄膜會有較高的介電常數。相對來說濺鍍過程中未加溫的情況，其組織多為非晶(Amorphous)的相對介電常數約為20-30。而在濺鍍過程中有加溫的情況，隨基板溫度的提高薄膜的結晶性也會提高，在基板溫度達 $600^{\circ}C$ 以上的情況中，可以獲得介電常數達到200-300的鈦酸鋇鋇薄膜。另外，在一些探討鈦酸鋇鋇薄膜在高頻應用的文獻[37]指出，鈦酸鋇鋇薄膜在較低結晶度的情況下，有較低的介電損失與較高的介電強度。

2-6-3 薄膜厚度的影響

在探討厚度對鈦酸鋇鋇薄膜電性的影響文獻[40]指出，薄膜厚度對

晶粒大小有相當重要的影響，一般而言，薄膜厚度降低會造成晶粒大小降低，而晶粒越大相對介電常數也越大；且薄膜厚度越薄漏電流也會提高。另外，在另一份研究文獻[41]指出，整體介電層的電容值等於薄膜與界面層兩個電容並聯，如(2.11式)所示，因此介電層薄膜厚度越厚的情況，可以降低界面層的影響進而提昇整體元件的電容值。

$$\frac{1}{C_{total}} = \frac{1}{C_{BST}} + \frac{1}{C_{int}} \quad (2.11)$$

2-6-4 後處理的影響

退火

將備製完成的鈦酸鋇鋇薄膜，在含有氧氣、氮氣或氫氣等不同氣氛下的環境退火，結果發現在含有氧氣氣氛下退火的鈦酸鋇鋇薄膜，漏電流密度表現優於其他退火的氣氛[42, 43]。主要原因是由於在高溫含氧的環境下，氧原子獲得足夠的能量進入到薄膜內，修補濺鍍過程中由氧離子不足所造成的氧空缺，進而改善了薄膜的品質。另外在退火溫度足夠高的情況，也能有改善薄膜結晶性的效果，因此相對來說，也增加了薄膜介電常數。

氧電漿處理

將備製完成的鈦酸鋇鋇薄膜，經由氧氣電漿處理，也有修補氧空缺的功效。相對來說也可降低薄膜的漏電流，以氧電漿來處理薄膜相對退火製程，有製程溫度低的優點。在另外一份有關以氧電漿處理鈦酸鋇鋇薄膜的研究中[44]指出，在整合製程中鈦酸鋇鋇薄膜在經過乾蝕刻後，會產生許多殘留顆粒。作者以氧電漿處理蝕刻後薄膜，發現氧電漿能有

效清除殘存顆粒，換言之，氧電漿處理對於上電極與介電層接面有平整之功用。

2-6-5 濺鍍氣氛的影響

以濺鍍法沈積氧化物薄膜時，因為氧正離子容易由化合物中游離結合成為氧氣跑掉，所以在薄膜裡面中氧原子便會產生不足的現象，在這些原先氧該在的位置沒有氧，稱之為”氧空缺”。這些空缺就與本質半導體內的摻雜相同，使薄膜在電場作用下產生漏電流，因此必須加以避免，其中最有效而直接的方式就是在濺鍍過程中，除了通入氬同時加氧氣補充薄膜內的氧以減少氧空缺，然而通入氧氣分壓比越高卻會導致沉積率降低。在文獻[45]並指出，通入有氧氣濺鍍情況下，薄膜的介電常數會提高而漏電流密度會降低。

除了在射頻磁控濺鍍系統所使用的改變基板溫度、濺鍍氣氛以及退火步驟以外，有一些研究則是以改變鈦酸鋇鈣的介電層結構，藉由改變接近電極介面的鈦酸鋇鈣層的製程參數，形成所謂的三明治結構[35, 36]。結果顯示此情況下備製鈦酸鋇鈣薄膜電容器，在漏電流以及介電崩潰(Dielectric breakdown)的表現上有明顯改善。因此對於射頻磁控濺鍍鈦酸鋇鈣薄膜的研究而言，可以藉由改變不同的製程參數，來改善薄膜性質[46]。

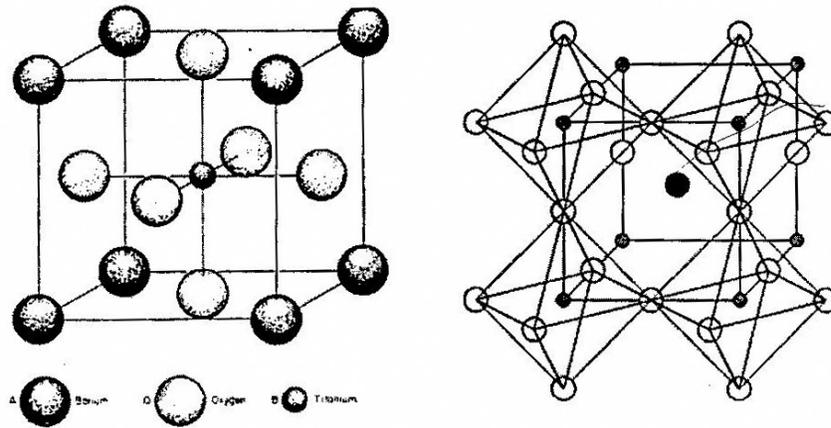


圖2-1. 溫度高於居里溫度時的理想鈣鈦礦結構示意圖

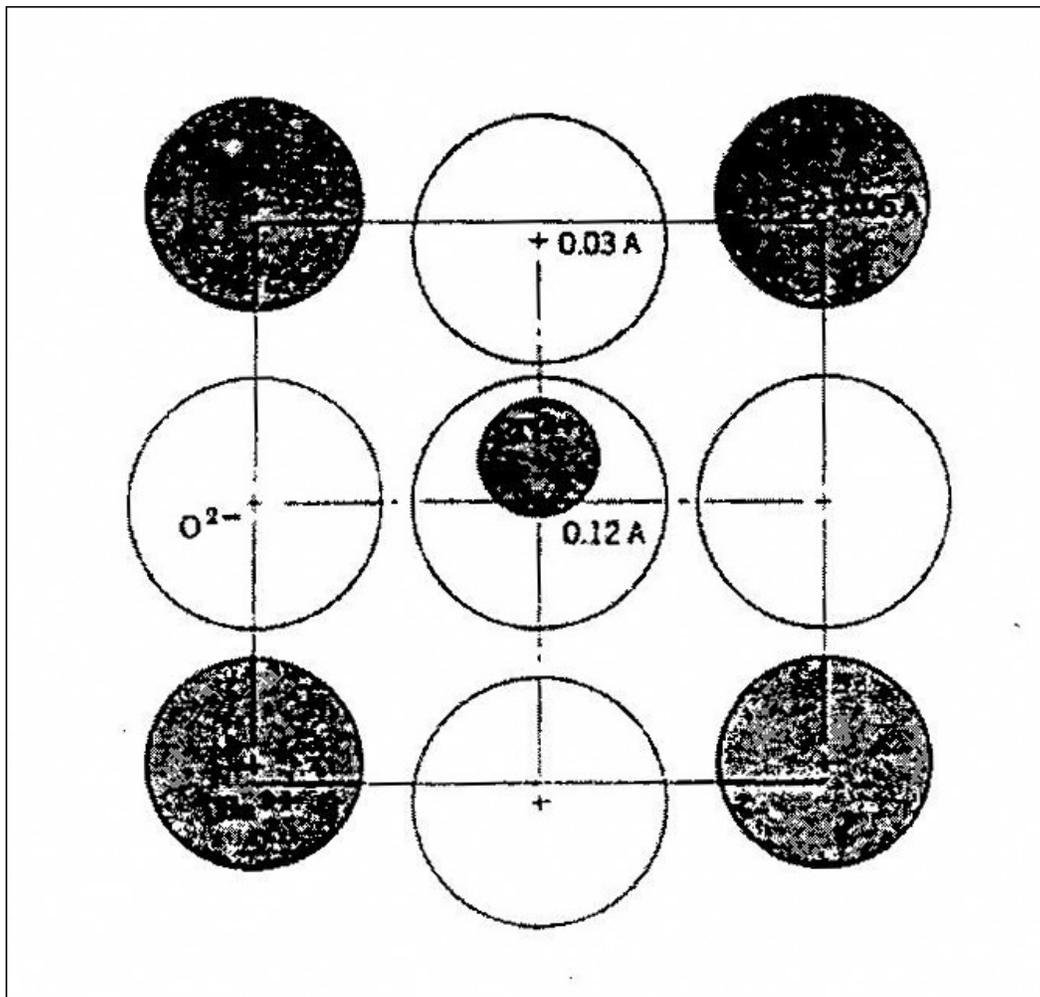


圖2-2. 溫度低於居里溫度時，鈦離子偏移示意圖

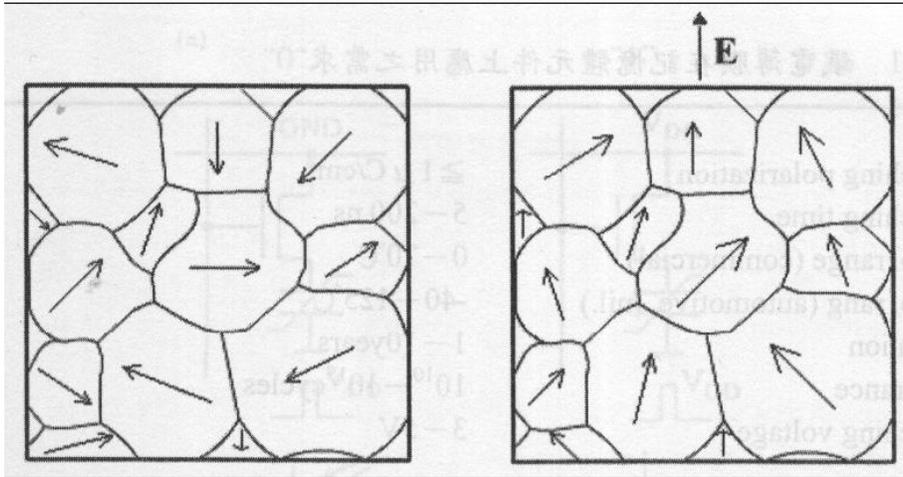


圖2.3 鐵電域極化情形

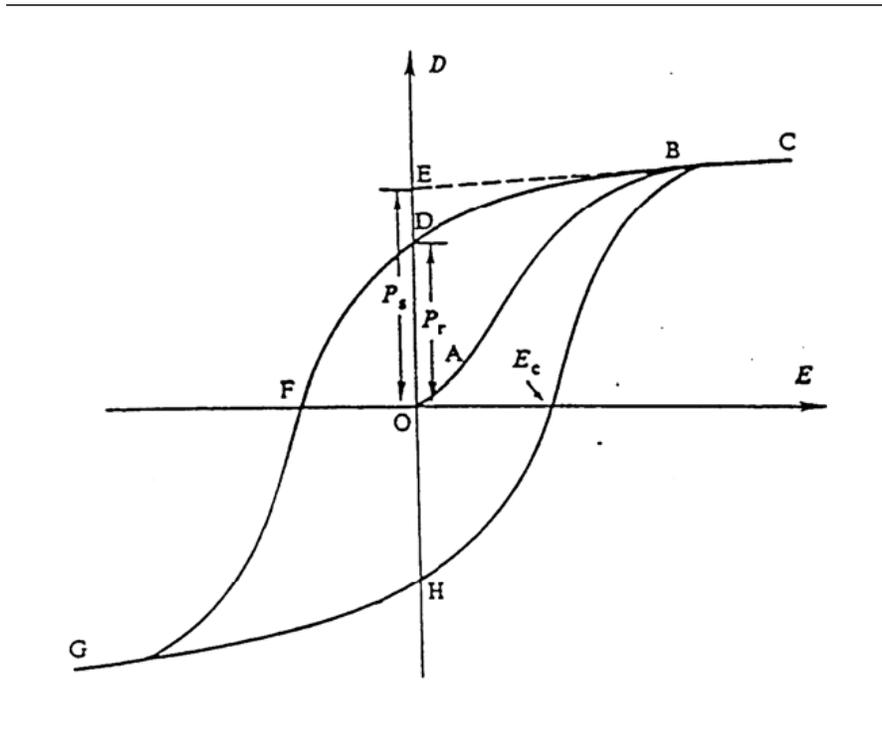


圖2.4 典型鐵電材料之電滯曲線圖

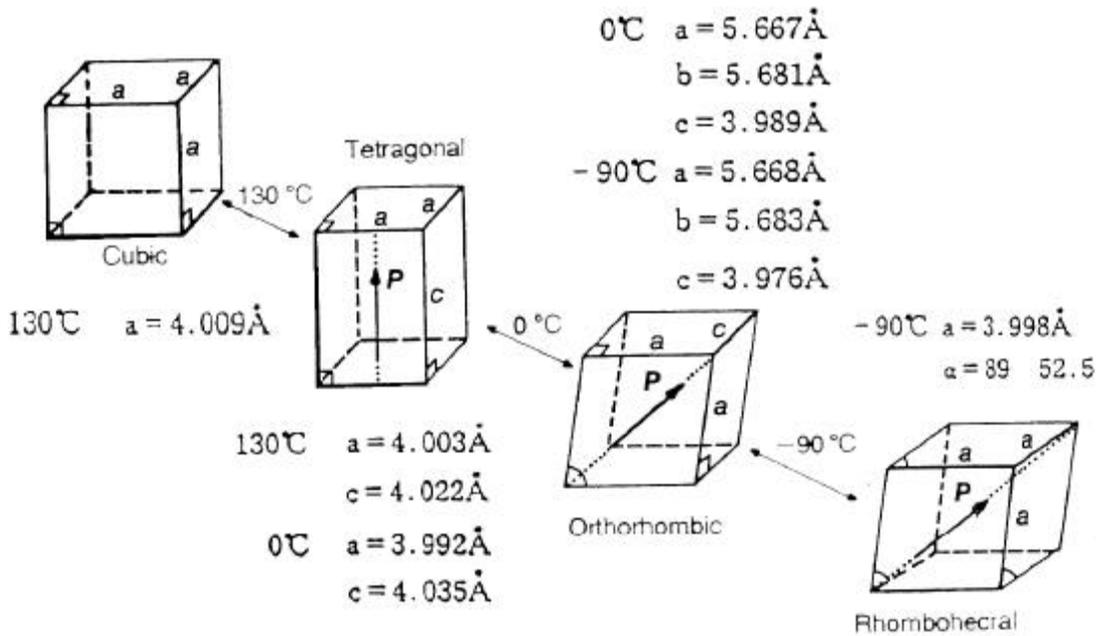


圖2-4. 鈦酸鋇相轉變之結晶構造與溫度關係圖

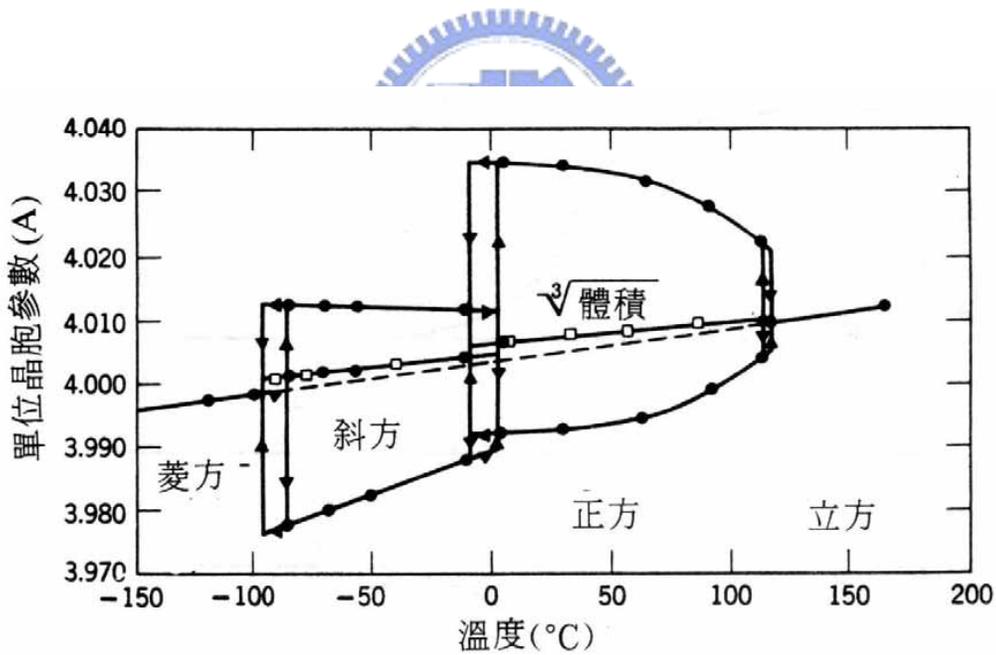


圖2-5. 鈦酸鋇之晶格常數隨溫度變化之關係

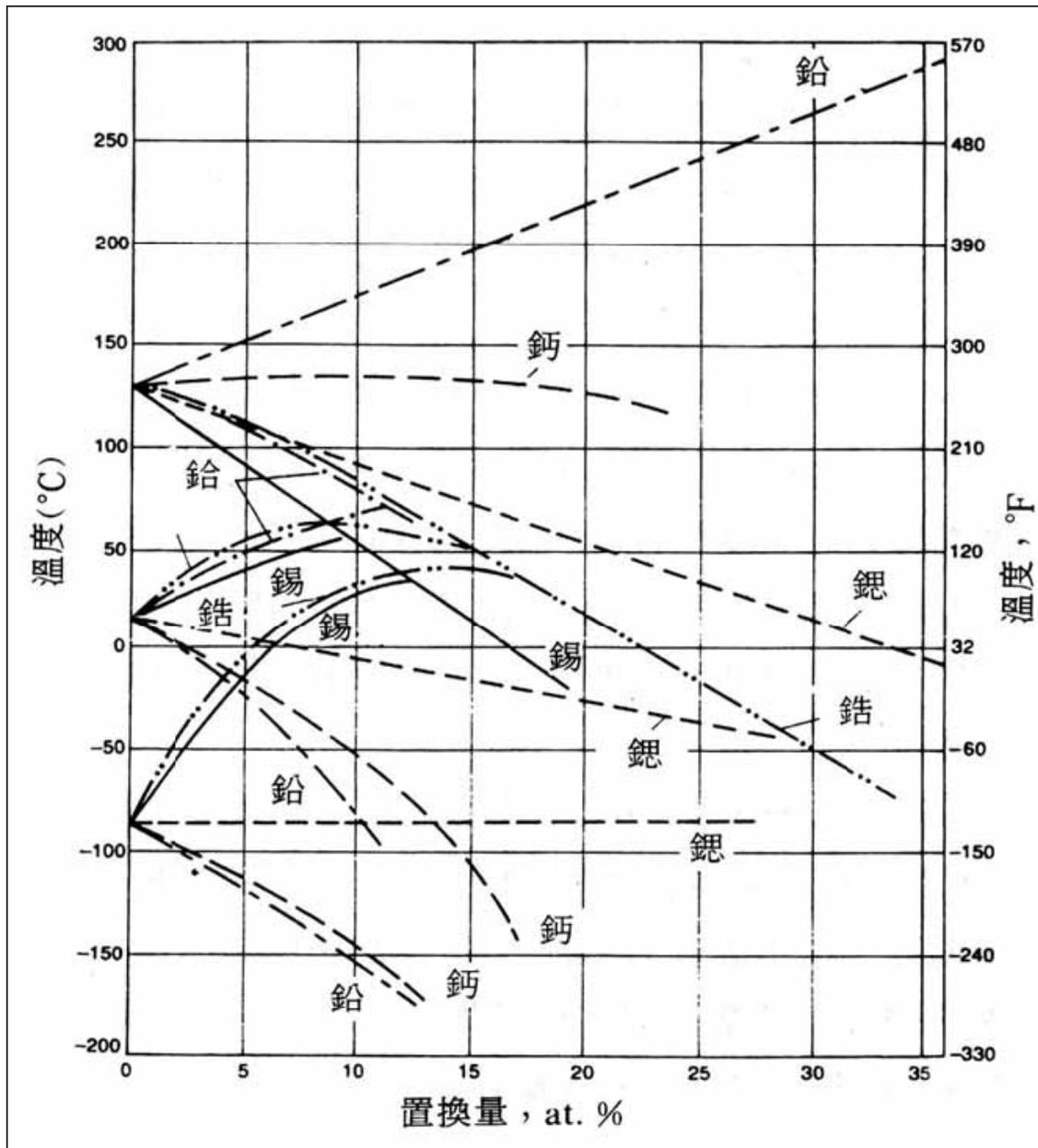


圖2-6. 等價置換對鈦酸鋇相轉換溫度之影響

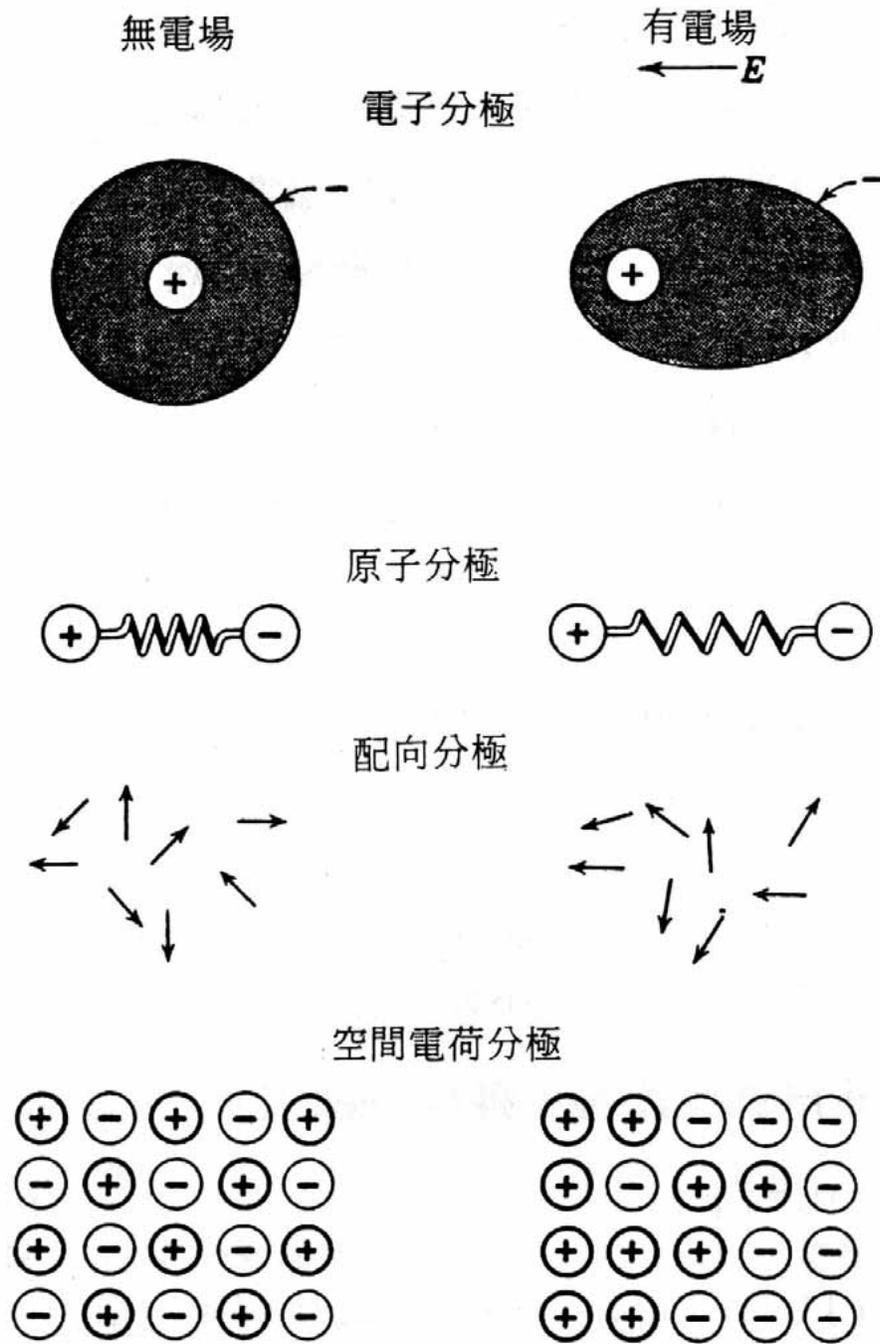


圖2-7. 不同極化機構之示意圖

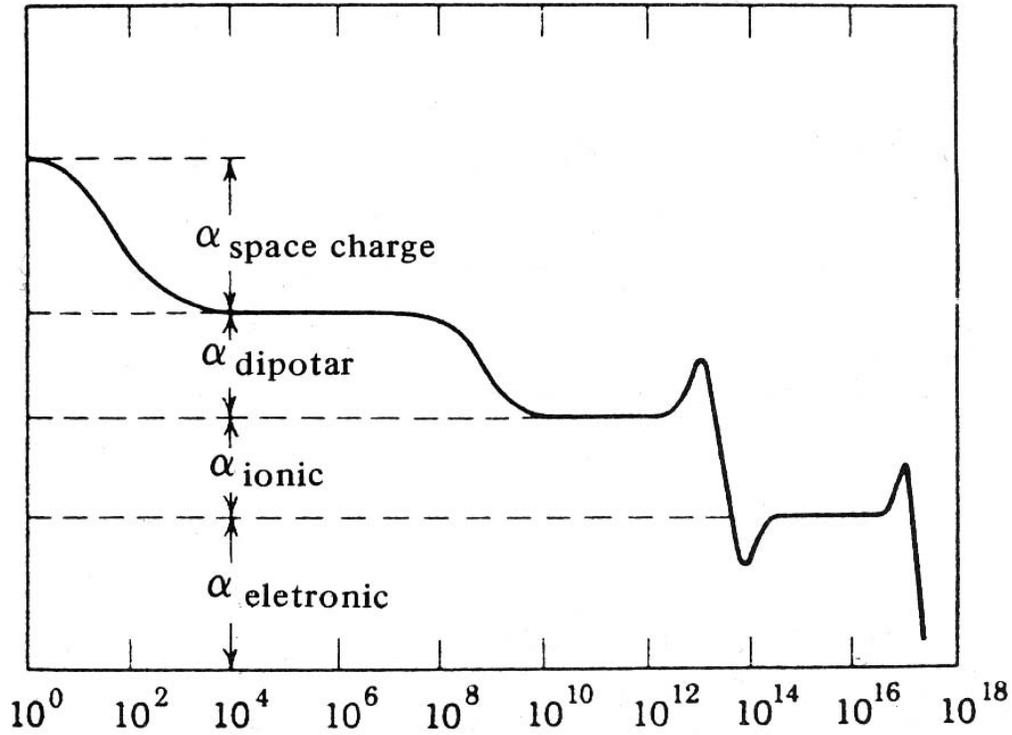


圖2-8. 不同分極率與頻率之關係圖

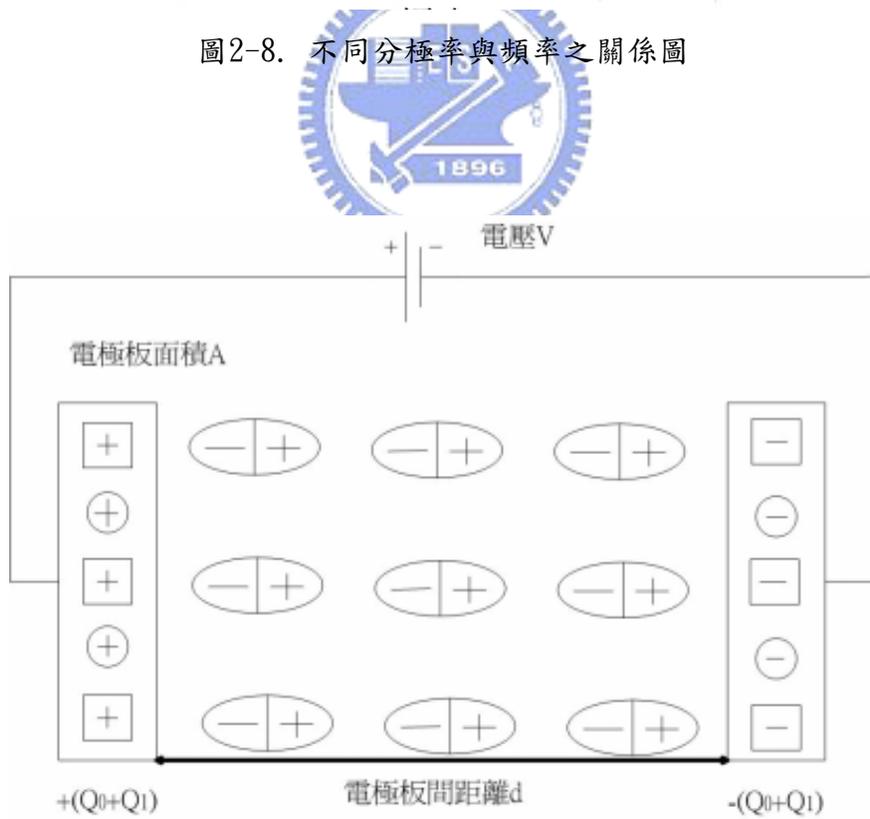


圖2-9. 平行板電容示意圖

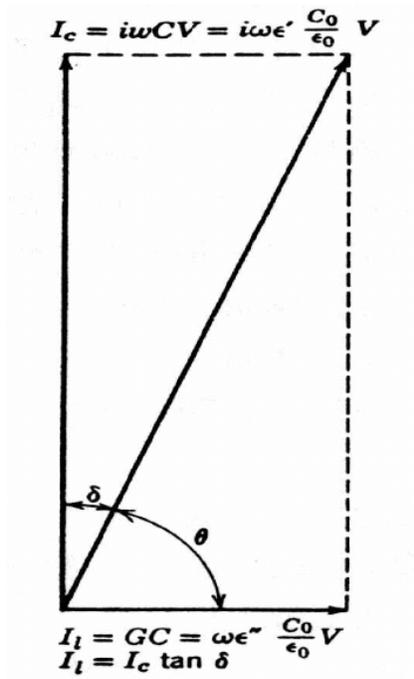


圖2-10. 介電材料內充電電流與損失電流示意圖

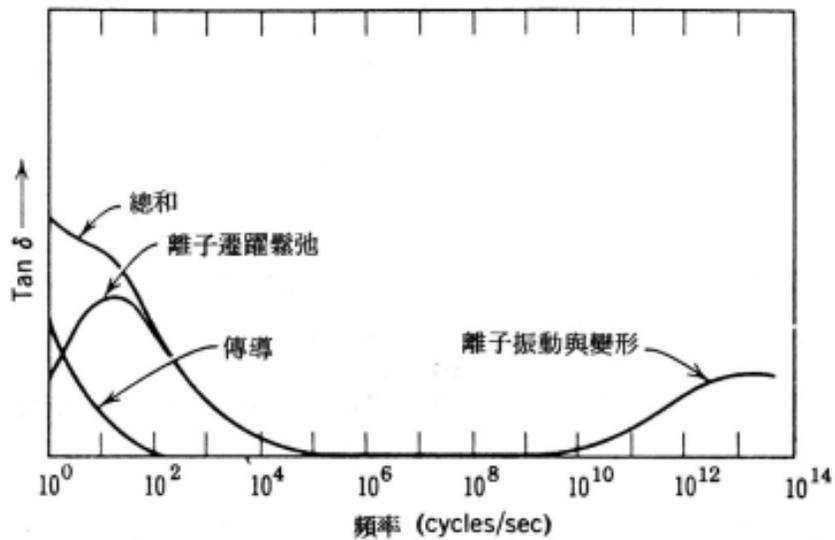


圖2-11. 室溫下，三種介電損失機構所佔的比例。

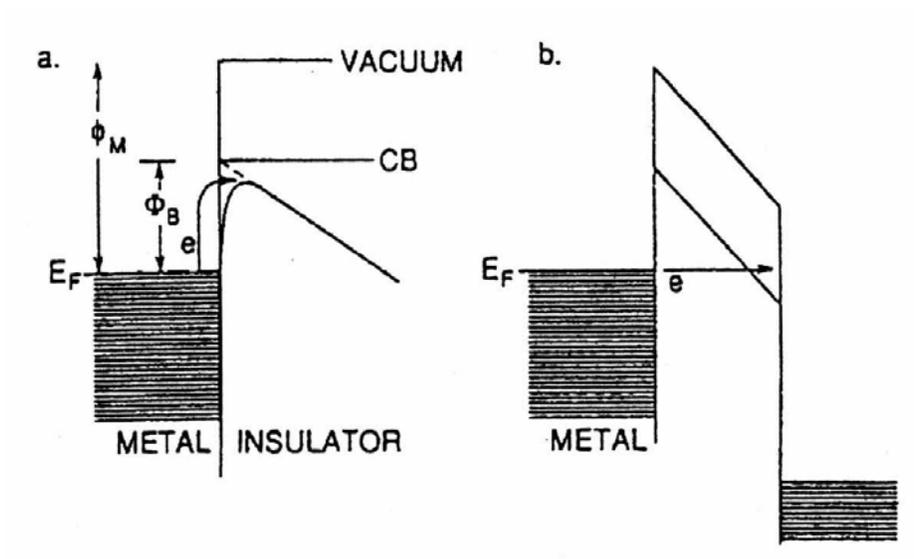


圖2-12. Barrier limited 傳導機構；(a) Schottky emission，
與(b) Tunneling

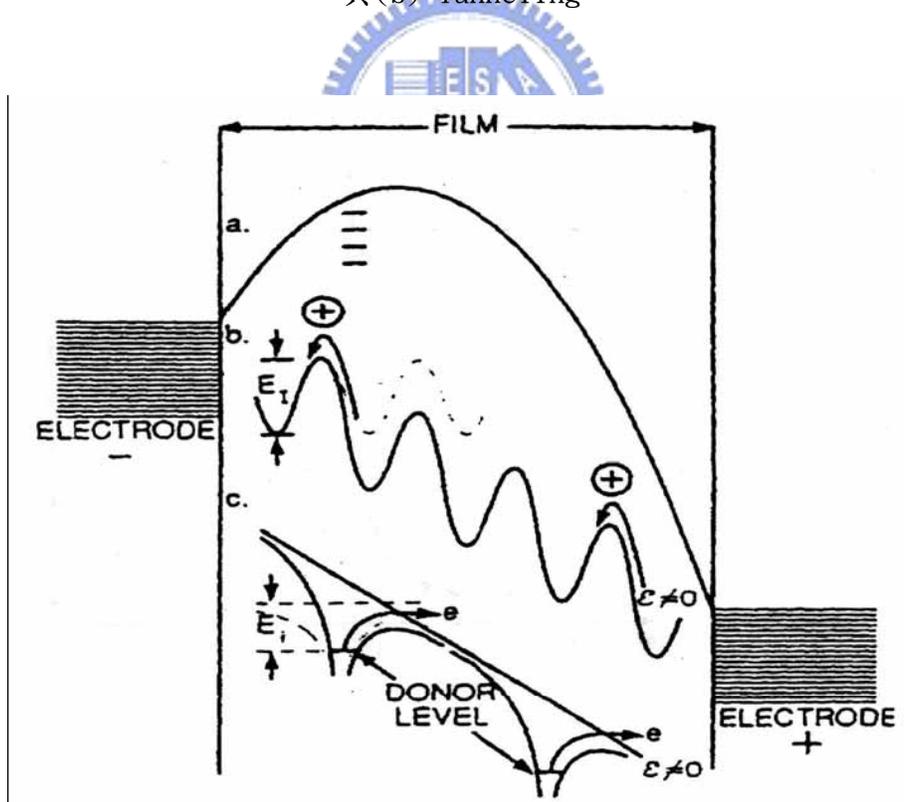


圖2-13. Bulk limited 傳導機構；(a) 空間電荷限制傳導，(b)
離子傳導，與(c) Poole-Frenkel

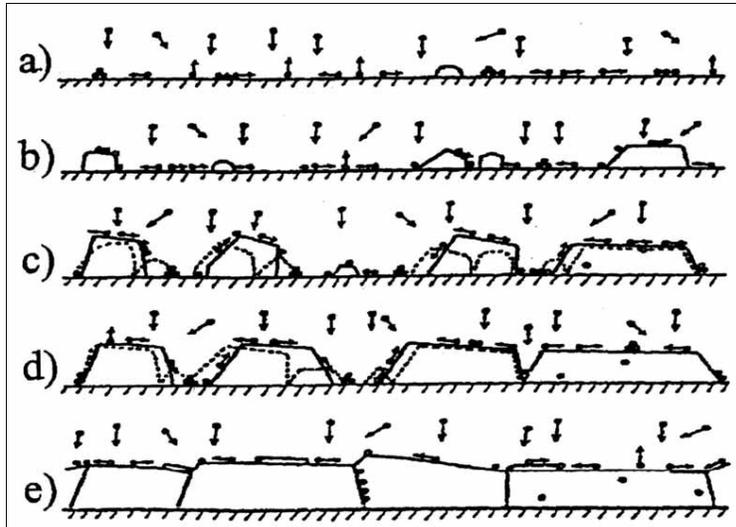


圖2-14. 薄膜沉積步驟，(a)長晶、(b)晶粒成長、(c)晶粒聚結、(d)縫道填補、(e)薄膜的沉積

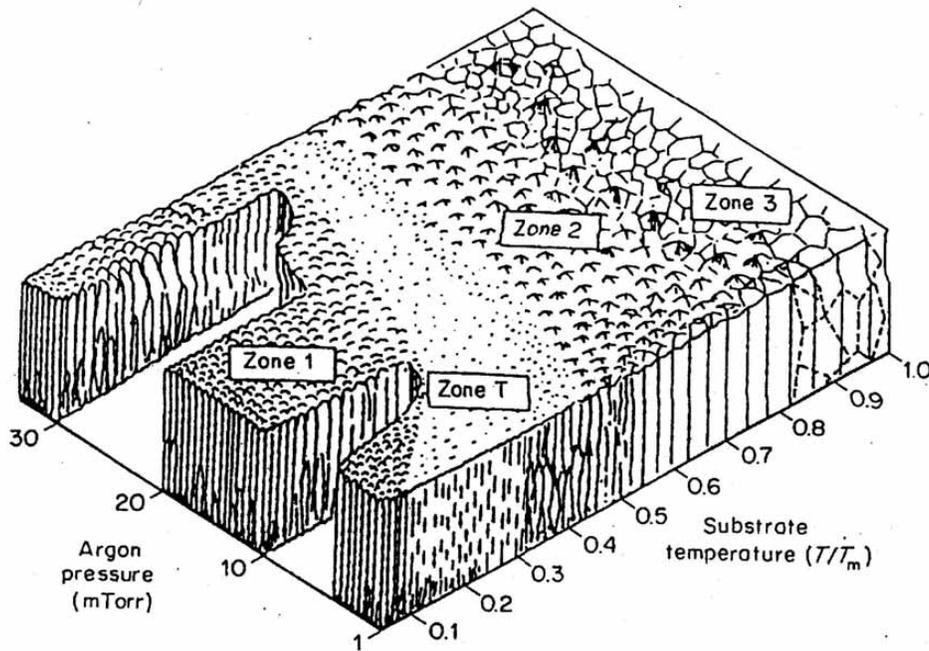


圖2-15. 濺鍍參數對沉積薄膜之影響

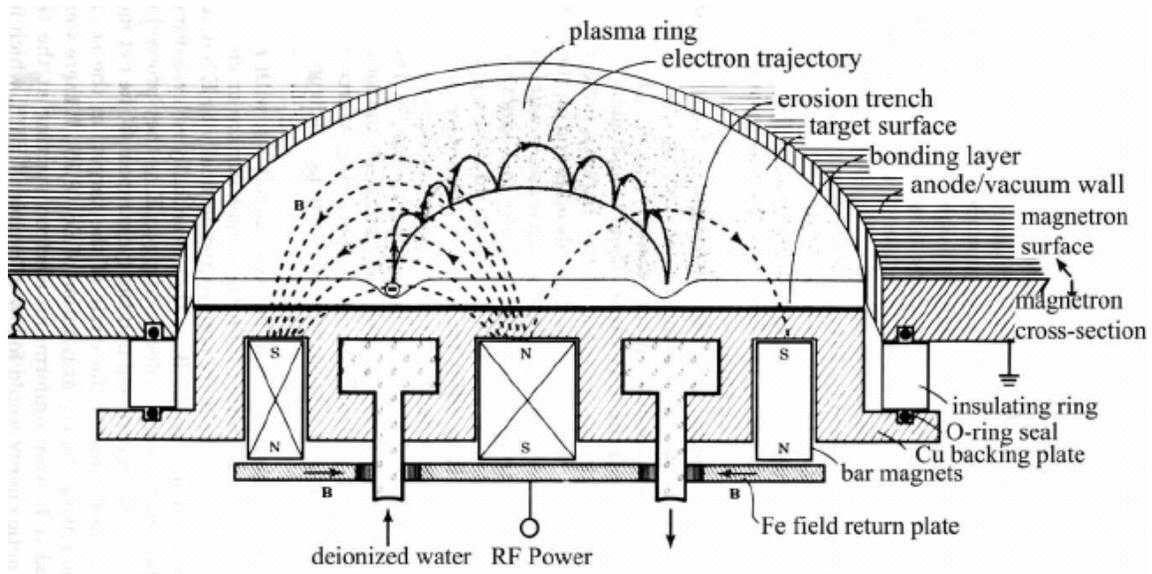


圖2-16. 平面磁控結構及電子運動路徑



第三章 實驗儀器與實驗步驟

3-1 實驗儀器

3-1-1 元件備製設備

3-1-1-1 電極濺鍍系統

金屬濺鍍系統(metal sputter system)

原理:利用電漿(Plasma)反應沉積薄膜,所謂電漿是一種遭受部分離子化的氣體(Partially Ionized),濺鍍腔體內部結構分為陰極和陽極的部分,在陰極板上放置靶材(Target),陽極板上放置晶片(Wafer),腔體內通入所需製程氣體,在兩電極上施以電壓,當電極板間的氣體分子濃度在某一特定的區間,電極板表面因離子轟擊(Ion Bombardment)所產生的二次電子(Secondary Electrons),在電極所提供的電場下,將獲得足夠的能量,而與電極板間的氣體分子因撞擊而進行所謂的“解離(Dissociation)”、“離子化(Ionization)”及“激發(Excitation)”等反應,濺鍍的沉積機制,大致上可以分為下列幾個步驟:

- (1) 電漿內所產生的部分離子,將脫離電漿並往陰極板移動。
- (2) 經電場的加速的離子將撞擊(Bombard)在陰電極版的表面,且因此而轟擊出電極板原子。
- (3) 被擊出的電極板原子將進入電漿內,且最後將傳遞至放置晶片的電極板上。
- (4) 這些被吸附(Adsorbed)在晶片表面的吸附原子(Adatoms),將進行薄膜的沉積。

儀器介紹:本研究所使用之金屬濺鍍系統型號為:ULVAC Sputter

SBH-3308RDE。主要濺鍍金屬有Al、Cu、Ta。濺鍍過程中通入

直流電壓(DC Power)，最大直流功率為 3 KW；濺鍍時則以Ar、 N_2 為濺渡與反應氣體。基本真空能力(base pressure)約為 5×10^{-7} torr，濺渡時工作壓力約 6×10^{-3} torr。

3-1-1-2 底電極處理系統

電漿增強式化學氣相沈積系統(PE-CVD system)

原理:電漿增強式化學氣相沈積技術原理是使用電能產生低溫電漿作能量源，樣品置於低氣壓下輝光放電的陰極上，利用輝光放電使樣品升溫到預定的溫度，然後通入適量的反應氣體，氣體經一系列化學反應和電漿反應，在樣品表面形成固態薄膜。PECVD方法區別於其它CVD方法的特點在於電漿中含有大量高能量的電子，它們可以提供化學氣相沈積過程所需的活化能。電子與氣相分子的碰撞可以促進氣體分子的分解、化合、激發和電離過程，生成活性很高的自由基(Radicals)會急速的增加化學反應速率，因而顯著降低CVD薄膜沈積的溫度範圍，使得原來需要高溫下才能進行的CVD過程得以在低溫實現。

儀器介紹：本研究所使用之PE-CVD系統型號:STS MULTIPLEX CLUSTER SYSTEM。共有四個腔體可供使用，本研究主要利用電漿反應對電極表面進行改質。

腔體一: NH_3 Plasma，製程溫度約 $300^\circ C$ 。

3-1-1-3 介電層製備系統

射頻磁控濺鍍系統

原理:相較於直流濺射系統，射頻磁控濺鍍系統主要有兩個不同的部份，首先在濺射系統部份，當兩個電極之間接上射頻(Radio frequency, RF)電源。製程氣體在射頻電源(13.56MHz)的交變電場作用下，氣體中的

電子隨之發生震盪而離子化。射頻電源下的陰極電位等效為一恆定負電位，加上隨頻率而變的弦波電位，使得離子轟擊陰極靶面，並在因頻率改變的電位週期，進行陰極累積電荷平衡。因此射頻濺射最大優點就是可用於介電陶瓷材料的濺鍍及可在較低壓力下進行濺鍍，而傳統直流濺鍍只能濺鍍金屬靶材。

另外一個明顯的不同，射頻磁控濺鍍系統在陰極靶面上有一個封閉的環狀磁場，可使腔室中的自由電子沿磁場線產生螺旋狀迴旋，增長其行進路徑，也增加電子撞擊出氣體離子的機率，能有效地提高離子體密度，因此在不利於氣體電離的條件下，仍然可以獲得很高的靶面電流密度。整體而言，射頻磁控濺射不僅擁有鍍膜速度快與基板溫度低等優點外，可濺鍍導體非導體靶材，同時具有大量生產、分段鍍膜與低輻射損傷等特點，所以非常適合於薄膜工程、半導體與光電元件等方面的應用。

儀器介紹：本研究所使用之射頻磁控濺鍍系統，主要製程氣體包括：Ar、 O_2 兩種製程氣體，工作壓力為10mTorr，基板昇溫範圍為常溫至500°C。

3-1-1-4 介電層處理系統

常壓退火爐管

原理：對退火材料提供足夠的溫度與時間，使介電層薄膜晶格重新排列，增加介電層結晶度與減少晶格缺陷，進而改善材料的特性。

儀器介紹：本研究所使用之退火爐管系統：

- 1.Low K退火爐管：製程溫度 150~600°C；製程氣體： N_2 、 O_2 。
- 2.金屬退火爐管：製程溫度 150~600°C；製程氣體： N_2 。

電漿增強式化學氣相沈積系統(PE-CVD system)

原理:電漿增強式化學氣相沈積技術原理是使用電能產生低溫電漿作能量源，樣品置於低氣壓下輝光放電的陰極上，利用輝光放電使樣品升溫到預定的溫度，然後通入適量的反應氣體，氣體經一系列化學反應和電漿反應，在樣品表面形成固態薄膜。PECVD方法區別于其它CVD方法的特點在於電漿中含有大量高能量的電子，它們可以提供化學氣相沈積過程所需的活化能。電子與氣相分子的碰撞可以促進氣體分子的分解、化合、激發和電離過程，生成活性很高的自由基(Radicals)會急速的增加化學反應速率，因而顯著降低CVD薄膜沈積的溫度範圍，使得原來需要高溫下才能進行的CVD過程得以在低溫實現。

儀器介紹：本研究所使用之PE-CVD系統型號:STS MULTIPLEX CLUSTER SYSTEM。共有四個腔體可供使用，本研究主要利用電漿反應對介電層薄膜近行電漿處理。

腔體二: O_2 Plasma，製程溫度約 $200^{\circ}C$ 。

3-1-2 量測分析設備

3-1-2-1 電性量測系統

BTS電性量測系統

使用目的：本量測系統整合HP及Keithley多種儀器並配合ICS量測軟體，共可進行以下量測：

- (1)量測元件(二極體，電晶體、IC…)的特性、繪製元件特性、分析元件參數及執行通過或失敗的評估。
- (2)量測MIS電容的介質層相關參數，如氧化層厚度、 D_{it} 、電容值、摻雜濃度等。
- (3)量測介電層經熱及偏壓等外界應力作用後，其中可移動離子

(mobile ion) 的量。

廠牌：HP & Keithley

型號：HP 4156A、Keithley 595、590

20GHZ元件高頻S參數量測系統

使用目的：量測元件在高頻時所表現出S參數的特性，進一步搭配模擬軟體去分析出元件在高頻的特性。

系統規格及型號：

Hardware：

HP85122A (50MHz~20GHz)

1. Network Analyzer (HP 8510C) • 頻率範圍：45MHz~20GHz
2. DC Source /Monitor (HP 4142B)
3. Synthesized Sweeper (HP 83621A) • 頻率範圍：10MHz~20GHz
4. S-Parameters Test Set (HP 8514B) • 頻率範圍：45MHz~20GHz
5. Thermal Controller (Temptronic TP03000) • 溫度範圍：-65~200 °C

Software：HP 85190A IC-CAP Modeling Suite

3-1-2-2 物性分析系統

場發射掃描式電子顯微鏡

原理：掃描式電子顯微鏡，其系統設計主要是由電子槍 (Electron Gun) 發射電子束，經過一組磁透鏡聚焦 (Condenser Lens) 聚焦後，用遮蔽孔徑 (Condenser Aperture) 選擇電子束的尺寸 (Beam Size) 後，通過一組控制電子束的掃描線圈，再透過物鏡 (Objective Lens) 聚焦，打

在試片上，主要產生二次電子 (Secondary Electron)、背向散射電子及 X-ray。藉由偵測二次電子訊號強度，即可完成試片表面造影工作。

儀器介紹：本研究所使用之場發射掃描式電子顯微鏡型號:Hitachi S-400，加速電壓:55kV，電子槍:冷陰極場發射電子源。

穿透式電子顯微鏡

原理:主要是將鎢絲加熱到上千度後，電子經熱流跑出來加上電壓後形成電子束往正極衝，經過很多個電磁場使電子聚焦及放大。最後呈像於螢幕上。電子穿透力低，加速至60~100 kV的電子，只能透過一層非常薄(150nm左右)的物質而不被完全吸附。故穿透式電子顯微鏡樣品的製備必須很薄約60~80nm。

儀器介紹：本研究所使用之穿透式電子顯微鏡型號機型：JEM-2010F，系統主要分四個部份：(1) TEM主機，(2)電子能量損失譜儀(EELS)，(3)掃描穿透式電子顯微鏡(STEM)，(4) X射線能量散佈分析儀(EDS)。加速電壓：200 kV，電子槍：場發射電子源，點分辨率：0.19 nm，線分辨率：0.1 nm，放大倍率：2,000倍~1,500,000倍，最大試片尺寸：2 × 2 mm²；可觀察範圍：2 × 1 mm²，可偵測訊號：明-暗視野穿透電子影像、繞射圖像、選區成像、EDS光譜，真空度：10⁻⁸ Pa (電子源)。

大試片掃描探針顯微鏡

原理：原子力顯微鏡是利用特製的微小探針，來偵測探針與樣品表面間的某種交互作用，然後使用一個具有三軸位移的壓電陶瓷掃描器，使探針在樣品表面來回掃描偵測，並利用此掃描器的垂直微調能力及回饋迴路，讓探針與樣品間的交互作用在掃描過程中保持一定距離(約

10^{-10} m)，只要記錄掃描面上每一點的垂直微調距離，便可獲得樣品表面的等交互作用圖像，進而推導出樣品表面特性。

儀器介紹：本研究所使用之原子力顯微鏡型號：Veeco Dimension 5000 Scanning Probe Microscope (D5000)，最大平面掃描範圍： $150 \times 150 \mu\text{m}^2$ ，最大高度掃描範圍： $6 \mu\text{m}$ ，最小解析度： $\sim 1.5 \text{ nm}$ in X-Y; $\sim \text{\AA}$ in Z direction，雜訊： $\sim \text{RMS } 0.5 \text{ \AA}$ ，成像模式：輕敲式(tapping mode)。

歐傑電子能譜儀(AES)

原理：歐傑電子能譜儀(Auger Electron Spectrometer，簡稱AES。)，係利用一電子束激發試片表面，以造成表面原子發射歐傑電子(Auger Electron)，當量測分析歐傑電子的特性動能後，便可研判表面元素成分或其化學態。主要是用來分析由試片表面至內部之組成元素的原子濃度(Atomic Concentration)與縱深分佈情形，即為縱深成分分析(Depth Profiling)。

儀器介紹：本研究所使用之歐傑電子能譜儀型號：VG Microlab 310F。

3-2 實驗步驟

3-2-1 基材之前處理

RCA 化學清洗

將六吋晶圓經由標準的RCA程序清潔，已清除晶圓表面的微粒(particle)、金屬離子(metal ions)、油污(oil contamination)、有機物(organic)、及原生氧化層(native oxide)等，讓晶圓的表面達到非

常高的潔淨度，避免因為污染物及雜質影響到後續鍍膜品質。

高溫成長二氧化矽層

經由高溫濕式熱氧化法(thermal oxidation)成長一層厚度為550nm的SiO₂，以去除基板效應和避免後續退火時金屬與Si交戶擴散產生的金屬矽化物(silicide)。

3-2-2 底電極備製及處理

底電極製備

本研究底電極有二種結構分別為：

Electrode 1: TaN(50nm)/Al(300nm)/TaN(50nm)

Electrode 2: TiN(50nm)/Al(300nm)/TiN(50nm)

底電極沉積系統使用金屬濺鍍系統與metal PVD: 沉積TaN, Cu, 與TiN薄膜，沉積方式均為一次連續沉積三層結構，詳細沉積條件參數如下：

表一(a)、electrode1之TaN薄膜沉積參數

Target	Ta
Substrate Temperature	RT(室溫)
Base pressure	7X10 ⁻⁷ Torr
Working pressure	6m Torr
Working gas	N/(N ₂ +Ar)= 5%
DC Power	500W

表一(b)、electrode1之Al薄膜沉積參數

Target	Al
Substrate Temperature	RT(室溫)
Base pressure	7×10^{-7} Torr
Working pressure	6m Torr
Working gas	Ar
DC Power	1500W

表二(a)、electrode2之TiN薄膜沉積參數

Target	Ti
Substrate Temperature	RT(室溫)
Base pressure	5×10^{-8} Torr
Working pressure	5m Torr
Working gas	$N/(N_2+Ar) = 66.6\%$
DC Power	8kW

表二(b)、electrode2之Al薄膜沉積參數

Target	Al
Substrate Temperature	RT(室溫)
Base pressure	7×10^{-7} Torr
Working pressure	3-5m Torr
Working gas	Ar
DC Power	15kW

底電極處理

本研究主要以氨氣電漿來處理底電極之阻障層，可修補電極阻障層濺鍍過程中所產生的斷鍵以穩定電極之阻障層，減少鈦酸鋇鋁薄膜濺鍍時中介層(interfacial layer)的厚度，而提升整體介電層之介電常數。使用條件參數如下：

表三、氨電漿參數

Substrate Temperature	300 °C
Working pressure	300m Torr
Working gas	NH ₃
RF Power	100W
Time	3、6、10min

3-2-3 介電層備製及處理

介電層製備

一般而言，塊材Ba_xSr_{1-x}TiO₃材料在Sr離子添加達0.3以上時，其居里溫度可降低至室溫左右，因此本研究使用Ba_{0.5}Sr_{0.5}TiO₃成分比的靶材，目的是希望使元件之電滯現象完全消失，並使室溫下整體材料之介電值達到最高，製程時間約為150分鐘薄膜厚度100nm。使用條件參數如下：

表四、沉積BST薄膜參數

Target	Ba _{0.5} Sr _{0.5} TiO ₃
Substrate Temperature	450、500 °C
Base pressure	2X10 ⁻⁴ Torr
Working pressure	10m Torr
Working gas	Ar

RF Power	160W
----------	------

介電層處理

本研究依續對鈦酸鋇鉬薄膜進行常壓爐管退火、氧電漿處理，以提升整體薄膜之品質。使用條件參數如下：

表五、爐管退火參數

Temperature	450°C
Working gas	N ₂ :O ₂ =9:1(L/min)
Time	40 min

表六、氧電漿參數

Substrate Temperature	200 °C
Working pressure	650m Torr
Working gas	O ₂
RF Power	100W
Time	10min

3-2-4 上電極備製

上電極沉積

上電極沉積前使用 shadow mask 先覆蓋住欲沉積部份，shadow mask 圖形為圓形，直徑分別為 800、400、200 μm ，換算面積分別為 0.00503 cm^2 、0.00132 cm^2 、0.000314 cm^2 。再以金屬濺鍍系統沉積上電極。

如圖 3-1 所示，為本研究鈦酸鋇鉬薄膜電容備製、分析流程。圖 3-2

所示，為整體電容之結構與量測概要圖。

3-2-5 鈦酸鋇鉬薄膜蝕刻率測試

將長好鈦酸鋇鉬之六吋矽晶片以光阻、顯影、蝕刻技術定義蝕刻區域，最後再進入乾蝕刻機台進行蝕刻率測試(蝕刻條件如表七)，蝕刻變數為調整Ar與Cl₂比例，測試在不同蝕刻氣體條件。

表七、蝕刻率測試條件

Substrate Temperature	60 °C
Working pressure	5m Torr
Working gas	Ar/Cl ₂
	比例
	80:20
	60:40
RF Power	1900W
Bias Power	150W

3-2 高頻元件備製

本研究高頻電性量測之電容結構為MIM結構，量測下針模式採用G-S-G(Ground-Signal-Ground)共平面型式，採用G-S-G模式提供了微波訊號在探針上傳遞時，電磁場的一個收斂途徑，避免傳遞訊號因基板的耗損性(substrate loss)而失真、衰減；本研究採用探針每一個針間的距離(pitch, Center-to-Center)為150mm，高頻電容製備流程詳見圖3-3-1。

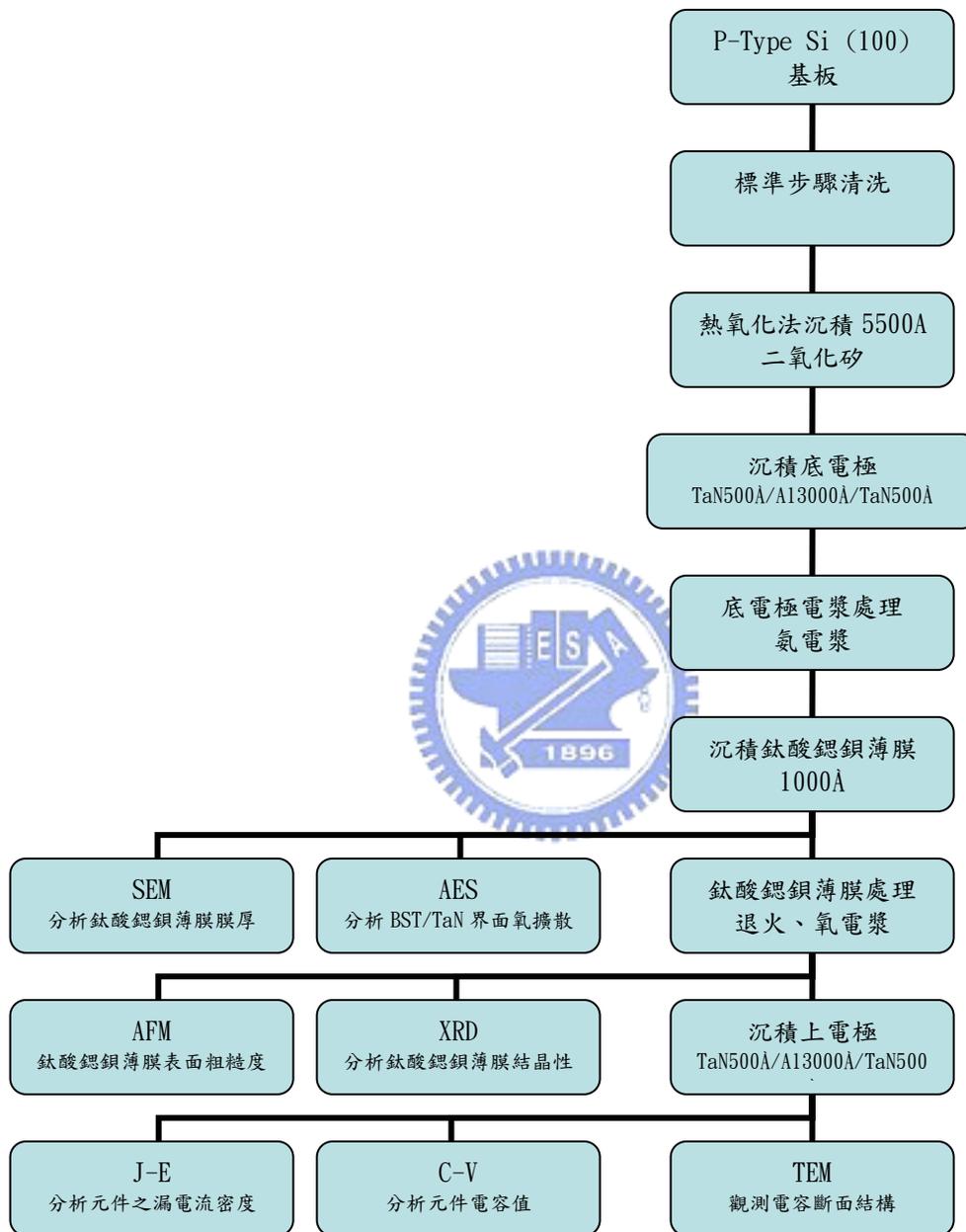


圖3-1. 元件備製、分析流程圖

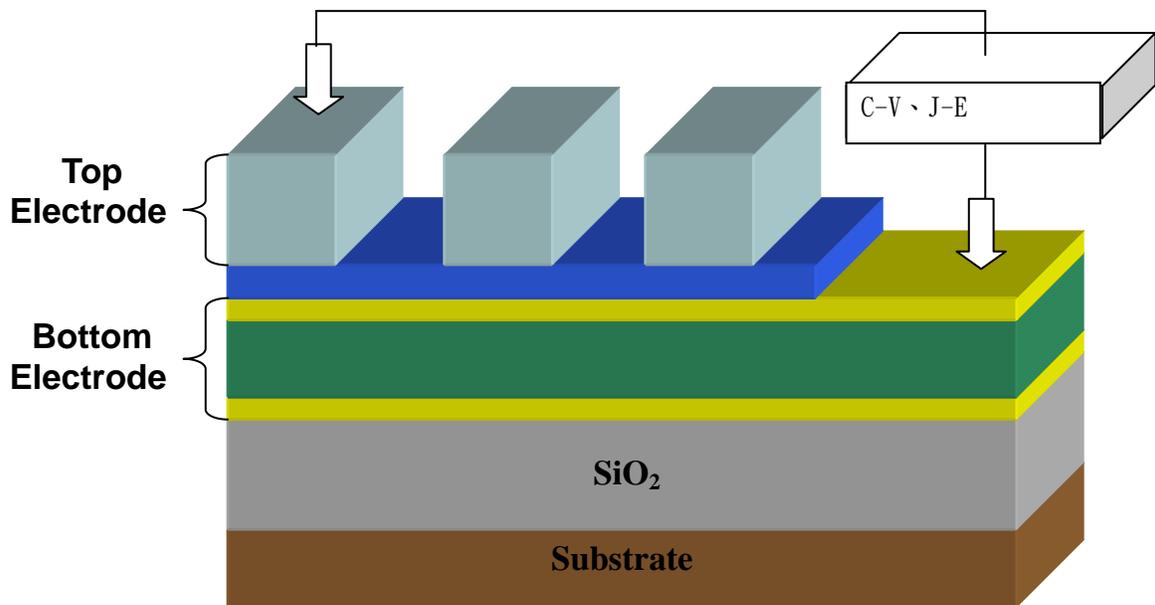
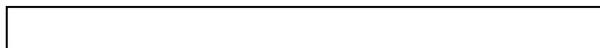


圖3-2. MIM電容結構量測概圖



1. Wafer STD clean.



2. Wet Oxide (10000Å).



3. Depsited Bottom electrode.
(TiN500Å/Al15000Å/TiN500Å)

4. Treatment Bottom electrode
 NH_3 plasma (10min)



5. Deposited BST dielectric layer (1000Å)

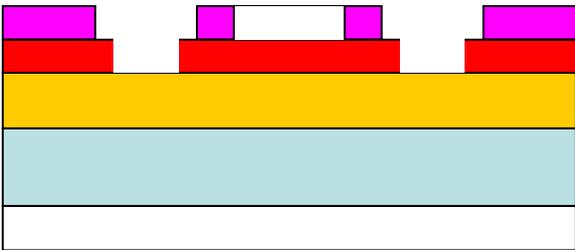
6. Treatment Bottom electrode
(1) O₂ plasma (10min)
(2) Annealing (40min)



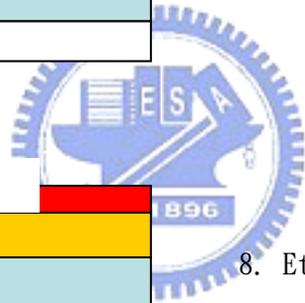
7. Defined Via

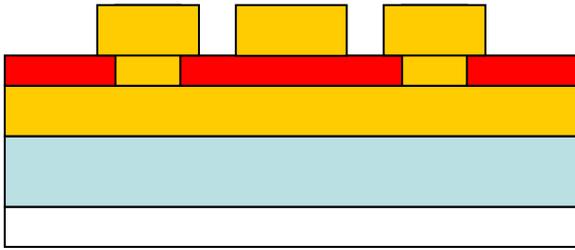


8. Etching dielectric layer

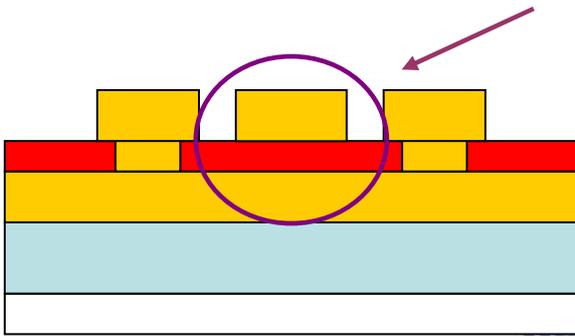


9. Defined Top electrode





10. Deposited Bottom electrode.
(TiN500Å/Al5000Å/TiN500Å)



11. Finished MIM capacitor.

圖3-3. 高頻元件製作流程圖



第四章 (低頻)實驗結果與討論

4-1 鈦酸鋇鋇薄膜沉積率與蝕刻率

本研究使用整片6吋矽晶片為基板。因此，測試各製程機台均勻性與厚度控制是相當重要的一環，其中又以介電層沉積率與蝕刻率最為重要，因此，針對鈦酸鋇鋇薄膜沉積率與蝕刻率進行測試，以期能準確控制介電層厚度與蝕刻鈦酸鋇鋇薄膜。

4-1-1 鈦酸鋇鋇沉積率分析

在6吋空白矽晶片上以不同時間濺鍍BST (詳細濺鍍條件如表四)，再將矽晶片切割成小片放入SEM機台觀察試片橫截面，以估算BST沉積速率，試片取樣位置如圖4-1-1所示，共擷取(A)、(B)兩個部份其距離約為五公分。BST濺鍍時間分別為90分鐘與150分鐘，圖4-1-2(a)、圖4-1-2(b)分別為擷取圖4-1所示之(A)、(B)位置；圖4-1-3(a)、圖4-1-3(b)分別為擷取圖4-1-1所示之(A)、(B)位置，由圖4-1-2(a)、圖4-1-3(a)可知矽晶片中間之BST厚度分別為61.9nm、102nm，換算得薄膜沉積速率約為0.67nm/min，比較圖4-1-1(a)、(b)與圖4-1-2(a)、(b)可知，(A)、(B)兩點厚度方面誤差約在3%之內，顯示BST薄膜均勻性在可接受範圍。

4-1-2 鈦酸鋇鋇蝕刻率分析

在6吋空白矽晶片上濺鍍BST100nm (詳細濺鍍條件如表四)，與分別鍍有500nmTiN與500nmAl的矽晶片，一起進行光阻、顯影、蝕刻方式定義出沒有被光阻遮蔽的蝕刻圖案再進入乾蝕刻機台進行蝕刻，此時沒有被光阻遮蔽的蝕刻圖案會被蝕刻離子與氣體進行蝕刻，而有光阻覆蓋的區域仍會維持原有厚度，最後移除光阻覆蓋區域的光阻，再以機台掃描沒有光阻覆蓋區域與有光阻覆蓋區域之高度差，將獲得的高度差除以蝕刻

時間就可得到該蝕刻條件的蝕刻率，各條件BST、TiN、Al之蝕刻率如圖4-1-2(a)所示，再分別計算各條件之BST/TiN、BST/Al的選擇比，如圖4-1-2(b)所示可知，在Ar/Cl₂比為80/20時BST/TiN與BST/Al選擇比最高，顯示在此條件下進行BST蝕刻對Al、TiN結構損傷較小。因此，BST蝕刻將使用Ar/Cl₂比為80/20的氣體比。

4-2 <實驗一>

在electrode1製作不同厚度之BST電容，並在後處理製程中加入氧電漿處理(詳細製程條件如表一至表六)，以比較BST在氧電漿前後之介電特性。共四組條件敘述如下：

Condition1:底電極經氮電漿處理三分鐘，再沉積BST厚度60nm，經退火不進行氧電漿處理後覆蓋上電極。

Condition2:底電極經氮電漿處理三分鐘，再沉積BST厚度100nm，經退火不進行氧電漿處理後覆蓋上電極。

Condition3:同Condition1但退火後，進行氧電漿處理再覆蓋上電極。

Condition4:同Condition1但退火後，進行氧電漿處理再覆蓋上電極。

4-2-1 C-V量測

如圖4-2-1(a)所示為<實驗一>四組條件的電容-電壓圖，量測上電極面積為 $0.314 \times 10^{-4} \text{cm}^2$ ，BST厚度為60nm、100nm電容值分別為271、276.5pF，由結果可知雖然介電層厚度提升但電容值並未下降，反而由271小幅提升至276.5pF，參考文獻可知這是BST特殊現象，在濺鍍溫度達到BST開始結晶溫度以上時，隨著厚度提升BST薄膜有較多機會成長成更大的結晶顆粒，而BST晶粒越大則介電常數亦越大。除此之外，濺鍍較厚的BST也可相對降低與Ta₂N₅界面的中介層影響，使整體量測電容值提高也可能是原因

之一，以(2.4)式平行板電容計算公式計算其介電常數如下：

BST thickness 60nm

$$K = \frac{271 \times 10^{-12} \times 60 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 58.48$$

BST thickness 100nm

$$K = \frac{276.5 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 99.45$$

**BST thickness 60nm
after O₂ plasma**

$$K = \frac{272.2 \times 10^{-12} \times 60 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 58.74$$

**BST thickness 100nm
after O₂ plasma**

$$K = \frac{277.5 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 99.81$$

可得薄膜厚度為60nm、100nm介電常數分別為58.5、99.45共提升約70%。另外，比較60nm、100nmBST氧電漿前後，其介電常數有稍稍上升的現象但並不明顯。

4-2-2 J-E量測

如圖4-2-2(a)所示為〈實驗一〉四組實驗的漏電流密度-電場圖，如圖可知隨BST厚度提升其漏電流密度明顯下降，且經過氧電漿處理後薄膜漏電流密度亦有下降的趨勢，根據文獻可知以濺鍍方式沈積氧化物薄膜時，因為氧正離子容易由化合物中游離結合成為氧氣跑掉，所以在薄膜裡面中氧原子便會產生不足的現象，在這些原先氧該在的位置沒有氧，稱之為”氧空缺”。這些”氧空缺”正是造成漏電流的主要來源，而以氧電漿處理可以使氧離子對薄膜內之氧空缺進行修補，因此可降低薄膜漏電流密度。最後，觀察漏電流特性發現在electrode1漏電流密度級數偏大，推測之原因：

1. BST此類氧化物材料在濺鍍時通常會通入氧氣以補充氧原子，而在本

研究中並未通入氧氣，主要因為希望減少濺鍍時腔體的氧氣含量以降低氧原子對底電極的滲透，避免產生太大的中介層影響電容值，因此，在薄膜內造成數量頗多的氧空缺進而導致大量漏電。

2. 由於阻障層材料Ta₂N₅功函數僅為4.6eV(TiN為3.74eV)，相較Pt電極之功函數5.6eV要小許多。一般而言，電極功函數為影響漏電流重要原因；電極功函數越大則漏電流密度越小。

4-2-3 TEM斷面分析

如圖4-2-3(a)、圖4-2-3(b)所示為〈實驗一〉BST的厚度為60nm之斷面圖，如圖可知各層厚度控制準確。

4-3 〈實驗二〉

在electrode2製作不同厚度之BST電容，並在後處理製程中加入氧電漿處理(詳細製程條件如表一至表六)，以比較BST在氧電漿前後之介電特性。共四組條件敘述如下：

Condition1:底電極經氬電漿處理三分鐘，再沉積BST厚度60nm，經退火但不進行氧電漿處理後覆蓋上電極。

Condition2:底電極經氬電漿處理三分鐘，再沉積BST厚度100nm，經退火但不進行氧電漿處理後覆蓋上電極。

Condition3:同Condition1但退火後，進行氧電漿處理再覆蓋上電極。

Condition4:同Condition2但退火後，進行氧電漿處理再覆蓋上電極。

4-3-1 C-V量測

如圖4-3-1(a)所示為〈實驗二〉四組條件的電容-電壓圖，量測上電極面積為 $0.314 \times 10^{-4} \text{ cm}^2$ ，由圖可知BST厚度為60nm、100nm電容值分別為297.7、

247.5pF，由平行板電容計算公式計算其介電常數如下：

$$\begin{aligned} & \text{BST thickness 60nm} \\ K &= \frac{247.5 \times 10^{-12} \times 60 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}} \\ &= 53.41 \end{aligned}$$

$$\begin{aligned} & \text{BST thickness 100nm} \\ K &= \frac{297.7 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}} \\ &= 107.08 \end{aligned}$$

$$\begin{aligned} & \text{BST thickness 60nm} \\ & \text{after O}_2 \text{ plasma} \\ K &= \frac{244.5 \times 10^{-12} \times 60 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}} \\ &= 52.76 \end{aligned}$$

$$\begin{aligned} & \text{BST thickness 100nm} \\ & \text{after O}_2 \text{ plasma} \\ K &= \frac{291.5 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}} \\ &= 104.85 \end{aligned}$$

可得薄膜厚度為60nm、100nm介電常數分別為53.41、107.08共提升約100.48%。而比較60nm、100nmBST氧電漿後，其介電常數分別為52.76、104.85有些許下降的現象。

4-3-2 J-E量測

如圖4-3-2(a)所示為〈實驗二〉四組條件的漏電流密度-電場圖，由圖可知隨BST厚度提升其漏電流密度下降，且經過氧電漿處理後薄膜漏電流密度亦有下降的趨勢，且electrode2亦與electrode1相同漏電流密度偏高，顯示鋁電極上制作BST薄膜電容，相較於一般在Pt電極上之漏電流密度要大上許多。

4-4 〈實驗三〉

將electrode1進行不同時間之氨電漿處理再濺鍍BST(詳細濺鍍條件如表一至表六)，目地為分析不同氨電漿處理時間下底電極氧滲透情況，共三組條件敘述如下：

Condition1:底電極經氮電漿處理時間三分鐘，沉積BST厚度約100nm，經退火、氧電漿處理後覆蓋上電極。

Condition2:底電極經氮電漿處理時間六分鐘，沉積BST、後處理條件與Condition1相同。

Condition3:底電極經氮電漿處理時間十分鐘，沉積BST、後處理條件與Condition1相同。

4-4-1 AES縱深分析

進行AES縱深分析BST/TaN界面氧擴散情況，如圖4-4-1(a)到圖4-4-1(c)分別為氮電漿處理時間3. 6. 10分鐘之元素分佈圖，發現隨氮電漿處理時間增加，底電極阻障層(TaN)與氧擴散情況將獲得改善，推測其機制為；以氮電漿進行底電極表面改質時，由於氮離子的轟擊在底電極表面形成一層結晶顆粒較細的非晶層，使得氧原子擴散路徑加長而改善氧原子滲透的情況。另外，參考濺鍍(Sputtering)薄膜化技術原理可知，以濺鍍方法進行薄膜備製過程中，靶材元素移動往基板時，對基板也會形成有如轟擊的效應，因此，特別是較小的原子(氧、鈦)有機會滲透到更深的區域，形成氧原子特別容易鑽進Ta₂N₅薄膜內的現象。

4-4-2 TEM斷面分析

如圖4-4-2(a)為底電極氮電漿處理10分鐘後濺鍍BST之TEM斷面圖，由圖可知為了使BST能有更好的介電常數，而採用升溫濺鍍使BST因產生結晶導致表面粗糙度不佳，進而使上電極因為累積BST不平整的表面使上電極平整度不佳，另外在BST與底電極之Ta₂N₅界面可觀察到有中介層的產生，如圖4-4-2(b)為BST與底電極之阻障層Ta₂N₅介面放大圖，顯示中介層厚度約為7-8nm。

4-4-3 C-V量測

如圖4-4-3(a)為〈實驗二〉三組條件之電容對電壓圖，量測上電極面積為 $0.314 \times 10^{-4} \text{cm}^2$ ，其介電常數計算如下：

NH₃ plasma treatment (3min)

$$K = \frac{289 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}} \\ = 103.95$$

NH₃ plasma treatment (6min)

$$K = \frac{306 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}} \\ = 110.06$$

NH₃ plasma treatment (10min)

$$K = \frac{326 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}} \\ = 118.34$$

由上可知，隨著底電極處理時間越久其電容值越高，由處理時間僅三分鐘其介電常數約為103.95，隨著氨電漿處理時間提升至六、十分鐘，其介電常數分別為110.06、118.34。

4-4-4 J-E量測

如圖4-4-4(a)為底電極處理3.6.10分鐘條件下漏電流密度對電場圖，由圖可知底電極氨電漿處理時間，並不明顯影響元件之漏電流表現。

4-5 〈實驗四〉

在electrode1上濺鍍雙層(Multilayer)之鈦酸鋇鉬薄膜(詳細濺鍍條件如表一至表六)，共三組條件敘述如下：

Condition1:底電極經氨電漿處理時間10分鐘，在腔體溫度450°C下沉積鈦酸鋇鉬薄膜厚度約100nm，再經退火、氧電漿處理後覆蓋上電極。

Condition2:底電極經氨電漿處理時間10分鐘，在室溫下沉積鈦酸鋇鉬薄

膜厚度約10nm時間約15分鐘，再將腔體溫度提升至450°C濺鍍鈦酸鋇銀薄膜約90nm時間約135分鐘，再經退火、氧電漿處理後覆蓋上電極。

Condition3:底電極經氮電漿處理時間10分鐘，在室溫下沉積鈦酸鋇銀薄膜厚度約20nm時間約30分鐘，再將腔體溫度提升至450°C濺鍍鈦酸鋇銀薄膜約80nm時間約120分鐘，再經退火、氧電漿處理後覆蓋上電極。

4-5-1 C-V量測

如圖4-5-1(a)為〈實驗四〉三組條件之C-V之關係，由於雙層結構無法單獨計算介電常數，因此以”等效介電常數”來代表薄膜之介電常數，共三組條件計算如下：

Amorphous-BST(0)

$$K_{eff} = \frac{329 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$

$$= 118.34$$

Amorphous-BST(10)

$$K_{eff} = \frac{273 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$

$$= 98.19$$

Amorphous-BST(20)

$$K_{eff} = \frac{233 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$

$$= 83.80$$

由以上結果可知，隨著非晶(Amorphous)BST結構厚度越厚其電容值有下降的現象；以單層結構時介電常數最高為118.34，在10nm非晶(Amorphous)結構下其等效介電常數仍有98.15，在20nm非晶結構下等效介電常數降至83.57。

4-5-2 J-E量測

如圖4-5-2(a)所示，為〈實驗四〉三組條件之J-E之關係，單層結構漏電流

密度在0.2MV/cm電場下為 $1.21 \times 10^{-5} \text{ A/cm}^2$;漏電流密度偏高。觀察雙層結構漏電流密度發現,隨著非晶層(Amorphous)結構越厚其漏電流密度明顯降低,在非晶層厚度為10nm漏電流密度在0.4MV/cm電場下可維持在 10^{-6} A/cm^2 以下,而非晶層厚度為20nm漏電流密度在0.3MV/cm電場下可維持在 10^{-7} A/cm^2 以下,推測其漏電流密度下降機制為非晶層結構沒有特定晶格方向。相對而言,增加了電子穿隧的路徑進而降低漏電流密度。

總結雙層、單層結構之漏電流與電容值特性可知,由於在鋁基電極製作BST漏電流過大,因此,改以雙層結構的方式來改善漏電流過大的現象,雖然會使薄膜之電容值有下降的現象,卻可以換得較理想的漏電流密度,因此在高頻特性探討上仍以雙層結構為較理想。

4-5-3 AFM表面粗糙度分析

如圖4-5-3(a)到4-5-3(c)所示在雙層結構下,隨著非晶層越厚表面粗糙度有下降的趨勢,表面粗糙度由1.643nm變化為1.345nm,討論其機制原因如下;以室溫鍍製BST結構為非晶(Amorphous)不會因薄膜內部產生結晶而導致表面粗糙度產生劇烈變化,因此非晶層之BST越厚其表面粗糙度會較佳。

4-5-4 XRD薄膜結晶性分析

針對〈實驗四〉各條件進行XRD之分析,掃描角度為 $20 \sim 60^\circ$,如圖4-5-4(a)到4-5-4(c)所示,在單層結構下在 31.2° 、 36.8° 、 45° 均發現BST(110)、(200)、(111)之波峰,雖其強度並不明顯,但可知在electrode1上以 450° C 濺鍍BST薄膜已開始產生結晶的現象,探討BST研究文獻可知,一般而言BST開始明顯出現結晶波峰多於 500° C 以上,而本研究在 450° C 就可發現明顯的BST結晶波峰,推測其原因為;本實驗BST濺鍍率為 0.67 nm/min ,在如此慢的濺鍍率亦可能是增加BST結晶性的重要原因。

4-5-5 TEM斷面分析

如圖4-5-5(a)所示為BST單層結構之TEM斷面圖，如圖可發現BST結構有明顯的結晶組織出現，這也說明在XRD分析中觀察到BST結晶波峰之原因，圖4-5-5(b)為圖4-5-5(a)之放大圖。

如圖4-5-5(c)所示，為〈實驗四〉非晶層厚度為10nm TEM斷面分析圖，由圖可以觀察到BST在靠進底電極部份非晶層結構，如圖4-5-5(d)所示為圖4-5-5(c)之放大圖顯示非晶層厚度為10nm，而在其上的結晶層結構可觀察到晶粒組織區塊。

如圖4-5-5(f)所示，為〈實驗四〉非晶層厚度為20nmTEM斷面分析圖，由圖可以觀察到BST在靠進底電極部份非晶層的結構，如圖4-5-5(g)所示為圖4-5-5(f)之放大圖顯示非晶層厚度為20nm，而在其上的結晶層厚度約為80nm。

最後，比較圖4-4-2(a)、圖4-5-5(d)圖4-5-5(f)，分別為底電極為electrode1BST非晶層厚度為0、10與20nm之TEM斷面分析圖，圖4-4-2(a)單層結構在BST與Ta₂N₅界面處可以發現明顯的中介層，但在雙層結構中，不管是非晶層厚度為10或是20nm都無法發現中介層存在，推測其原因為Ta₂N₅為理想的阻障層材料，但在400~500°C的環境下其阻障能力就開始下降，因此在本實驗中單層結構下會導致中介層的產生，而在雙層結構非晶層濺鍍溫度為室溫，因此Ta₂N₅可有效阻擋氧原子滲透抑制中介層的產生，進而避免了因為中介層造成整體電容值的衰減。

4-6 〈實驗五〉

在electrode2上濺鍍雙層(Multilayer)之鈦酸鋇鉬薄膜(詳細濺鍍條件

如表一至表六)，共三組條件敘述如下：

Condition1:底電極經氮電漿處理時間10分鐘，在腔體溫度450°C沉積BST薄膜厚度約100nm，再經退火、氧電漿處理後覆蓋上電極。

Condition2:底電極經氮電漿處理時間10分鐘，在室溫下沉積BST薄膜厚度約10nm時間約15分鐘，再將腔體溫度提升至450°C濺鍍BST薄膜約90nm時間約135分鐘，再經退火、氧電漿處理後覆蓋上電極。

Condition3:底電極經氮電漿處理時間10分鐘，在室溫下沉積BST薄膜厚度約20nm時間約30分鐘，再將腔體溫度提升至450°C濺鍍BST薄膜約80nm時間約120分鐘，再經退火、氧電漿處理後覆蓋上電極。

4-6-1 C-V量測

如圖4-6-1(a)所示，為〈實驗五〉各條件之C-V之關係圖，計算”等效介電常數”如下：



Amorphous-BST(0)

$$K_{eff} = \frac{343 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 123.37$$

Amorphous-BST(10)

$$K_{eff} = \frac{304 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 109.35$$

Amorphous-BST(20)

$$K_{eff} = \frac{243 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 87.40$$

由上可知，〈實驗五〉亦隨著非晶層厚度增加而產生電容值下降，如圖4-6-1(b)，整理〈實驗四〉、〈實驗五〉等效介電常數。可知electrode2不管在單層、雙層結構下其電容值都略高於electrode1，可能原因為

electrode2是使用metal PVD方式沉積，其沉積功率遠大於以Sputter沉積之electrode1，因此electrode2的薄膜品質要比electrode1要好，故在其上沉積BST薄膜會有較理想的結晶度造成電容值較高。

4-6-2 J-E量測

如圖4-6-2(a)所示，為〈實驗五〉各條件之J-E量測結果，單層結構漏電流密度在0.12MV/cm電場下為 $1.25 \times 10^{-6} \text{ A/cm}^2$ ；非晶層厚度10nm之漏電流密度在0.12MV/cm電場下為 $3.82 \times 10^{-8} \text{ A/cm}^2$ 共改善近兩個級數，且其漏電流密度在小於0.42MV/cm電場下均低於 10^{-6} A/cm^2 。非晶層厚度為20nm漏電流密度在小於0.44MV/cm電場下低於 10^{-7} A/cm^2 ，與非晶層厚度為10nm相較兩者在0.4MV/cm電場下相差約一個級數。

整體而言，在底電場下(0.5MV/cm以下)以electrode2之漏電流密度要比electrode1為佳，在高電場下則為相反之情況electrode2在電場強度達0.5MV/cm以上時，漏電流密度突然有快速上升的現象，推測原因為TaN功函數為4.6eV而TiN之功函數僅為3.74eV，因此electrode1有較electrode2穩定的漏電流密度，但在仍以低電場能達到較低漏電流密度的電極為較佳，故整體而言electrode2為較理想之電極。

4-6-3 AFM表面粗糙度分析

如圖4-6-3(a)到4-6-3(c)所示為〈實驗五〉各組條件之AFM表面掃描圖，發現隨著非晶層(Amorphous)厚度越厚表面粗糙度越小，表面粗糙度由2.021nm降低到1.306nm，如圖4-6-3(d)所示整理〈實驗四〉、〈實驗五〉之表面粗糙度，發現electrode2之BST薄膜表面要比electrode1之BST粗糙，推測原因為electrode2是以Metal PVD方式沉積，參考〈表二〉其成長功率遠大於〈表一〉electrode1以sputter。因此，其結晶顆粒較大而造成底電極表面粗糙度較高，另外，也可由XRD分析發現BST薄膜在electrode2

的結晶性要比electrode1強，因此產生electrode2沉積BST薄膜要比electrode1沉積BST粗糙的現象。

4-6-4 XRD薄膜結晶性分析

針對〈實驗五〉各條件進行XRD分析，掃描角度為 $20\sim 60^\circ$ ，如圖4-6-4(a)到圖4-6-4(c)所示，BST薄膜單層結構下於 22.6° 、 31.2° 、 36.8° 、 45° 、 57.4° 可發現BST薄膜(100)、(110)、(200)、(111)、(211)之結晶波峰，且其強度均較〈實驗四〉單層結構高，可知BST薄膜在electrode2有較理想的結晶程度，可反映其在電容值方面有較好表現的原因。而隨著非晶層厚度提升BST的結晶強度有下降的趨勢，推測其原因為在非晶層厚度提升下結晶層相對越薄，因此造成量測之結晶信號強度下降。

4-6-5 TEM斷面分析

如圖4-6-5(a)所示為〈實驗五〉BST單層結構TEM斷面圖，如圖可發現BST結構有明顯的結晶組織出現，圖4-6-5(b)為圖4-6-5(a)之放大圖。

如圖4-6-5(c)所示〈實驗五〉非晶層厚度為10nmTEM斷面分析圖，由圖可以觀察到BST在靠進底電極部份非晶層結構，如圖4-6-5(d)所示為圖4-6-5(c)之放大圖顯示非晶層厚度約為10nm，圖4-6-5(e)為圖4-6-5(d)非晶層與結晶層介面放大圖，圖4-6-5(f)、圖4-6-5(g)分別為圖4-6-5(e)上(a)、(b)兩部份傅利葉轉換，比較圖4-6-5(f)、圖4-6-5(g)可以發現結晶層組織為整齊的晶格排列，非晶層組織為沒有方向性排列的結構，這也說明了以雙層(Multilayer)結構可以有效降低漏電流的原因。

如圖4-5-5(h)所示，為〈實驗五〉非晶層厚度為20nm之TEM斷面分析圖，由圖可以觀察到BST在靠進底電極部份非晶層的結構，如圖4-5-5(i)所示為圖4-5-5(h)放大圖顯示非晶層厚度為20nm，而在其上的結晶層厚度約為80nm，顯示各層厚度控制準確。

4-7 <實驗六>

electrode2經過10分鐘氨電漿處理後濺鍍BST(詳細濺鍍條件如表一到表六)，BST薄膜進行如<實驗五>之雙層(Multilayer)結構，不升溫濺鍍BST薄膜厚度分別為0、10以及20nm，再將腔體溫度加熱至500°C進行鍍膜，將BST薄膜總厚度控制在100nm。

4-7-1 C-V量測

分析<實驗六>各條件之C-V關係如圖4-7-1(a)所示，在單層結構發現整體電容值隨著電場強度升高而降低，由電壓強度為-0.17V時之622.9pF到-10V時之436.4pF，此即為BST薄膜的”電容可調性”現象，在濺鍍溫度達到BST薄膜大量結晶後就會出現，以最高電容值計算”等效介電常數”、“電容可調性”如下：



Amorphous-BST(0)

$$K_{eff} = \frac{622.9 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 224.05$$

Amorphous-BST(10)

$$K_{eff} = \frac{468.7 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 168.59$$

Amorphous-BST(20)

$$K_{eff} = \frac{385.8 \times 10^{-12} \times 100 \times 10^{-7}}{3.14 \times 10^{-4} \times 8.854 \times 10^{-14}}$$
$$= 138.77$$

Amorphous-BST(0)

$$\begin{aligned} \text{Tunability} &= \frac{C_{\max} - C_{\min}}{C_{\max}} \\ &= \frac{622.9 - 436.4}{622.9} = 29.94 \end{aligned}$$

Amorphous-BST(10)

$$\begin{aligned} \text{Tunability} &= \frac{C_{\max} - C_{\min}}{C_{\max}} \\ &= \frac{468.7 - 405.9}{468.7} = 13.4 \end{aligned}$$

Amorphous-BST(20)

$$\begin{aligned} \text{Tunability} &= \frac{C_{\max} - C_{\min}}{C_{\max}} \\ &= \frac{385.8 - 353.3}{385.8} = 8.4 \end{aligned}$$

整理〈實驗五〉、〈實驗六〉之介電常數如圖4-7-1(b)。由圖可知隨著非晶層厚度增加〈實驗六〉電容值降低幅度遠較〈實驗五〉大，推測原因為〈實驗五〉上層結晶層濺鍍溫度為450°C，其介電常數與非晶層間的差異要比〈實驗六〉上層結晶層以500°C沉積為小，因此結晶層串聯非晶層時並不會產生介電常數下降太快的現象，而當〈實驗六〉結晶層與非晶層串聯時(兩電容串聯如下式)，因為兩者電容值差異較大便產生整體電容值急速下降的情況。

$$\frac{1}{C_{\text{Total}}} = \frac{1}{C_{A\text{-BST}}} + \frac{1}{C_{C\text{-BST}}}$$

而在電容可調性下降的現象方面，由文獻可知BST薄膜介電常數與電容可調性均會隨薄膜厚度與沉積溫度上升而增加。因此，隨著非晶層厚度增加結晶層厚度相對下降，而由於電容可調性是由結晶層所貢獻的，當其厚度減少便會造成雙層結構電容可調性下降的現象。

4-7-2 J-E量測

分析〈實驗六〉各條件之J-E關係如圖4-7-2(a)所示，單層結構漏電流密

度在0.1MV/cm電場下就到達 $1.61 \times 10^{-6} \text{A/cm}^2$;非晶層厚度為10nm在低於0.22MV/cm電場下，漏電流密度可維持在 10^{-6}A/cm^2 以下，非晶層厚度為20nm在低於0.34MV/cm電場下，漏電流密度可維持在 10^{-7}A/cm^2 以下。

觀察〈實驗五〉與〈實驗六〉漏電流密度，可以發現隨著結晶層溫度上升(〈實驗五〉為 450°C 、〈實驗六〉為 500°C)，〈實驗六〉漏電流密度不管是單層或是雙層結構都要劣於〈實驗五〉，參考文獻可知鈦酸鋇鉍薄膜達到結晶溫度後漏電流密度亦會提高，因此〈實驗六〉結晶層漏電流密度就要比〈實驗五〉嚴重，而〈實驗六〉雙層結構的非晶層在沉積完成後，要在腔體內等待結晶層濺鍍，溫度為 500°C 時間長達兩個小時。因此，原來非晶層結構可能因為獲得足夠的能量與時間而產生結晶的現象，進而導致〈實驗六〉雙層結構漏電流密度提高。

4-7-3 AFM表面粗糙度分析

如圖4-7-3(a)到圖4-7-3(c)分別為BST單層、雙層(非晶層厚度10nm)、(非晶層厚度20nm)的AFM掃描圖，以單層結構表面粗糙度最差為2.355，雙層結構非晶層厚度為10nm與20nm之表面粗糙度分別為1.805、1.455，整理〈實驗五〉、〈實驗六〉各條件表面粗糙度如圖4-7-3(d)，發現〈實驗六〉各條件表面粗糙度要比〈實驗五〉高，推測其原因為〈實驗六〉BST結晶層沉積溫度為 500°C 結晶程度要比〈實驗五〉 450°C 高，因此造成比〈實驗五〉粗糙表面。

4-7-4 XRD薄膜結晶性分析

針對〈實驗六〉各條件進行XRD繞射分析，掃描角度為 $20\sim 60^\circ$ ，如圖4-7-4(a)到圖4-7-4(c)所示分別為BST單層、雙層(非晶層厚度10nm)、雙層(非晶層厚度20nm)，可以發現BST薄膜單層結構下在 22.6° 、 31.2° 、 36.8° 、 45° 、 57.4° 有明顯的(100)、(110)、(200)、(111)、(211)…等結晶波峰，

且其強度較〈實驗五〉單層結構濺鍍溫度為450°C結果高，可知在500°C下鈦酸鋇鉬薄膜已有相當程度的結晶，並產生”介電常數”與”介電可調性”的提高，而觀察單層與多層結構結晶波峰差異，亦發現結晶信號隨著非晶層厚度提升而下降的現象。

4-8 〈實驗七〉

由〈實驗三〉結果可知，氬電漿處理底電極可有效減少BST薄膜濺鍍時由氧擴散至底電極所導致的中介層情況，進而提升整體電容的電容值。由〈實驗四〉結果可知，雙層結構的BST介電層可有效降低漏電流的情況，因此在高頻實驗中，規劃實驗以不同厚度的雙層結構來討論；非晶層厚度分別為0nm、10nm、20nm，結晶層濺鍍溫度為450°C，如圖4-8-1為高頻量測示意圖。

4-8-1 高頻介電常數量測

如圖4-8-2(a)至圖4-8-2(c)分別為非晶層厚度為0nm、10nm、20nm之 S_{11} 、 S_{22} 史密斯圖，如圖可知元件阻抗隨著頻率增加而快速降低，顯示BST介電層在高頻的漏電流現象偏高。如圖4-8-3為淬取各實驗條件之介電常數對量測頻率比較圖(頻率範圍為0.1GHz~20GHz)，由其實驗結果可知，在低頻時介電常數與實驗五(量測頻率為1MHz)相近，非晶層厚度為0nm、10nm、20nm之介電常數在0.1 GHz分別為104.57、96.22、78.66，但隨著頻率增加介電常數快速下降，頻率為5GHz均收斂至30左右。

4-8-2 高頻電阻量測

如圖4-8-4為非晶層厚度為0nm、10nm、20nm之電阻對量測頻率比較圖，如圖可知各實驗條件電阻均有偏低的現象，但隨著非晶層厚度增加電阻

亦有增加的情況，此現象與實驗五(量測頻率為1MHz)相同，說明隨著非晶層厚度增加有助於提升元件的介電品質。



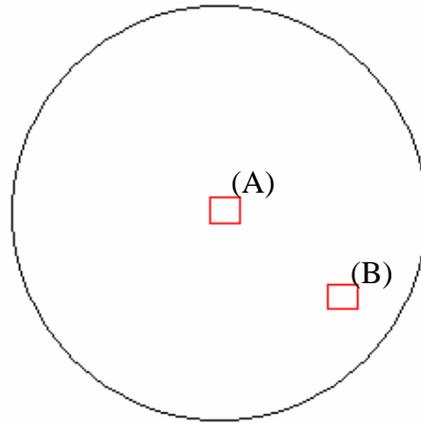


圖4-1-1. SEM試片取樣位置示意圖

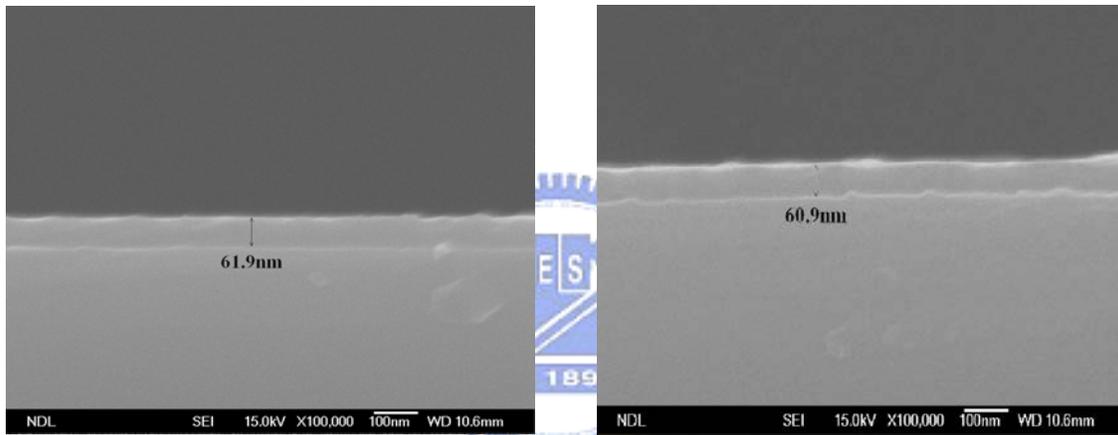


圖4-1-2(a).
BST沉積時間90分鐘之SEM截面圖

圖4-1-2(b).
BST沉積時間90分鐘之SEM截面圖

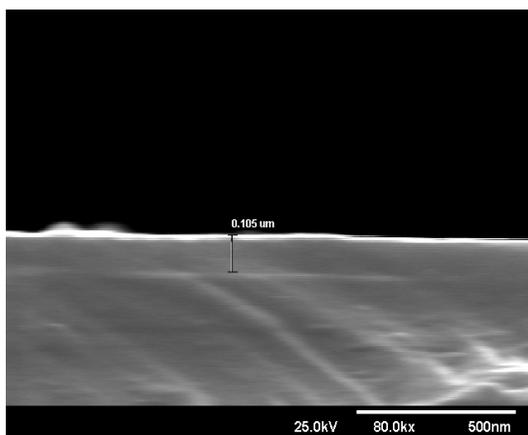


圖4-1-3(a).
BST沉積時間150分鐘之SEM截面圖

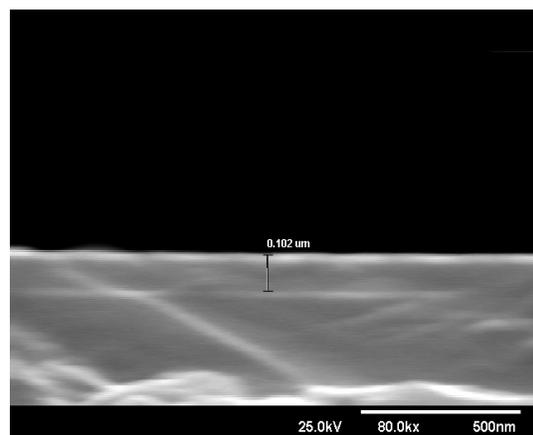


圖4-1-3(b).
BST沉積時間150分鐘之SEM截面圖

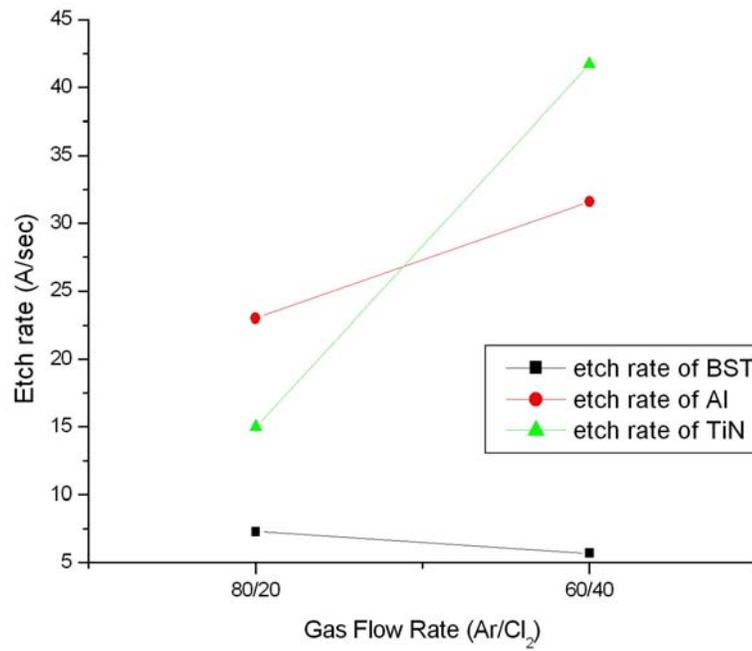


圖4-1-2(a). 不同氬氣/氯氣比下BST、TiN、Al蝕刻率變化

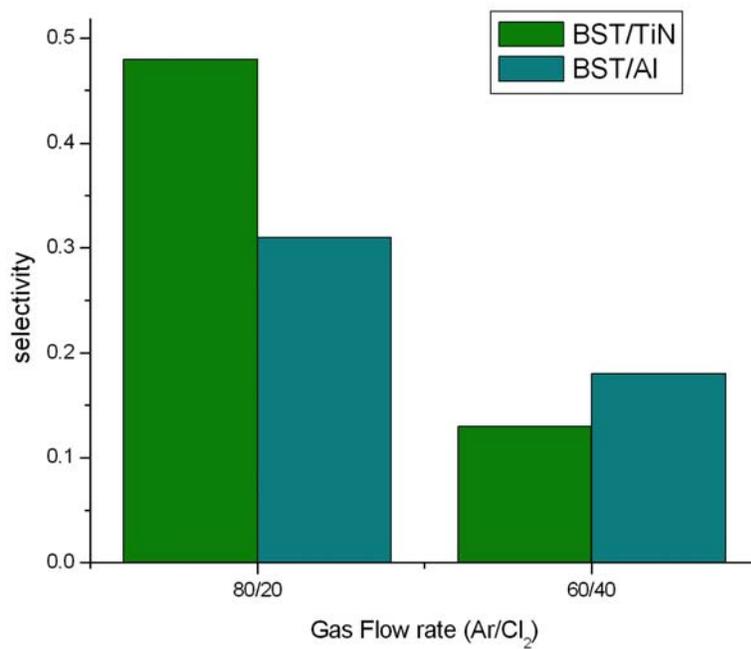


圖4-1-2(a). 不同氬氣/氯氣比下BST/TiN、BST/Al蝕刻選擇比

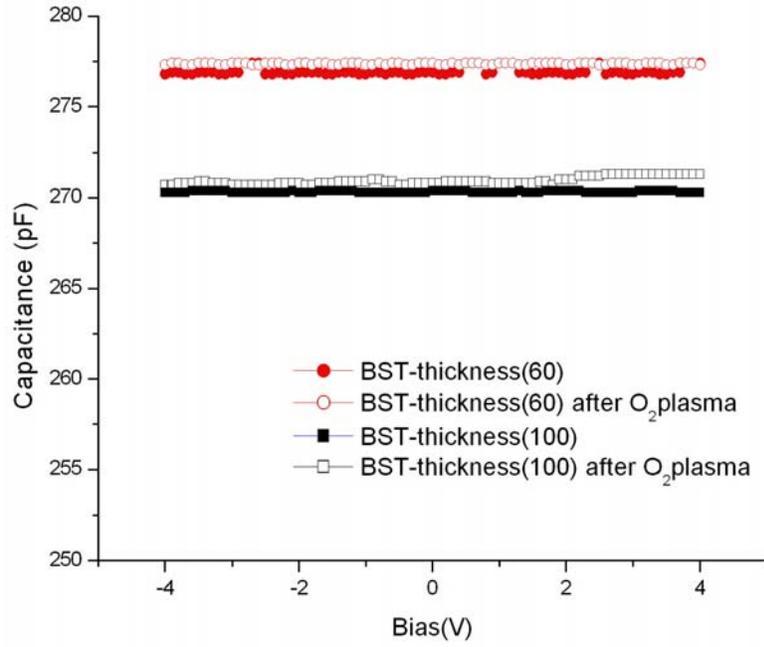


圖4-2-1(a). <實驗一>電容值對電壓圖

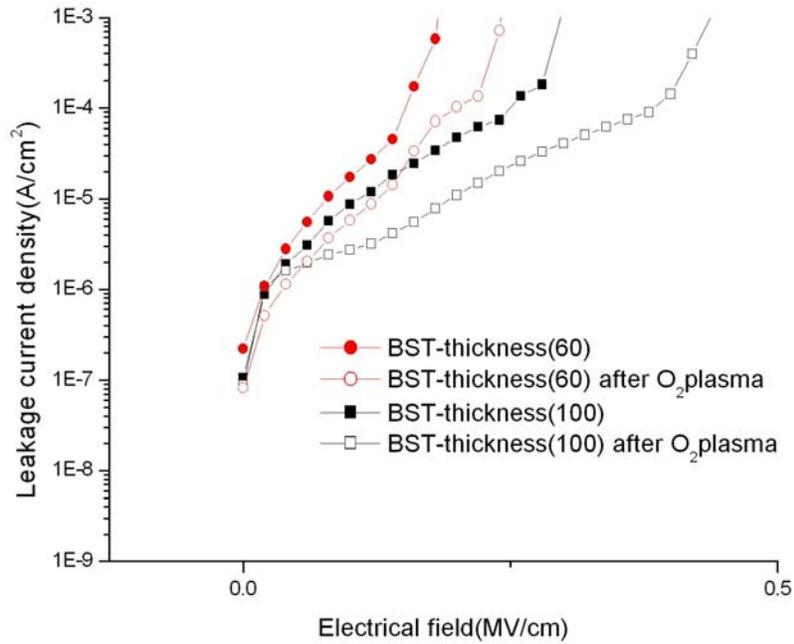


圖4-2-2(a). <實驗一>漏電流密度對電場圖

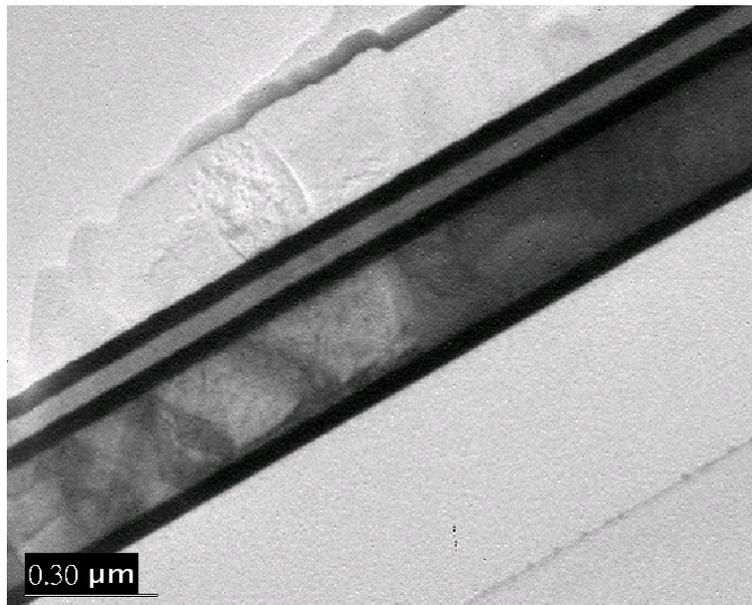


圖 4-2-3(a). <實驗一>BST 厚度 60nmTEM 斷面圖

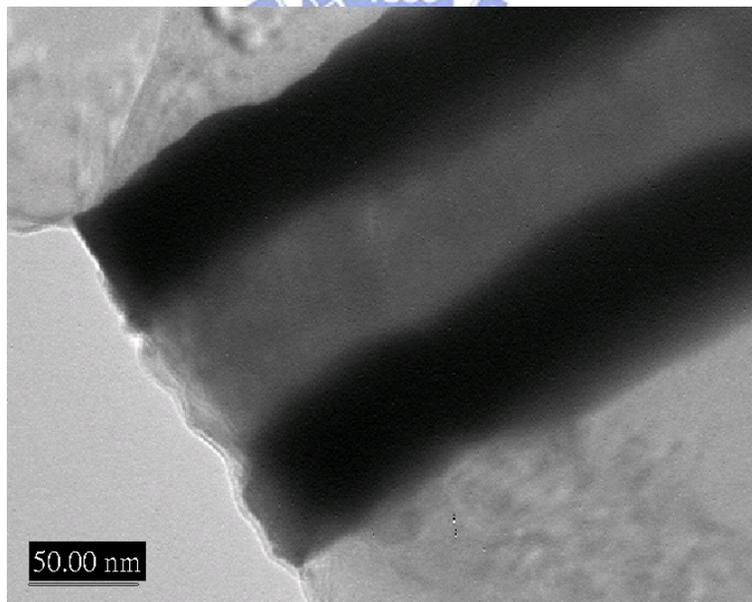


圖 4-2-3(b). 4-2-3(a)之放大圖

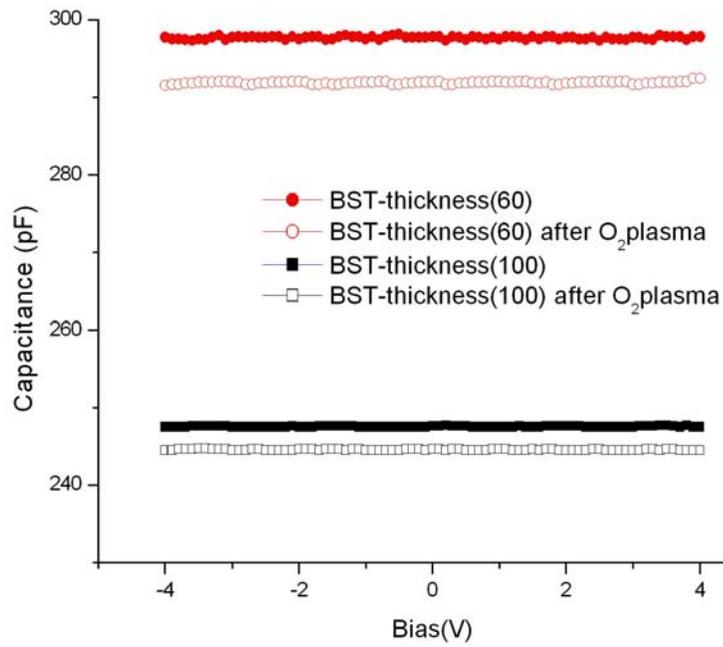


圖4-3-1(a). <實驗二>電容值對電壓圖

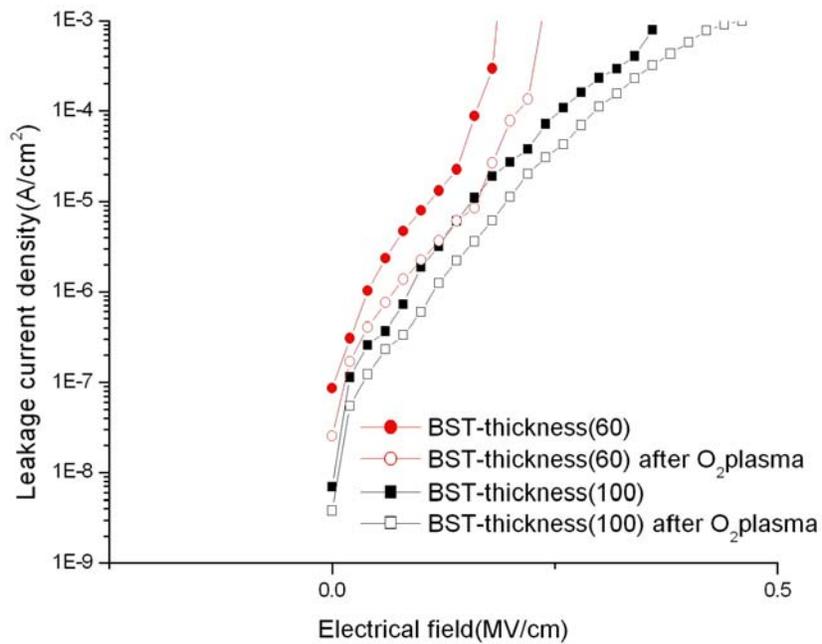


圖4-3-2(a). <實驗二>漏電流密度對電場圖

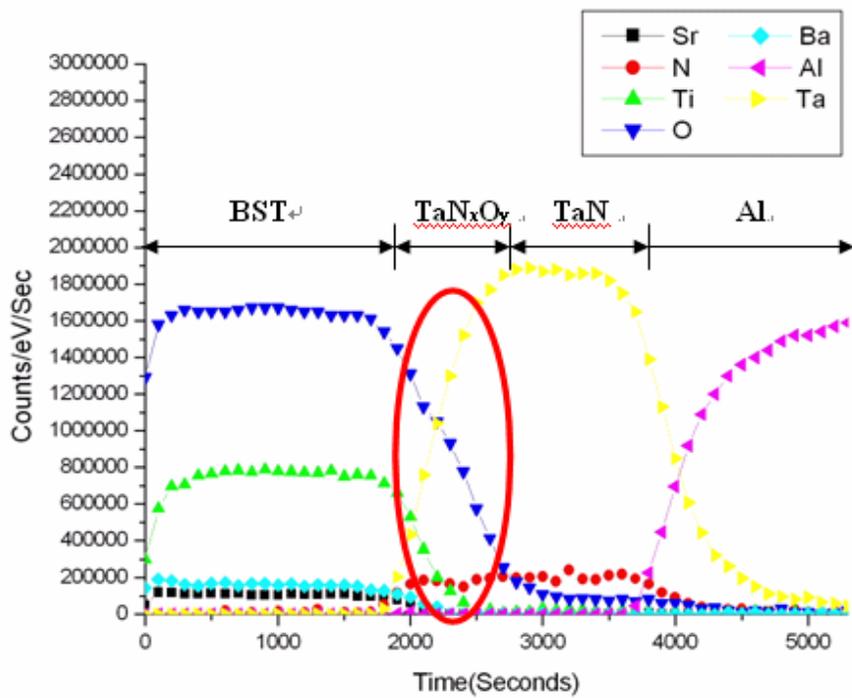


圖 4-4-1(a). <實驗三>底電極氮電漿處理三分鐘之歐傑縱深元素分析圖

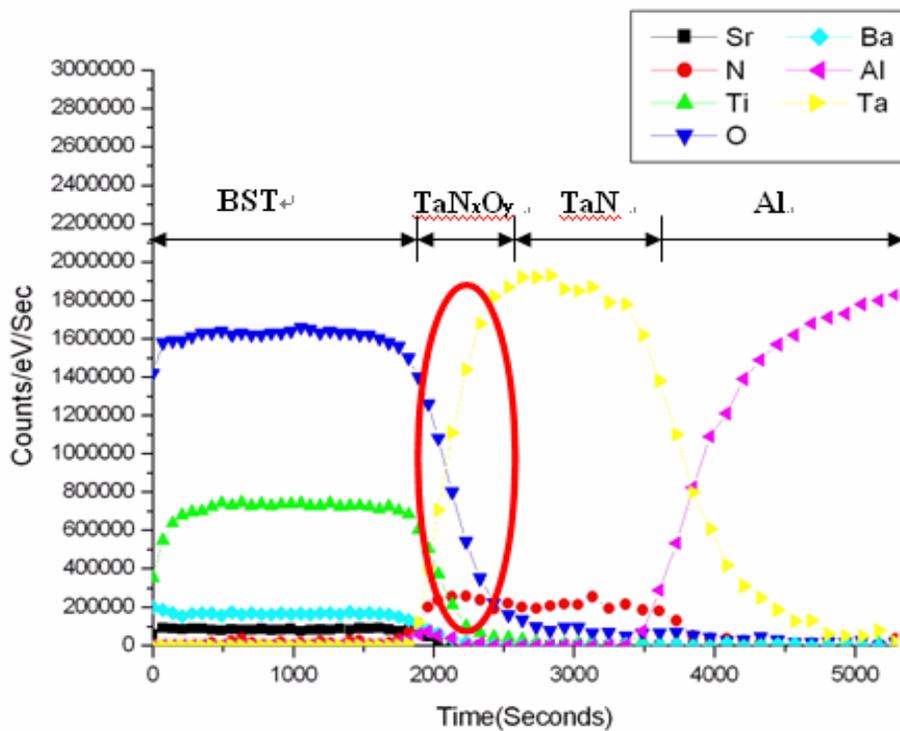


圖 4-4-1(b). <實驗三>底電極氮電漿處理六分鐘之歐傑縱深元素分析圖

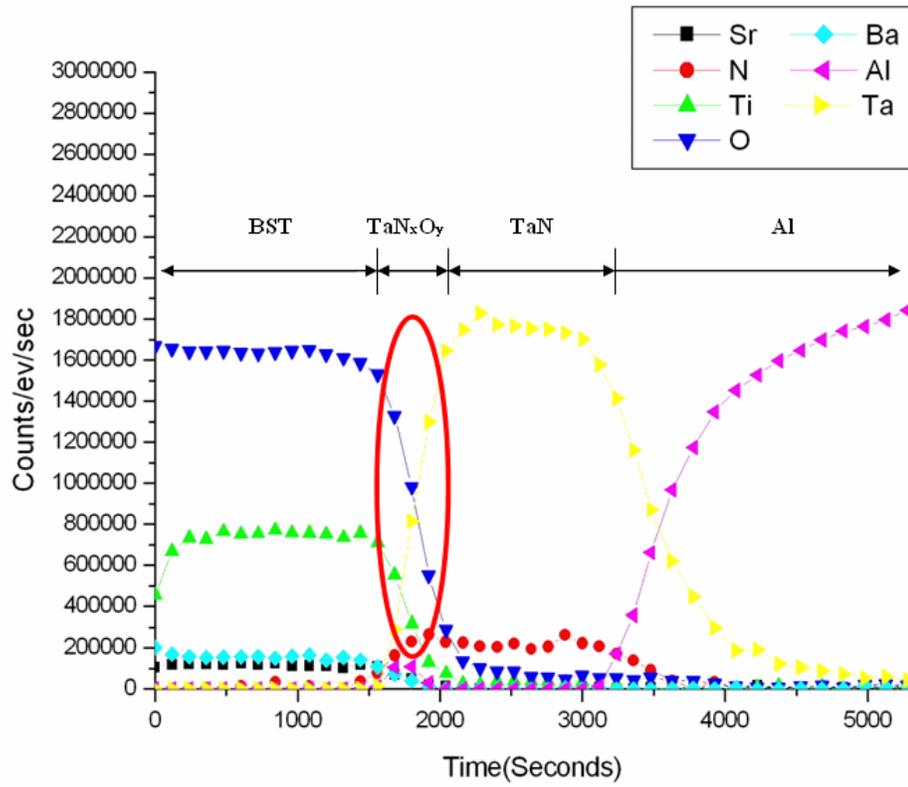


圖 4-4-1(c). <實驗三>底電極氮電漿處理十分鐘之歐傑縱深元素分析圖



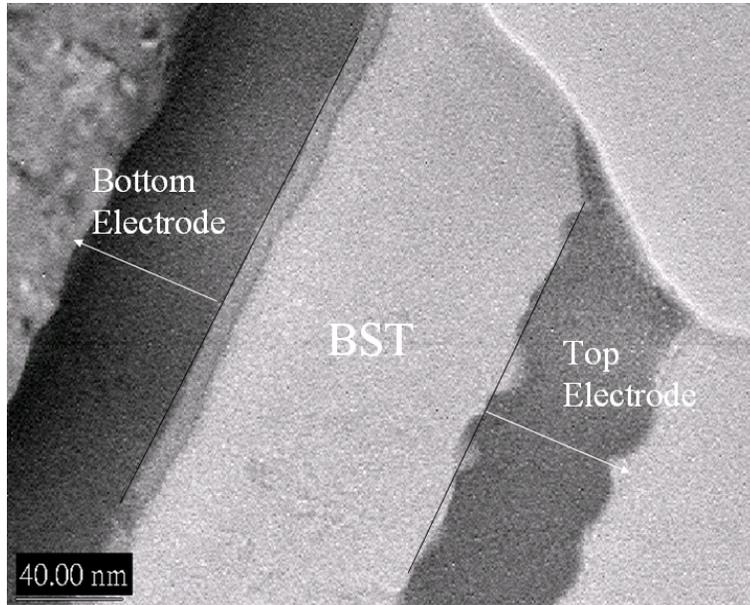


圖 4-4-2(a). <實驗三>底電極經處理 10min 之 TEM 斷面圖

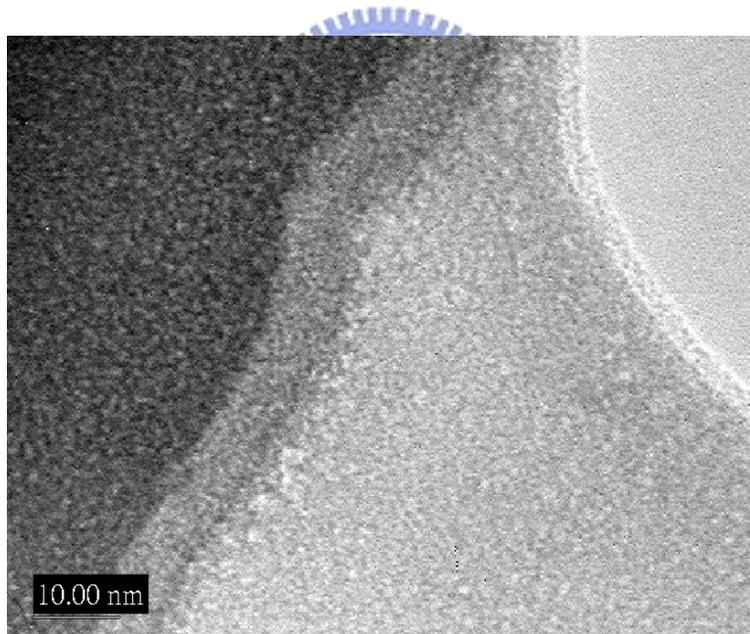


圖 4-4-2(b). 4-4-2(a)之放大圖

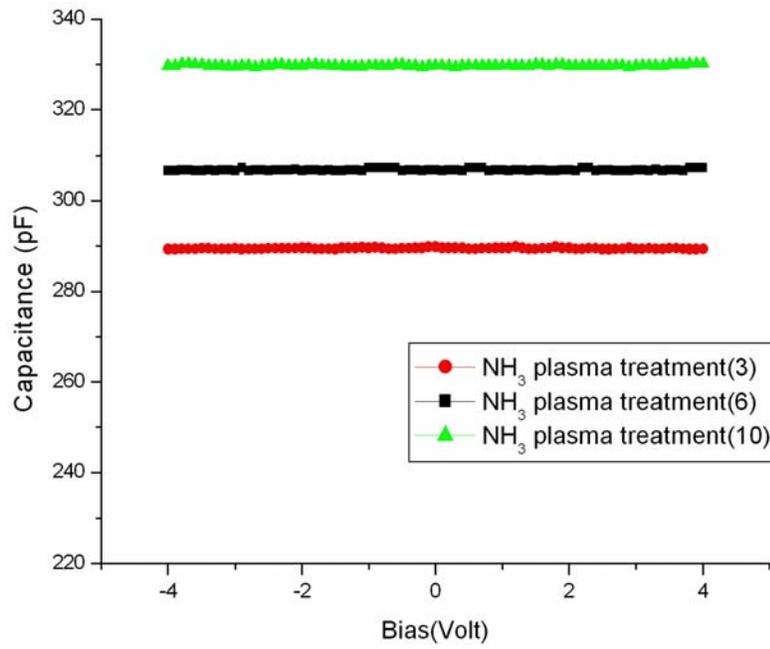


圖 4-4-3(a). <實驗三>電容值對電壓圖

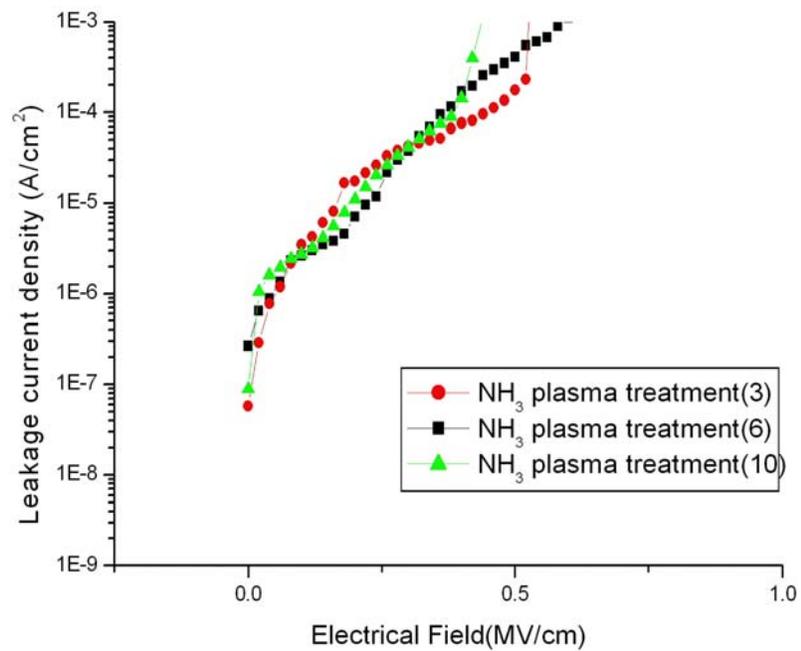


圖4-4-4(a). <實驗三>漏電流密度對電場圖

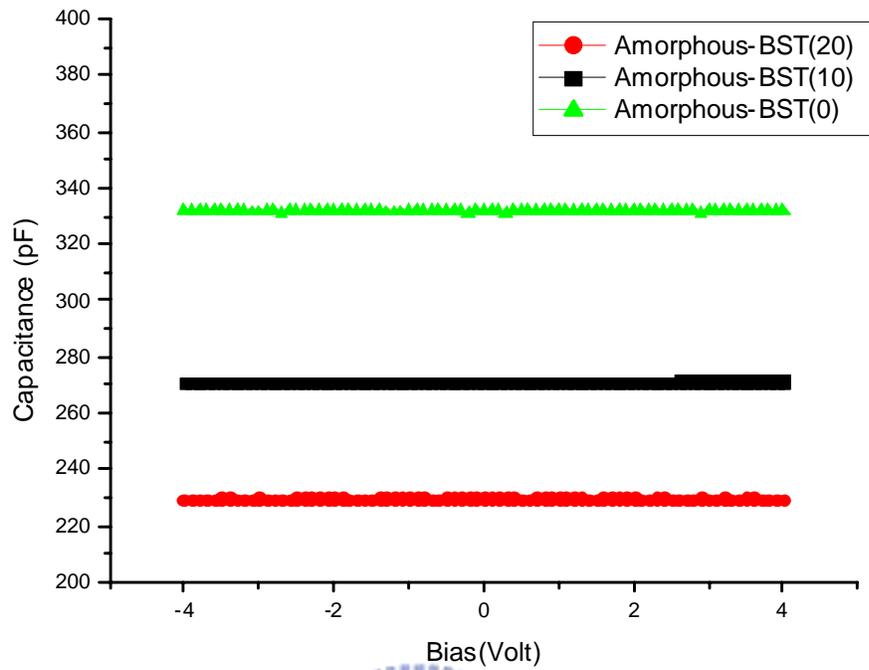


圖 4-5-1(a). <實驗四>電容值對電壓圖

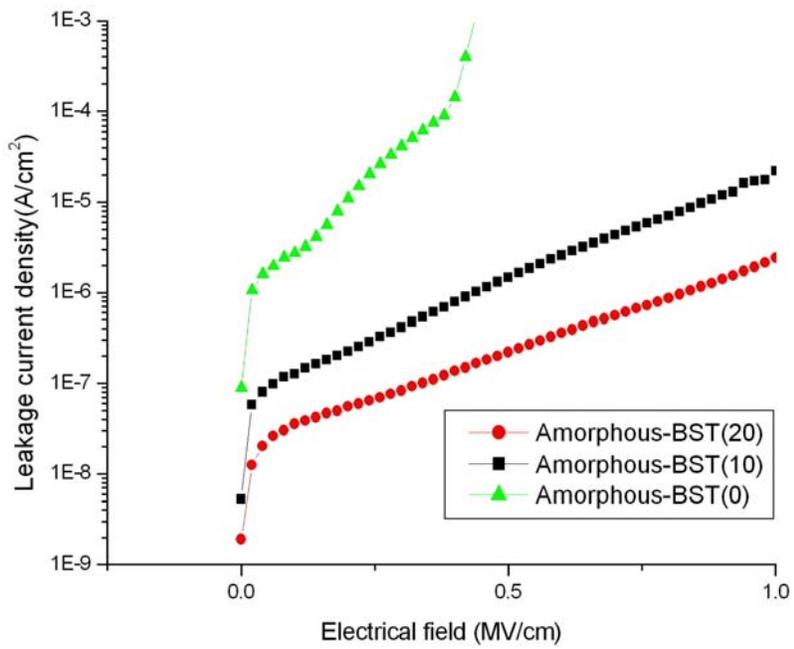
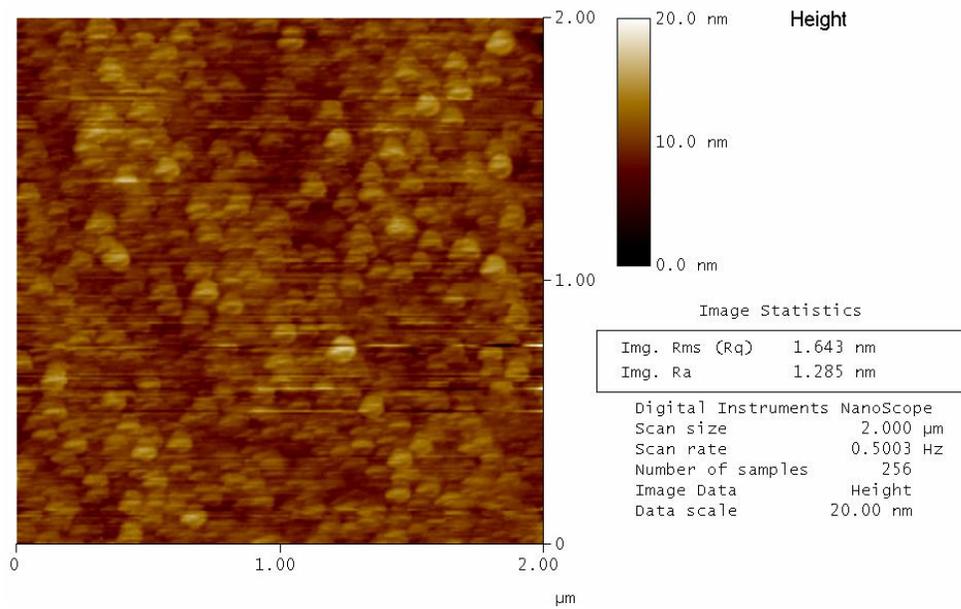
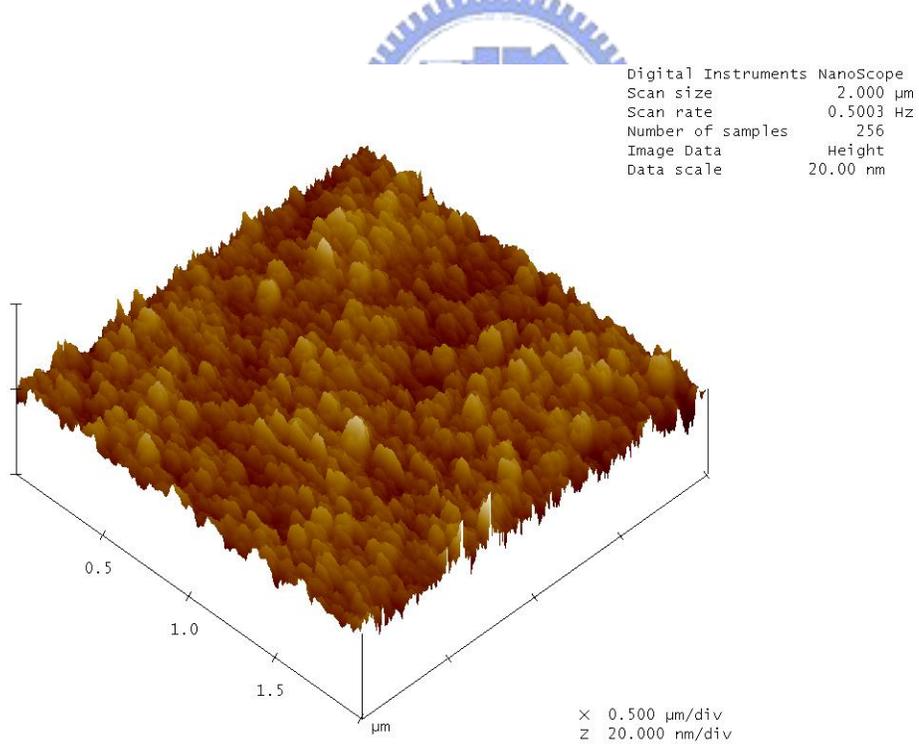


圖 4-5-2(a). <實驗四>漏電流密度對電場圖

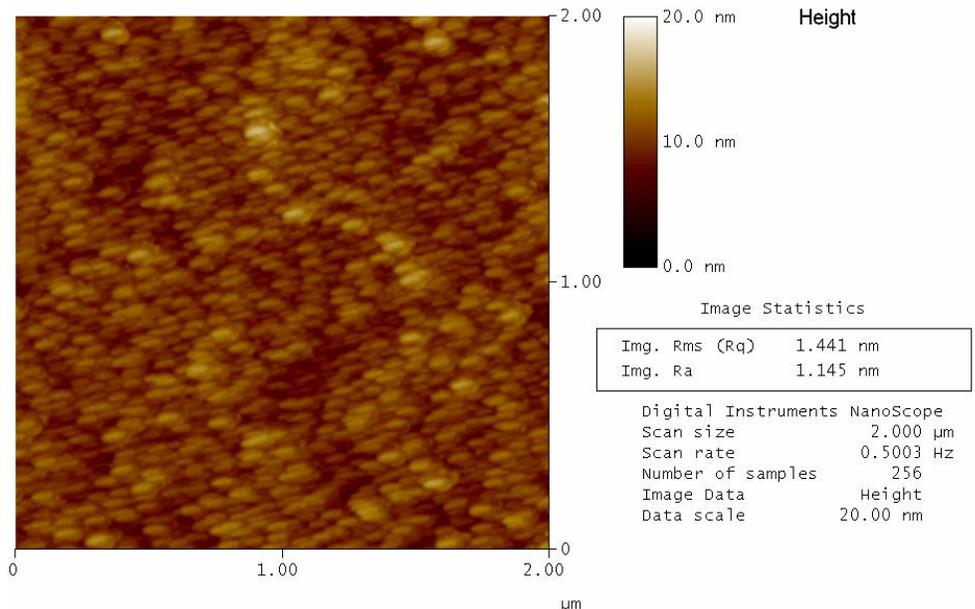


(2D表面粗糙度)



(3D形貌圖)

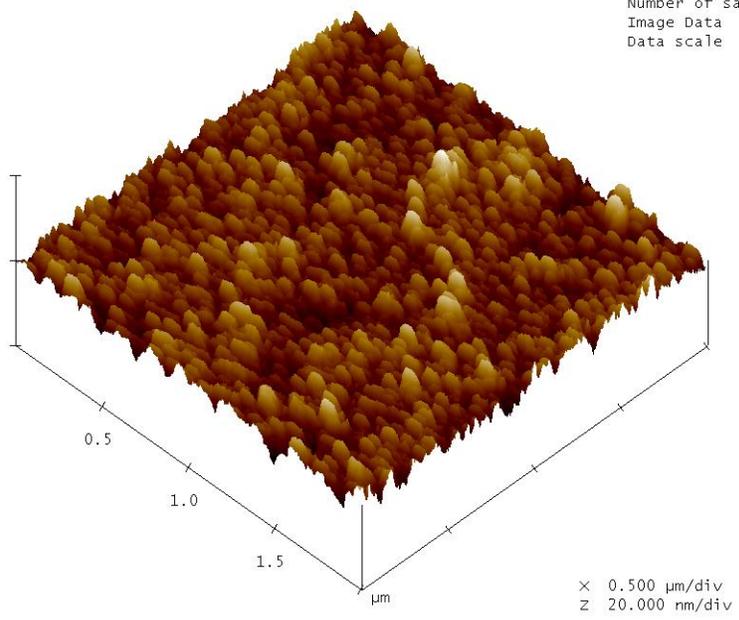
圖4-5-3(a). <實驗四>BST單層薄膜AFM2D、3D形貌圖



(2D表面粗糙度)

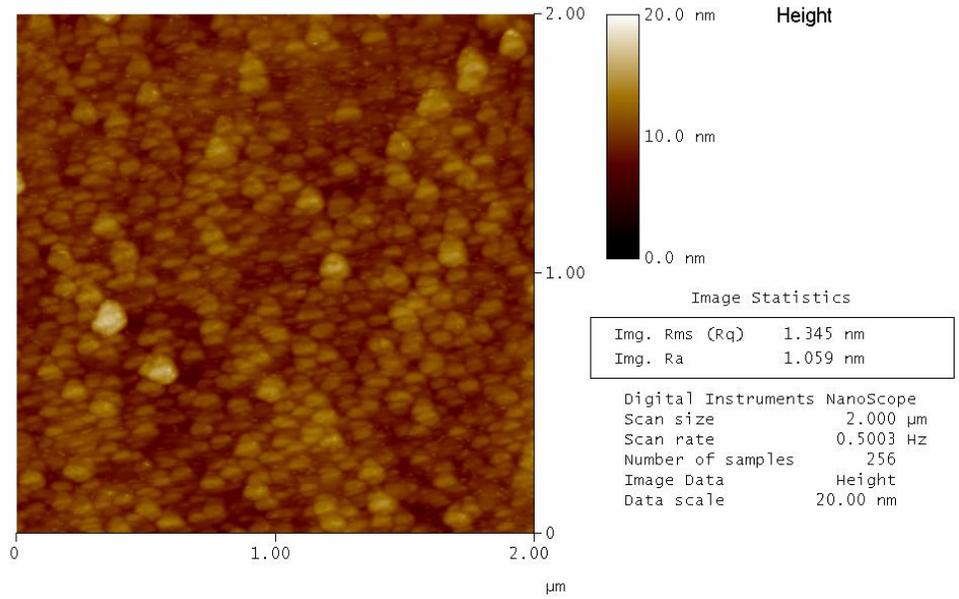


Digital Instruments NanoScope
Scan size 2.000 μm
Scan rate 0.5003 Hz
Number of samples 256
Image Data Height
Data scale 20.00 nm

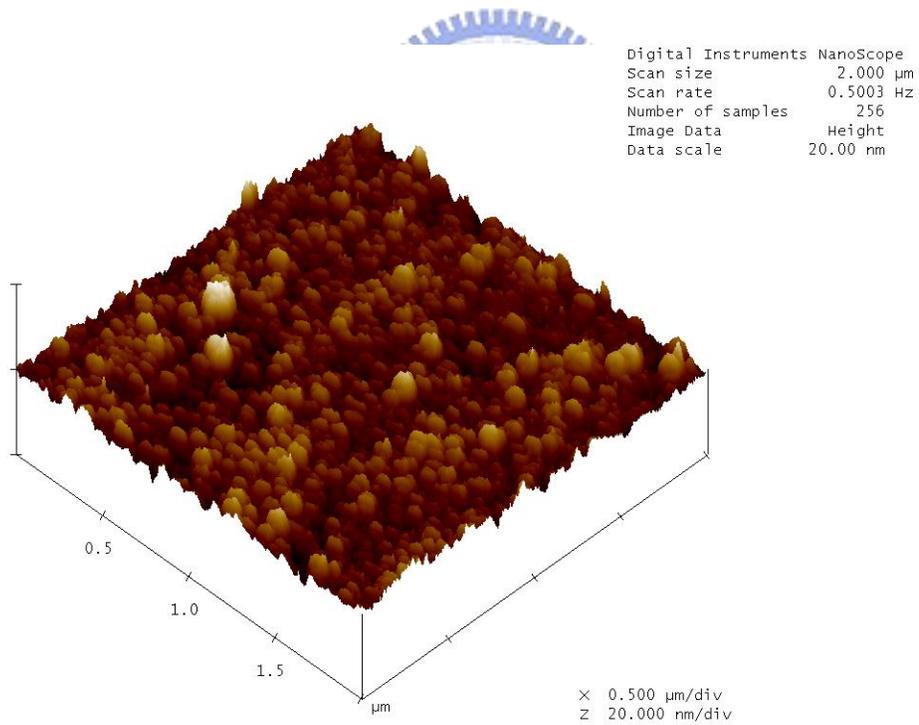


(3D 形貌圖)

圖4-5-3(b). <實驗四>BST雙層(非晶層厚度10nm)AFM2D、3D形貌圖



(2D表面粗糙度)



(3D 形貌圖)

圖4-5-3(c). <實驗四>BST雙層(非晶層厚度20nm)AFM2D、3D形貌圖

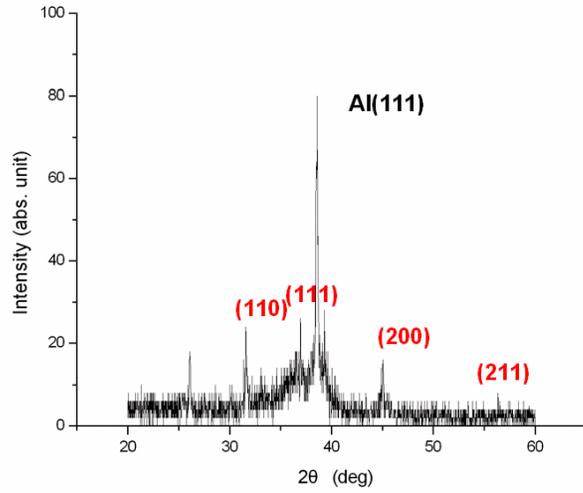


圖 4-5-4(a). <實驗四>BST 單層 XRD 繞射圖

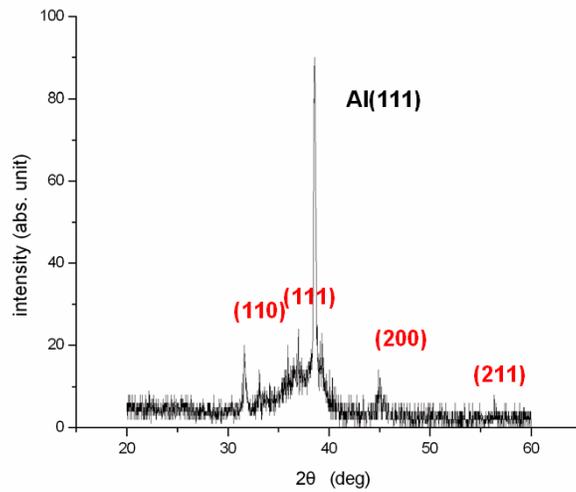


圖 4-5-4(b). <實驗四>BST 雙層(非晶層厚度 10nm)XRD 繞射圖

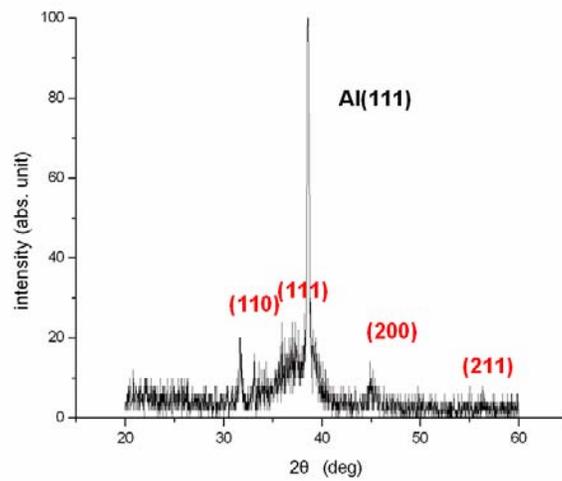


圖 4-5-4(c). <實驗四>BST 雙層(非晶層厚度 20nm)XRD 繞射圖

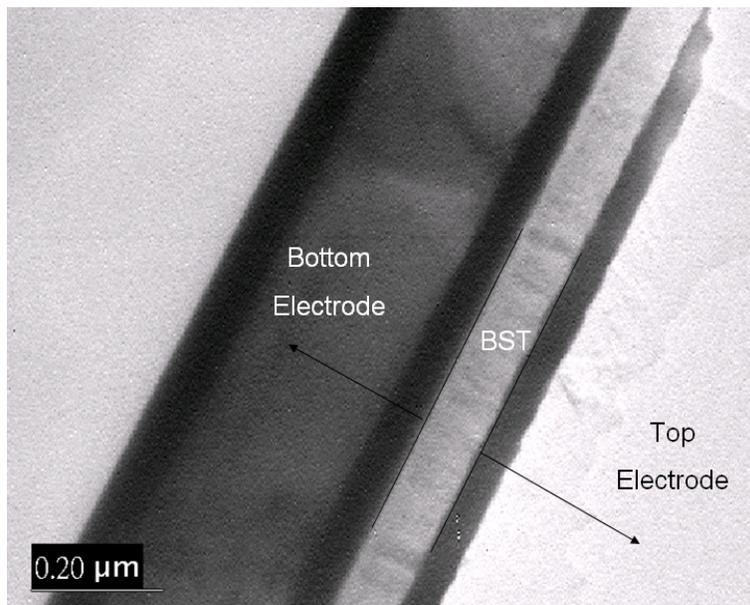


圖 4-5-5(a). <實驗四>單層結構 TEM 斷面圖

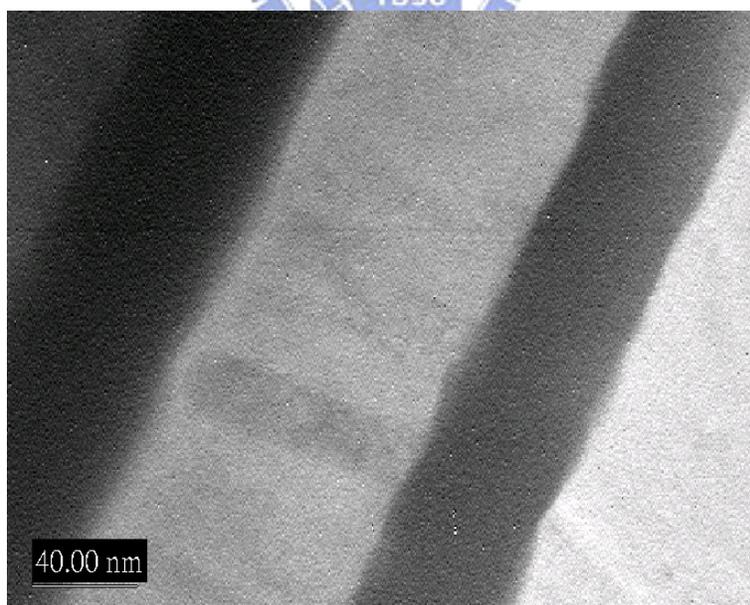


圖 4-5-5(b). 4-5-5(a). 放大圖

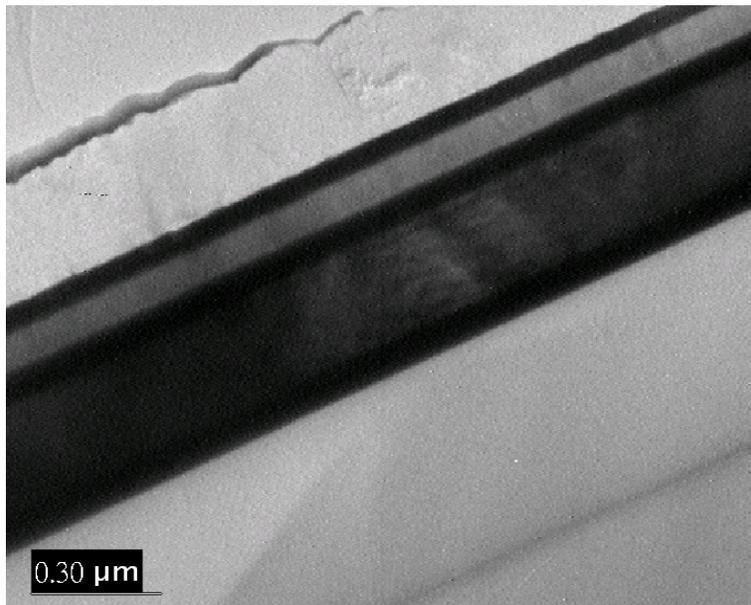


圖 4-5-5(c). <實驗四>雙層結構(非晶層厚度 10nm) TEM 斷面圖

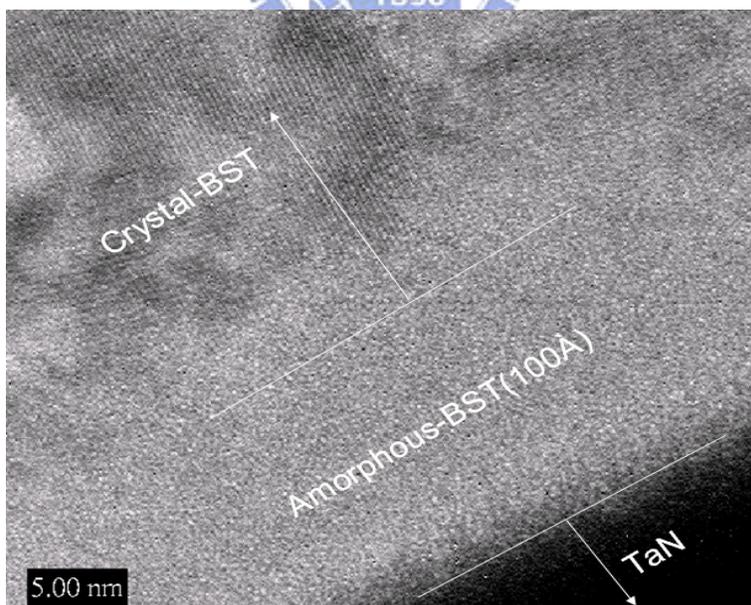


圖 4-5-5(d). 圖 4-5-5(c). 放大圖

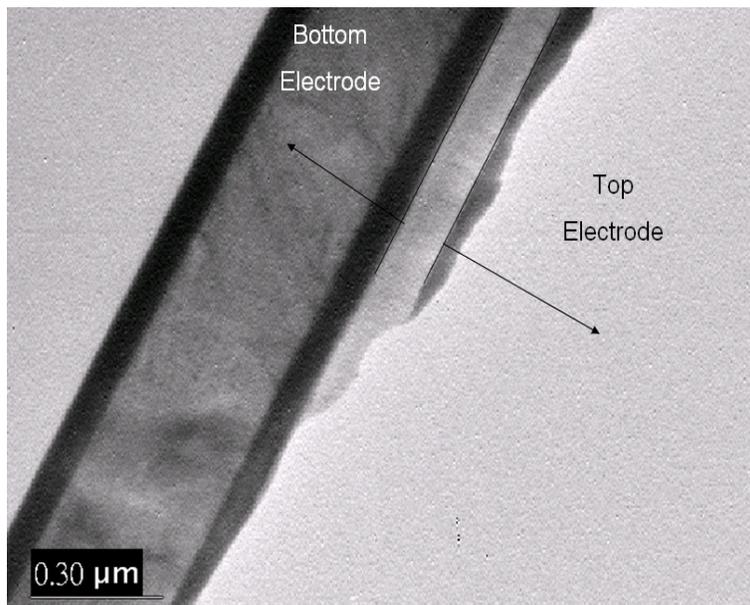


圖 4-5-5(e). <實驗四>雙層結構(非晶層厚度 20nm) TEM 斷面圖

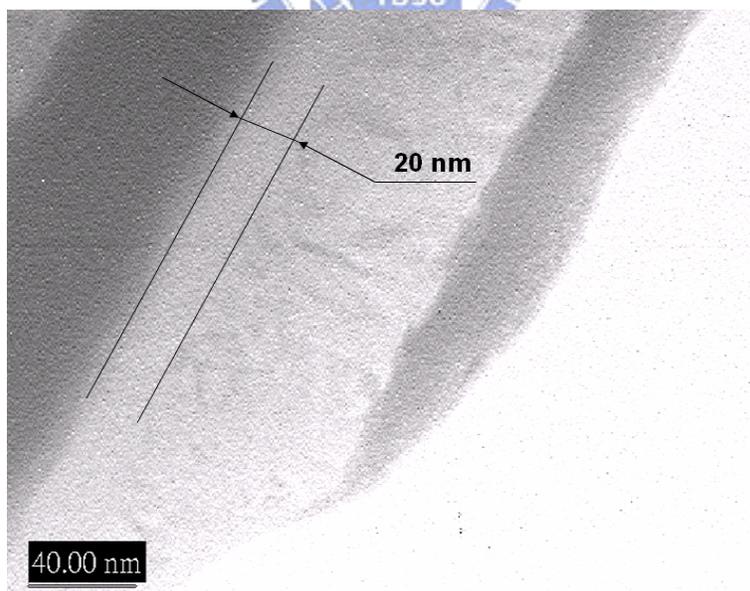


圖 4-5-5(f). 圖 4-5-5(e). 放大圖

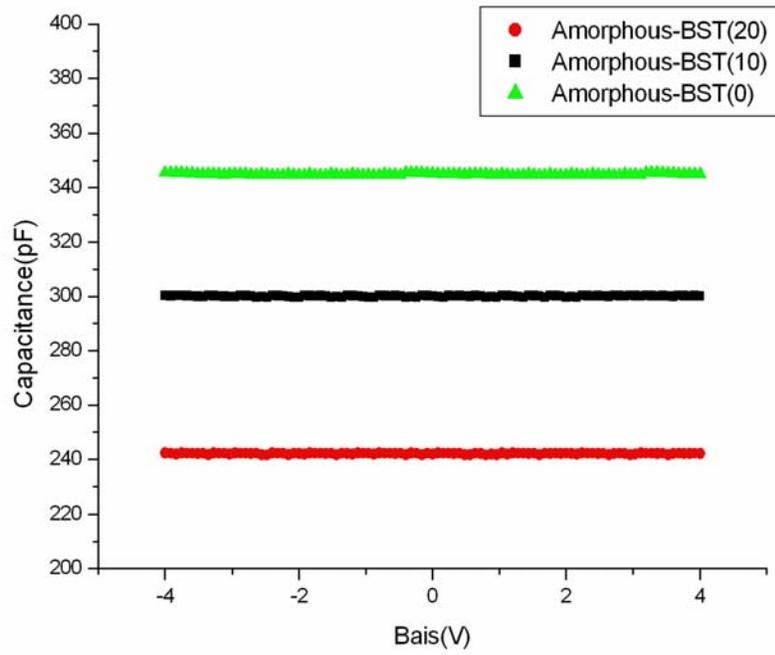


圖 4-6-1(a). <實驗五>電容值對電壓圖

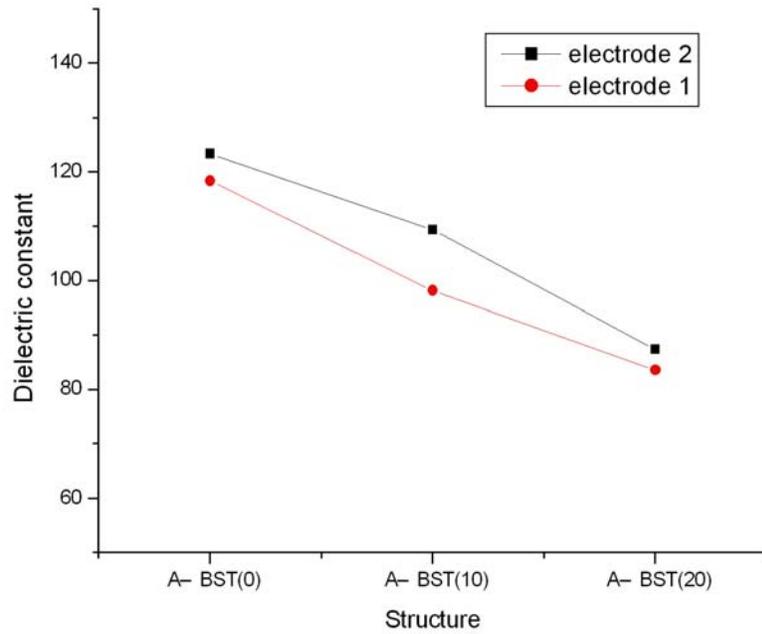


圖 4-6-1(b). <實驗四>、<實驗五>等效介電常數比較圖

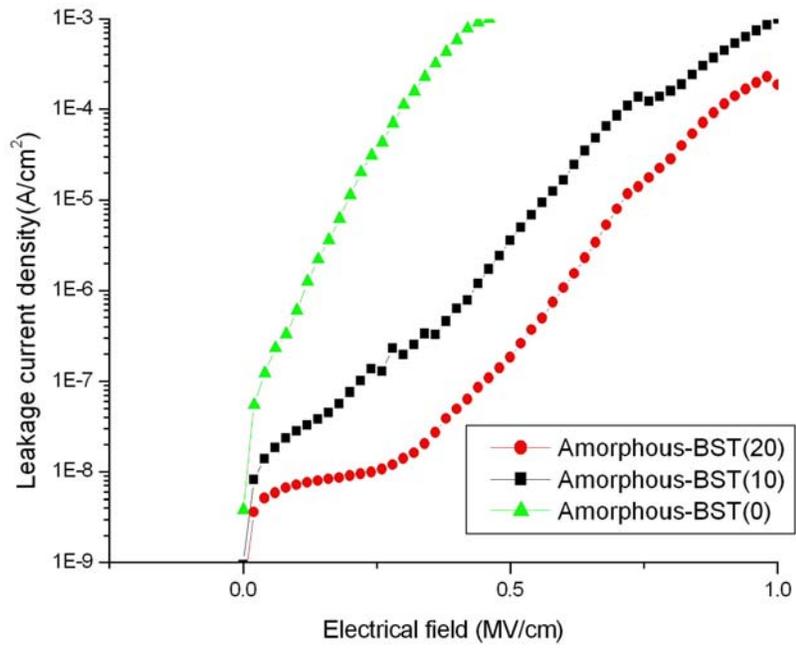
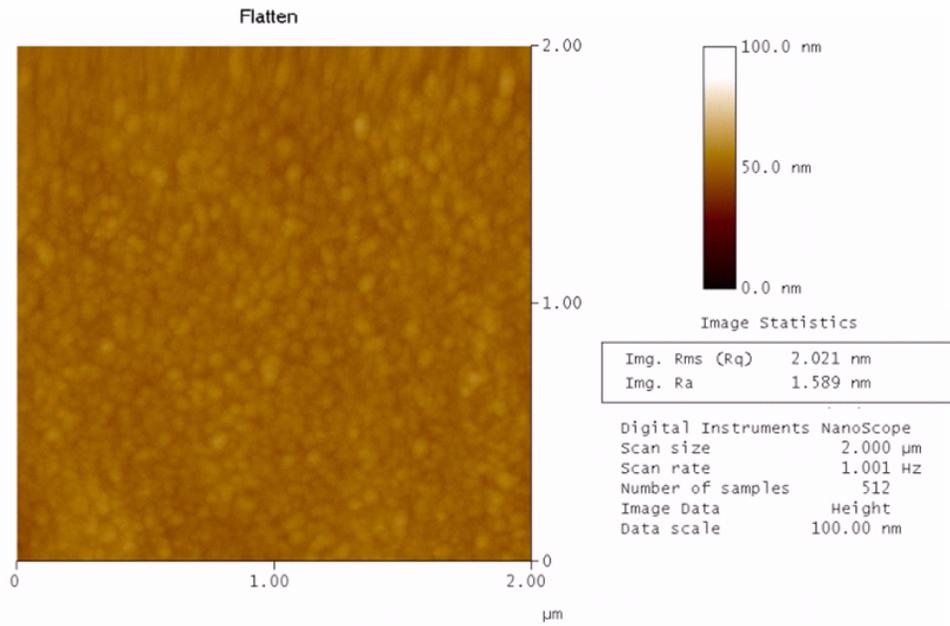
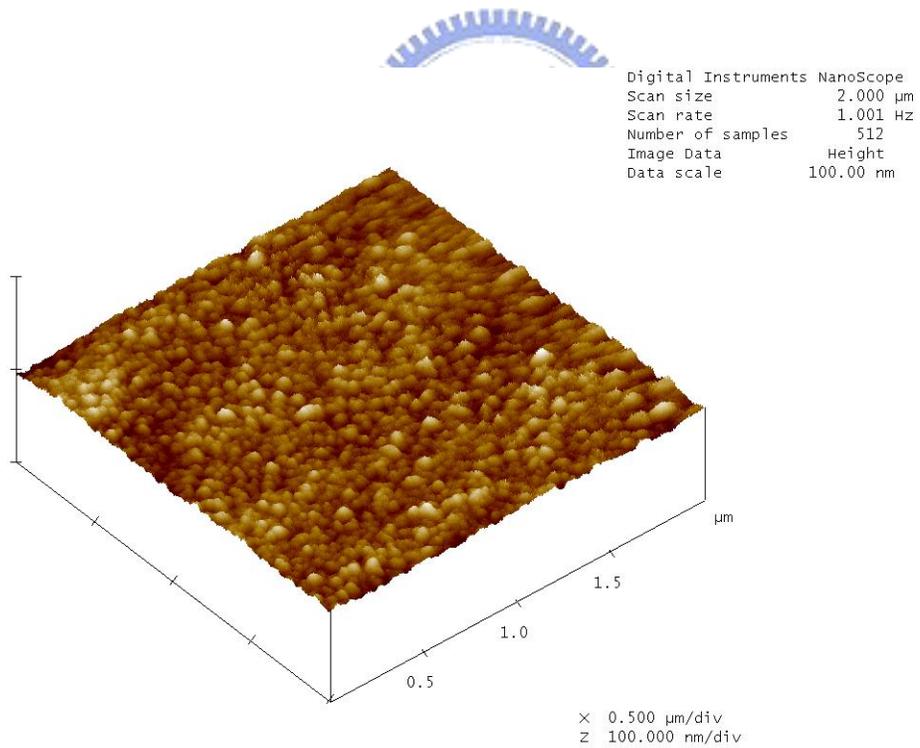


圖 4-6-2(a). <實驗五>漏電流密度對電場圖



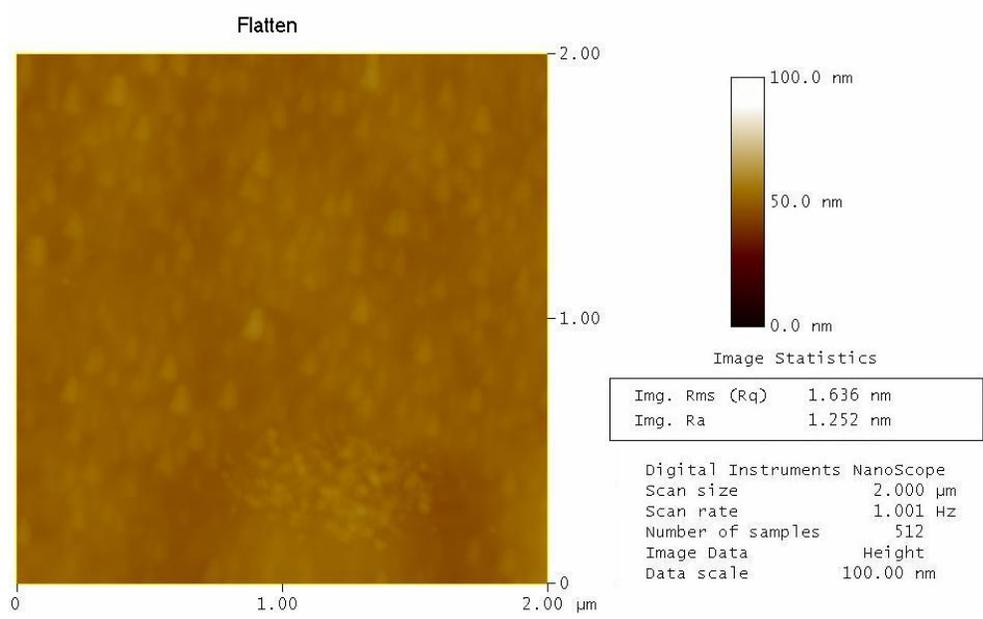


(2D表面粗糙度)

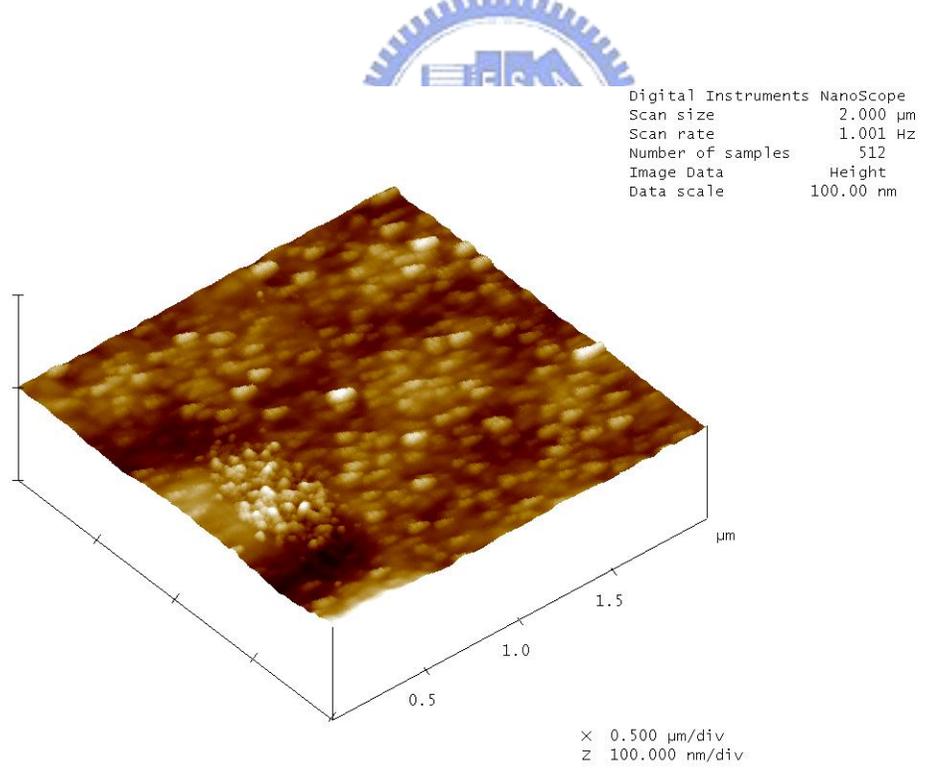


(3D形貌圖)

圖4-6-3(a). <實驗五>BST單層薄膜AFM2D、3D形貌圖

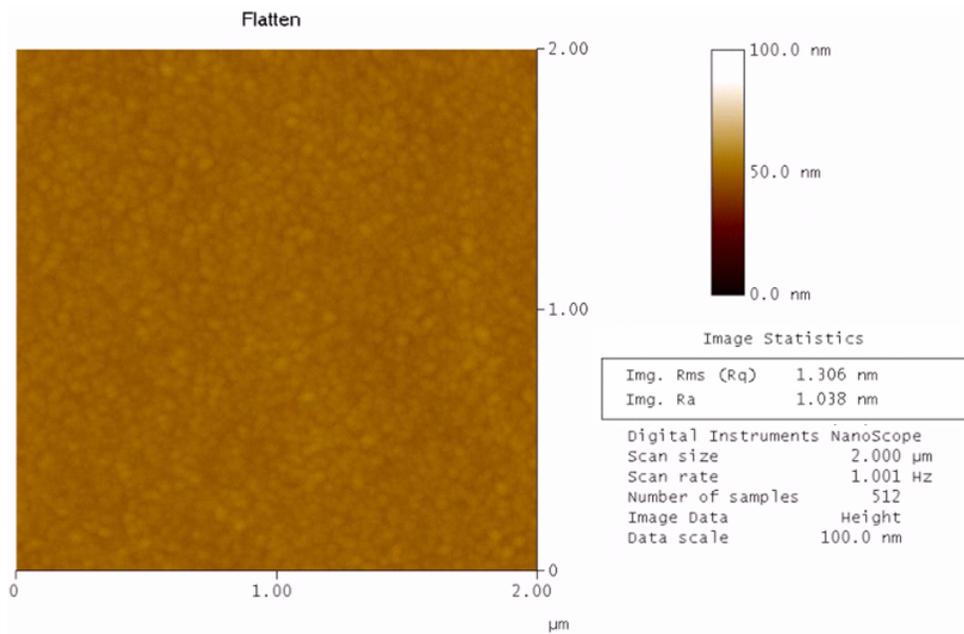


(2D表面粗糙度)



(3D 形貌圖)

圖4-6-3(b). <實驗五>BST雙層(非晶層厚度10nm)AFM2D、3D形貌圖



(2D表面粗糙度)



Digital Instruments NanoScope

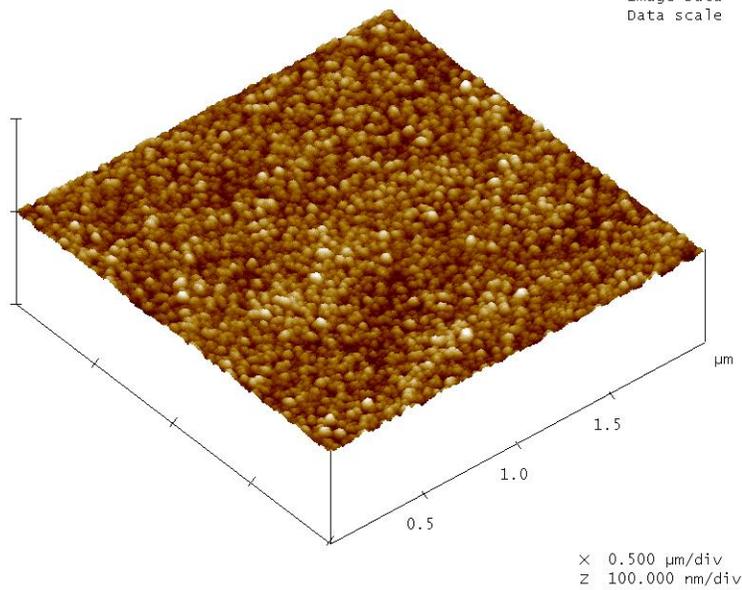
Scan size 2.000 μm

Scan rate 1.001 Hz

Number of samples 512

Image Data Height

Data scale 100.0 nm



(3D 形貌圖)

圖4-6-3(c). <實驗五>BST雙層(非晶層厚度20nm)AFM2D、3D形貌圖

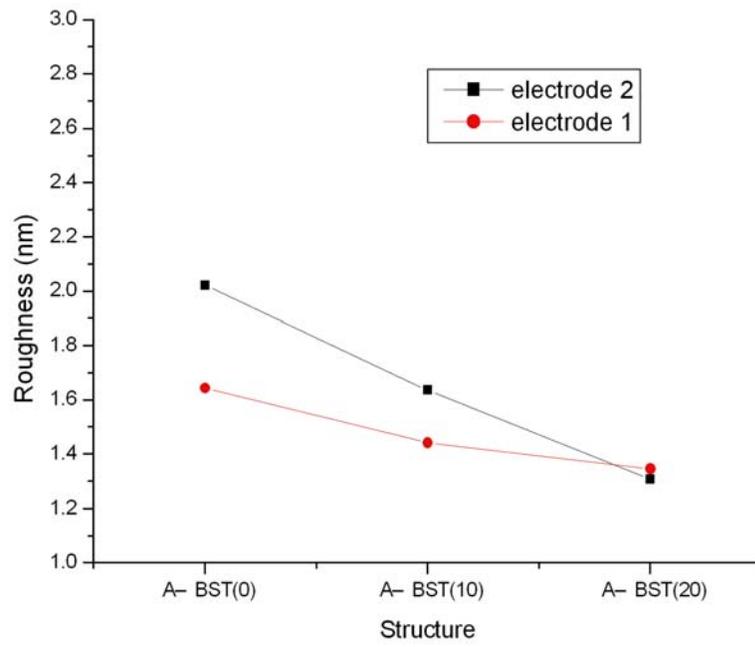


圖 4-6-3(d). <實驗四>、<實驗五>表面粗糙度(RMS)比較圖



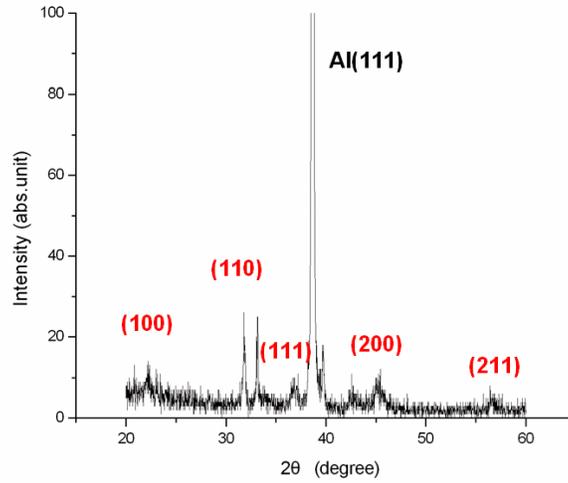


圖 4-6-4(a). <實驗五>BST 單層 XRD 繞射圖

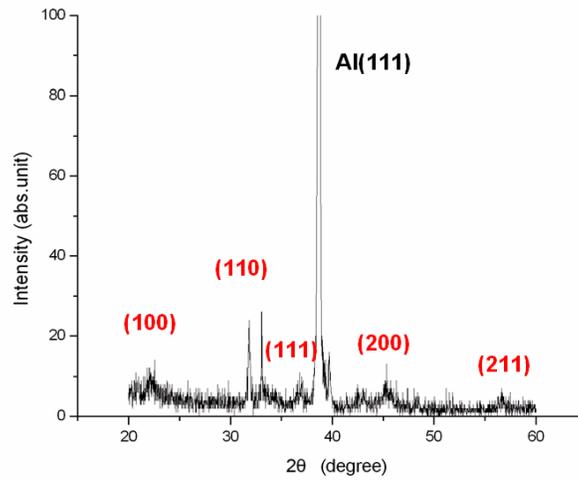


圖 4-6-4(b). <實驗五>BST 雙層(非晶層厚度 10nm)XRD 繞射圖

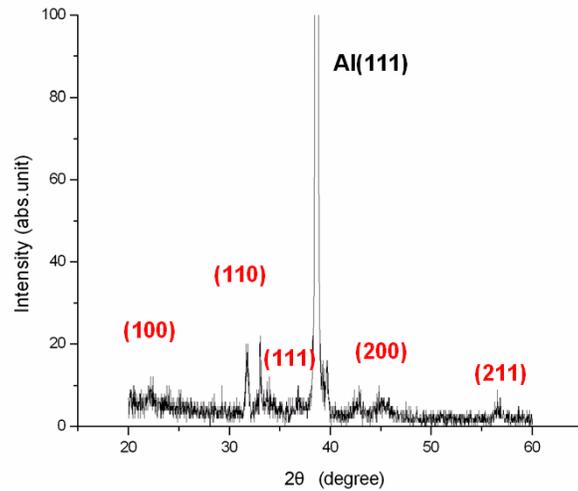


圖 4-6-4(c). <實驗五>BST 雙層(非晶層厚度 20nm)XRD 繞射圖

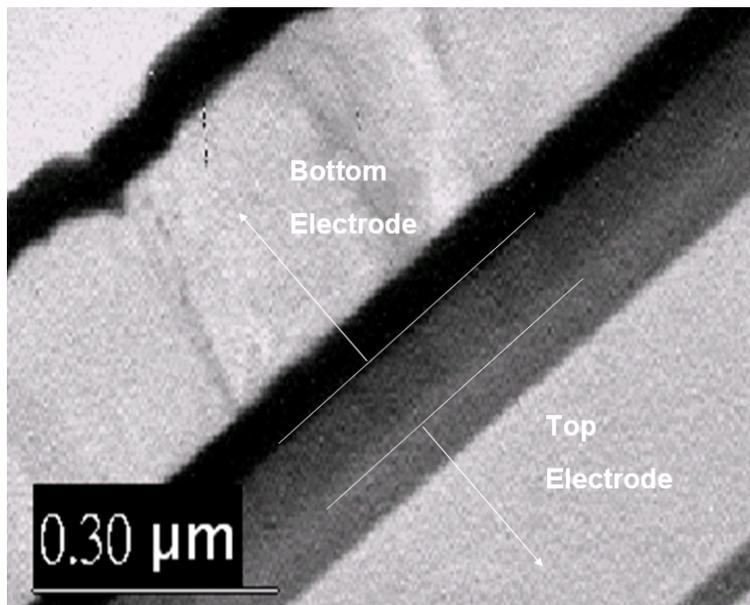


圖 4-6-5(a). <實驗五>單層結構 TEM 斷面圖

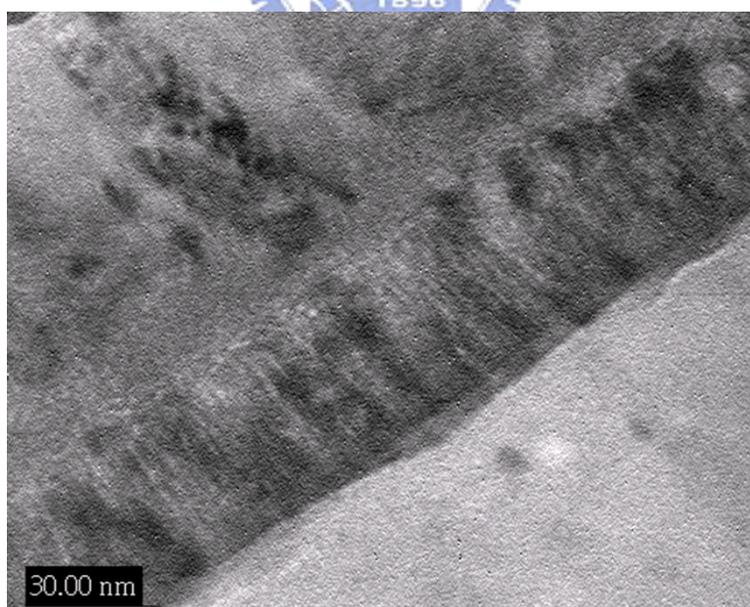


圖 4-6-5(b). 4-6-5(a). 放大圖

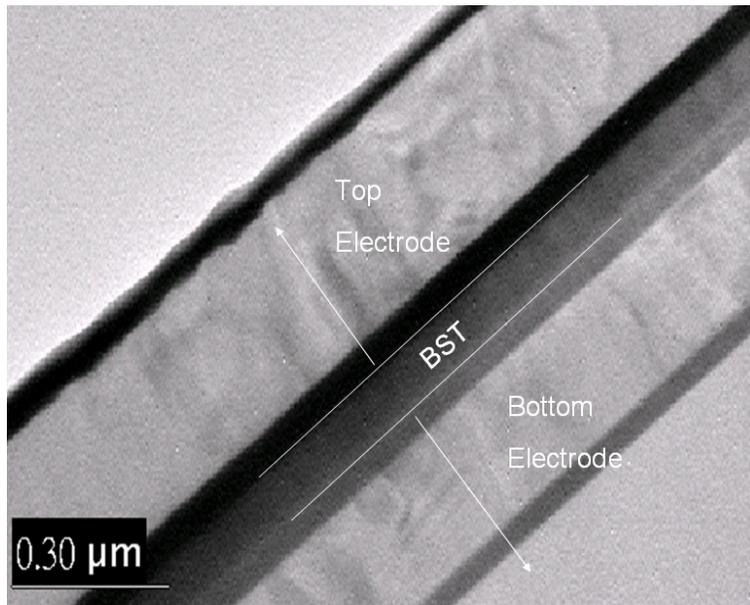


圖 4-6-5(c). <實驗五>雙層結構(非晶層厚度 10nm)TEM 斷面圖

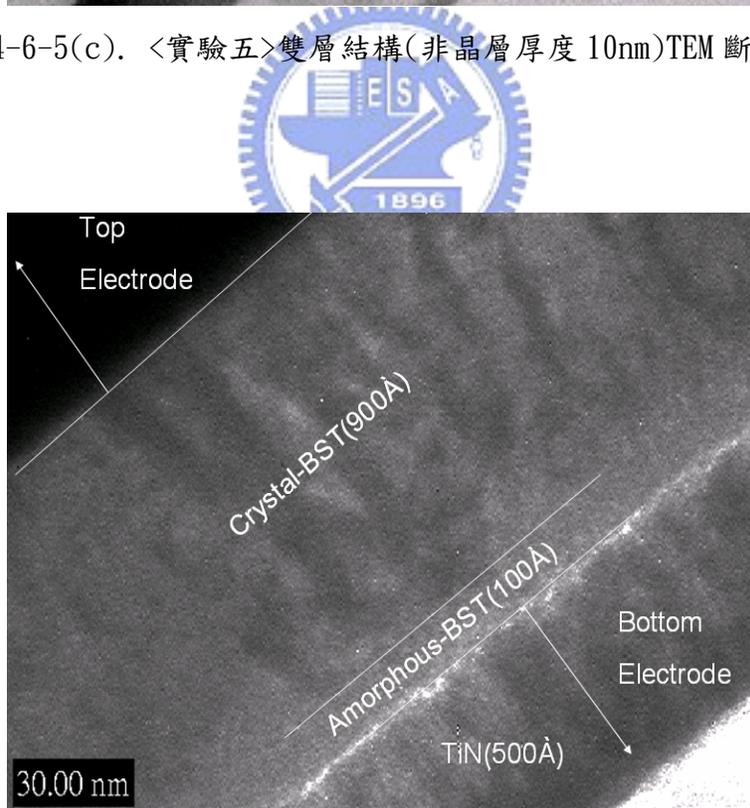


圖 4-6-5(d). 圖 4-6-5(c). 放大圖

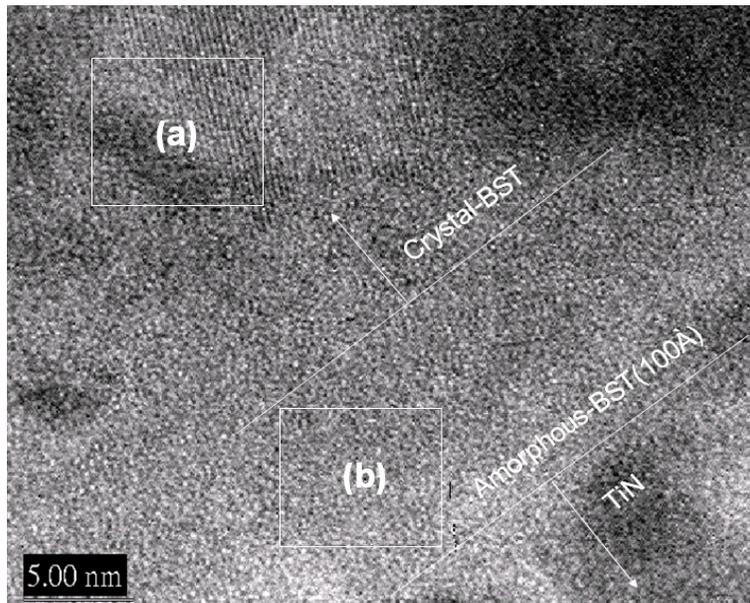


圖 4-6-5(e). 圖 4-6-5(d). 放大圖

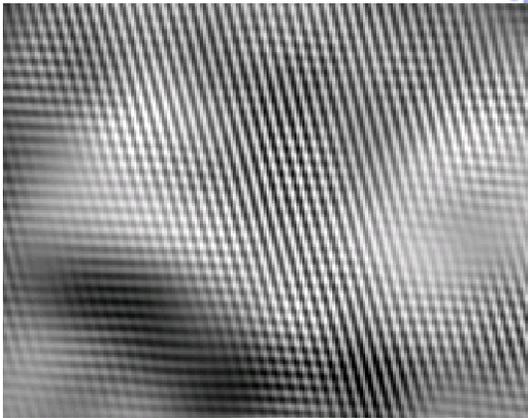


圖 4-6-5(f).

圖 4-6-5(e). 之(a)傅利葉轉換

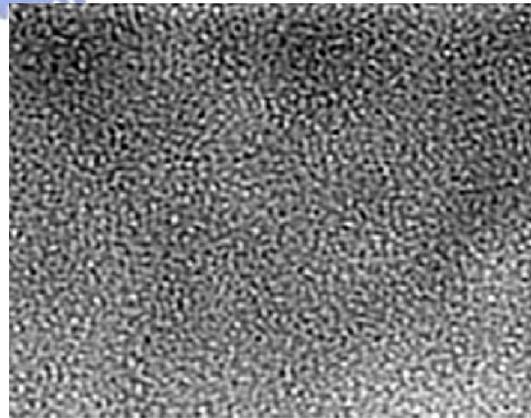


圖 4-6-5(g).

圖 4-6-5(e). 之(b)傅利葉轉換

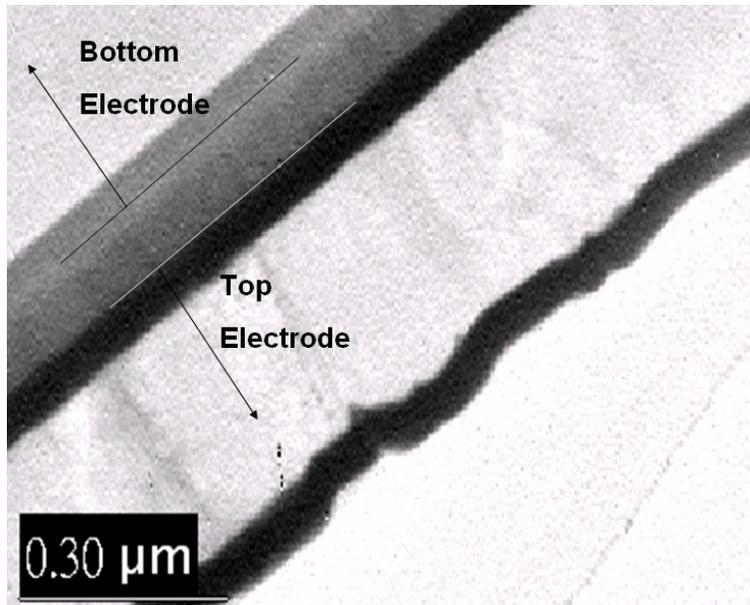


圖 4-6-5(h). <實驗五>雙層結構(非晶層厚度 20nm) TEM 斷面圖

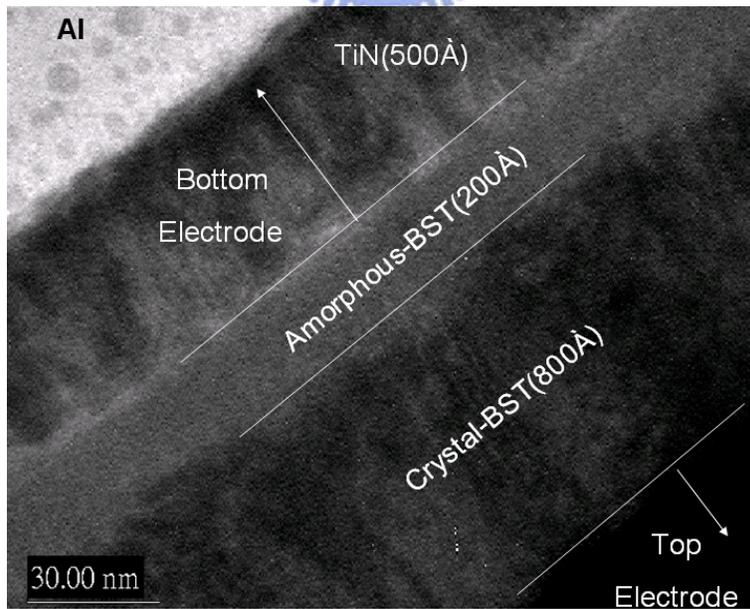


圖 4-6-5(i). 圖 4-6-5(h). 放大圖

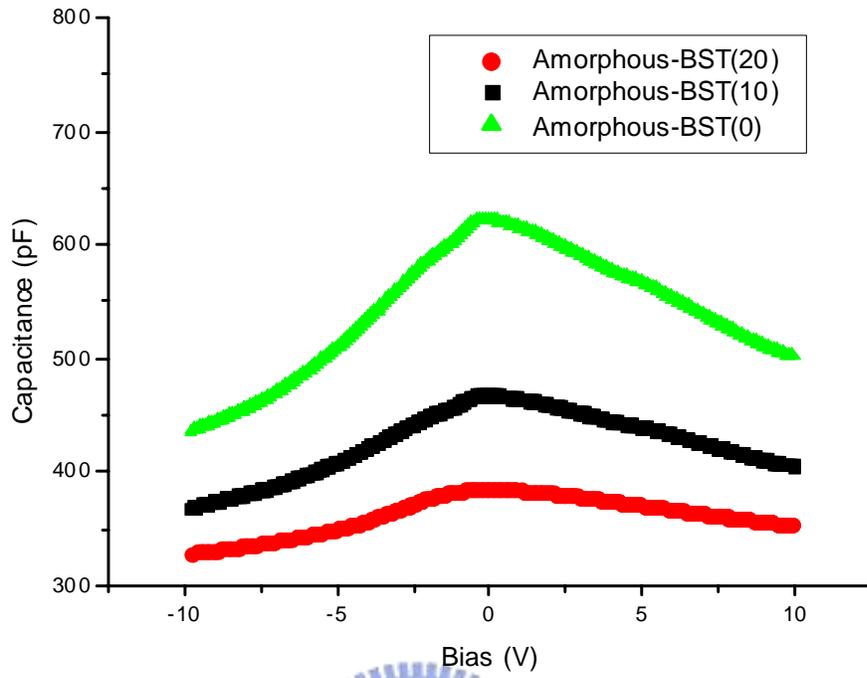


圖 4-7-1(a). <實驗六>電容值對電壓圖

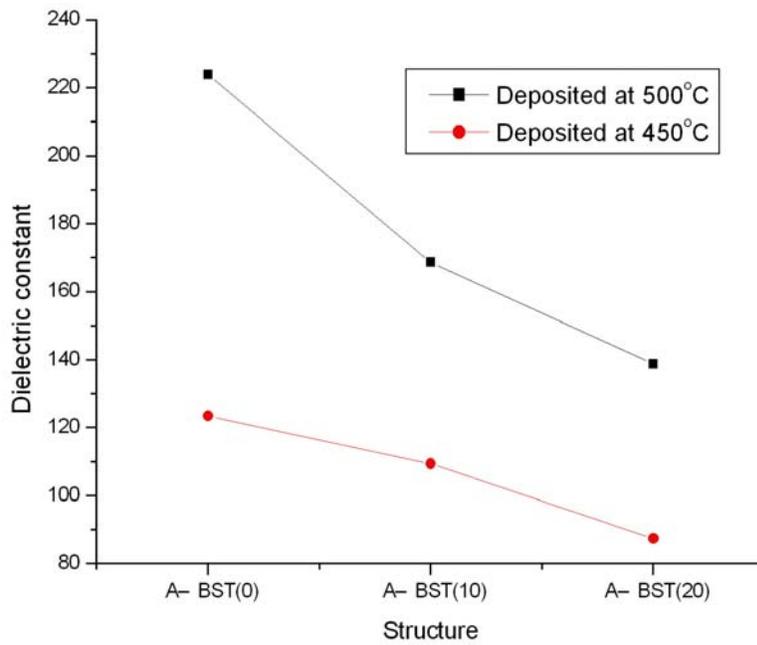


圖 4-7-1(b). <實驗五>、<實驗六>等效介電常數比較圖

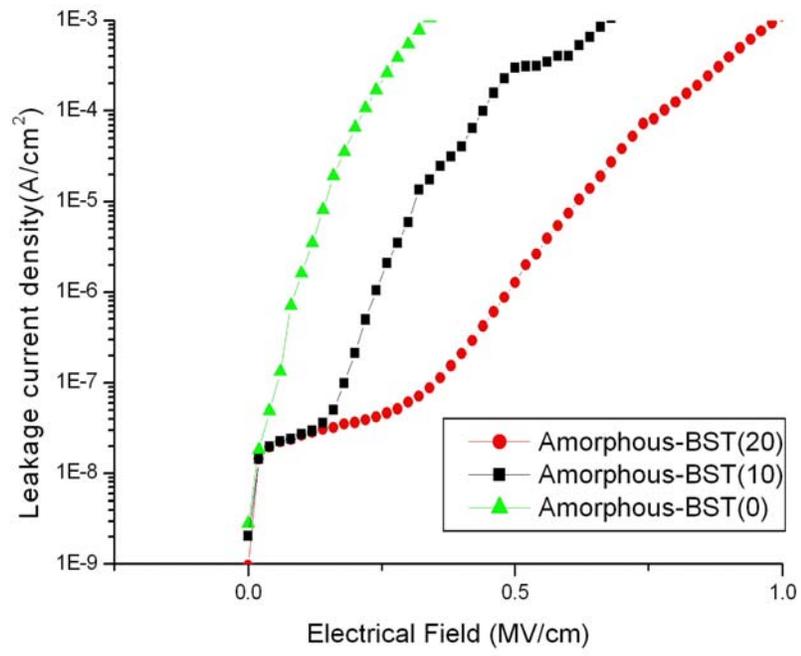
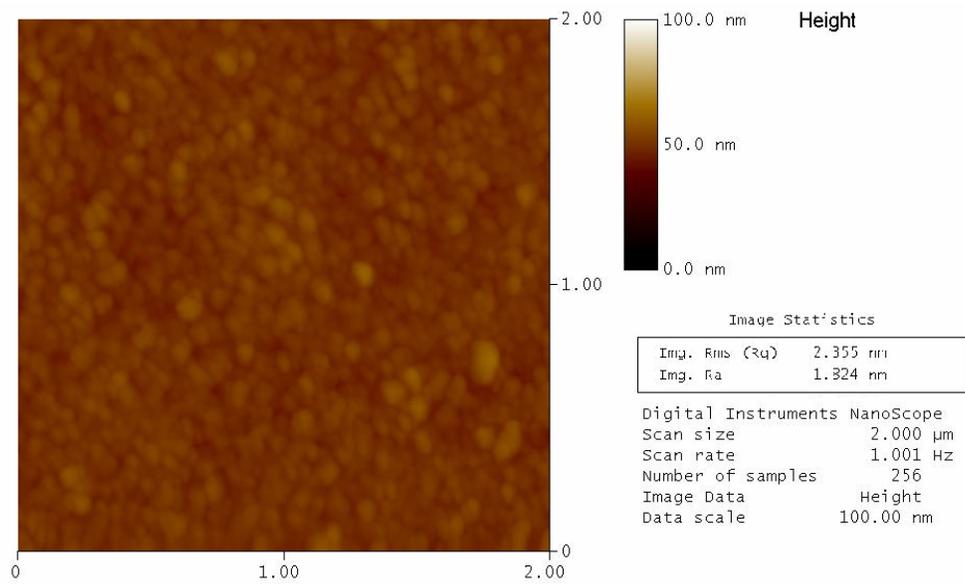
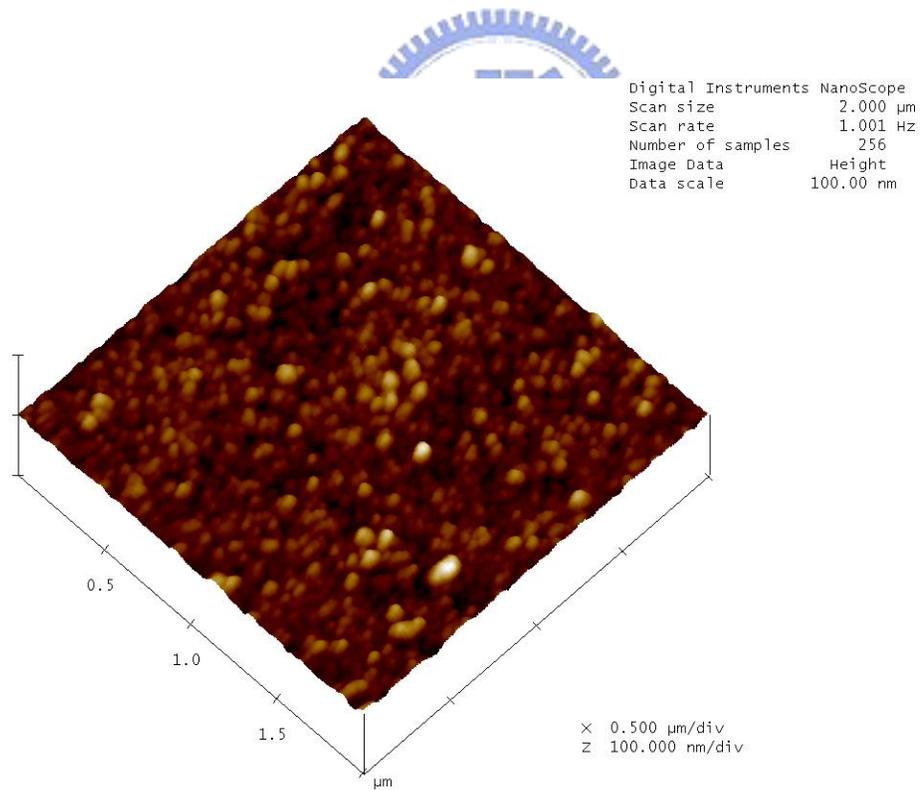


圖 4-7-2(a). <實驗六>漏電流密度對電場圖



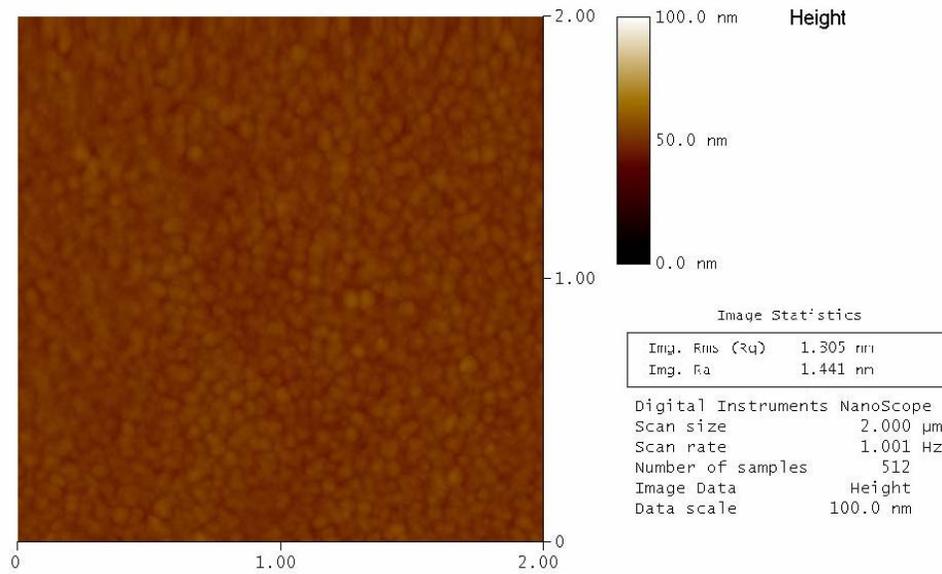


(2D表面粗糙度)

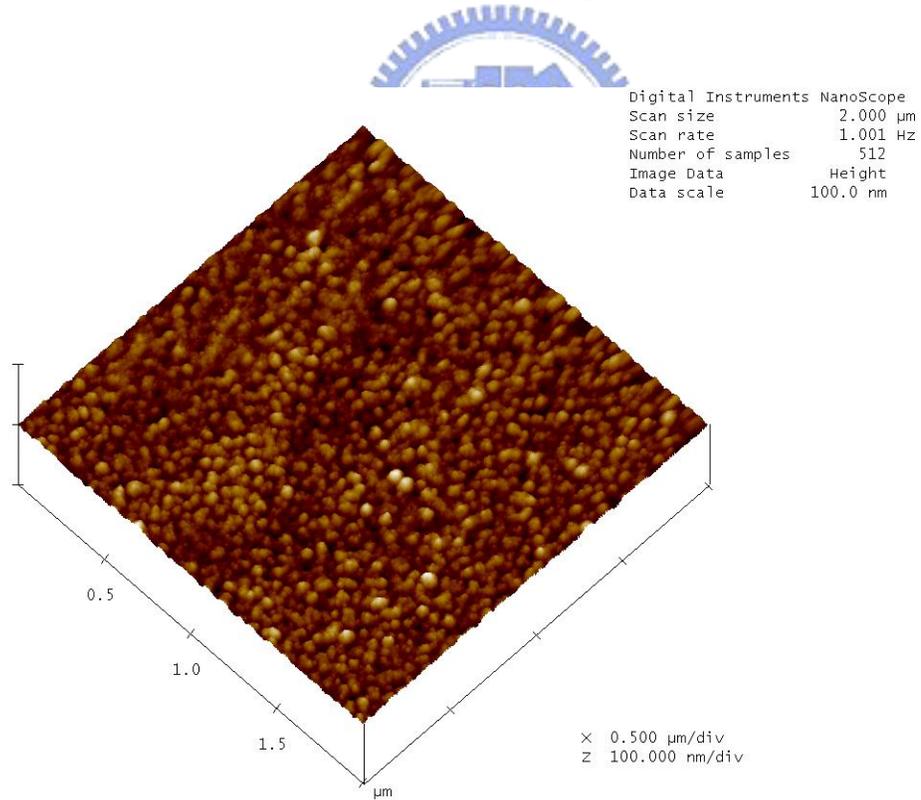


(3D形貌圖)

圖4-7-3(a). <實驗六>BST單層薄膜AFM2D、3D形貌圖

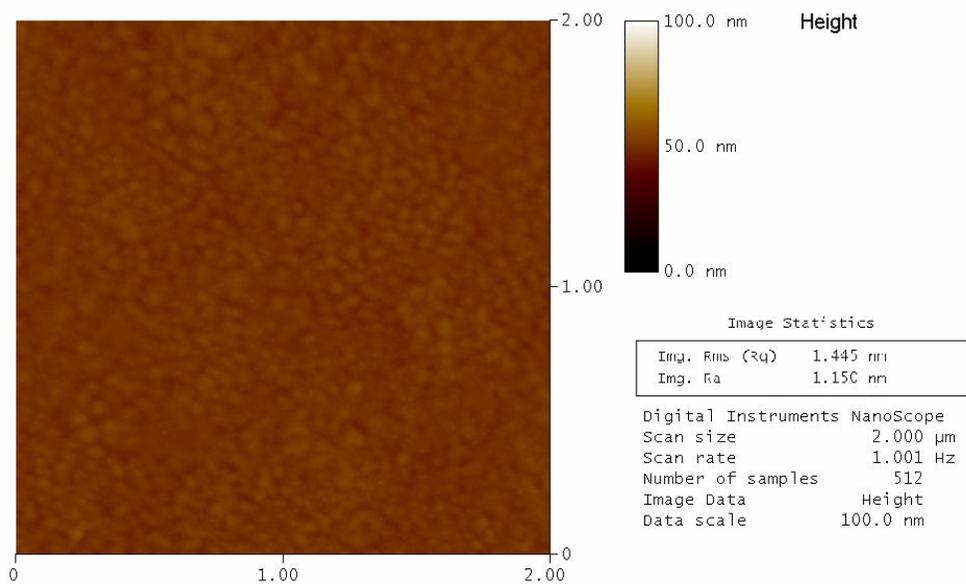


(2D表面粗糙度)

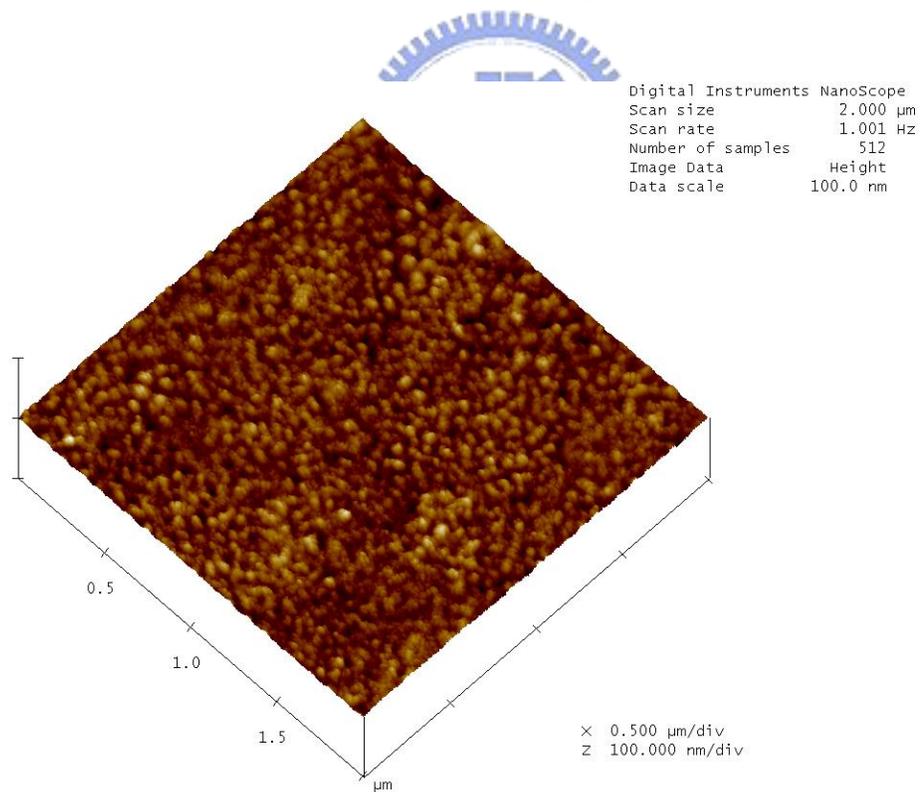


(3D 形貌圖)

圖4-7-3(b). <實驗六>BST雙層(非晶層厚度10nm)AFM2D、3D形貌圖



(2D表面粗糙度)



(3D 形貌圖)

圖 4-7-3(c). <實驗六>BST 雙層(非晶層厚度 20nm)AFM2D、3D 形貌圖

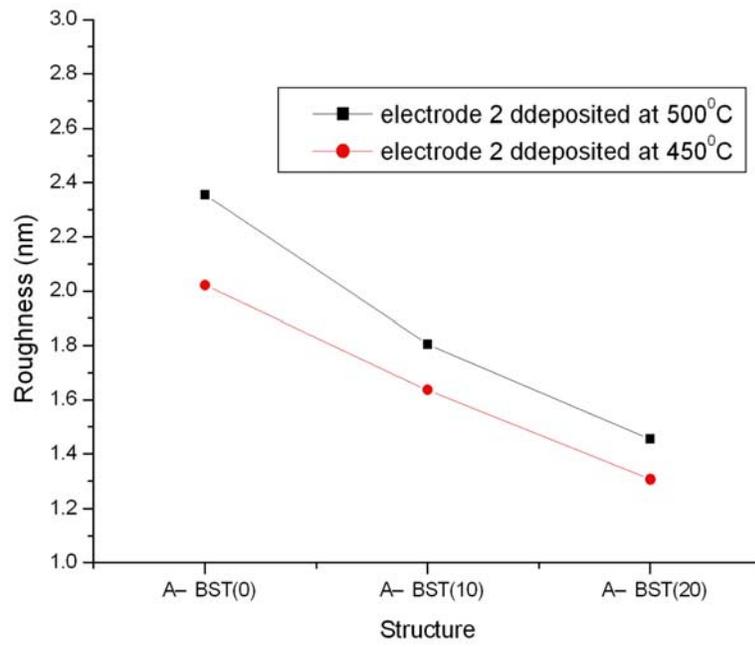


圖 4-7-3(d). <實驗五>、<實驗六>表面粗糙度比較圖



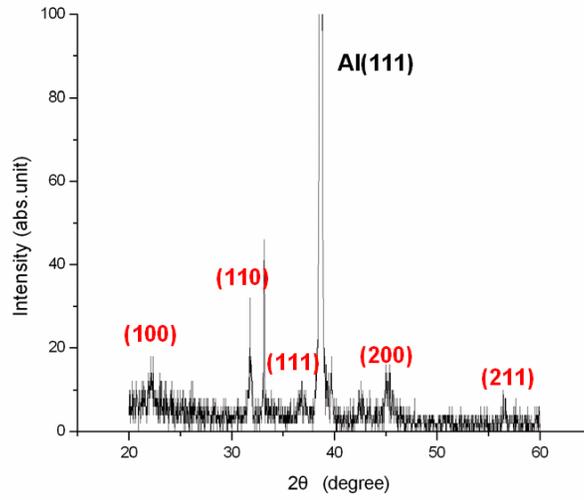


圖 4-7-4(a). <實驗六>BST 單層 XRD 繞射圖

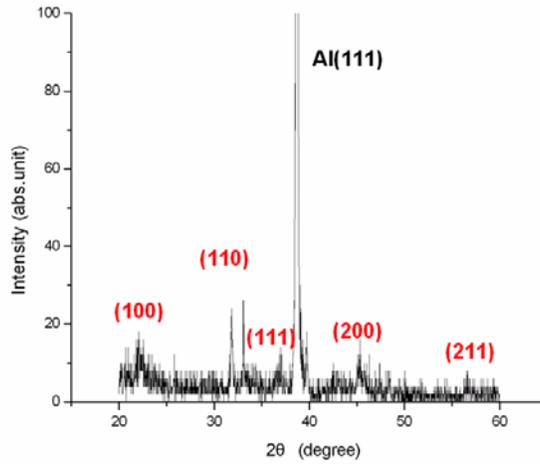


圖 4-7-4(b). <實驗六>BST 雙層(非晶層厚度 10nm)XRD 繞射圖

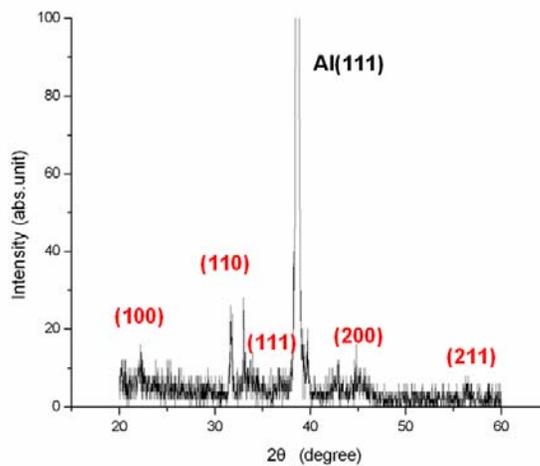


圖 4-7-4(c). <實驗六>BST 雙層(非晶層厚度 20nm)XRD 繞射圖

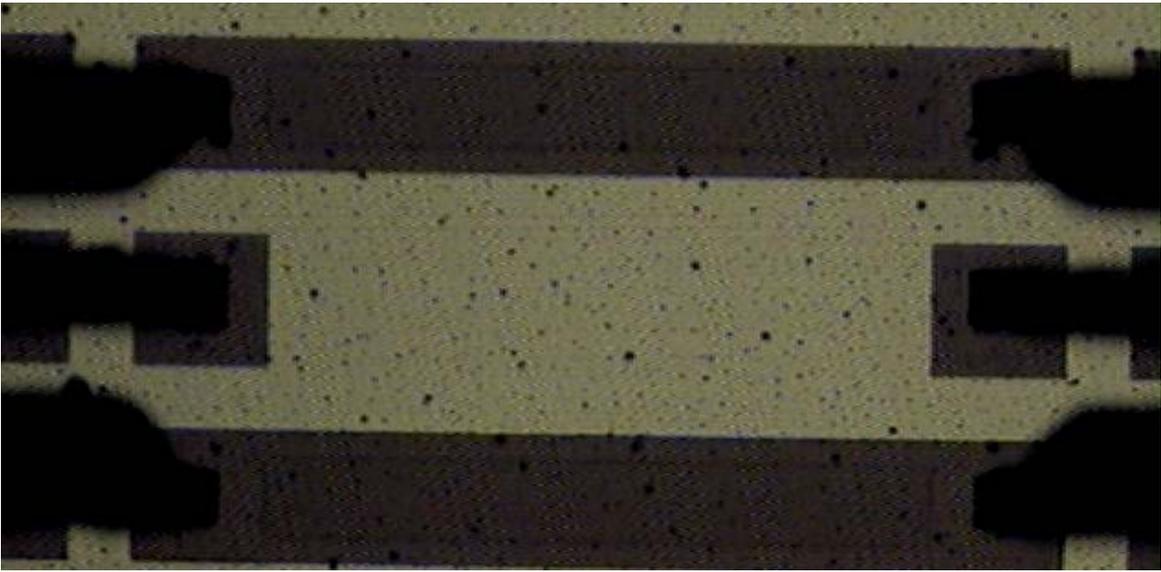


圖 4-8-1. 高頻元件量測示意圖

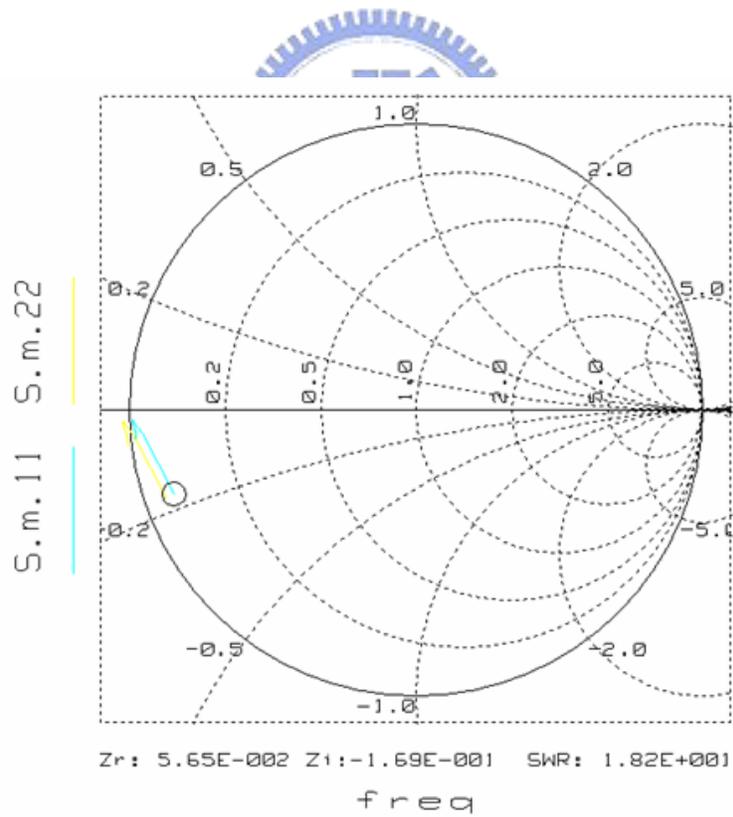


圖 4-8-2(a). <實驗七>BST 單層史密斯圖

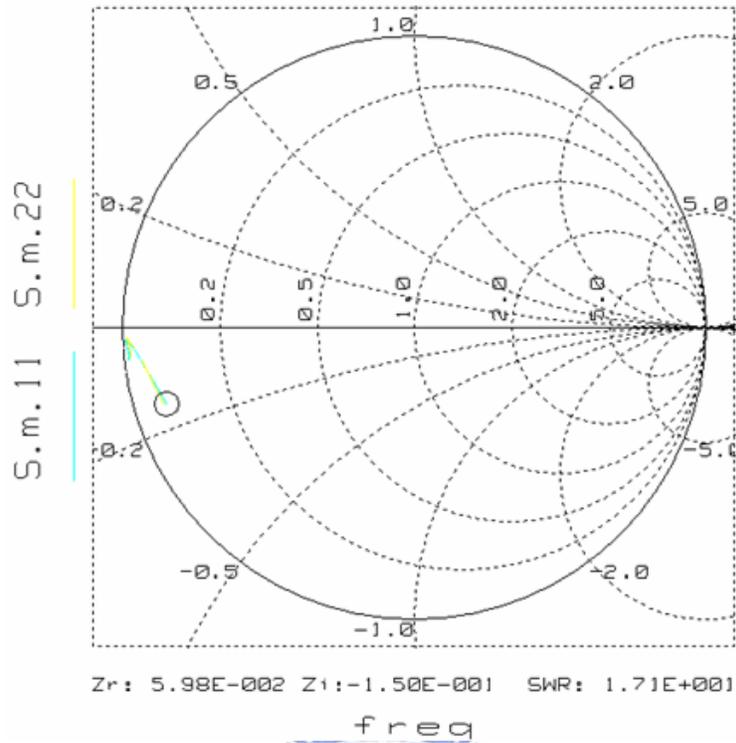


圖 4-8-2(b). <實驗七>BST 雙層(非晶層厚度 10nm)史密斯圖

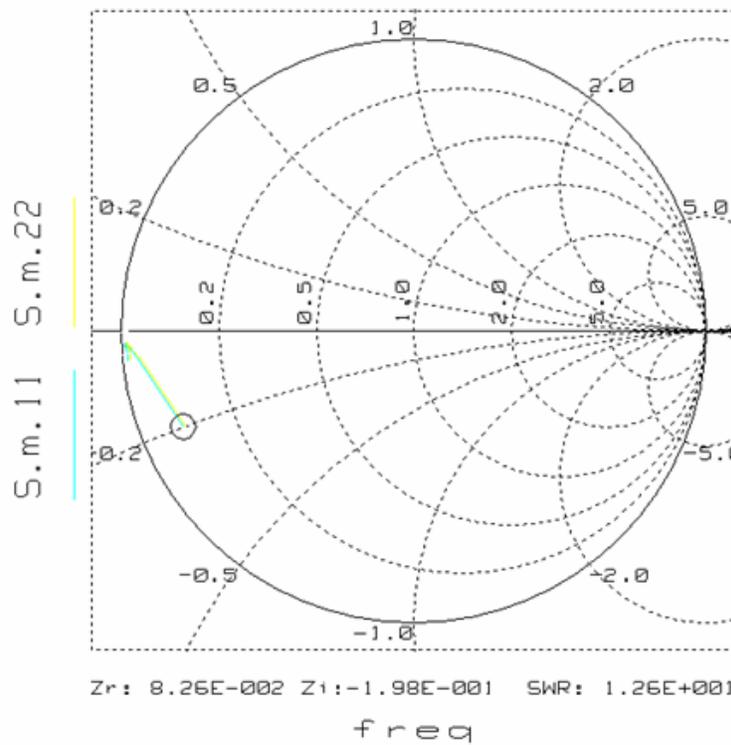


圖 4-8-2(c). <實驗七>BST 雙層(非晶層厚度 20nm)史密斯圖

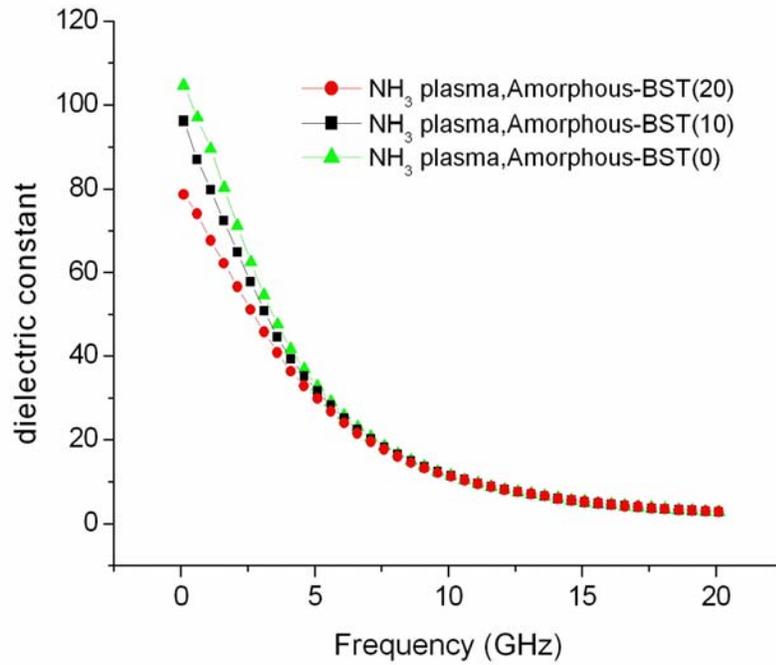


圖 4-8-3. <實驗七>介電常數對頻率圖

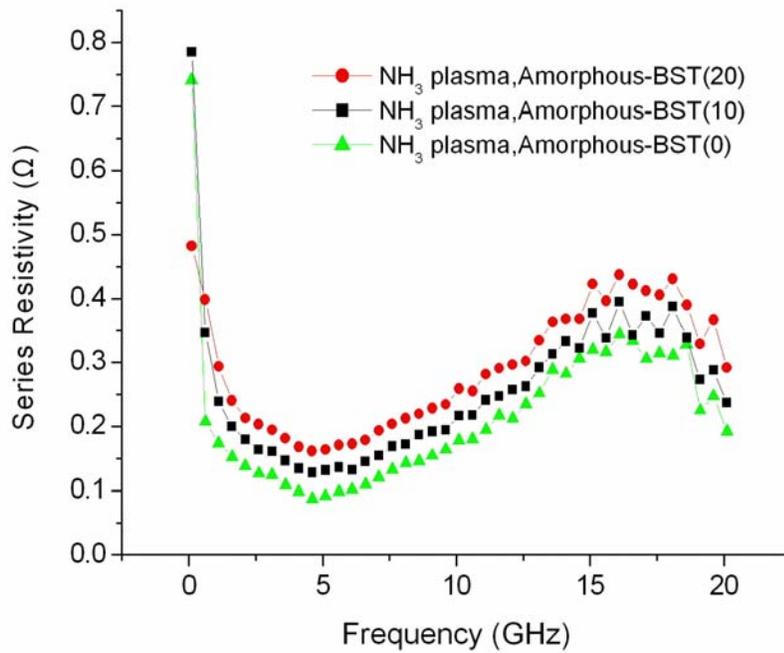


圖 4-8-4. <實驗七>電阻對頻率圖

第五章 結論

1. 鈦酸鋇鋇薄膜厚度對於介電特性有很大的影響，介電常數、介電可調性隨薄膜厚度增加而上升；漏電流密度亦隨薄膜厚度增加而下降，因此整體而言提升薄膜厚度可提高薄膜介電特性。
2. 氮電漿處理有助於提升底電極抵抗氧滲透能力，在鈦酸鋇鋇薄膜濺鍍時高溫、高氧的環境下，有助於減少底電極與鈦酸鋇鋇薄膜中介層(interfacial layer)的厚度，進而可提升整體介電常數。
3. 採用鈦酸鋇鋇薄膜雙層(Multilayer)結構可有效降低漏電流密度，在底電極之阻障層材料TaN、TiN功函數不如Pt的情況下，仍可將漏電流密度降至可接受之範圍。
4. 以氧電漿處理鈦酸鋇鋇薄膜可修補氧空缺，進而降低元件之漏電流密度。
5. 濺鍍溫度為影響鈦酸鋇鋇薄膜介電常數的重要參數，由〈實驗六〉與〈實驗五〉結果比較，溫度由450°C提升至500°C介電常數提升近一倍，因此，提升薄膜濺鍍溫度為提高介電常數最快速的方法。
6. 以介電特性(介電常數與漏電流密度)來比較electrode2(TiN/Al/TiN)與electrode1(TaN/Al/TaN)，以使用electrode2之結果較佳。

第一章 參考文獻

- [1] S. Ezhilvalavan, T.Y. Tseng, "Progress in the developments of (Ba, Sr)TiO₃(BST) thin films for Gigabit era DRAMs," *Materials Chemistry and Physics*, 65 227, (2000).
- [2] M. J. Jhlberth, et al., "Improved low frequency and microwave dielectric response in strontium titanate thin films grown by pulsed laser ablation," *Appl. Phys. Lett.* Vol. 72(4), p. 507-509, January (1998).
- [3] S. D. Harkness, et al., "Epitaxial Ba_xSr_{1-x}TiO₃/YBa₂CuO₇ bilayers for tunable microwave applications," *Mat. Sci and Eng.*, B41, p. 379-382, (1996).
- [4] K. H. Lee, et al., "Variation of Electrical Conduction Phenomena of Pt/(Ba, Sr)TiO₃/Pt Capacitors by Different Top Electrode Formation Processes" *Jpn. J. Appl. Phys.* Vol. 36 p. 5860-5865 (1996)
- [5] N. Ichinose, T. Ogiwara, "Preparation and Rapid Thermal Annealing Effect of (Ba, Sr)TiO₃ Thin Films" *Jpn. J. Appl. Phys.* Vol. 34 p. 5198-5201 (1995)
- [6] M. Armacost, A. Augustin, P. Felsner, Y. Feng, G. Friese, J. Heidenreich, G. Hueckel, O. Prigge, and K. Stein, in *IEDM*, pp. 157, (2000).
- [7] K. C. Tsai, W. F. Wu, C.G. Chao, J. C. Chen, and K. L. Ou, *J. Electron. Mater.* 34(8), 1150 (2005).
- [8] K. C. Tsai, W. F. Wu, J. C. Chen, C. G. Chao, and T. J. Pan, *J. Electrochem. Soc.* 152(1), G83-G91 (2005).
- [9] W. L. Yang, W. F. Wu, H. C. You, K. L. Ou, T. F. Lei, and C. P. Chou, *IEEE Trans. Electron Devices* 49(11), 1947 (2002).

第二章 參考文獻

- [1] B. Jaffe, W. R. Cook, Jr., and H. Jaffe, "Piezoelectric ceramics", Academic Press, India, (1971).
- [2] 陳皇均, "陶瓷材料概論", 曉園出版社, (1988).
- [3] 汪建民, "陶瓷技術手冊", 中華民國產業科技發展協進會, 中華民國冶金學會, (1999)頁413-414。
- [4] S. C. Sun and M. S. Tsai "Effect of Bottom Electrode Materials on the Electrical and Reliability Characteristics of (Ba,Sr)TiO₃ Capacitors," IEEE, (1997)
- [5] M. Ouaddari, S. Delprat, F. Vidal, M. Chaker, and K. Wu, "Microwave Characterization of Ferroelectric Thin-Film Materials," IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 53, NO. 4, APRIL (2005).
- [6] H. J. Cho, J. B. Park, Y. S. Yu, J. S. Roh and H. K. Yoon, "Low Temperature MOCVD of BST Thin Film For High Density DRAMs," IEEE, (2001).
- [7] C. Kiigeler, R. Liedtke and R. Waser "Leakage Current Properties of Ba_{0.7}Sr_{0.3}TiO₃ Thin Films Depending on the Film Thickness", IEEE, (2002).
- [8] S. Hong, et al., "Microstructural and Electrical Properties of Ba_xSr_{1-x}TiO₃ Thin Films on Various Electrodes" Jpn. J. Appl. Phys. Vol. 39 p.1796-1800 (2000).
- [9] A. S. St Onge, S. G. Franz, A. F. Puttlitz, A. Kalinoski, B. E. Johnson, and B. El-Kareh, "Design of precision capacitors for analog applications," IEEE Trans. Compon., Hybrids, Manufact. Technol., vol. 15, no. 4, pp. 1064 - 1071, Dec. (1992.)
- [10] 李雅明, "固態電子學", 全華科技圖書股份有限公司, (1997)頁161-167。
- [11] A. J. Moulson and J. M. Herbert : published by Chapman and Hall(1990).
- [12] 林振華, "電子材料", 全華科技圖書股份有限公司, (2001)
- [13] 張天信, "氧電漿對於改善(Ta₂O₅)_{0.92}-(TiO₂)_{0.08}高介電薄膜特性之研究" 中山大學電機工程研究所碩士論文, (2001).
- [14] W. Bolton, "Engineering Materials Technology", 3rd Edition,

- (1998).
- [15] 蔡承祺, “以射頻磁控濺鍍法製備(Ba, Sr)(Ti, Sn)O₃晶片電容薄膜及其特性之探討”, 成功大學材料科學及工程學系碩士論文, (1999)。
- [16] M. Ohring, : The Materials Science of Thin Films, published by Academic Press, Inc, (1992)
- [17] 莊達人, ” VLSI 製造技術”, 高立圖書股份有限公司, (1995)頁 146-160。
- [18] J. A. Thornton : J. Vac. Sci. Technol., v11, (1974) 666-698。
- [19] 施敏著, 張俊彥譯, ” 半導體元件之物理與技術”, 儒林出版社, (1990)頁425。
- [20] J. L. Vossen and W. Kern , “Thin Film Process”, Academic Press, (1991) 134。
- [21] D. Pierce, J. Educato, V. Rana, and D. Yost, “Wafer Level Electromigration Applied to Advanced Copper/Low-k Dielectric Process Sequence Integration”, IEEE IRW Final Report, 1998, pp.10-15
- [22] S. Bothra, B. Rogers, M. Kellam, C.M. Osburn, “Analysis of the Effects of Scaling on Interconnection Delay in ULSI Circuits”, IEEE Transactions On Electron Devices, Vol. 40, No. 3, MARCH 1993
- [23] T. Sakurai, Member, “Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSI's”, IEEE Transactions On Electron Devices, Vol. 40, No. 1, JANUARY 1993
- [24] C.K. Hu, B. Luther, F.B. Kaufman, J. Hummel, C. Uzoh, D.J. Pearson, “Copper Interconnection Integration and Reliability”, Thin Solid Films, 262 (1995), pp.84-92
- [25] 曲喜新, “電子薄膜材料”, 科學出版社, 1997.
- [26] Xin. Sun, “Properties of reactively sputter- deposited Ta-N thin films”, Thin solid Films , 236. pp.347- 351, 1993.
- [27] LEON I. MAISSEL REINHARD GLANG, “Handbook of Thin Film Technology”, pp. 18-3-18-41.
- [28] T. A. Jennings and W. McNeill, “Gas Phase Anodization of Tantalum”, J. Electrochem. Soc., (1967) 1134

- [29] W. L. Lee, G. Olive, D. L. Pulfrey and L. Young, "Ionic Current as a Function of Field in the Oxide during Plasma Anodization of Tantalum and Niobium", *J. Electrochem. Soc.* (1970) 1172
- [30] K. C. Kalra, P. Katyal and K. C. Singh, "Anodic Oxidation of Tantalum in Aqueous Electrolytes", *Thin Solid Films*, 177 (1989) 35.
- [31] 薛宇航, "鈦酸鋇鋇與鈦酸鉛之人工晶格薄膜特性研究", 國立清華大學材料科學工程學系碩士論文, (2004).
- [32] 吳啟明, "利用濺鍍法及鎳酸釷為電極製作動態記憶體之鈦酸鋇鋇薄膜的研究", 國立清華大學材料科學工程學系博士論文(1996).
- [33] 董俊秀, "鈦酸鋇鋇薄膜之濺鍍研究", 國立清華大學材料科學工程學系碩士論文, (1995).
- [34] S.-S. Park, S.-G. Yoon, "Structure and Electrical Properties of Sputter Deposited $(\text{Ba}_{1-x}\text{Sr}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ Thin films", *Journal of the Electrochemical Society*, 148(8), F155(2001)
- [35] J. Im, O. Auciello, P. K. Baumann, S. K. Streiffer, D. Y. Kaufman, A. R. Krauss, "Composition-control of magnetron-sputter-deposited $(\text{Ba}_x\text{Sr}_{1-x})\text{Ti}_{1+y}\text{O}_{3+z}$ thin films for voltage tunable devices", *Applied Physics Letters*, 76(5), 625(2000)
- [36] R. York, A. Nagra, P. Periaswamy, O. Auciello, S. K. Streiffer, and J. Im, "Synthesis and Characterization of $(\text{Ba}_x\text{Sr}_{1-x})\text{Ti}_{1+y}\text{O}_{3+z}$ Thin Films and Integration into Microwave Varactors and Phase Shifters", *Integrated Ferroelectrics*, 34, p.177-188 (2001)
- [37] T. G. Kim, et al., "Effect of crystallinity on the dielectric loss of sputter-deposited $(\text{Ba},\text{Sr})\text{TiO}_3$ thin films in the microwave range", *J. Mater. Res.*, Vol. 18, No. 3, Mar (2003)
- [38] T. Horikawa, et al., "Dielectric Properties of $(\text{Ba},\text{Sr})\text{TiO}_3$ Thin Films Deposited by RF Sputtering", *Jpn. J. Appl. Phys.* Vol. 32 p.4126-4130 (1993).
- [39] M. C. Chiu, et al., "Effect of Crystallinity on the Dielectric Properties of $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ Thin Films", *Journal of The Electrochemical Society*, 152(6)P66-70 (2005).
- [40] W. J. Lee, et al., "Microstructure dependence of electrical

- of $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ Thin Films deposited on Pt/ SiO_2 /Si” , J. Appl. Phys. Vol. 80 p.5891–5894 (1996).
- [41]B. T. Lee, et al., “Influences of interfacial intrinsic low-dielectric layers on the dielectric properties of sputtered (Ba,Sr) TiO_3 thin films” Applied physics letters Vol.77 (2000).
- [42]P.C. Chen, et al., “Effect of Post-Annealing Temperature and Ambient Atmospheres on the Electrical Properties of Ultrathin (Ba,Sr) TiO_3 Capacitors” , J. Appl. Phys. Vol. 37 p.5112–5117 (1998).
- [43]X. S. Rao, et al., “Effect of thermal annealing on structural and dielectric properties of of $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ Thin Films” .
- [44]D. C. Shye, et al., “Effect of Post-Oxygen Plasma Treatment on Pt/(Ba, Sr) TiO_3 /Pt Capacitors at Low Substrate Temperatures” , J. Appl. Phys. Vol. 42 p.549–553 (2003).
- [45]J. Lee et al., “Effects of O_2 /Ar Ratio and Annealing on the Properties of (Ba,Sr) TiO_3 Films Prepared by RF Magnetron Sputtering” Jpn. J. Appl. Phys. Vol. 36 p.3644–3648 (1997).
- [46]D. S. Kil, et al., “Two-Step Deposition Method for Improvement of the Electrical Characteristics of BST Thin Films”