


國立交通大學

材料科學與工程學系

碩士論文

**Chip-on-Glass (COG) 彈性凸塊電性與可靠度之研究**  
**Investigation of Electrical Properties and Reliabilities**  
**of Chip-on-Glass (COG) with Compliant Bumps**



研究生：林宗寬

指導教授：陳智 博士

中華民國九十六年七月

**Investigation of Electrical Properties and Reliabilities  
of Chip-on-Glass ( COG ) with Compliant Bumps**

Master Thesis

Department of Materials Science and Engineering

National Chiao Tung University

Hsinchu, Taiwan



Student : Chung Kuang Lin

Advisor : Chih Chen

July 2007

# Chip-on-Glass (COG) 彈性凸塊電性與可靠度之研究

研究生：林宗寬

指導教授：陳智 博士

國立交通大學

材料科學與工程學系

## 摘要

COG使用NCF接合，能夠達到較低的製程溫度，降低成本，所以顯示器業者逐漸廣泛使用這些製程。COG經過30~100°C熱循環之後的凸塊電阻，經過六次熱循環使用四點量測結果，電阻約從1.6Ω上升到2.15Ω並未超過5Ω為可靠度範圍內，電阻值的貢獻大都來自接觸電阻，因為此接合為物理接合，期間電阻上升為膠材劣化所導致。COG試片經過80°C約1000小時之後觀察電阻上升情形，一片約從0.48Ω上升至1.26Ω另一片從0.73Ω到1.52Ω也符合可靠範圍內，但是上升的原因不完全是膠材劣化導致，因為凸塊本身具有彈性，所以在壓合之後還會回彈造成電阻上升，因此會使用另兩片未熱時效的試片來比較，得知結果大概65%的電阻上升是來自本身具彈性導致。COG 室溫耐電流約65mA，破壞位置發生在玻璃端鋁導線，中間可以觀察到45mA開始電阻有下降的趨勢，可能是因為溫升之後造成金表面與 ITO 接合更完美所引起的。COG 膠材在85°C 85%以及外加30V或40V偏壓測試後，發現電阻都在10<sup>9</sup>Ω以上符合可靠度範圍內，電阻有上升下降的趨勢可能是膠材吸收水氣造成或量測的電阻過高已經超過儀器解析度，所以上升下降可能為儀器干擾所導致。

# **Investigation of Electrical Properties and Reliabilities of Chip-on-Glass ( COG ) with Compliant Bumps**

**Student: Chung Kuang Lin**

**Advisor: Dr. Chih Chen**

**Department of Materials Science and Engineering  
National Chiao Tung University**

## **Abstract**

Non conductive film (NCF) is widely adopted by flat panel display (FPD) industry in chip-on-glass (COG) bonding method it provides low processing temperature and low product cost. As revealed by four-point test, the contact resistances of bumps subjected to six thermal cycles between 30~100°C raised from 1.6 to 2.5Ω, which is lower than 5Ω as required by the reliability standard. The resistance increment is largely resulted from the change of contact resistance. For the COG joint subjected to thermal storage test at 80°C for 1000hours, the resistance raises from 0.48 to 1.26Ω while in the sample, the resistance raises from 0.73 to 1.52Ω; all test results fit the reliability requirements. But the reason of increment is not only NCF material degradation cause, but also the bump is elastically. Therefore elastic bump resile caused the resistance to increase after pressing. Consequently I used another two samples which is not thermal aging compared to test samples, the results were show bump resistances increasing about 65%, its come from elastic bumps itself. The best current stressing of COG was 65mA at room temperature. The failure position took place in aluminum wire on glass. Observed the resistance to decrease in 45mA, may be the contact was perfectly between Au surface and ITO after temperature increasing. The resistances of NCF of COG were above 10<sup>9</sup>Ω all accorded with reliability range after 85°C 85% humidity and 30V or 40V bias test. The resistance of NCF sometimes increased and decreased may be caused by NCF absorbing vapor or the resistance of measurement is higher than instrumental analysis. Therefore the increase or decrease of resistances of NCF was caused possibility by instrumental noise.

## 誌謝

感謝陳智老師這兩年來，一路的指導與教誨，帶領我進入一個更高的領域。不斷磨練與提升我分析與思考的能力；給予我出國參加國際會議的機會，讓我見識到來自各國頂尖人才的見解與作品；更感謝老師查經班的一切啟發，無論是人生觀抑或為人處世的態度。這一切我將銘記在心，並由衷的感激！感謝 ITRI 電光所和 TTLA 給於我的磨練、試片以及實驗器材上的協助，讓我的研究得以成形。

兩年的研究實驗路程，一路充滿的，是孤單、寂寞，卻又不失溫暖！真心的向實驗室所有的同學道謝，因為他們給予的溫暖力量，才讓我有完成它的動力。感謝：IR、X-Ray 以及長榮大學長聖翔，教我待人更加圓滑、英文報告上的指導；SEM 大學長慶榮，儀器上的指導和幫助；搞笑的書宏學長，表演許多驚奇的動作；TFT 的鈺庭學長，總是能充實實驗室的檔案；實驗能力超強的程昶學長，給我基礎能力上的指導和學習；未來的 IR、X-Ray 大學長翔耀，伺於我 IR 儀器上的輔助和心理戰術的應用；貓學姐筱芸，讓我聽到動人心弦的歌聲；超老實的學長詠滄，跟我分享了許多實驗室裡的生態；模擬王 PAPER 製造機大包學長，幫助我解決很多實驗上的問題、教導我模擬；實驗室龍頭老大健民學長，搞笑功力讓我甘拜下風；情聖俊宏學長，畢業時還特別送花給我；旺宏大經理佩君學姐，感謝給我打線上的幫忙；失傳的台北妙人哲誠學長，是開學最照顧我的人；未來工研院院長順民學長，是唯一能對付書宏學長的男人；未來的材料理論學家阿丸學長；流淚的感謝你陪我渡過在 ITRI 兩個月的日子，接著感謝我的好同學和陪我吐露心事、鬥嘴的誠風；搶別人電腦和手把的永昌；電腦和手把被人搶的小憲憲，幫我折試片的巧手明慧；運動一把罩卻不用保衛國家的旻峰，最後感謝工研院蘇財、昱璋、育民、鈞智以及 TTLA 的世明經理、省樞、韶堯、國書、超群、曾毅。謝謝你們給予我的歷練與陪伴，讓我的研究所生活充滿精采的回憶！

當然還有感謝我的高中同學鍾豪、銘豐、奕勳在假日陪我遊山玩水；昔日的大學的戰友們，在我心情低落時陪著我殺出一條血路。特別感謝裙襪小姐潤飾了這篇謝辭！

然而，最後，也是最大的感恩。無論在物質上、精神上，永遠給我最好、最支持我的爸爸、媽媽、爺爺、奶奶，因為有你們無限的付出，才能造就現在的我。真心的感謝你們！現在，我終於可以大聲的說~~~~我畢業了。

# 目錄

摘要.....	I
Abstract.....	II
誌謝.....	III
目錄.....	IV
表目錄.....	VI
圖目錄.....	VII
第一章 簡介.....	1
1-1 電子構裝之功能和層次.....	1
1-2 LCD 產業封裝技術.....	3
1-3 COF、COG 與 TAB 特性比較.....	7
1-4 可靠度測試.....	9
1-5 彈性凸塊 (Compliant Bump).....	11
1-6 研究動機.....	12
1-7 文獻回顧.....	12
第二章 實驗步驟.....	23
2-1 COG 試片結構.....	23
2-2 實驗內容.....	23
2-3 分析工具.....	24

第三章 結果與討論.....	28
3-1 六次熱循環後COG彈性凸塊電阻的變化.....	28
3-2 COG經80°C熱時效後與室溫無通電流凸塊電阻比較.....	29
3-3 COG室溫瞬間耐電流能力.....	29
3-4 COG膠材絕緣偏壓測試.....	30
第四章 結論.....	49
4-1 COG熱循環可靠度測試.....	49
4-2 COG 1000小時80°C熱時效可靠度測試.....	49
4-3 COG 室溫耐電流能力.....	49
4-4 COG 膠材偏壓測試.....	50
參考文獻.....	51



## 表目錄

表 1、Hitachi Chemical 之 ACF 規格.....	15
表 2、Sony Chemical 之 ACF 規格.....	15
表 3、各封裝優缺點比較.....	16
表 4、各封裝性質比較.....	17
表 3-2(a) 時效試片與無時效結果比較.....	37





## 圖目錄

圖 1-1、電子封裝技術中的四個層次.....	18
圖 1-2、晶片封裝中三種不同的電導通方式(a)打線接合、(b)捲帶式自動接合、(c)覆晶接合.....	19
圖 1-3、彈性凸塊(Compliant Bump)結構.....	20
圖 1-4、軟性基板 Reflow 過程橫截面示意圖.....	21
圖 1-5、1000 次循環後凸塊電組的變化.....	22
圖 1-6、100°C熱時效 1000 小時後凸塊電組的變化.....	22
圖 2-1、COG 結構示意圖.....	26
圖 2-2、梳狀結構(Comb Structure).....	27
圖 3-1(a)四點量測示意圖.....	32
圖 3-1(b)10mA 四點量測彈性凸塊電阻.....	33
圖 3-1(c)20mA 四點量測彈性凸塊電阻.....	33
圖 3-1(d)30mA 四點量測彈性凸塊電阻.....	34
圖 3-1(e)40mA 四點量測彈性凸塊電阻.....	34
圖 3-1(f)50mA 四點量測彈性凸塊電阻.....	35
圖 3-1(g)、Hot Stage 100°C IR 量測結果.....	35
圖 3-2(a)四點量測示意圖.....	36
圖 3-2(b)80°C熱時效.....	37

圖3-2(b)80°C熱時效.....	37
圖3-2(c)時效試片與無時效結果比較.....	38
圖3-3(a)COG室溫瞬間耐電流能力.....	39
圖3-3(b)COG 玻璃端鋁導線破壞位置.....	39
圖3-3(c)COG 室溫瞬間耐電流能力.....	40
圖3-4(a)、梳狀結構(Comb Structure).....	41
圖3-4(b)、0小時30V偏壓初始值 量測結果I-V曲線.....	42
圖3-4(c)、100小時30V偏壓 量測結果I-V曲線.....	42
圖3-4(d)、200小時30V偏壓 量測結果I-V曲線.....	43
圖3-4(e)、300小時30V偏壓 量測結果I-V曲線.....	43
圖3-4(f)、400小時30V偏壓 量測結果I-V曲線.....	44
圖3-4(g)、500小時30V偏壓 量測結果I-V曲線.....	44
圖3-4(h)、0小時40V偏壓初始值 量測結果I-V曲線.....	45
圖3-4(i)、100小時40V偏壓 量測結果I-V曲線.....	45
圖3-4(j)、200小時40V偏壓 量測結果I-V曲線.....	46
圖3-4(k)、300小時40V偏壓 量測結果I-V曲線.....	46
圖3-4(l)、400小時40V偏壓 量測結果I-V曲線.....	47
圖3-4(m)、500小時40V偏壓 量測結果I-V曲線.....	47
圖3-4(n)、30V偏壓測試 時間VS膠材電阻.....	48

圖 3-4(o)、40V 偏壓測試 時間 VS 膠材電阻.....48



# 第一章 簡介

## 1-1 電子構裝之功能和層次

電子構裝主要的功能有四，分別是能量傳遞（Power Distribution）、訊號傳遞（Signal Distribution）、熱散失（Heat Dissipation）與保護支持晶片（Protection and Support）。

電子構裝又可依與積體電路的遠近，分成幾種不同的層次如圖 1-1 所示：第一層次的構裝（First Level Packaging），又稱為晶元層次的構裝（Chip Level Packaging），為積體電路晶片與構裝結構組合形成模組（Electronic Module）的製程，其第一層次的構裝包涵了晶片黏著（Die Attach）、連線（Interconnect）與密封（Sealing）等製程。第二層次的構裝（Second Level Packaging），則是指將經第一層次構裝與其他的電子元件組合於電路板上，形成電路卡或電路板；在第二層次構裝中，最常見的考量是印刷電路板的製作及模組元件與電路板的組裝技術，如插件式技術（Pin Through Hole, PTH）與表面黏著技術（Surface Mount Technology, SMT）。第三層次構裝（Third Level Packaging）與第四層次構裝（Fourth Level Packaging），是指將電路板與電路卡組合，形成次系統與系統的製程。


電子構裝第一層次的構裝（Chip Level Packaging）中，晶片與基板間的電路導通方式主要可分為：打線接合（Wire Bonding, WB）、

捲帶式自動接合 (Tape Automatic Bonding, TAB) 與覆晶接合 (Flip Chip Bonding, FC) 如圖 1-2 所示，分別簡述如下：

(1)打線接合：

打線接合是最早亦為目前應用最廣的技術，此技術首先將晶片固定於導線架或基板上，再以細金屬線將晶片上與導線架或基板上的銲墊 (Pad) 相連接。而隨著近年來其他技術的興起，打線接合技術正受到挑戰，但由於打線接合技術之簡易性及便捷性，加上長久以來與之相配合之機具、設備及相關技術皆以十分成熟，因此短期內打線接合技術仍不大會為其他技術所淘汰。

(2)捲帶式自動接合：



捲帶式自動接合技術首先於 1960 年代由通用電子 (General Electric, GE) 提出。捲帶式自動接合製程，即是將晶片與在分子捲帶上的金屬電路相連接。而高分子捲帶之材料則以聚亞醯胺 (Polyamide) 為主，捲帶上之金屬層則以銅箔使用最多。捲帶式自動接合具有厚度薄、接腳間距小且能提供高輸出/入接腳數等優點，十分適用於需要重量輕、體積小之 IC 產品上。

(3)覆晶接合：

覆晶式接合為 IBM 於 1960 年代中開發的控制崩潰晶片接合 (Controlled Collapse Chip Connect, C4) 技術而成。其技術乃於晶粒

之錫墊上生成錫錫凸塊 (Solder Bump)，並於基板上生成與晶粒錫錫凸塊相對應之接點，接著將翻轉之晶粒對準基板上之接點將所有錫點接合，其優點具有最佳構裝效益 (Packing Efficiency)、最短連線長度、最佳電氣特性、最高輸出/入接點密度且能縮小構裝尺寸，增加可靠度，已被看好為未來極具潛力之封裝方式。

## 1-2 LCD 產業封裝技術

近年來由於電子產品要求輕、薄、短、小，電子封裝之高速、高腳數、細線路化及高可靠度的要求及可大量生產等特性即成為電子封裝產業的主流。玻璃基板上構裝之覆晶技術 (Chip on Glass, COG) 係將晶片翻轉後置於玻璃基板上黏著，因此這幾年被廣泛應用在 LCD 面板驅動 IC 封裝主要連接技術等高科技產業【1】。目前 LCD 產業驅動 IC 的封裝主要有三種方法，捲帶式自動接合 (Tape Automated Bonding, TAB)、玻璃基板晶片 (Chip on Glass, COG)、可撓式基板晶片 (Chip on Film, COF)。其中以 TAB 型式之構裝最為普遍，但 COG 已有逐漸超越的趨勢，目前大部分的封裝方式大都採用傳統的 TAB 形式，傳統的 TAB 構裝技術必須經過內、外引腳接合、封膠、測試後才可組裝成 TCP (Tape Carrier Package)，其內引腳距可達50微米 (Micrometer,  $\mu\text{m}$ )，而外引腳可達60~80  $\mu\text{m}$ ，

其體積與重量已不符合目前的輕量化及小體積的需求。至於 COG 構裝技術，由於只要於裸晶上長出凸塊 (Bump) 即可使用，因此 COG 的最大好處就是構裝材料少、製程簡單 (相較於TAB) 以及低成本且腳距可達40  $\mu\text{m}$ 。近年來，COF 在電子產業方面被認為是一個理想的應用，因為可撓性基板相較於玻璃基板更薄、更易彎曲且不易破碎。COG 或 COF 的製程是覆晶 (Flip Chip) 技術的一種，就是將晶片直接對準玻璃基板上的電路壓合，藉由其他中間材料之黏結達成導電。一般來說其中間材料分成三個類型：

1. ICA 膠型態。其主要在環氧樹脂中散佈微小的導電顆粒，在 IC 的凸塊上披覆此膠。



2. 異向性導電膠 (Anisotropic Conductive Adhesive, ACA) 及 ACF 膠型態，其主要是在材料中添加金屬球或是樹脂球表面鍍上金，具有彈性變形的性質，凸塊與電極間電訊藉由導電球導通。

異向性導電膠又可分為兩種架構如下：

a. Hitachi Chemical的架構


為了降低橫向導通的機率，Hitachi 使用了兩個方法，其一是導入兩層式結構，兩層式的 ACF 產品上層不含導電粒子而僅有絕緣膠材，下層則仍為傳統 ACF 膠膜結構。透過雙層結構的使用，可以降



低導電粒子橫向觸碰的機率。然而，雙層結構除了加工難度提高之外，由於下層 ACF 膜的厚度須減半，導電粒子的均勻化難度也提高。

目前，雙層結構的 ACF 膠膜為 Hitachi Chemical 的專利。除了雙層結構之外，Hitachi 也使用絕緣粒子，將絕緣粒子散佈在導電粒子周圍。當金凸塊下壓時，由於絕緣粒子的直徑遠小於導電粒子，因此絕緣粒子在垂直壓合方向不會影響導通；但在橫向空間卻有降低導電粒子碰觸的機會【2】。Hitachi Chemical 之 ACF 規格如表1【3】。

#### b.Sony Chemical的架構



Sony Chemical 的方法是在導電粒子的表層吸附一些細微顆粒之樹脂，目的在使導電粒子的表面產生一層具絕緣功能的薄膜結構。此結構的特性是，粒子外圍的絕緣薄膜在凸塊接點熱壓合時將被破壞，使得垂直方向導通；至於橫向空間的導電粒子絕緣膜則將持續存在，如此即可避免橫向粒子直接碰觸而造成短路的現象。

Sony架構的缺點是，當導電粒子的絕緣薄膜在熱壓合時若破壞不完全，將使得垂直方向的接觸電阻變大，就會影響 ACF 的垂直導通特性。目前該結構的專利屬於 Sony Chemical。

除了上述以結構改良的方式來避免橫向絕緣失效以外，透過導電粒子的直徑縮小也可達成部分效果。導電粒子的直徑已從過去12 $\mu\text{m}$



一路縮小至目前的 $3\mu\text{m}$ ，主要就在配合Fine Pitch的要求。隨著粒徑的縮小，粒徑及金凸塊厚度的誤差值也必須同步降低，目前粒徑誤差值已由過去的 $\pm 1\mu\text{m}$ 降低至 $\pm 0.2\mu\text{m}$ 。

隨著驅動IC細腳距的要求，金凸塊的最小間距也持續壓低，目前凸塊廠商已經可以做到 $20\mu\text{m}$ 左右的凸塊腳距。 $20\mu\text{m}$ 的腳距已使 ACF 橫向絕緣的特性備受挑戰，Fine Pitch的技術瓶頸壓力似乎已經落在 ACF 膠材的身上【2】。Sony Chemical 之 ACF 規格如表2【4】。

3.NCA 膠型態，其電訊導通靠凸塊與電極直接接觸【5】【6】。

NCA 型態的 COG 構裝技術亦即所謂的微凸塊技術乃由 Hatada 等人於1988年首度提出。此方法提供覆晶技術對於微隙間距一個可行又簡單的方法。由於其本身的結構較簡易、成本低且可再造/修補及實現高密度構裝，因此漸漸地逐漸取代可能污染環境的鉛錫類型構裝技術。NCA 型態的 COG 構裝由於電流是透過整個凸塊表面直接與電極接觸，凸塊與電極之間是靠著膠材接合，所以為物理式接合，因此接觸電阻會遠大於以往的鉛錫類型的構裝，金屬凸塊可應用標準的電鍍製程將金合金（Gold Alloy，Au）電鍍於晶圓上【7】。

### 1-3 COF、COG 與 TCP 特性比較

這些封裝方式在不同產品領域的市場佔有率互有所消長，主要原因在於封裝技術特性的不同，各封裝技術有其優缺點所致。例如 TCP 封裝方式因其發展時間較久，技術較為成熟、良率佳，但當因應高腳數細間距要求時，懸空之引腳強度無法支撐，容易變形，不易與 IC 結合，因此 TCP 方式無法對應細間距的趨勢，且其捲帶基材成本雖便宜，但因 TCP 製程步驟多，使 TCP 封裝完成後整體成本反而高於其他封裝方式。

而由於 COF 封裝結構不需形成元件孔，直接接合於捲帶上之引腳強度相對較佳，因此可達到較 TCP 更好的細間距結果，並因封裝使用軟性基材，可撓性較佳，更因減少了黏著劑的變因，使其在尺寸安定、密度線路需求及耐燃性、環保上有較好表現，不過，相對 COF 基材的成本也比較高。COF 製程不須開孔的特性，原則上也使捲帶上具有較多空間可乘載原放置於印刷電路板（Printed Circuit Boards；PCB）上之被動元件等，有機會成為多功能的整合型晶片組，但目前實務上廠商並無於 COF 捲帶上安置多餘元件的情形。

直接封裝於面板玻璃上的 COG 技術，減少了捲帶的使用及內外引腳接合技術，因此在成本上較低，製程也較容易；COG 方式若不考量中間與面板玻璃接合劑的因素及貼合對位的困難性，理論上因凸

塊引腳與玻璃基板為半導體製程技術，使 COG 相較於其他封裝方式具有更可微間距化的機會。

但 COG 方式仍有些問題待克服，首先在於 COG 封裝不易重工 (Re-Work)，運用在大尺寸 LCD 封裝上，風險太大，第二為與 TCP 或 COF 相比，COG 所佔面板玻璃的封裝區域大，一般稱為所需額緣較大，這會使同尺寸玻璃用 COG 方式時，面板顯示面積較小；另一問題為 IC 與玻璃的膨脹係數不同，在高溫接合下易產生翹曲現象，易引起 Mura【8】，在大尺寸下此現象尤其明顯，各封裝性質及優缺點的比較如 (表 3) (表 4)【9】。

驅動 IC 目前正朝向低封裝厚度、高腳數封裝的要素前進，在厚度比較方面，COG 因少掉基材、銅箔等，使其封裝完成的厚度最薄，符合未來產品輕、薄之需求；提高封裝腳數使晶粒間的接點必須縮小，因此在腳數封裝比較中，COG 技術最有可能製造最小間距，達到高腳數的效果，但因 COG 細間距下，接合困難、接著劑產生的變因等致使良率不佳，因此業者目前一般 COG 封裝接合間距仍以 60 $\mu$ m 為主；評估封裝結果及良率因素，考量大部分 TCP 封裝廠也同時擁有 COF 封裝技術之下，使得單以比較厚度、間距，其中排名第二的 COF 技術，被認為在大尺寸封裝中短期內最有發展機會【10】。

依成本及價格考量，單以封裝成本比較，COF 捲帶基材成本雖較高，但 TCP 因製程複雜，製程材料成本等加總後，反使 COF 封裝比 TCP 封裝成本減少二成左右，而市場上 TCP 與 COF 封裝後的驅動 IC 價格相同，也可知 COF 封裝利潤較高；COG 封裝不需捲帶可省封裝成本七成左右，使驅動 IC 售價約便宜三成【7】，因此各家面板廠目前在 IC 封裝上已嘗試儘量使用 COG 製程。

#### 1-4 可靠度測試

可靠度試驗乃在高度壓縮時間內，模擬實際使用環境下做測試，建立量化使用壽命的評估模式，從加速因數及其結果，估算出產品壽命週期，同時由測試結果的破壞模式、位置及機制著手，進而改善材料或製程等參數，最終能獲得一高可靠度的產品。

造成元件可靠度不佳的失效機制，可能由化學、物理、機械或熱處理所導致；在電子構裝的失效機制通常以是否有促使加速歸類，可分為加速發生失效以及自然損耗失效。作為可靠度加速測試中的破壞性環境因數，大致可分成五類：機械、溫度、電性、化學性及輻射，可以個別以單獨或互相加成性破壞模式，展現於構裝結構特定材料及部位上。測試方法包括高溫儲存試驗（High Temperature Storage Test）、溫度循環試驗（Temperature Cycling）、熱衝擊試驗（Thermal

Shock) 及恆溫恆溼試驗 (Temperature / Humidity Test)，簡述如下：

(1) 高溫儲存試驗：

高溫儲存試驗常用於判斷電子元件在長期高溫作用下構裝元件劣化狀態，通常測試方式為在未加電壓狀態下進行150°C/1000 小時的烘烤。常見的失效機制為介金屬化合物異常成長，導線短路斷路及鈍化層破裂等問題。

(2) 溫度循環試驗：

溫度循環試驗主要利用構裝結構不同材料熱膨脹係數差異，加強其因溫度快速變化所產生的熱應力對元件造成之劣化影響。測試溫度升降多以在單一槽內以冷熱空氣循環加熱或冷卻方式達成，整體熱傳效率較低。由於停留時間較長（10~15分鐘），構裝結構材料則會發生潛變（Creep）及應力鬆弛（Stress Relaxation）現象，顯現出失效模式可能與熱衝擊測試稍有差異，但仍究集中於封膠脫層、晶片脆裂、金線脫離及底膠脫層等類似問題。

(3) 熱衝擊試驗：

熱衝擊試驗與溫度循環試驗類似，用以評估封裝抵抗急遽升溫、降溫、熱漲冷縮所造成之機械應力對構裝元件的可靠度影響。相較於溫度循環試驗，熱衝擊試驗的升溫降溫過程約只有5~10秒，而溫度




循環試驗約5~7分鐘，其條件更為嚴苛，實驗時間亦較短，破壞方式大致上與溫度循環試驗相似。

#### (4) 恆溫恆濕試驗：

恆溫恆濕試驗用於評估半導體封裝在穩定狀態濕氣環境下之可靠度。高溫高濕（85°C/85RH）環境加速濕氣自膠體或膠體/導線架間介面滲入構裝體內。當元件處於濕氣的環境下，可能造成機械性質改變、電性及熱性質的劣化、金屬的氧化或腐蝕、加速化學反應等。

### 1-5 彈性凸塊（Compliant Bump）



為了解決 Fine Pitch、Low Cost 及 ACF 容易造成短路現象。開發了一種低應力玻璃覆晶接合技術彈性凸塊（Compliant Bump）結合非導電性膠膜 NCF 膠材，取代現行之 Au Bump 搭配 ACF 膠材之 COG 技術。關鍵技術在於 NCF 膠材與彈性凸塊的開發。NCF 膠材方面；主要利用 ACF 膠材，將膠材中的導電粒子去除，在經由調配即可獲得 NCF 膠材。彈性凸塊方面：其凸塊結構主要由 PI Bump 和 Au 所組成，也就是在 PI Bump 上覆蓋一層 Au 薄膜，以達到與玻璃線路導通。簡單而言就是將長有彈性凸塊之 IC 透過 NCF 膠膜直接與玻璃基板之 Pad 進行接合，橫截面結構示意圖如圖 1-3，以達到電性之導通。NCF 膠材上下各有一層保護膜來保護主成分。使用時

先將上膜 (Cover Film) 撕去，將 NCF 膠膜貼附至 Substrate 的電極上，再把另一層 PET 底膜 (Base Film) 也撕掉。在精準對位後將上方物件與下方板材壓合，經加熱及加壓一段時間後使絕緣膠材固化，最後形成垂直導通、橫向絕緣的穩定結構。

## 1-6 研究動機

過去的研究裡，COG 的接合大部分都使用 ACF 導電膠【11】【12】，並未有人使用 ACF 做 COF 的接合以及 NCF 應用在 COG 上的接合，尤以 COG 的晶片是使用彈性凸塊與玻璃基板端做物理性接合。顯示器的使用上會因為環境的溫度、持續長時間的使用以及使用上必須開啟或關閉，會讓 IC 暴露在低溫與高溫的熱循環以及長時間高溫的環境裡，本實驗會測試 COF 在室溫環境中耐電流的能力，以及做破壞位置的橫截面觀察，COG 在熱循環的環境以及高溫持續通電流的環境下，其彈性凸塊的電阻變化。

## 1-7 文獻回顧

以往已有人研究過與本實驗不同接合材料軟性基板的可靠度測試，Chip 端 UBM 的材料為 Ti (50  $\mu\text{m}$ )，Cu (1  $\mu\text{m}$ ) 和 Au (50  $\mu\text{m}$ )，凸塊的部份為 100 $\mu\text{m}$   $\times$  100 $\mu\text{m}$  高度為 20 $\mu\text{m}$  的純錫，使用 Polyether sulphone (PES) 當做軟性基板，其 UBM 的材料與 Chip 端相同，結

合使用 NCA 膠材經過 270 秒固化，結構示意圖如圖 1-4 所示【13】，由於 Sn 與 Cu 會反應生成  $Cu_6Sn_5$  和  $Cu_3Sn_1$  兩種介金屬化合物【14】~【16】，此次實驗使用四點量測測量單一凸塊的電阻，其平均電阻約  $15m\Omega$ ，兩種可靠度的測試條件分別為：

- a. 熱循環測試， $0\sim 100^{\circ}C$  升溫降溫為一循環，在  $100^{\circ}C$  會停留 11 分鐘，每一個循環所需的時間為 30 分鐘，每格 100 次循環量測一次凸塊電阻，歷經 1000 次循環後的結果如圖 1-5【13】。
- b. 熱時效測試， $100^{\circ}C$  持溫 1000 小時後觀察凸塊電阻變化，結果如圖 1-6【13】。

定義破壞的凸塊電阻為大於  $100m\Omega$ ，由結果可以得知此試片經過兩種可靠度測試之後電阻都約在  $12\sim 15 m\Omega$  之間，可以在初始的部份觀察到電阻有下降的趨勢，作者對此部分做了三種假設來解釋下降的原因【13】：

- (1) 熱循環和熱時效初始的階段 NCA 膠材會有 postcuring 的現象，造成膠材收縮，使 Sn 凸塊與 Pad 接合更好，更易擴散形成介金屬化合物。
- (2) 由於 Sn 是使用電鍍製程，會存在許多空孔和差排，這些缺陷會使電子通過時造成散射使電阻上升，在經過初期的熱時效或熱循環之後， $100^{\circ}C$  大概是 0.7 倍 Sn 熔點的絕對溫度，所以會



發生回覆、再結晶，使 Sn 內的空位濃度和差排密度下降，造成電阻下降。

- (3) 初期 Reflow 之後介面的部分大都是  $\text{Cu}_6\text{Sn}_5$  和少量的  $\text{Cu}_3\text{Sn}_1$ ，經過初期可靠度測試之後，大量的  $\text{Cu}_6\text{Sn}_5$  可能會形成  $\text{Cu}_3\text{Sn}_1$ ，過去的文獻可以知道  $\text{Cu}_6\text{Sn}_5$  和  $\text{Cu}_3\text{Sn}_1$  的電阻率分別為  $17.5 \mu\Omega \cdot \text{cm}$  和  $8.9 \mu\Omega \cdot \text{cm}$ 【17】，所以如果大量的形成  $\text{Cu}_3\text{Sn}_1$  會使電阻有下降的趨勢。



表 1、Hitachi Chemical 之 ACF 規格

**Hitachi Chemical之ACF產品規格**

應用 型號	COG		TCP		COF		
	AC-8604	AC-8408	AC-7207	AC-2056	AC-217	AC-4251	AC-4051
接合對象	Chip	Chip	To Glass	To PWB	Chip	To Glass	To PWB
線密度(line/mm)	-	-	-	5	-	-	5
最小電極面積(um <sup>2</sup> )	1,500	1,200	15,000	-	1,500	15,000	-
最小間距(um)	12	15	20	-	10	20	-
膜厚(um)	25	25	16	35	35	16	45
導電粒子	鍍金鍍樹脂球			鍍球	鍍金鍍樹脂球		鍍球
粒徑(um)	3	3	4	2	3	4	2
壓合溫度(°C)	180-200	160	170-180	170-180	200-220	170-180	170-180
壓合時間(sec)	10-5	10	15-10	15-10	10-5	15-10	15-10
壓合壓力(MPa)	50-150	50-150	3	2	100	3	2

(資料來源:Hitachi Chemical網站)

表 2、Sony Chemical 之 ACF 規格

**Sony Chemical之ACF產品規格**

應用 型號	COG	COF			TCP	
	CP6030ID	FP1708E	CP9420IS	DP2252KS	CP9620FS	CP9142KS
接合對象	Chip	Chip	To Glass	To PWB	To Glass	To PWB
膜厚(um)	24	35	18	45	18	35
導電粒子	金鍍樹脂球			鍍金鍍球	金鍍樹脂球	鍍金鍍球
粒子絕緣層比例	全部	全部	全部	無	部分	無
粒徑(um)	4	3.5	4	2.5	5	2.5
粒子密度(10K/mm <sup>3</sup> )	200	350	43	36	48	70
壓合溫度(°C)	180-	190-210	180	160	180	180
壓合時間(sec)	5	10-7	15	6	15	10
壓合壓力(MPa)	60-80	-	3	3	3	3
最小電極面積(um <sup>2</sup> )	1,800	-	-	-	-	-
最小間距(um)	15	-	15	100	20	100
最小腳距(um)	-	-	50	200	50	200

(資料來源:Sony Chemical網站)

表 3、各封裝優缺點比較

封裝方式	優點	缺點
TCP	<ul style="list-style-type: none"> <li>● 技術成熟</li> </ul>	<ul style="list-style-type: none"> <li>● 無法達到未來細間距要求</li> <li>● 製程較複雜</li> <li>● 完成的驅動 IC 成本高</li> </ul>
COF	<ul style="list-style-type: none"> <li>● 可撓性佳</li> <li>● 可細線化</li> <li>● 可結合主被動元件</li> </ul>	<ul style="list-style-type: none"> <li>● 基材成本高</li> </ul>
COG	<ul style="list-style-type: none"> <li>● 成本低</li> <li>● 簡化製程</li> <li>● 可達 Fine Pitch 要求</li> </ul>	<ul style="list-style-type: none"> <li>● 不易重工(Re-work)</li> <li>● 易有 Mura 與額緣大的問題</li> </ul>

表 4、各封裝性質比較

項目	TCP	COF	COG
基材種類	PI 膜 (3 層)	PI 膜 (2 層)	-
基材厚度	75 $\mu$ m-125 $\mu$ m	25 $\mu$ m-38 $\mu$ m	-
銅箔厚度	18 $\mu$ m	8-9 $\mu$ m	-
封裝完成厚度	600 $\mu$ m-1000 $\mu$ m	400 $\mu$ m-700 $\mu$ m	200 $\mu$ m
凸塊接合間距	45 $\mu$ m	38 $\mu$ m-40 $\mu$ m	20 $\mu$ m-30 $\mu$ m
線路間距	40 $\mu$ m	35 $\mu$ m	-
封裝成本預估	USD0.41	USD0.35	USD0.11
驅動 IC 價格 預估	Source IC USD1.2 Gate IC USD0.95	Source IC USD1.2 Gate IC USD0.95	Source IC USD0.8 Gate IC USD0.65

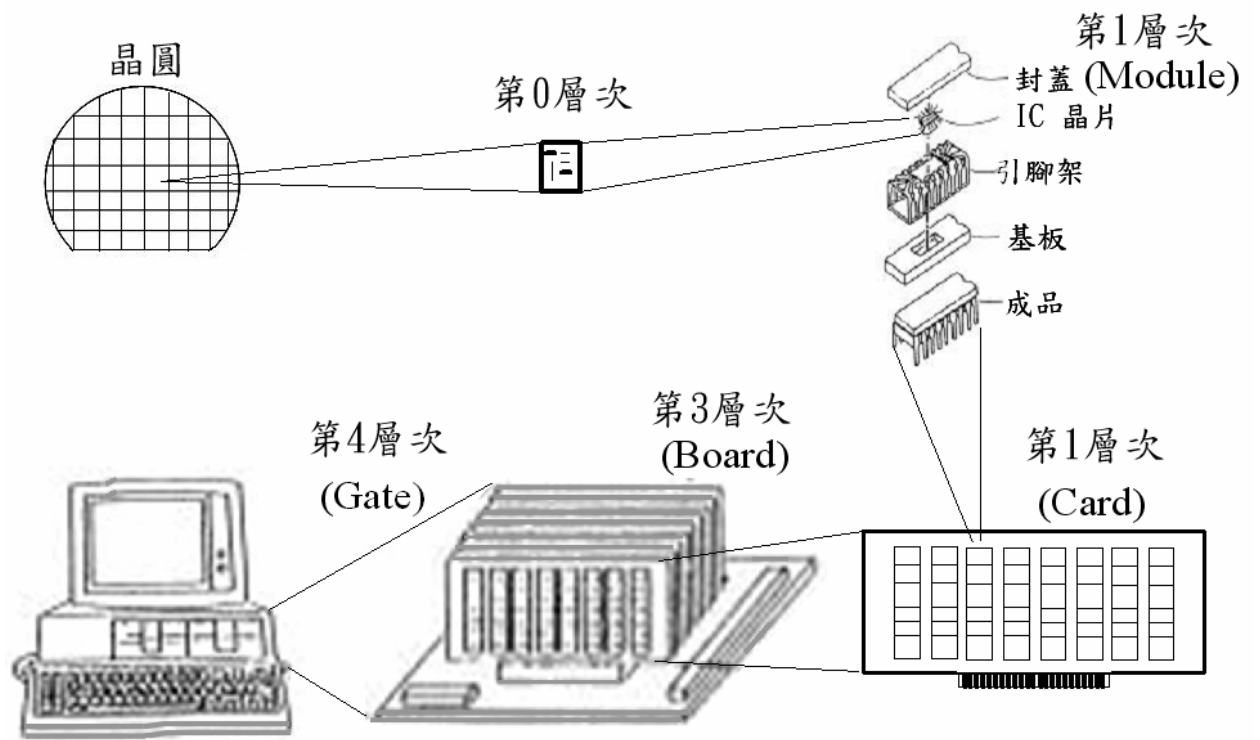


圖 1-1、電子封裝技術中的四個層次

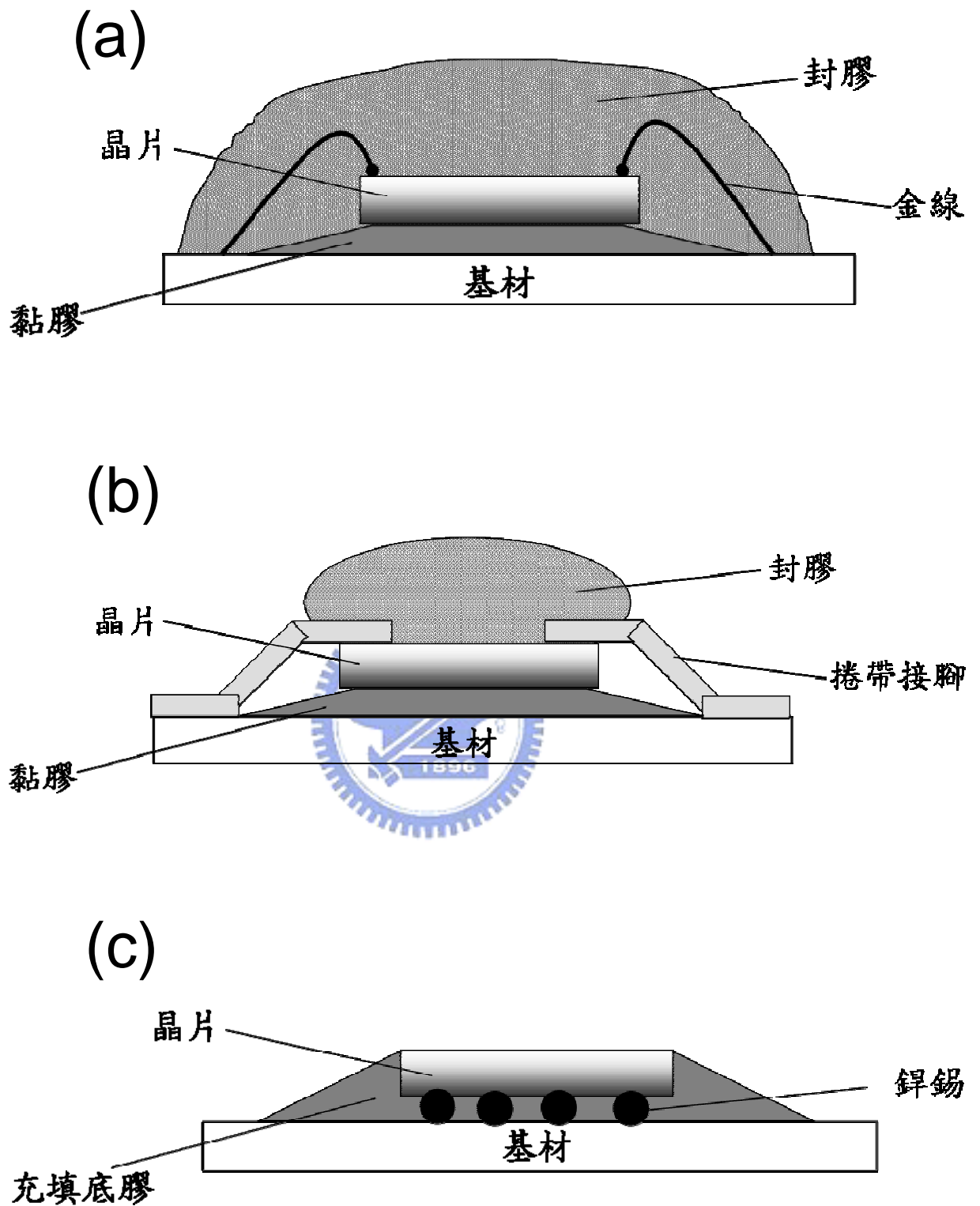


圖 1-2、晶片封裝中三種不同的電導通方式(a)打線接合、(b)捲帶式自動接合、(c)覆晶接合

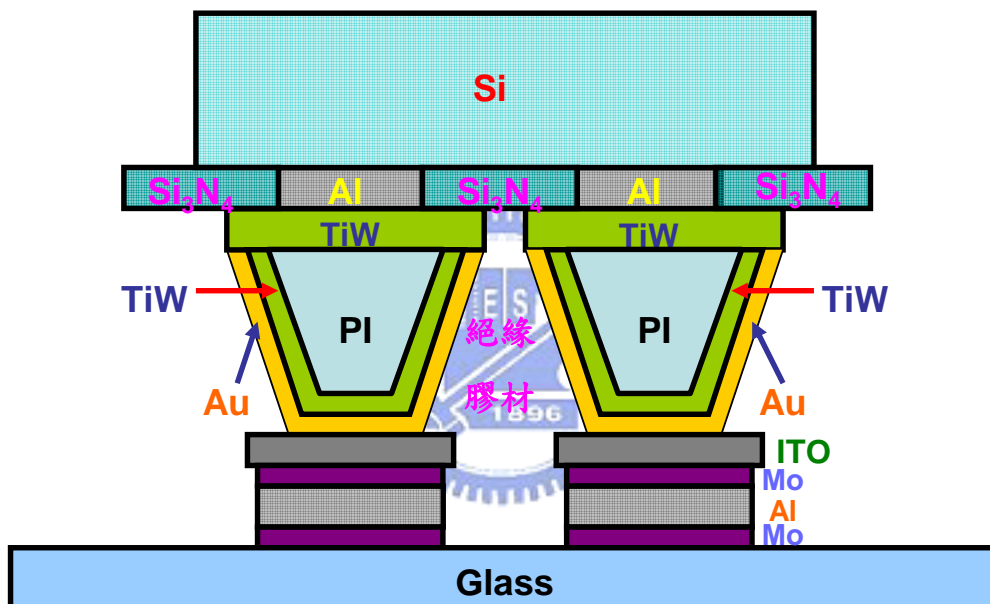


圖 1-3、彈性凸塊（Compliant Bump）結構

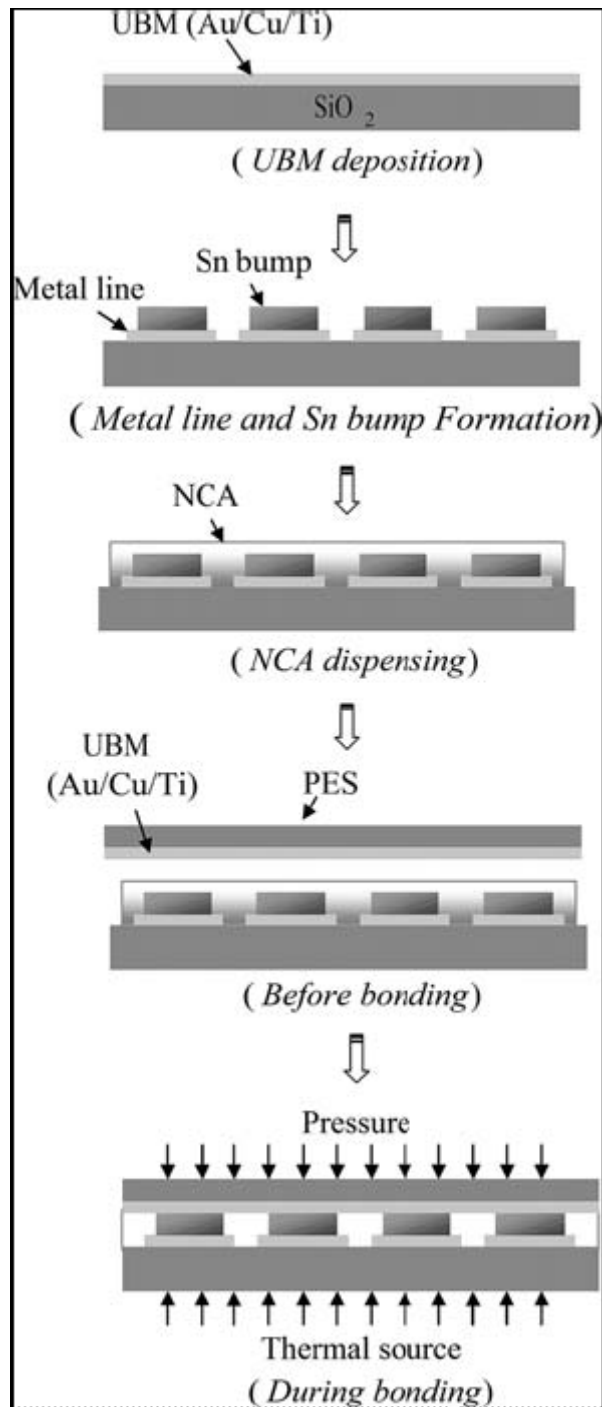


圖 1-4、軟性基板 Reflow 過程橫截面示意圖



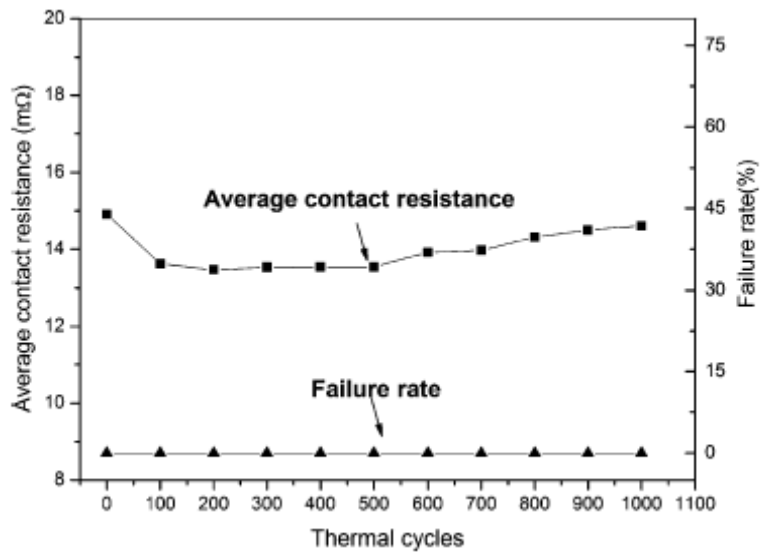


圖 1-5、1000 次循環後凸塊電組的變化

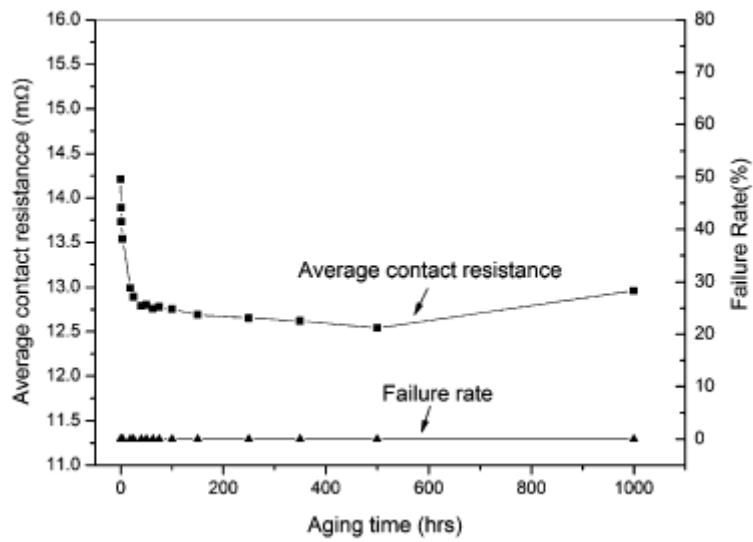


圖 1-6、100°C 熱時效 1000 小時後凸塊電組的變化

## 第二章 實驗步驟

### 2-1 COG 試片結構

COG 做熱循環及偏壓測試的晶片端鋁寬度約  $28\mu\text{m}$ 、厚度  $0.8\mu\text{m}$ ，彈性凸塊部份為長  $104\mu\text{m}$ 、寬  $22\mu\text{m}$ 、高  $10\mu\text{m}$  的 Polyimide (PI) 上鍍上一層 TiW 及  $300\text{nm}$  的金，玻璃基板端為 Mo/Al/Mo/ITO 的結構，Mo 寬  $16\mu\text{m}$ 、厚  $0.05\mu\text{m}$ ，Al 寬  $22\mu\text{m}$ 、厚  $0.1\mu\text{m}$ ，ITO 寬  $22\mu\text{m}$ 、厚  $0.1\mu\text{m}$ ，彈性凸塊的 pitch 為  $30\mu\text{m}$ 。COG 橫截面示意圖如圖 2-1。

另一做  $60^\circ\text{C}/40\text{mA}$  及  $80^\circ\text{C}$  熱時效測試的 COG 的試片 PI 的長度為  $22\mu\text{m}$ 、寬度  $15\mu\text{m}$ 、高度為  $10\mu\text{m}$ ，彈性凸塊的 pitch 為  $20\mu\text{m}$ ，其餘 UBM 的部份與上述相同。



### 2-2 實驗內容

COG 可靠度測試，熱循環溫度條件  $30^\circ\text{C}\sim 110^\circ\text{C}$ ，量測電流  $10\text{mA}\sim 40\text{mA}$ ，每隔  $20^\circ\text{C}$  使用四點量測凸塊電阻，量測電流間隔  $10\text{mA}$ ，定義四點量測凸塊電阻大於  $5\Omega$  為破壞。另一可靠度測試為量測 COG 室溫瞬間耐電流能力，每間隔  $5\text{mA}$  四點量測一次凸塊電阻，間隔時間  $5$  分鐘，儀器設定電阻大於  $1000\Omega$  為破壞，並且觀察破壞位置。高溫熱時效測試條件  $80^\circ\text{C}$  熱時效  $1000$  小時，每隔  $100$  小時觀察單一凸塊電阻變化率，並且與未任何時效的凸塊在歷經相同時間做比較，

定義四點量測凸塊電阻大於  $5\Omega$  為破壞。偏壓測試將梳狀結構 (Comb Structure) 如圖 2-2 間保持 30V 或 40V 的偏壓並且在  $85^{\circ}\text{C}$  和 85%濕度的環境下，使每一對凸塊之間保持高電場的情況之下歷經 500 小時後，每隔 100 小時量測一次梳狀結構絕緣膠材的電阻，量測方式為使用 HP4156 外加 0V 到 100V 的偏壓進行量測電流，定義膠材電阻大於  $10^9\Omega$  為破壞。

### 2-3 分析工具

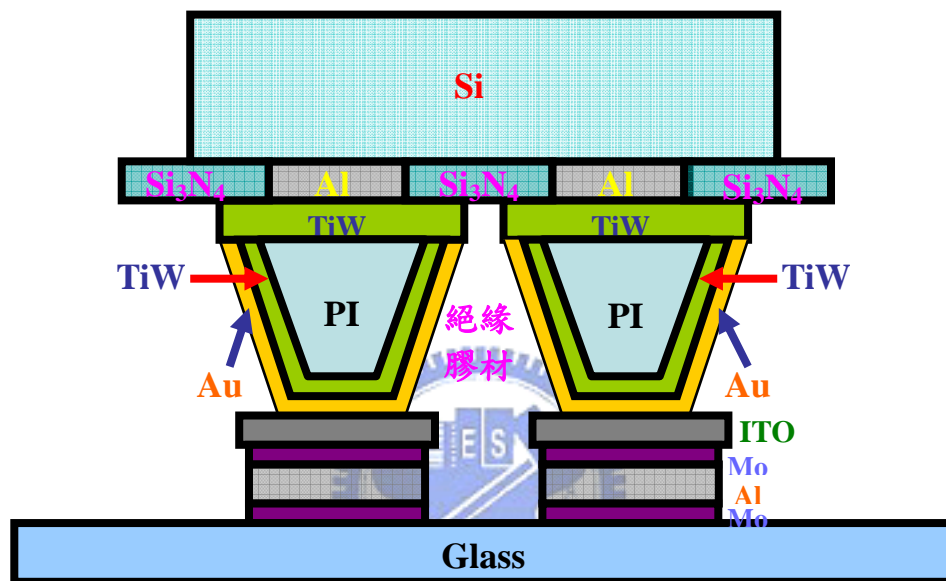
本實驗所使用的 SEM 為 JEOL 6100。SEM 中電子束和試片作用，會將傳導能帶 (Conduction Band) 的電子擊出，此即為二次電子 (Secondary Electrons)，其能量約  $\leq 50\text{eV}$ 。由於是低能量電子，所以只有在距離試片表面約  $50\sim 500\text{\AA}$  深度範圍內所產生之二次電子，才有機會逃離試片表面而被偵測到。由於二次電子產生的數量，會受到試片表面起伏狀況影響，所以利用二次電子影像 (Secondary Electron Image, SEI) 觀察出試片表面之形貌特徵。

另使用紅外線熱相儀 (Infrared microscope, IR) 偵測物質的溫度分佈曲線。IR 的原理為應用所有物體都發出紅外線能量，物體越熱，其分子就愈加活躍，它所發出的紅外能量也就越多。位於紅外線溫度計內的光學設備，可以收集物體輻射的紅外能量並將能量聚集於檢測

器上。

HP4156 量測超微小電流，其最佳解析度視探針漏電流程度而定，通常可量測到 Pico Ampere ， 最大輸出功率為 2W。





IC Bump Size	長度	寬度	厚度
Al Pad Size	106 um	28 um	0.8 um
Passivation size	90 um	12 um	PE oxide 0.15 um+SOG+Nitride1 um
PI Size	104 um	22 um	10um
Metal Size	113.5 um	26 um	Au 0.3um

Glass Size	長度	寬度	厚度
Al Pad Size	如上圖	16 um	Al : 0.1um, Mo : 0.05um
ITO size	如上圖	22 um	0.1um

圖 2-1、COG 結構示意圖

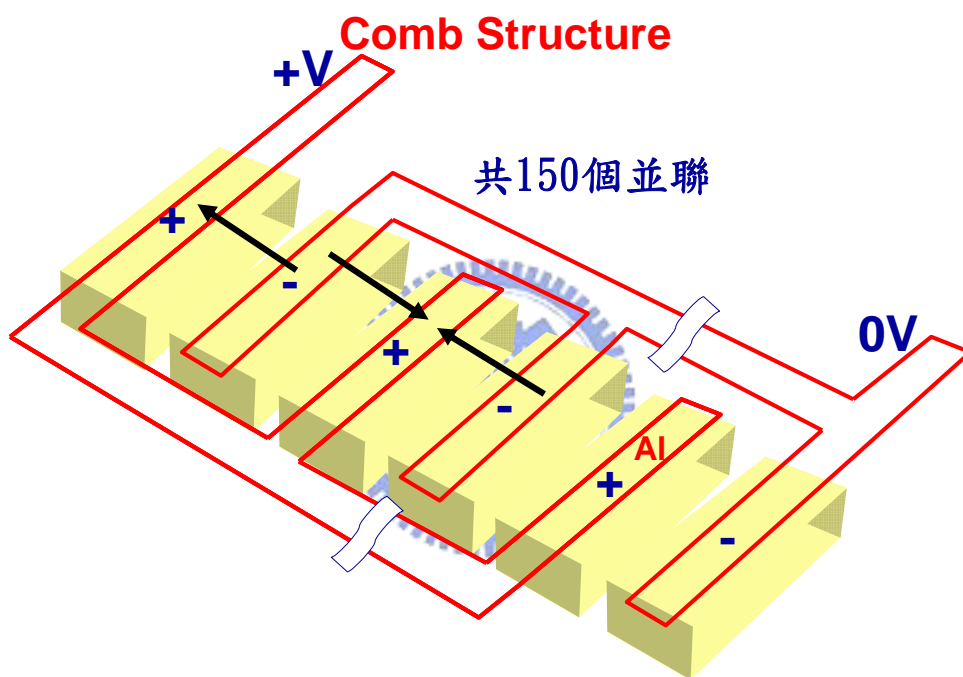


圖 2-2、梳狀結構 (Comb Structure)

## 第三章 結果與討論

### 3-1 六次熱循環後 COG 彈性凸塊電阻的變化

利用四點量測圖 3-1 (a) 確實得知中心單一彈性凸塊電阻的變化量，經過六次升溫降溫後的結果如圖 3-1 (b)、圖 3-1 (c)、圖 3-1 (d)、圖 3-1 (e)，經過六次熱循環後，電阻約從  $1.6\Omega$  上升到  $2.1\Omega$  左右，上升幅度很小，中間電阻起伏不定原因為 PI 與 Gold 熱膨脹差異所造成的，在第六次降溫後，電阻並未超過  $5\Omega$  (業界定義超過  $5\Omega$  為破壞)，這個試片可通過耐熱循環測試，電阻上升及下降的情況又可分為可回復與不可回復的部份圖 3-1 (f) 使用  $50\text{mA}$  高電流測試經過兩次循環後更明顯，可回覆為上升量等於下降量，原因可能為 PI 經溫升膨脹後，暫時造成金表面與 ITO 接觸變差，降溫後又回覆到原本的接著情形，在不可回覆的情況，可能在溫升後由於金與 ITO 表面接觸變差，造成更嚴重的 Temperature. Coefficient of Resistance (TCR) 效應導致周圍的膠材 curing，膠材 curing 的溫度約  $120^\circ\text{C}$  左右，如圖 3-1 (g) 使用 IR 在 Hot Stage 為  $100^\circ\text{C}$  的情況下所量測的結果  $50\text{mA}$  約溫升  $16^\circ\text{C}$  左右，使降溫回來無法回覆到起始的電阻又或者是溫升之後超過膠材玻璃轉化溫度熱膨脹係數瞬間上升使金與 ITO 接合能力下降，當降溫之後由於是靠著物理性接合所以可能與原本接合的位置不同因此電阻上升。

### 3-2 COG 經 80°C 熱時效後與室溫無通電流凸塊電阻比較

相同的利用更準確的四點量測圖 3-2 (a)，由於量測上會多量到周圍鋁導線的電阻約 0.9Ω，隨後的數值都會將這多餘的鋁導線電阻扣除來得知確實的凸塊電阻，經過約 1000 小時時效後結果如圖 3-2 (b)，與無任何時效試片比較結果如圖表 3-2 (a)、圖 3-2 (c)，由於大部分的電阻貢獻來自接觸電阻，因為接面為物理性接合，未時效的試片經過 1000 小時後電阻就上升 65% 左右，完全是因為 PI 具彈性在壓合之後又會回彈造成接觸電阻上升，因此把回彈造成的電阻上升扣除之後就可能是熱時效造成的效應，此處的電阻上升可能就由於熱造成周圍膠材的劣化而導致。由表 3-2 (a) 可以發現到初始電阻越小的上升程度也越大這種趨勢，可能是電阻越小的試片所受到的壓應力越大，PI 回彈的程度也越大，因此金與 ITO 接合的地方也會更差。

### 3-3 COG 室溫瞬間耐電流能力

四點量測示意圖如圖 3-1 (a) 所示，量測結果如圖 3-3 (a)，其最高可承受約 65mA 的電流，破壞位置如圖 3-3 (b)，破壞的原因並非電遷移所導致，由於玻璃端鋁導線太細，在高電流密度的情況下會有很嚴重的焦耳熱效應，造成鋁線瞬間燒斷。如果將圖 3-3 (b) 最後 65mA 與 70mA 的兩個點拿掉如圖 3-3 (c)，可以發現中間約 45mA



開始到 55mA 電阻有下降的趨勢，對於此現象提出兩種推測：

(a) 引用過去的 COF 的文獻【13】，在 45mA 凸塊由於 TCR 效應造成的溫升使得膠材開始 postcuring 收縮，由於金凸塊表面與 ITO 是物理性接合當膠材開始固化收縮會使接觸更好接觸面積更大，因此電阻下降。

(b) 由於 PI 與金熱膨脹係數的差異在製程完成後，金表面會因為 PI 的膨脹與收縮造成表面不平整，所以金與 ITO 並非完美接合，在 45mA 電流造成的升溫使 PI 膨脹後，可能會使金與 ITO 接觸更好，因此電阻下降。



### 3-4 COG 膠材絕緣偏壓測試

對於梳狀結構如圖 3-4 (a) 0~500 小時 30V 及 40V 偏壓在高溫高濕 (85°C 85%濕度) 環境測試後在大氣環境底下使用 HP4156 量測結果如圖 3-4 (b) ~ 3-4 (m)，圖中可以看到量測的電流有正負兩條曲線，這是因為電流在通過兩個探針有進跟出兩種方向，整個迴路是一個串聯的結構所以量測到的正負電流的曲線越對稱表示越準確，將 I-V 曲線換成電阻對時間的曲線如圖 3-4 (n) 3-4 (o)，每一點電阻的計算為取圖 3-4 (b) ~ 3-4 (m) 中正電流 30V 和 40V 的斜率為電阻值，兩種偏壓的測試結果都可以看到電阻有下降上升起伏不定的趨

勢，原因可能為膠材在吸收水分之後造成電阻下降，隨後又有上升的情況可能為當時量測的環境較乾燥使膠材內的水分減少，所以電阻又回復到將近初始值，又或者是電阻值已經在儀器的解析度範圍外因此量測到的起伏不定可能是儀器的干擾所致。膠材的電阻大都在  $10^{10} \sim 10^{14} \Omega$  之間的高電阻大於  $10^9$  因此這種膠材結構可通過可靠度測試。



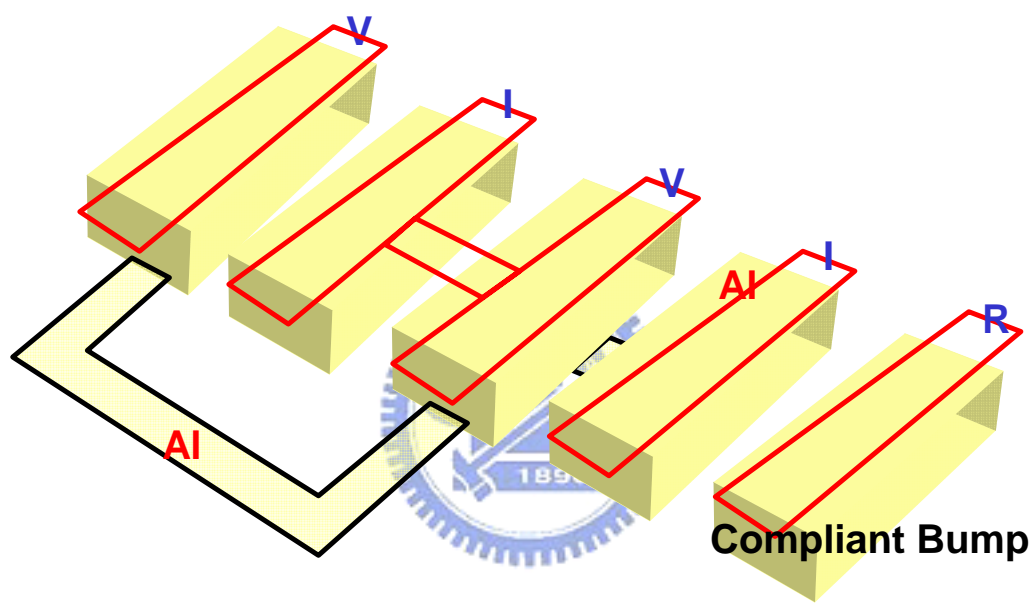


圖3-1 (a) 四點量測示意圖

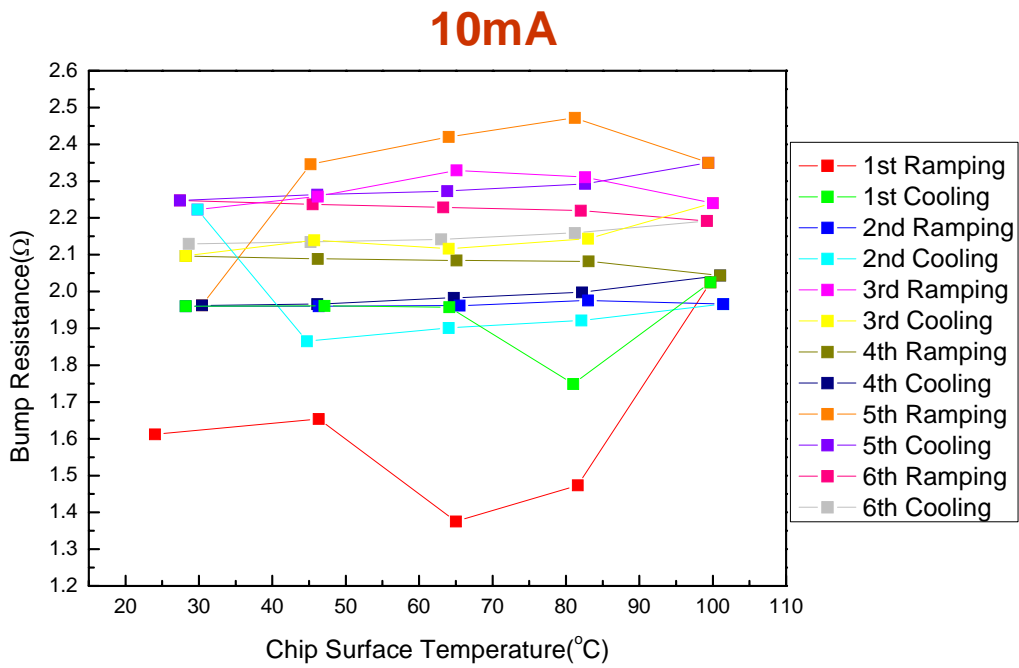


圖3-1 (b) 10mA四點量測彈性凸塊電阻

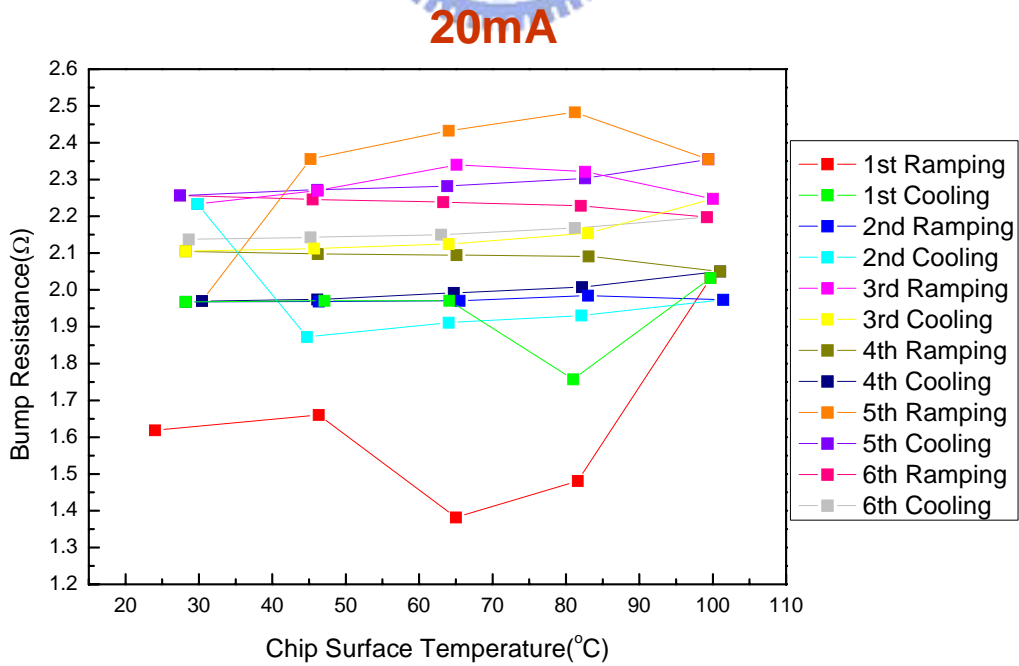
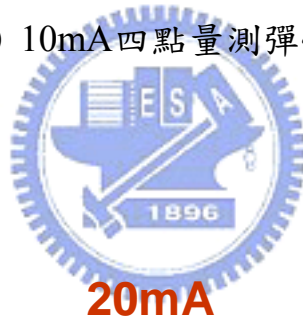


圖3-1 (c) 20mA四點量測彈性凸塊電阻

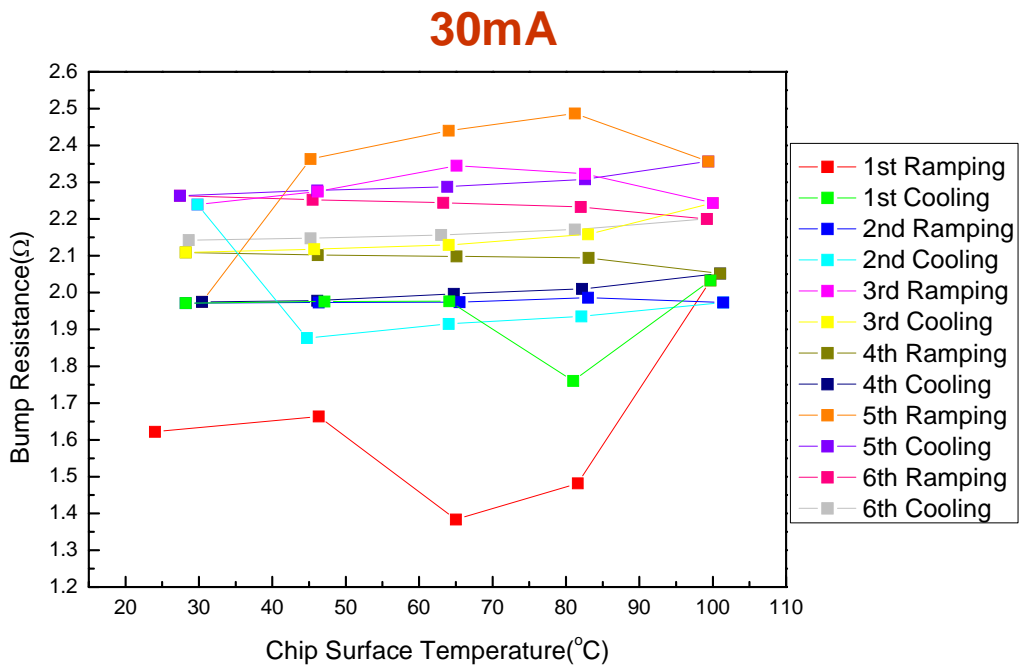


圖3-1 (d) 30mA四點量測彈性凸塊電阻

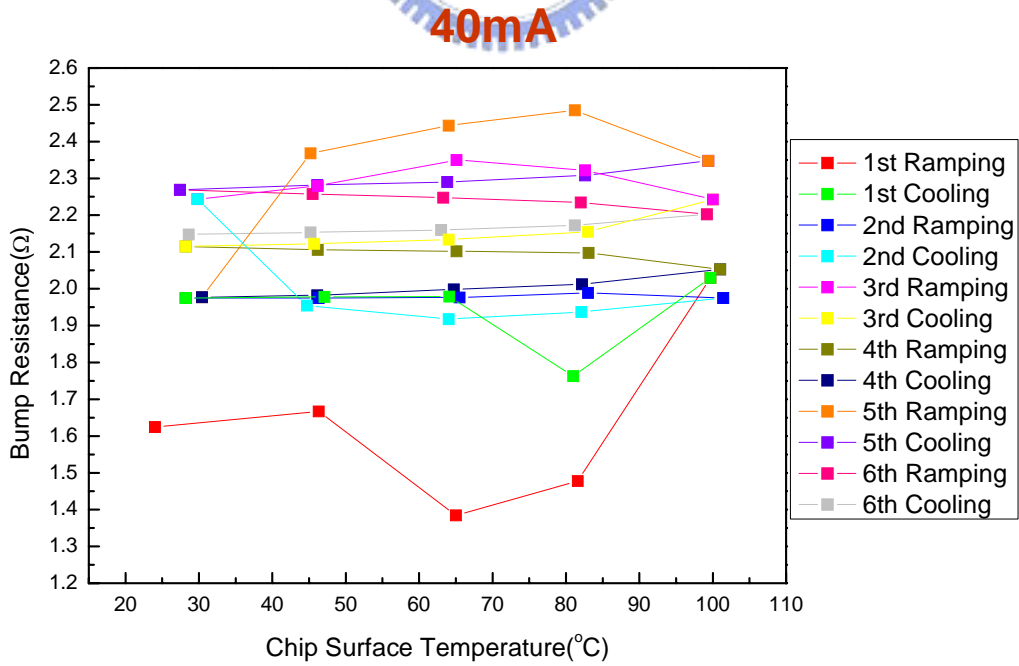


圖3-1 (e) 40mA四點量測彈性凸塊電阻

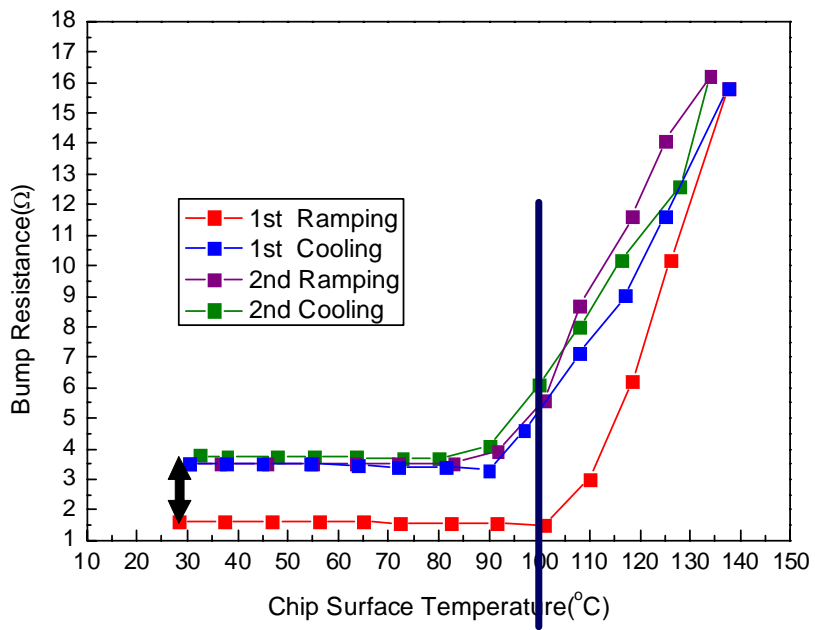


圖3-1 (f) 50mA四點量測彈性凸塊電阻

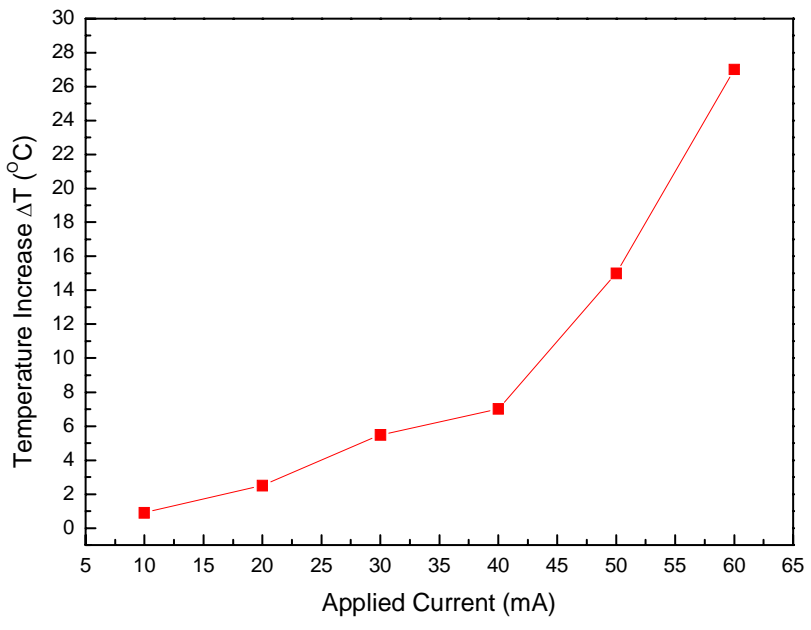
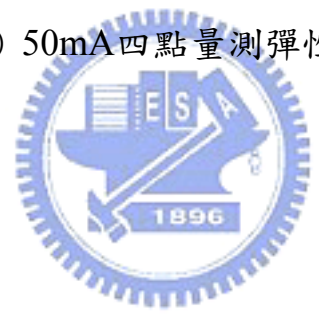


圖3-1 (g)、Hot Stage 100°C IR量測結果

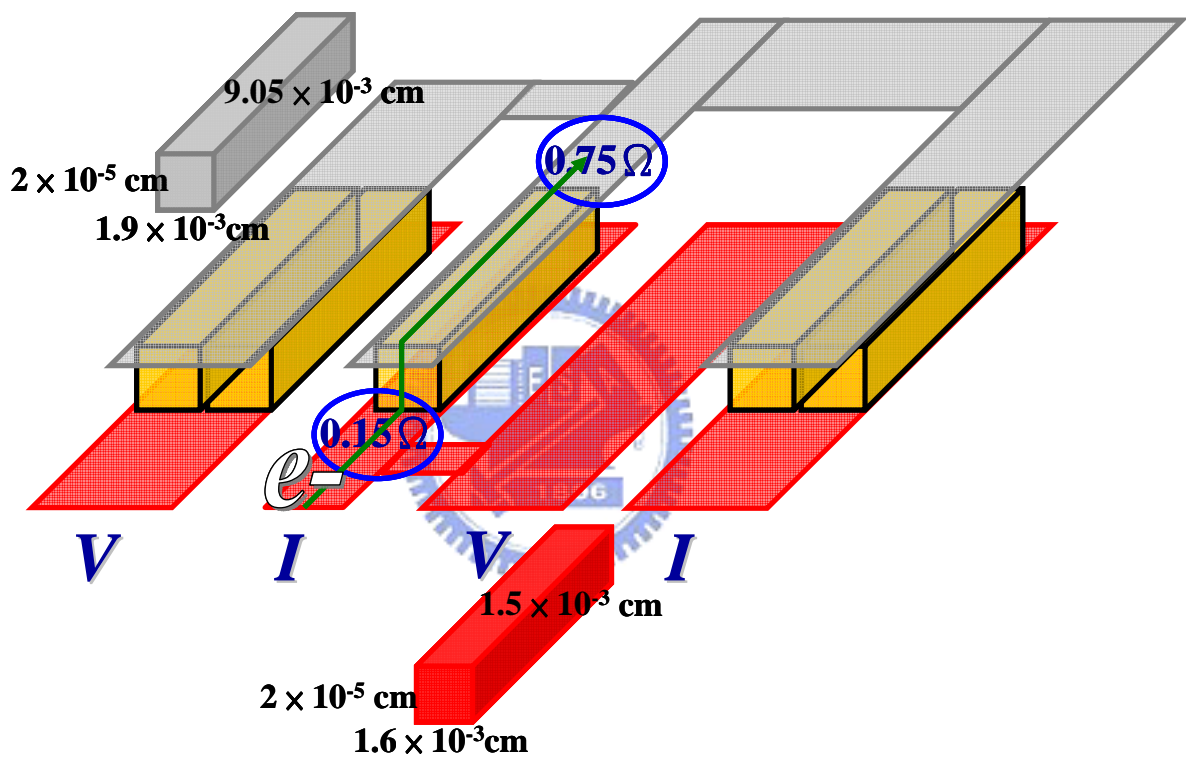


圖3-2 (a) 四點量測示意圖



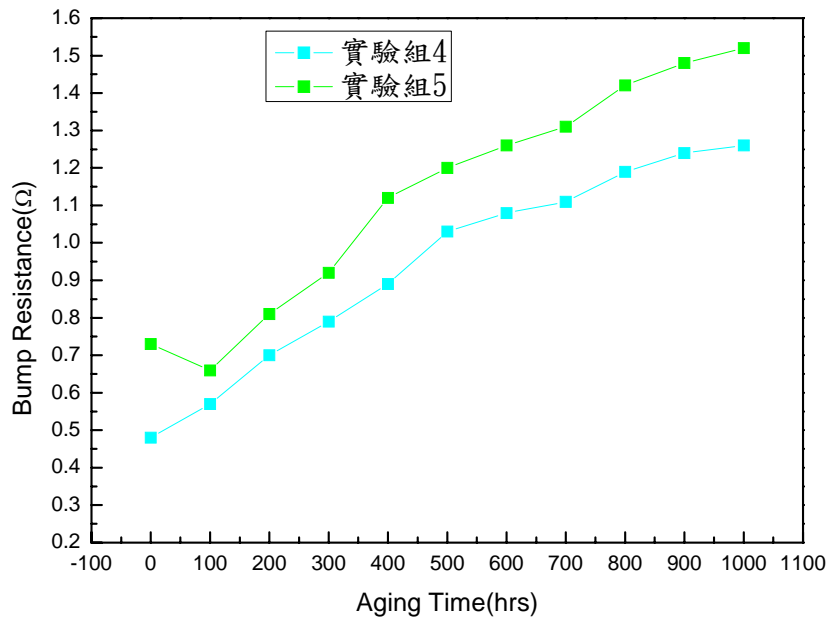


圖3-2 (b) 80°C熱時效

表3-2 (a) 時效試片與無時效結果比較

	實驗組4	實驗組5	對照組6	對照組7
<b>0小時</b>	<b>0.48Ω</b>	<b>0.73Ω</b>	<b>0.63Ω</b>	<b>0.73Ω</b>
<b>200小時</b>	<b>0.70Ω</b> 上升率 (45.83%)	<b>0.81Ω</b> 上升率 (10.96%)	<b>0.68Ω</b> 上升率 (7.94%)	<b>0.81Ω</b> 上升率 (10.96%)
<b>400小時</b>	<b>0.89Ω</b> 上升率 (85.42%)	<b>1.12Ω</b> 上升率 (53.42%)	<b>0.83Ω</b> 上升率 (31.75%)	<b>0.91Ω</b> 上升率 (24.66%)
<b>600小時</b>	<b>1.08Ω</b> 上升率 (125.00%)	<b>1.26Ω</b> 上升率 (72.60%)	<b>0.91Ω</b> 上升率 (44.44%)	<b>0.97Ω</b> 上升率 (32.88%)
<b>800小時</b>	<b>1.19Ω</b> 上升率 (147.92%)	<b>1.42Ω</b> 上升率 (94.52%)	<b>0.99Ω</b> 上升率 (57.14%)	<b>1.02Ω</b> 上升率 (39.73%)
<b>1000小時</b>	<b>1.26Ω</b> 上升率 (162.50%)	<b>1.52Ω</b> 上升率 (108.22%)	<b>1.07Ω</b> 上升率 (69.84%)	<b>1.18Ω</b> 上升率 (61.64%)

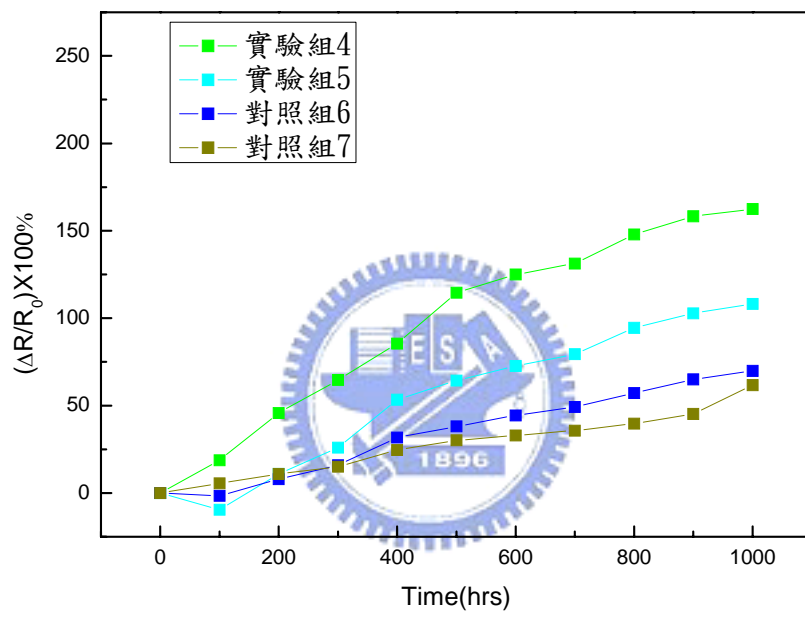


圖3-2 (c) 時效試片與無時效結果比較

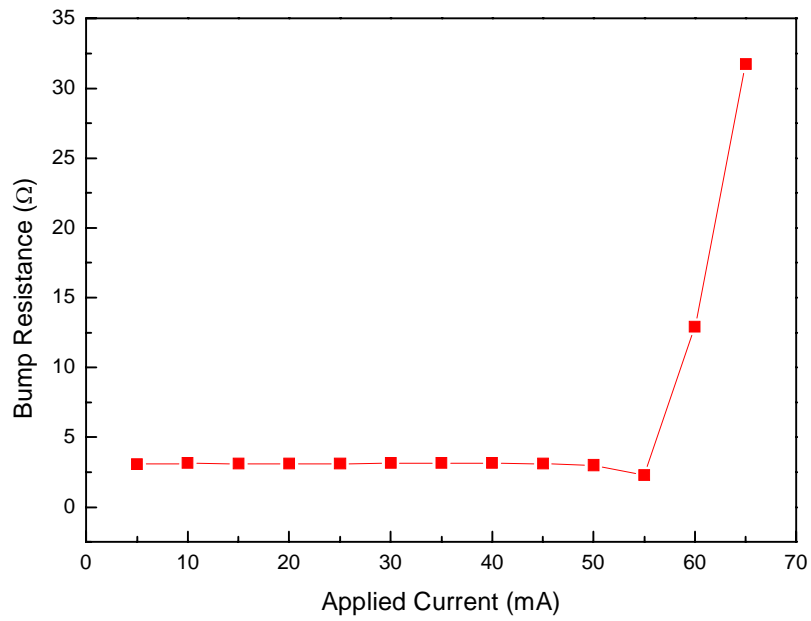


圖3-3 (a) COG室溫瞬間耐電流能力



圖3-3 (b) COG 玻璃端鋁導線破壞位置

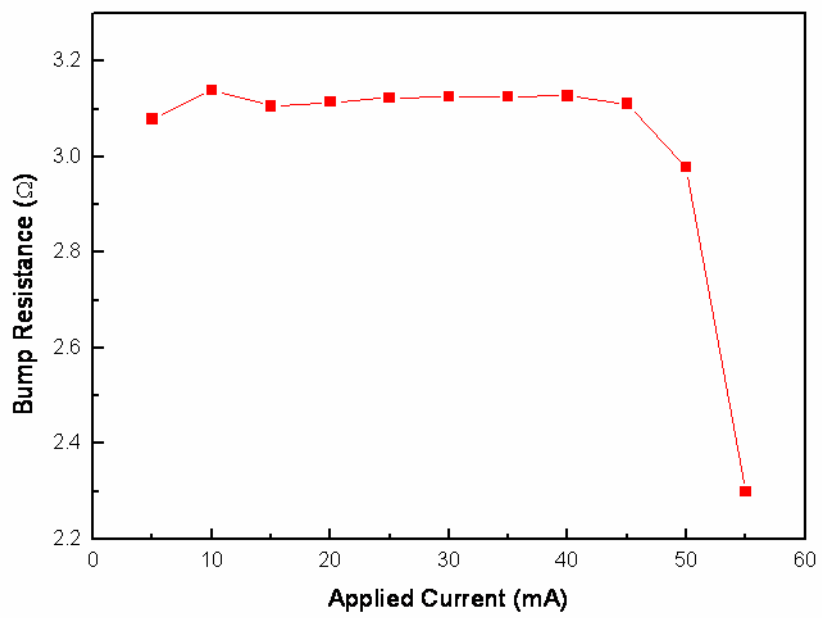


圖3-3 (c) COG 室溫瞬間耐電流能力

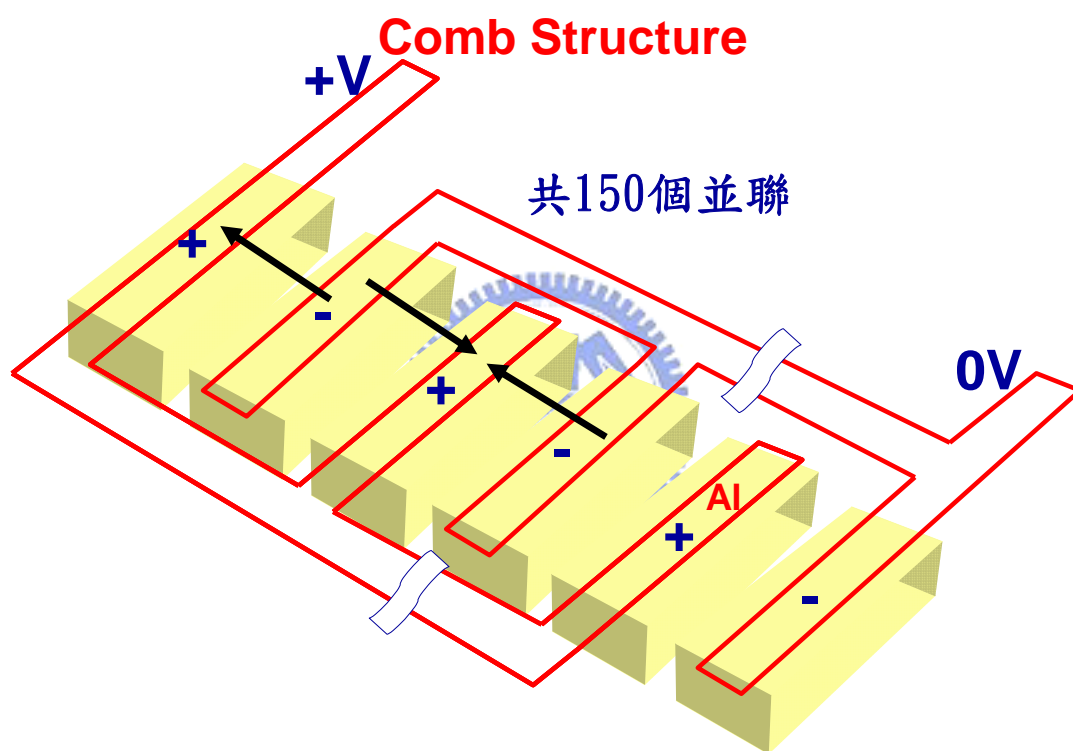


圖3-4 (a)、梳狀結構 (Comb Structure)

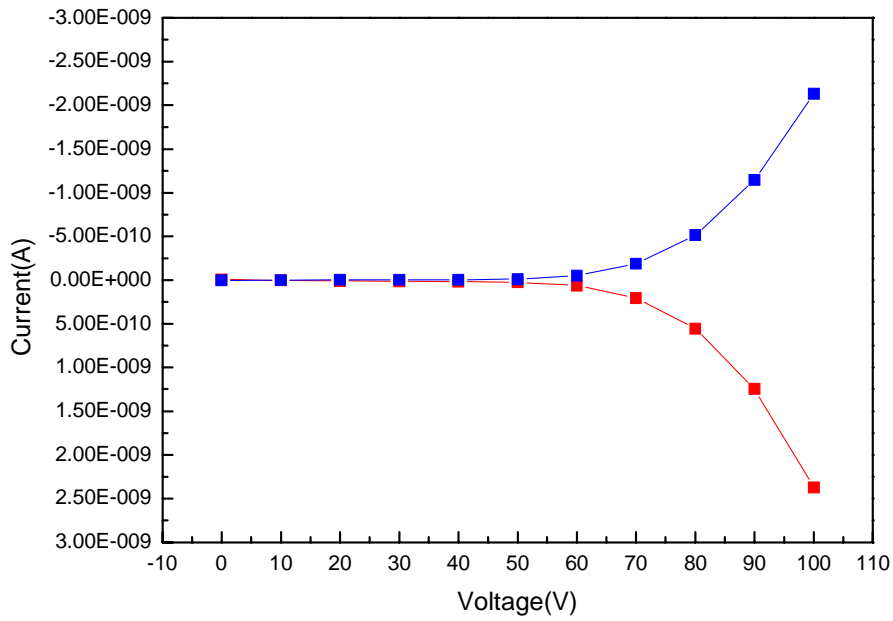


圖3-4 (b)、0小時30V偏壓初始值 量測結果I-V曲線

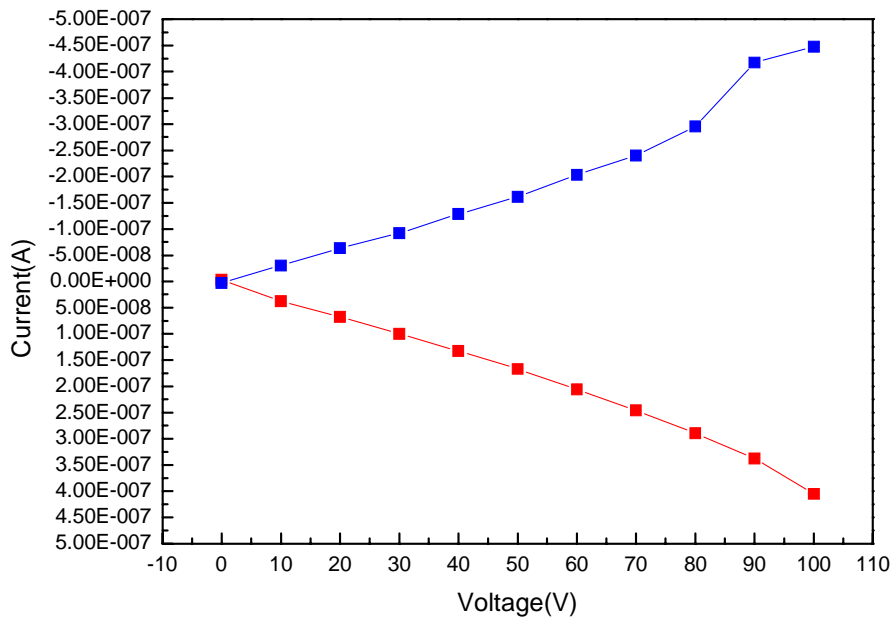


圖3-4 (c)、100小時30V偏壓 量測結果I-V曲線

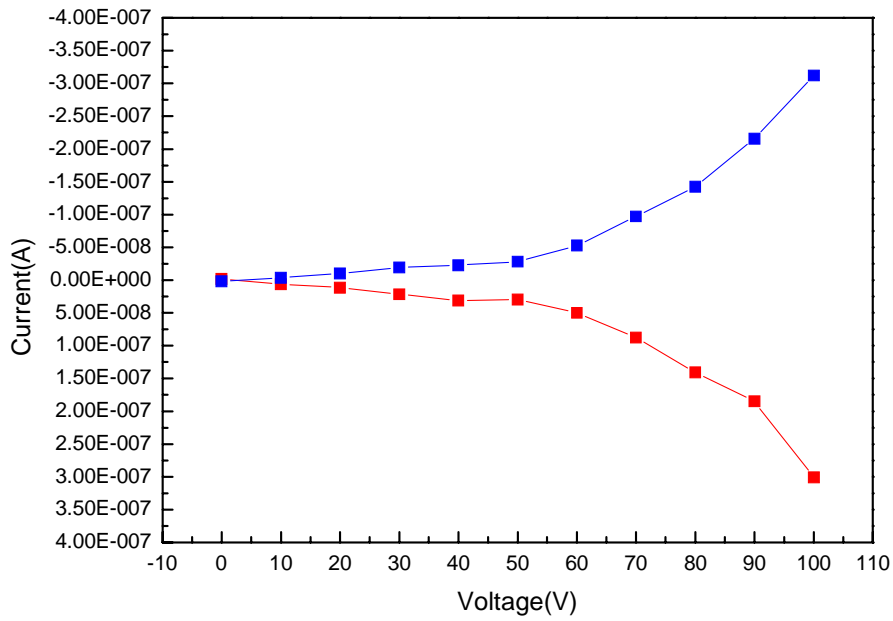


圖3-4 (d)、200小時30V偏壓 量測結果I-V曲線

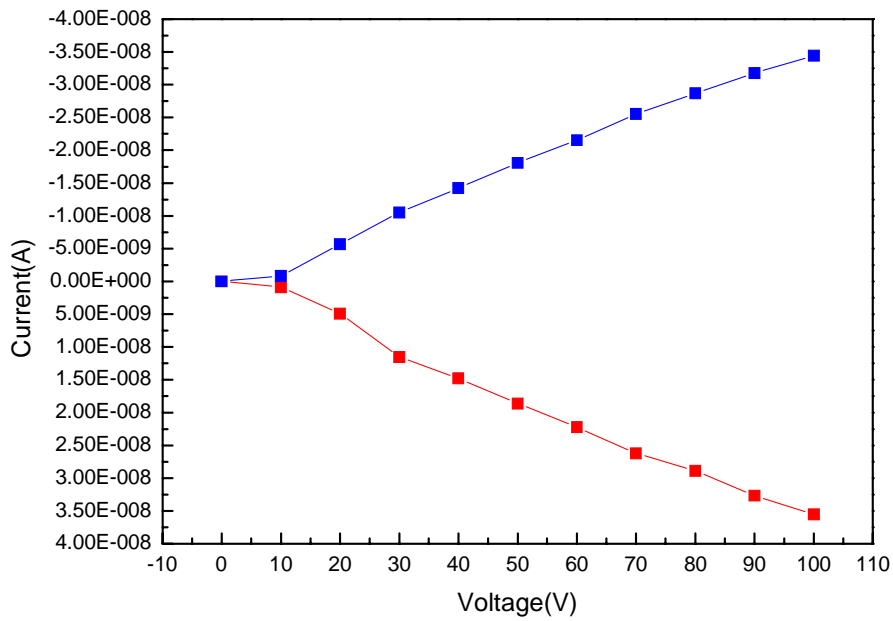


圖3-4 (e)、300小時30V偏壓 量測結果I-V曲線

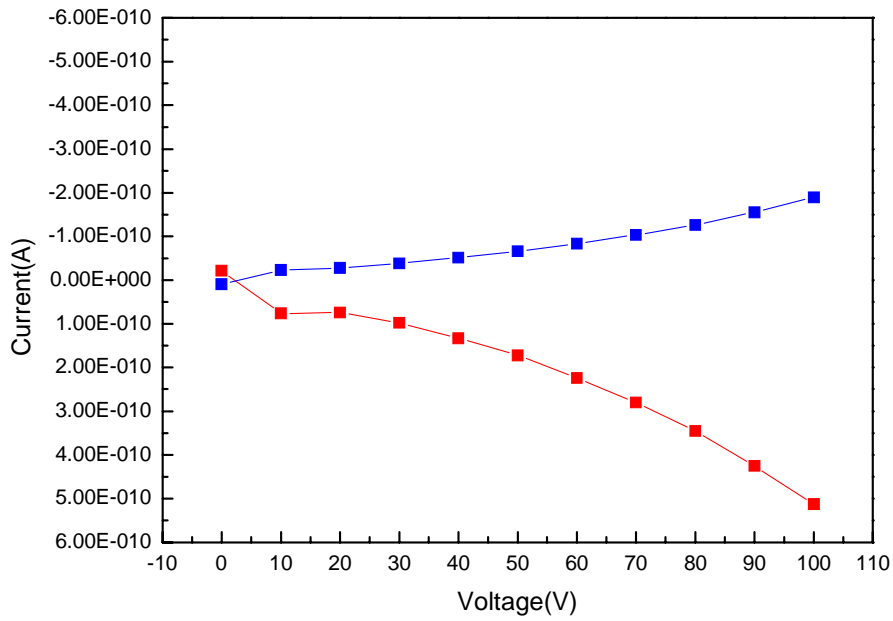


圖3-4 (f)、400小時30V偏壓 量測結果I-V曲線

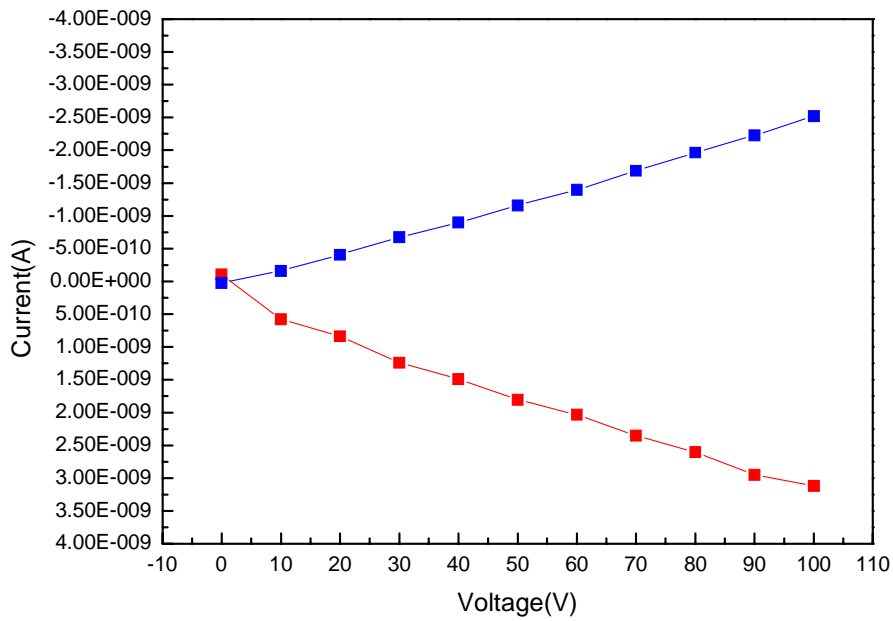


圖3-4 (g)、500小時30V偏壓 量測結果I-V曲線



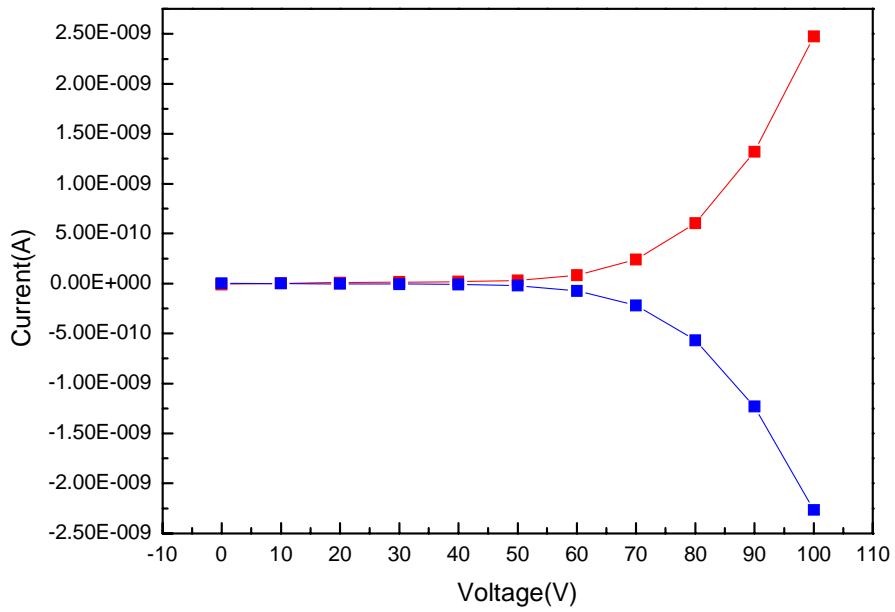


圖3-4 (h)、0小時40V偏壓初始值 量測結果I-V曲線

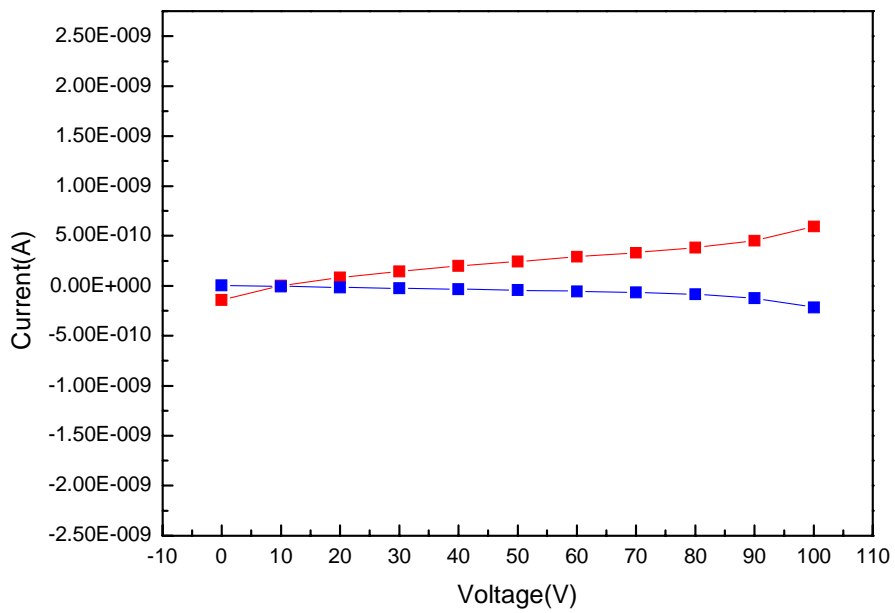


圖3-4 (i)、100小時40V偏壓 量測結果I-V曲線

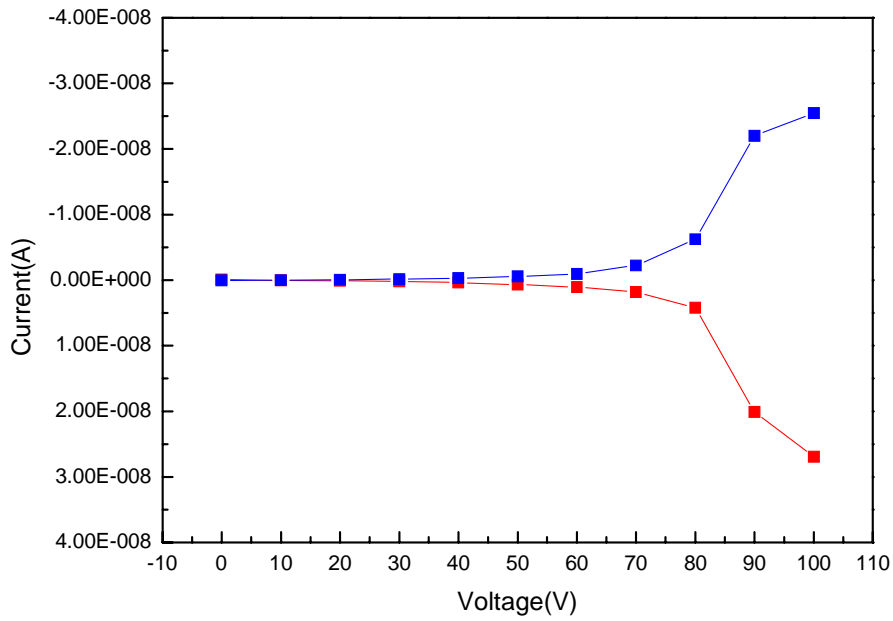


圖3-4 (j)、200小時40V偏壓 量測結果I-V曲線

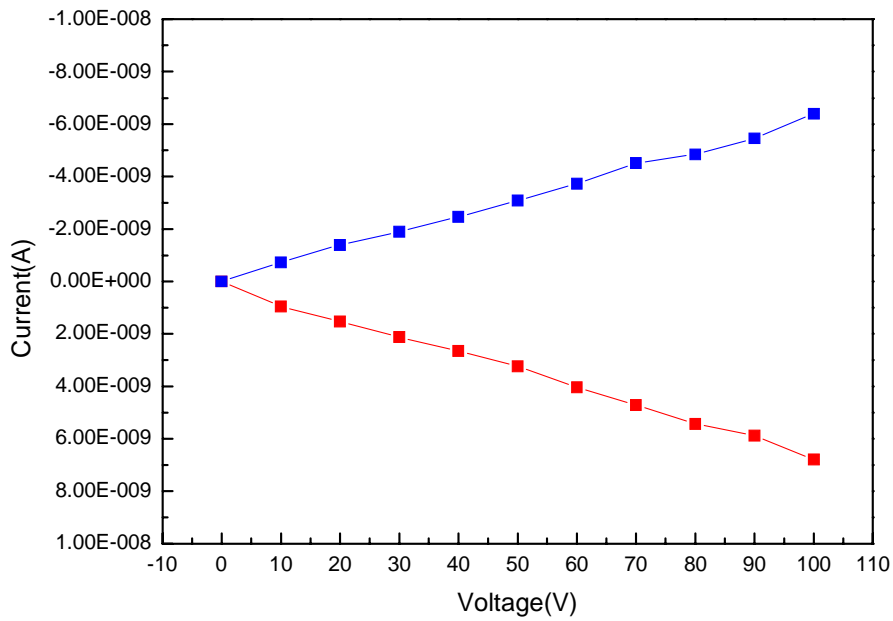


圖3-4 (k)、300小時40V偏壓 量測結果I-V曲線

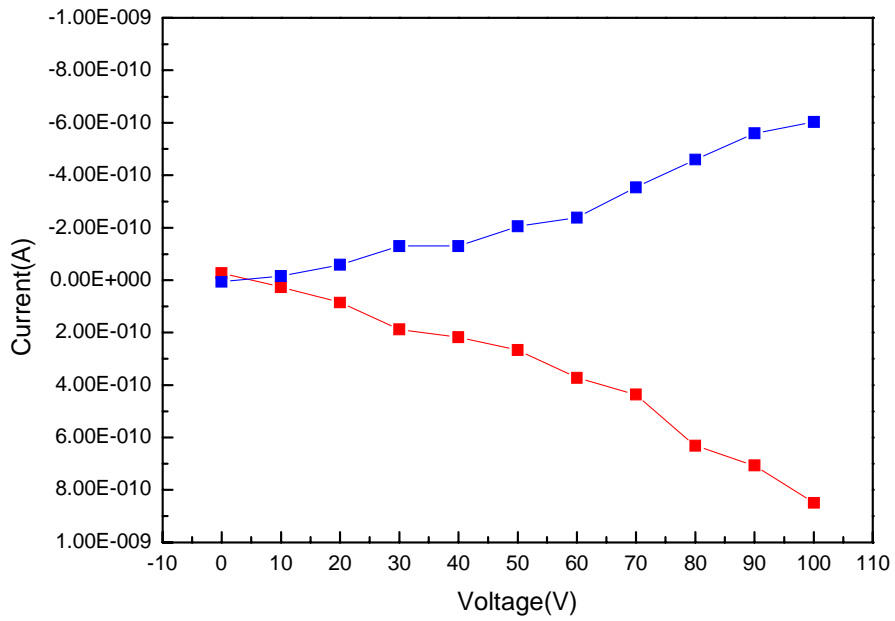


圖3-4 (1)、400小時40V偏壓 量測結果I-V曲線

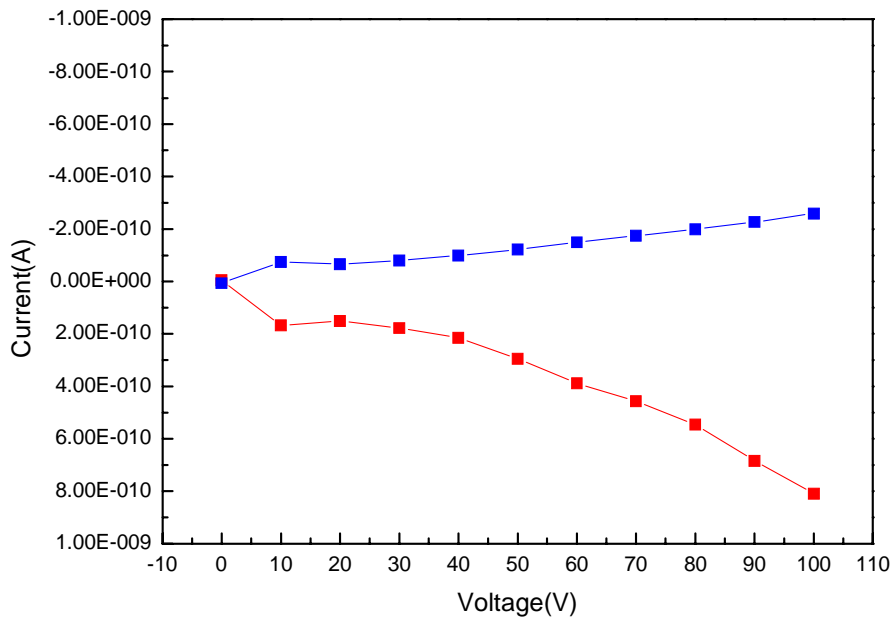


圖3-4 (m)、500小時40V偏壓 量測結果I-V曲線

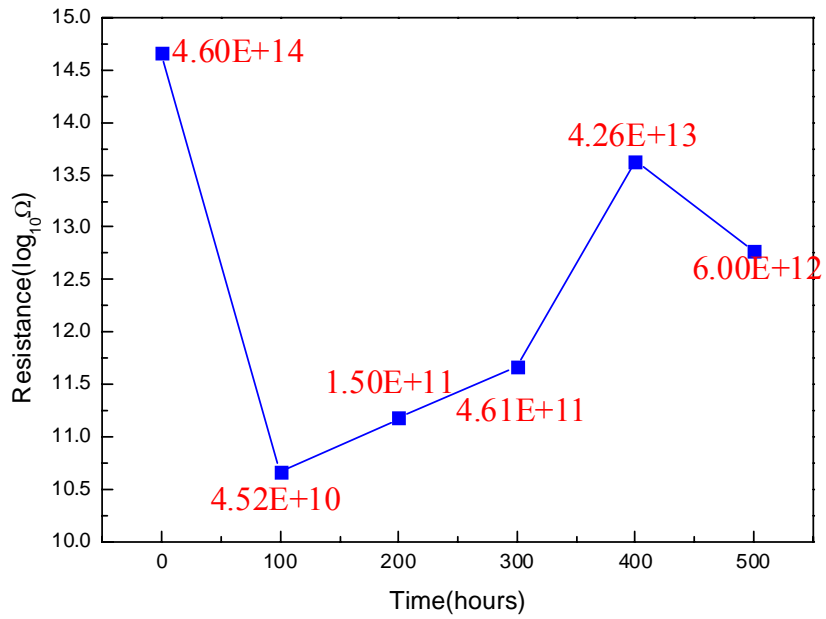


圖3-4 (n)、30V偏壓測試 時間VS膠材電阻

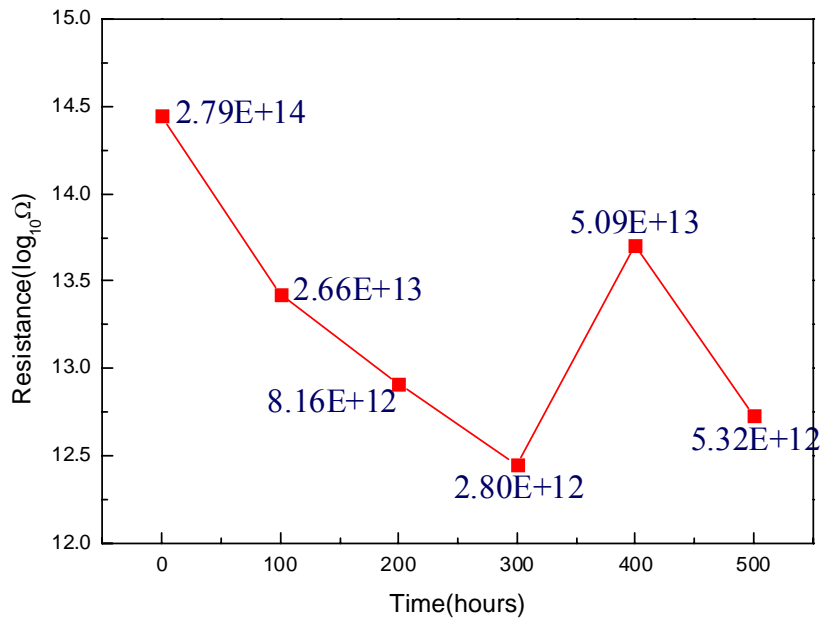


圖3-4 (o)、40V偏壓測試 時間VS膠材電阻

## 第四章 結論

### 4-1 COG 熱循環可靠度測試

COG 經過 30~100°C 六次熱循環使用四點量測結果，電阻約從 1.6Ω 上升到 2.15Ω 並未超過 5Ω 為可靠度範圍內，電阻值的貢獻大都來自接觸電阻，因為此接合為物理接合，期間電阻上升為膠材劣化所導致。

### 4-2 COG 1000 小時 80°C 熱時效可靠度測試

COG 試片經過 80°C 熱時效約 1000 小時之後觀察電阻上升情形，約從 0.48Ω 上升至 1.26Ω 另一片從 0.73Ω 上升到 1.52Ω 符合可靠度範圍內，但是上升的原因不完全是膠材劣化導致，因為凸塊本身具有彈性，所以在壓合之後還會回彈造成電阻上升，因此會使用另兩片未熱時效的試片來比較，得知結果大概 65% 的電阻上升是來自試片本身彈性造成。初始電阻越小因所受到的壓應力越大所以 PI 回彈的程度越大，因此經過 1000 小時後電阻上升率也越大。

### 4-3 COG 室溫耐電流能力

COG 瞬間耐電流能力的結果，由於玻璃端鋁導線太細無法承受超過 70mA，使鋁導線有燒斷的情況發生，中間電阻有下降的趨勢，可能由於膠材 postcuring 或 PI 與金熱膨脹係數的差異造成金表面

與 ITO 接觸更好所導致。

#### 4-4 COG 膠材偏壓測試

85°C 85%溼度環境以及外加 30V 或 40V 的偏壓測試後，發現膠材電阻值都在  $10^9\Omega$  以上，符合可靠度範圍內，中間電阻有上升下降的情況，可能是膠材吸收水氣或量測的電阻過高已經在儀器的解析度範圍外因此上升下降可能是儀器的干擾所造成。



## 參考文獻

- 【1】 R. Joshi, Microelectron J 29, 343 (1998).
- 【2】 異方性導電膠膜(ACF) 驅動 IC 在 Fine Pitch 潮流下的關鍵材料  
[2006/11/13]網址:  
<http://tech.digitimes.com.tw/ShowNews.aspx?zCatId=145&zNotesDocId=9C3286A2E7077A86482572210057A74E>
- 【3】 Hitachi Chemical 網站
- 【4】 Sony Chemical 網站
- 【5】 L.K. Teh, C.C. Wong, S. Mhaisalkar, K. Ong, P.S. Teo, and E.H. Wong, J. Electron. Mater. 33, 271 (2004).
- 【6】 L.K. Teh, E. Anto, C.C. Wong, S.G. Mhaisalkar, E.H. Wong, P.S. Teo, and Z. Chen, Thin Solid Films 462–463, 446(2004).
- 【7】 Aschenbrenner, A., Misßner, R. and Reichl, H., 1997, “Adhesive FlipChip Bonding on Flexible Substates,” PEP’ 97, IEEE, pp. 86~94.
- 【8】 Y. Mori, R. Yoshitake, T. TaMura, T. Yoshizawa and S. Tsuji, “Evaluation and Discrimination Method of "Mura" in Liquid Crystal Displays by Just Noticeable Difference Observation,” SPIE (The International Society for Optical Engineering) Proceedings, vol. 4902, pp. 715-722, 2002.
- 【9】 工研院 IEK-ITIS 計畫(2006/06)
- 【10】 工研院 IEK-ITIS 計畫 張文珊 分析師
- 【11】 C. Lee and A. Yeo (2003) Electronic Packaging and Technology Conf IEEE, Piscataway, NJ, pp 369–375.
- 【12】 M.J. Yim, and K.W. Paik, IEEE Trans Comp Packaging Manufacturing Technol Part A 21, 226 (1998).
- 【13】 ZHI GANG CHEN and YOUNG-HO KIM, “Characteristics of the

Interfacial Microstructure of Chip-on-Plastic Joints under Thermal Cycling and Aging Treatment,” *Journal of ELECTRONIC MATERIALS*, Vol. 36, No. 1, 2007.

- 【14】** Alex C.K. So and Y.C. Chan (1996) *Electronic Components and Technology Conf IEEE*, Piscataway, NJ, pp 1164–1171.
- 【15】** X. Ma, F.J. Wang, Y.Y. Qian, and F. Yoshida, *Mater. Lett.* 57, 3361 (2003).
- 【16】** H.-T. Lee and M.-H. Chen, *Mater. Sci. Eng. A333*, 24 (2002).
- 【17】** R.J. Fields, S.R. Low, and G.K. Lucey Jr. (1992) *Metal Science Joining TMS*, arrendale, PA, pp 165–173.

