

## 第二章 無電鍍鈀(Pd)誘發結晶

### 2.1 前言

由於 LCD 面板基材因為成本考量一般是選擇使用熔點較低的玻璃基板，以致於後續的熱處理製程必須限制在 600°C 以下，以避免溫度過高或長時間高溫處理會造成玻璃基板變形，所以早期在玻璃基材是鍍上製程溫度低的非晶矽薄膜。但非晶矽薄膜本身架構含有許多缺陷導致電子遷移率非常低 (大約  $1 < \text{cm}^2 / \text{V.s}$ )[46]，隨著資訊技術的發展，使用非晶矽薄膜電晶體的 LCD 面板面臨到許多瓶頸，例如：低電子遷移率、低開口比、及高寄生電容等。所以就開發出低溫多晶矽膜的技術發展；多晶矽膜本身晶體結構較完美能夠擁有較高的電子遷移率，在文獻上報導大約  $40 \sim 150 \text{ cm}^2 / \text{Vs}$ [47]。使用多晶矽薄膜電晶體相對於非晶矽薄膜電晶體來說，具有較高的電子遷移率，此外，若在玻璃基材上製作多晶矽薄膜可以直接將驅動電路嵌入在玻璃基板上，可以大幅度節省另外保留驅動 IC 的空間及節省成本。

由目前文獻上所發表成長低溫多晶矽的方法主要有三種，第一種為直接沉積法 [47]-[49]：利用 PECVD 或 ECRCVD 在玻璃基板上沉積複晶矽此法特色是製程溫度低大約在 250°C ~ 300°C，但其多晶矽膜的結構仍有許多缺陷，所製作出的薄膜電晶體電子遷移率大約  $10 \sim 40 \text{ cm}^2 / \text{Vs}$  需配合有後續的熱處理製程。第二種方法為液相再結晶(Liquid Phase Crystallization)：利用準分子雷射照射非晶矽薄膜將其熔解後經由冷凝過程而結晶 [50]-[57]。此種製程又稱為準分子雷射退火(Excimer Laser Annealing 簡稱 ELA)。第三種為金屬誘發再結晶 (Metal-Induced Crystallization 簡稱 MIC)及金屬誘發側向結晶 (Metal-Induced Lateral Crystallization 簡稱 MILC)：在早期非晶矽要在爐管中以爐溫 600°C 退火 24 小時才能獲得結構較完美的多晶矽薄膜，此製程稱固相再結晶 (Solid Phase Crystallization 簡稱 SPC)此製程時間久且溫度高，但若配合加入金屬(Ni、Pd、Al、Au、Ag)可以降低矽結晶溫度並加快矽結晶的速度[58]-[62]。在這三種製程中以準分子雷射退火所製作出的多晶矽薄膜品質最好，其所製作出的薄膜電晶體電子遷移率最佳，大約  $200 \sim 300 \text{ cm}^2 / \text{Vs}$ ；其缺點是由於準分子雷射是以條狀面積的雷射束(約  $0.2 \text{ mm} \times 300 \text{ mm}$ )照射在非晶矽薄膜上進行退火，對於大面積的 LCD 面板雷射退火必須利用掃描方式掃過整個面板，勢必會降低量產速率，而整塊 LCD 面板多晶矽薄膜的結晶化均勻性也待考量。相對於 SPC 法，MIC 及 MILC 法在所製作出的複晶矽薄膜品質好而且所需製程溫度低及製程時間短；相對於 ELA 法，MIC 及 MILC 所需要的設備僅需一台爐管及批覆金屬膜設備，設備花費低且可以大面積均勻結晶退火。

在金屬誘發結晶 MIC 的研究上已經漸趨熱烈，目前金屬誘發的方式最主要是利用物理氣相蒸鍍方式濺鍍在非晶矽膜上或是利用金屬溶液旋鍍 (spin coating) 在非晶矽上 [67]-[68] 之後再利用爐管退火進行再結晶的程序，但如果這兩種方法用於大面積的 LCD 面板時，使用濺鍍法必須要有大面積的鍍膜腔體，若是旋鍍法則會有分布不均勻的困擾，在目前研究中以鍍上 Ni、Pd 兩種金屬的誘發再結晶化的效果最好，而且金屬殘留在多晶矽中的量最少 [58],[59]。MIC 法目前所遭遇到的問題主要是金屬誘發結晶化後金屬會殘留在多晶矽薄膜內，之後製作成薄膜電晶體會造成漏電流增加 [63]。其中一種改善方式是減少鍍膜金屬厚度即減少金屬鍍膜量 [64]- [66]。

本實驗提出利用無電鍍的方式來取代 PVD 鍍覆金屬的方式，這種技術是利用無電鍍液與非晶矽之電位差使得無電鍍液中金屬離子置換還原，還原後的少量的金屬進而自行鍍於非晶矽上，之後再以退火處理使非晶矽層在低於 600°C 的溫度下開始結晶。結晶化後之多晶矽薄膜用以製造薄膜電晶體。其法之優點在於：一、鍍覆金屬量少，故在進行 MIC 後殘留的金屬量也相對減少，有助於防止漏電流；二為批次製程，無電鍍設備亦比其他金屬化製程所需之真空設備、準分子雷射設備成本為低、技術複雜度低，不但易與傳統 TFT 製程相互整合，而且更適合用於未來大型基板的低溫複晶矽再結晶製程，用以提供大面積系統或面板之多晶矽 TFT 的矽基材。而且利用無電鍍鈀誘發結晶的方式所得到的多晶矽晶粒具有特定方向排列，經過適當的設計通道的角度，可得到排列方向與電子流動方向一致的晶粒。然而，在薄膜電晶體的元件製造後發現其元件特性並不如預期。故本研究為了改善元件的特性，利用快速退火爐來輔助無電鍍鈀誘發結晶，進而增加其結晶速率及結晶品質。

## 2.2 鈀誘發結晶機制介紹

金屬誘發結晶的方式在很多文獻中都已提出，且正熱烈的研究中。其中以鎳(Ni)最為大家所熟知，鎳與矽形成鎳的金屬矽化物而誘發結晶，因為鎳的金屬矽化物與結晶矽的晶格常數只有差 0.04%，所以在誘發形成多晶矽的過程中有助於多晶矽的成核，並造成較快的結晶速率，而且得到較好的結晶品質。而鈀(Pd)則是另一種被用來誘發結晶的金屬，其誘發結晶機制目前正在研究當中。其中，Lee 等人 [17] 在 1995 年提出在非晶矽薄膜上鍍上鈀 (Pd) 來誘發結晶，結果發現可降低結晶的溫度，其提出鈀誘發結晶的機制 [18] 為：鈀原子會在某處聚集並且和矽反應一開始會形成體積較大的鈀的金屬矽化物 ( $Pd_2Si$ )，而由於  $Pd_2Si$  的形成，使得大約有 53% 的 Si 會被從原來的位址排到  $Pd_2Si$  的周圍，而因此造成大量的局部壓應力在  $Pd_2Si$  析出物的周圍建立，而當析出物的體積越大時，此壓應力就越大，而也由於此壓應力的存在造成  $Pd_2Si$  析出物的成長會受到限制，而在析出物周圍的 Si 當累積到最大量時，為了降低其熱力學上的自由能因此會轉

換成結晶矽。而 Lee 同時也觀察到  $\text{Pd}_2\text{Si}$  的大小約為  $300\text{\AA}$ ，主要是由體積較大的  $\text{Pd}_2\text{Si}$  分裂成小的  $\text{Pd}_2\text{Si}$  來誘發結晶，其機制的示意圖，如圖 2.1 所示。 $\text{Pd}_2\text{Si}$  與 Si 的晶格匹配約為 1.9%，而在  $\langle 110 \rangle$  方向 Si 原子間的距離約為  $3.84\text{\AA}$ ，在磊晶成長時，劈裂的  $\text{Pd}_2\text{Si}$  會傾向於與 c-Si 結構一致(cohere)，所以結晶的尺寸會變成  $200\text{\AA}$  ( $\sim 3.8\text{\AA}/1.9\%$ ) 而為了維持 Si 原子在 c-Si 與  $\text{Pd}_2\text{Si}$  間的連續， $\text{Pd}_2\text{Si}$  會彎曲成弦月形狀如圖 2.1(b) 所示。 $\text{Pd}$  誘發結晶的驅動力是因為降低系統的自由能，而局部壓應力的分散將造成  $\text{Pd}_2\text{Si}$  分離劈裂，而因此造成了  $\text{Pd}$  誘發結晶。圖 2.2 即是鈀誘發結晶的 TEM 照片，其退火參數為  $550^\circ\text{C}$  1 小時，由照片中可發現其結晶為針狀的形狀，而且很明顯的看得出來有主軸與側枝，其夾一個  $90^\circ$  的夾角。

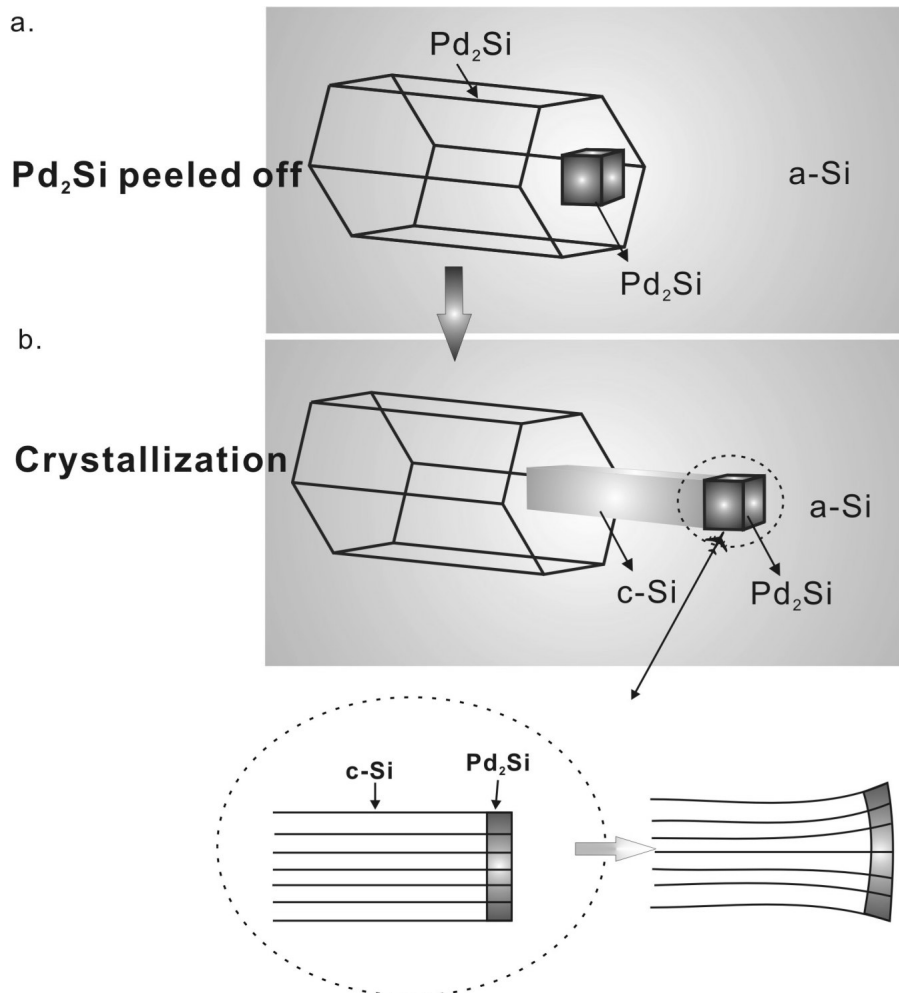


圖 2.1 鈀誘發結晶過程示意圖 a. 大的  $\text{Pd}_2\text{Si}$  劈裂(peeled off)成較小的  $\text{Pd}_2\text{Si}$ ，  
b.  $\text{Pd}_2\text{Si}$  誘發結晶 [18]

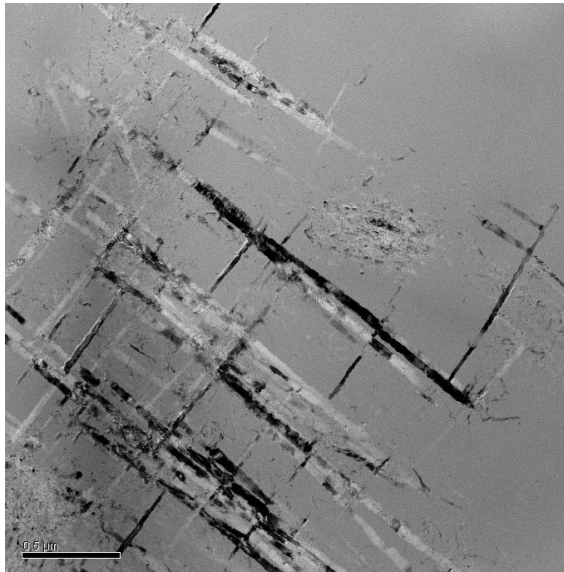


圖 2.2 鈹誘發結晶的 TEM 照片 (退火條件 550°C 1hr)



### 2.3 研究動機

針對以上所提到的旋鍍法及濺鍍法在鍍覆金屬時會遇到的問題，提出以無電鍍的鍍覆金屬的方式來解決，無電鍍鈹的鍍覆方法操作程序簡單，若用於大型化 LCD 面板只需要加大鍍液槽，而且可以選擇性的均勻分佈在欲鍍的非晶矽薄膜上，也可以利用控制鍍液濃度、PH 值及無電鍍反應時間達到控制無電鍍金屬鍍在非晶矽薄膜的量。所以此實驗目的欲結合無電鍍方式、快速退火爐及爐管熱處理進行金屬誘發的研究工作進而製作複晶矽薄膜電晶體，希望能發展出另外一種低溫複晶矽製程。

## 2.4 研究方法

### 2.4.1 材料分析

#### 2.4.1.1 不同濃度的無電鍍鈀濃液

在 p-type 的(100) wafer 上長一層厚度為 5000Å 的氧化矽，目的是為了要模擬成玻璃基材。接著，再利用低壓化學氣相沉積 (LPCVD) 法成長一層厚度為 1000Å 的 a-Si 薄膜，沉積的參數如表 2.1，另外利用反應性離子蝕刻，蝕刻 pre-pattern 的 sample，蝕刻參數如表 2.2。

在 2000ml 的燒杯中加入 1g 的 PdCl<sub>2</sub>，再加入 100ml HCl(目的是要溶解 PdCl<sub>2</sub>)。待 PdCl<sub>2</sub> 溶解完全後再加入適當量的 DI water 來配置成 100ppm、1000ppm、5000ppm、10000ppm 無電鍍鈀溶液。利用磁石攪拌器將無電鍍鈀溶液攪拌均勻後，在 Hot plate 上加熱至 80°C，無電鍍 Pd 鍍覆的設備如圖 2.3 所示。將試片用 HF dip 至不沾水(去除 native oxide) 再將試片放入無電鍍鈀液浸置 10min 後取出。用 DI water 沖洗，再用氮氣槍將試片吹乾。接著放入通有氮氣的爐管中，直接在 550°C 下退火 18 小時。將退火過的試片去做結晶性的分析(x-ray)。

表 2.1、低壓化學氣相沈積非晶矽薄膜參數

Materials	Temperature (°C)	Pressure (mtorr)	Flow rate (sccm)
SiH <sub>4</sub>	550	100	40

表 2.2、反應性離子蝕刻參數

	RF power (Watt)	Pressure (mtorr)	Flow rate (sccm)	
			SF <sub>6</sub>	O <sub>2</sub>
Parameters	100	20	20	4

#### 2.4.4.2 不同厚度的非晶矽膜

在 p-type 的(100) wafer 上長一層厚度為 5000Å 的 wet oxide，目的是為了要模擬成玻璃基材。接著，再利用低壓化學氣相沉積 (LPCVD) 法成長一層厚度分別為 300、500、1000Å 的 a-Si 薄膜。

在 2000ml 的燒杯中加入 1g 的 PdCl<sub>2</sub>，再加入 100ml HCl(目的是要溶解 PdCl<sub>2</sub>)。待 PdCl<sub>2</sub> 溶解完全後再加入 1000ml 的 DI water。利用磁石攪拌器將無電鍍鈀溶液攪拌均勻後，在 Hot plate 上加熱至 80°C，將試片用 HF dip 至不沾水(去除 native oxide)再將試片放入無電鍍鈀液浸置 10min 後取出。用 DI water 沖洗，再用氮氣槍將試片吹乾，接著放入通有氮氣氣氛的爐管中在 550°C 下退火至 18 小時。將退火過的試片經 secco etching 後去做 OM 觀察。

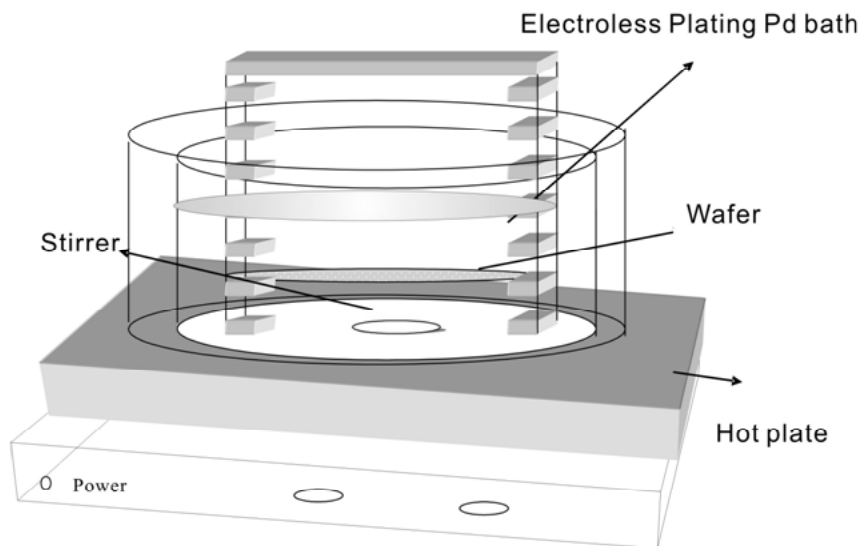


圖 2.3 無電鍍 Pd 鍍覆的設備

## 2.4.2 退火參數

### 2.4.2.1 RTA 輔助結晶--- 兩階段退火

經過無電鍍(無電鍍 Pd 液濃度為 1000ppm)製程後的試片，將這些試片分別先經由 RTA 短時間退火。退火溫度為 400~700°C 而時間為 15 秒，之後利用煮沸的 HNO<sub>3</sub>:HCl:H<sub>2</sub>O=1:3:4 的溶液將殘餘的 Pd 去除(約煮 40min)，再將這些試片在通有氮氣氣氛的爐管中進行 550°C 18 小時的退火。有一部份的試片在經過兩階段退火過程後，再利用 post-RTA 來改善複晶矽薄膜的結晶性。其退火參數為 800°C 75 秒，利用 SEM 及 X-ray 來觀察其結晶情形，退火過程整理如表 2.3。

### 2.4.2.2 兩階段爐管退火

經過無電鍍(無電鍍 Pd 液濃度為 750ppm)製程後的試片，將這些試片先在通有氮氣氣氛的爐管中進行 200°C 30 min 的退火。之後利用煮沸的 HNO<sub>3</sub>:HCl:H<sub>2</sub>O=1:3:4 比例的溶液將殘餘的 Pd 去除(約煮 40min) 之後在通有氮氣氣氛的爐管中進行 550°C 18 小時退火。利用 SEM 及 X-ray 來觀察其結晶情形。

表 2.3、兩階段退火參數

Annealing condition	兩階段退火		Post-RTA
	Pre-Annealing	Post-Annealing(PA)	
1		550°C,18h	
2	400°C~700°C,15S(RTA)	550°C,18h	
3	200°C,30min	550°C,18h	800°C,75S

## 2.4.3 TFT 製作

### 2.4.3.1 無電鍍鈀元件製作流程

1. 利用黃光微影系統定義出主動層(mask1)
2. 使用 poly-RIE 蝕刻出主動層
3. 將試片放入無電鍍鈀液中浸置 10min 後吹乾.
4. 將試片放入通有氮氣之爐管中在 600°C 下退火 24 小時
5. 將退火過的試片上面未反應的 Pd 去除乾淨
6. 利用 PECVD 沉積一層厚度為 1000Å 的 oxide 作為 gate oxide (表 2.4 為 PECVD 參數)
7. 利用 LPCVD 沉積一層厚度為 2000Å 的 a-Si 膜作為 gate
8. 利用黃光微影系統定義出 gate(mask2)
9. 利用 RIE 將 gate 定義出來及利用 BOE 將 gate oxide 蝕刻出來
10. 離子佈植:PH<sub>3</sub> 能量:30kev, 濃度:5×10<sup>15</sup>
11. activation: 在 850°C 進行 30 分鐘的活化
12. 利用 PECVD 長 passivation oxide 5000Å
13. 利用黃光微影系統定義出接觸窗(contact hole) (mask3)
14. 利用 BOE 將接觸窗蝕刻出來
15. 利用 thermal coater 蒸鍍厚為 5000Å 的 Al 電極
16. 利用黃光微影系統定義出 source、 drain 及 Gate 的接觸電極(mask4)
17. 利用 Al 的蝕刻液進行 source、 drain 及 gate 的 Al 電極蝕刻
18. Al sintering :400°C, 30min
19. 電性量測
20. 電漿鈍化 (plasma passivation)

### 2.4.3.2 SPC 元件

另製作一相同製程的 SPC 元件做對照組比較。



表 2.4、電漿輔助化學氣相沈積系統參數

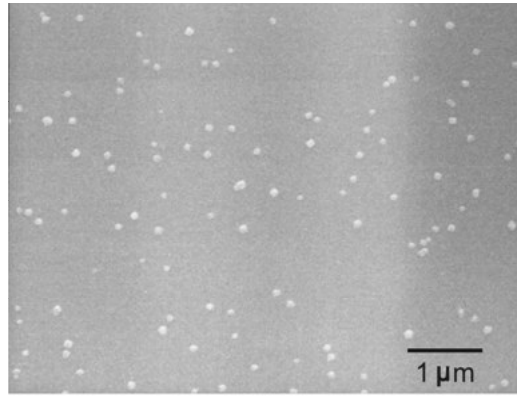
parameters	Pressure	Power	Temperature	Flow rate(sccm)	
	300 mtorr	200 W	300°C	O <sub>2</sub>	TEOS
			400	10	

## 2.5 結果與討論

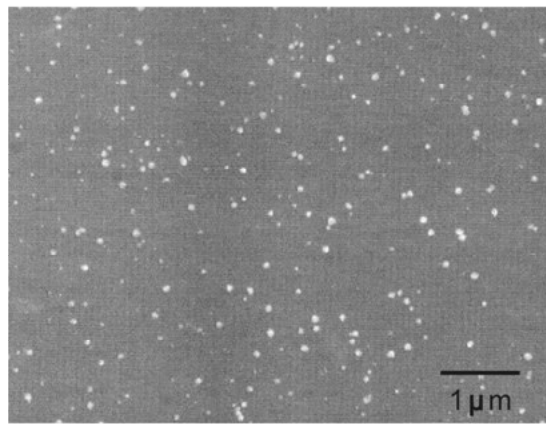
### 2.5.1 參數決定

#### 2.5.1.1 無電鍍鈀溶液濃度的影響

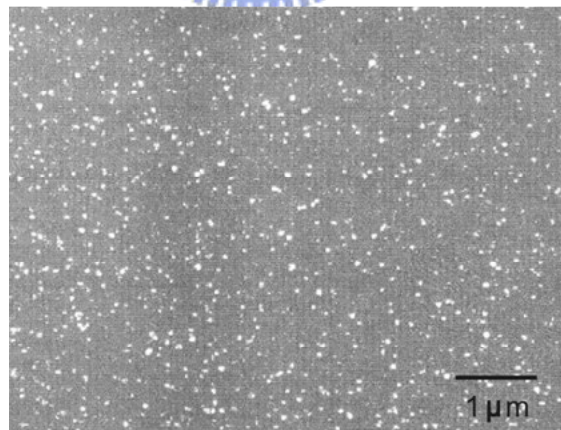
首先，選擇不同濃度的無電鍍鈀(Pd)溶液進行鍍覆實驗，觀察 Pd 的分佈情形。如圖 2.4 (a)~(c)，Pd 的 cluster 都能夠均勻的分佈在非晶矽薄膜上。且經過 x-ray 的分析可明顯的看出適當的選擇無電鍍鈀溶液的濃度，可得到結晶度較好的多晶矽薄膜，如圖 2.5 所示。1000ppm 的 sample 在 (111) peak 最強，表示在此濃度下來誘發結晶可得到較好的效果，而在 100ppm 濃度方面因為濃度太低，可能造成其 Pd<sub>2</sub>Si 的量太少，而不足以在相同退火時間下得到較好的結晶效果。而 10000ppm 的 sample 可能因為大量的 Pd<sub>2</sub>Si 形成，而造成其可以變成多晶矽薄膜的區域減少而影響其結晶度，而且 peak 有一點 shift，應該是 Pd<sub>2</sub>Si 過多造成的影響。



(a)



(b)



(c)

圖 2.4 (a)~(c) Pd cluster 在非晶矽薄膜上之分佈圖，無電鍍鈀溶液濃度分別為 1000ppm、5000ppm 及 10000ppm

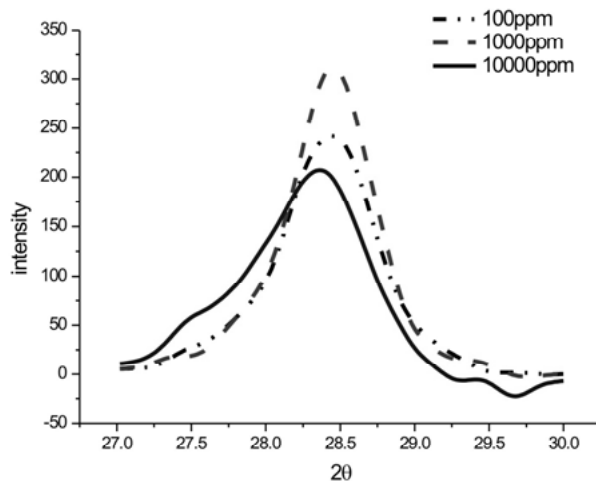


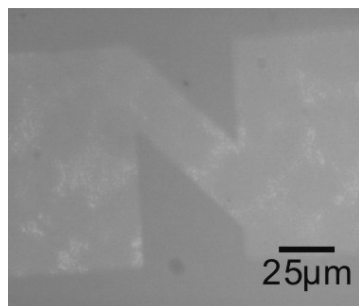
圖 2.5 在多晶矽薄膜上鍍不同濃度的 Pd 對其結晶度影響的 x-ray 分析

### 2.5.1.2 非晶矽厚度對結晶的影響

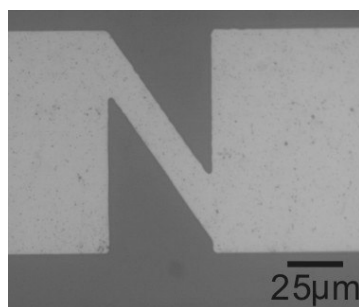


有文獻指出主動層的厚度較薄時，可有效的提高薄膜電晶體的特性[71]。所以嘗試將無電鍍鈀鍍覆在不同厚度的非晶矽薄膜上，來觀察其誘發結晶的情形。首先從金屬鈀誘發非晶矽結晶化機制來看，鈀誘發結晶時必須形成足夠的  $\text{Pd}_2\text{Si}$ ，之後以  $\text{Pd}_2\text{Si}$  誘發非晶矽結晶。在相同溫度下進行熱處理之試片，根據擴散原理，因  $\text{Pd}_2\text{Si}$  產生之體積大小固定，所以當非晶矽膜的厚度較薄時，相對來說其  $\text{Pd}_2\text{Si}$  表面所佔之面積較大。所以在本實驗結果可以發現在非晶矽薄膜厚度為  $300\text{\AA}$  時，其大部分形成  $\text{Pd}_2\text{Si}$  且被 Secco etching 溶液蝕刻掉，即圖 2.6(a) 中的孔洞，而且數量較多且面積較大。而厚度為  $500\text{\AA}$  之 sample，可看出孔洞數目及大小皆較少且小，如圖 2.6(b) 所示。結晶性最好的應為非晶矽膜厚度為  $1000\text{\AA}$  的 sample，由圖 2.6(c) 中所觀察其已完全結晶，而且在 OM 觀察下，並未在表面發現孔洞。故非晶矽膜的厚度亦會影響無電鍍鈀誘發結晶的情形。

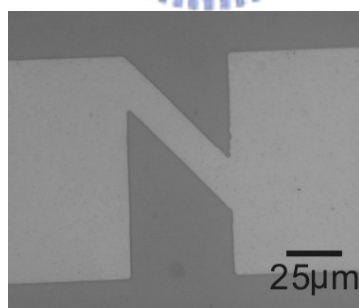
由以上的兩個結果知，無電鍍 Pd 溶液的濃度及非晶矽薄膜的厚度的選擇都會影響到之後多晶矽薄膜的結晶性，進而影響到元件的特性。故以下的實驗將無電鍍 Pd 溶液的濃度固定為 1000ppm，而非晶矽薄膜的厚度為  $1000\text{\AA}$ 。



(a)



(b)



(c)

圖 2.6 無電鍍 Pd 誘發結晶的複晶矽膜，厚度分別為(a)300Å (b)500Å(c)1000Å

## 2.5.2 退火時間對結晶性的影響

使用無電鍍配方為 0.1g/l，及 100ml/l 的 HCl 將其溶解，將 1000Å 的 a-Si 試片鍍覆 10 分鐘，之後利用 SEM 觀察試片表面的 Pd 顆粒 (cluster) 的分佈，如圖 2.7 所示，Pd cluster 均勻的分佈在 a-Si 表面，每一個 Pd 顆粒大小大約是 70nm，顆粒密度分佈約  $3 \times 10^8/\text{cm}^2$ 。另外，利用 x-ray 光譜進行結晶度的分析，試片在 550°C 下退火，退火時間從 1hr 一直到 21hr，結果如圖 2.8 所示。結晶性好壞的決定是比較其(111)的 peak high 的高低，從圖中可以明顯的看出來，其結晶度隨著退火時間的增加而增加，然而退火 1hr 的時候，沒有偵測到結晶的訊號。可能是只有少部分結晶，造成訊號不明顯。在 550°C 下退火 30min 時已經發現結晶產生，如圖 2.9 所示。從圖中發現有兩種的針狀結晶產生，長軸方向的結晶長度約 1 $\mu\text{m}$ ，而短軸方向約 0.15 $\mu\text{m}$ 。而退火的結晶區域所佔的比例約也只有 15%，因此訊號可能被雜訊蓋掉了，所以 x-ray 偵測不到結晶的訊號。我們同時發現 Pd 誘發結晶的結晶比例隨著退火時間增加而增加，如圖 2.10 所示。這與 x-ray 得到的結果相符。接著利用 TEM 分析其針狀結晶的指向，如圖 2.11 所示。

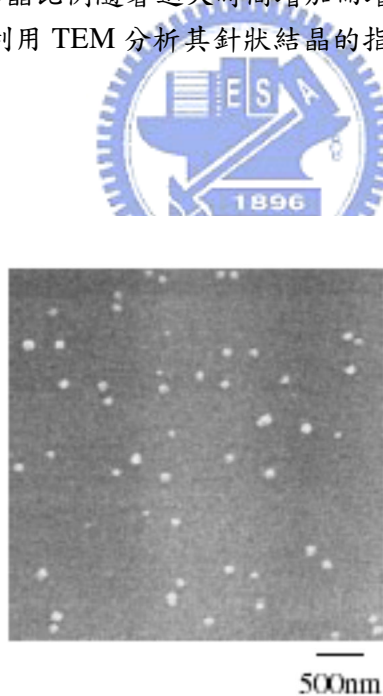


圖 2.7 Pd 顆粒分佈的 SEM 照片

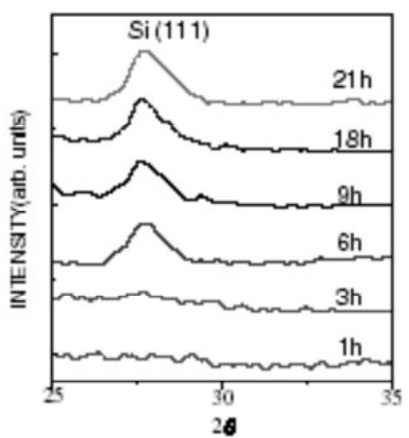


圖 2.8 利用 x-ray 光譜進行不同退火時間的結晶度分析

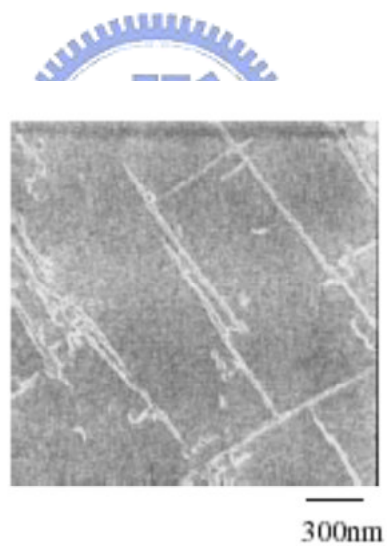


圖 2.9 在  $550^\circ\text{C}$  下退火 30 分鐘所得到的 Pd 誘發結晶的 SEM 照片

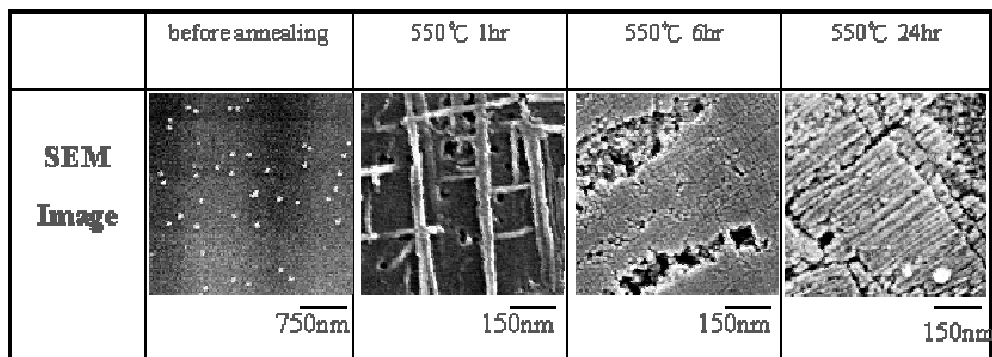


圖 2.10 經過不同時間退火 Pd 結晶成長情形

從圖 2.11 中發現，主要的結晶成長往  $\langle 211 \rangle$  方向，而側枝成長方向為  $\langle 011 \rangle$  方向與主要結晶方向垂直。這與 Chao 等人[72]提出用無電鍍方法鍍覆 Pd 在已蝕刻出圖型的非晶矽層的研究結果是一樣的。在他的研究中發現 Pd 總是喜歡鍍覆在非晶矽層的角隅處，而在退火之後所得到的結晶，其主要結晶成長方向也為  $\langle 211 \rangle$  方向，而側枝成長方向為  $\langle 011 \rangle$  方向。另外，早期也有相關的研究被提出來，1999 年 Lee 等人[18]利用濺鍍機(sputter)將 Pd 鍍覆到非晶矽薄膜上進行 Pd 誘發結晶的研究，結果發現結晶也有兩個方向，主要結晶方向為  $\langle 111 \rangle$ ，而側枝成長方向為  $\langle 211 \rangle$ 。在文獻中也提出了 Pd 誘發結晶的機制[18]，在主要結晶成長方向  $\langle 111 \rangle$  的前端有薄薄的  $\text{Pd}_2\text{Si}$  被定義出來，和 Si 在  $\text{Pd}_2\text{Si}$  的唯一的磊晶方向一致[18],[73]。因此 Lee 提出結晶的機制為 Si 的成核和成長都是經由結晶的  $\text{Pd}_2\text{Si}$  的移動造成的，但是卻沒有解釋側枝成長方向  $\langle 211 \rangle$  方向。

在我們的研究中為了確定  $\text{Pd}_2\text{Si}$  的位置，將試片放入蝕刻 silicide 溶液裡，結果發現被蝕刻的凹洞出現在結晶的前端，不管是主枝結晶或側枝結晶都可看到(圖 2.12)，因此我們認為 Pd 誘發結晶應該是由  $\text{Pd}_2\text{Si}$  誘發非晶矽結晶，但是他的結晶方向仍須研究，Pd 誘發結晶不像 Ni 誘發結晶一樣單純，只有在  $\text{NiSi}_2$  的  $\{111\}$  面磊晶成長出去，而 Pd 誘發結晶卻已經有  $\langle 111 \rangle$ 、 $\langle 211 \rangle$ 、 $\langle 011 \rangle$  等方向，成長機制是非常複雜的。接下來將探討其成長機制與成長方向的關係，將所有的結晶成長方向整理在表 2.5。

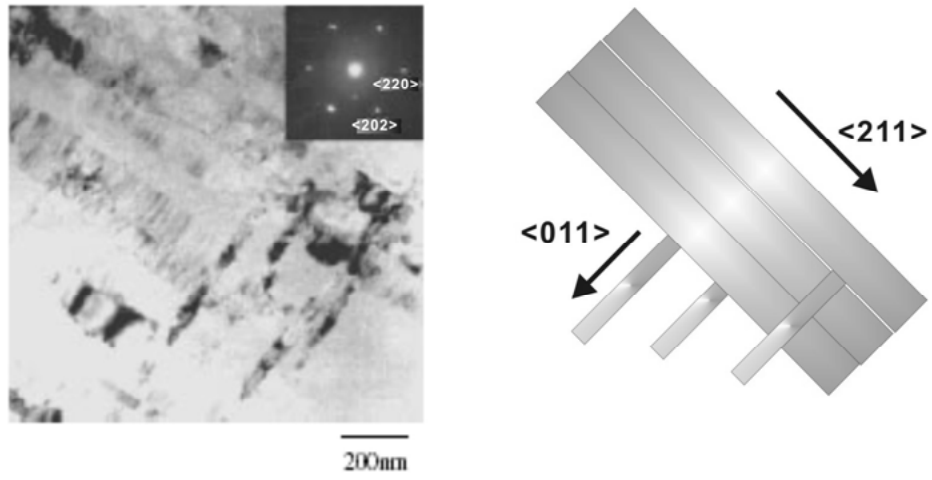


圖 2.11 Pd 誘發結晶的TEM 影像及其繞射圖形及其示意圖

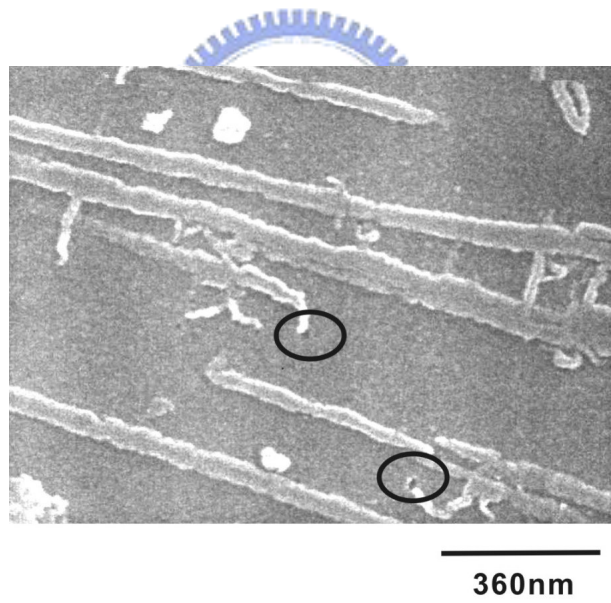


圖 2.12 經過 silicide 蝕刻液蝕刻過的Pd 誘發的多晶矽膜



表 2.5 整理出各個研究所提出的 Pd 針狀晶粒的結晶成長方向，Chao[72]提出的主要成長方向為<211>而側枝方向為<011>與 Lee[18]的<111>方向及<211>方向不同，比較兩者的結晶方式，Lee 是利用濺鍍機將 Pd 鍍覆到非晶矽上，進行結晶，由於 a-Si 被 Pd 覆蓋住，屬於 MIC 的成長機制，因此成長出較細小的晶粒[18]，晶粒會從表面往底部成長。而無電鍍方法由 Pd 聚集成 Pd 的顆粒而非連續的層狀分佈，因此試片退火後，Pd 顆粒所誘發的結晶會側向成長屬於 MILC 成長機制，所以沒有較小的 MIC 晶粒產生，也因此主要成長方向往<211>方向，而側枝成長方向為<011>。

表 2.5 Pd 的針狀晶粒的結晶成長方向

	Lee et al.[71]	Chao et al.[18]	This study
Pd deposition method	PVD	EPD*	EPD*
Primary grain direction	<111>	<211>	<211>
Branch grain direction	<211>	<011>	<011>

\*EPD:electroless plating deposition



### 2.5.3 利用兩階段的退火觀察 Pd<sub>2</sub>Si 的生成情形

過多的 Pd<sub>2</sub>Si 形成會殘留在元件的主動層而影響到元件特性。由前面所述可知 Pd<sub>2</sub>Si 會被 Secco-etching 溶液所蝕刻掉，所以我們可由此判斷所形成 Pd<sub>2</sub>Si 的多寡，來找到最佳參數，判斷結晶的好壞。

由於若直接在 550°C 下退火並無法有效減少 Pd<sub>2</sub>Si 的形成量，如圖 2.13 所示。故利用 RTA 短時間處理再配合 Secco-etching 來觀察其 Pd<sub>2</sub>Si 的形成情形。但是 RTA 短時間的退火只是為了控制 Pd<sub>2</sub>Si 的生成量，減少結晶的成核點，但沒有足夠的能量來誘發結晶，而為了得到品質較好的複晶矽膜，必須再加上後續的爐管退火處理，因此提出了兩階段退火的概念。圖 2.14 為 RTA 參數及後續退火處理參數之示意圖。而由圖 2.15(a)~(d) 中可看出，隨著 RTA 溫度的上升，Pd<sub>2</sub>Si 的形成量亦隨之增加。短時間的 RTA 處理可促進 Pd<sub>2</sub>Si 的形成，但使用溫度不可過高，否則亦會造成 Pd<sub>2</sub>Si 的殘留量增加。

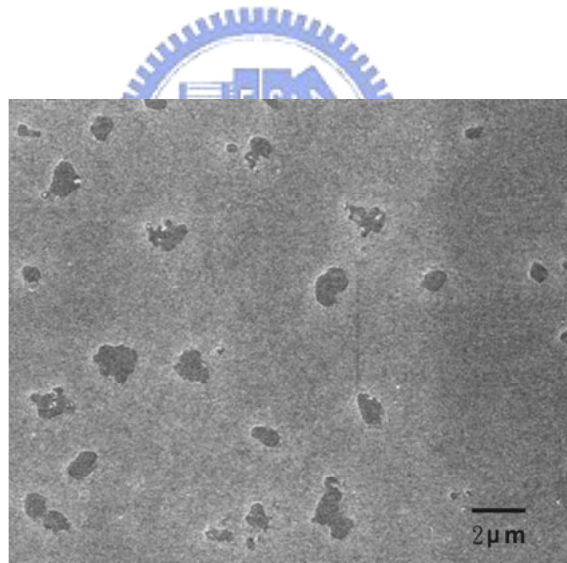


圖 2.13 在 550 °C 退火 18 小時的 SEM 照片(試片經過 Secco etching)

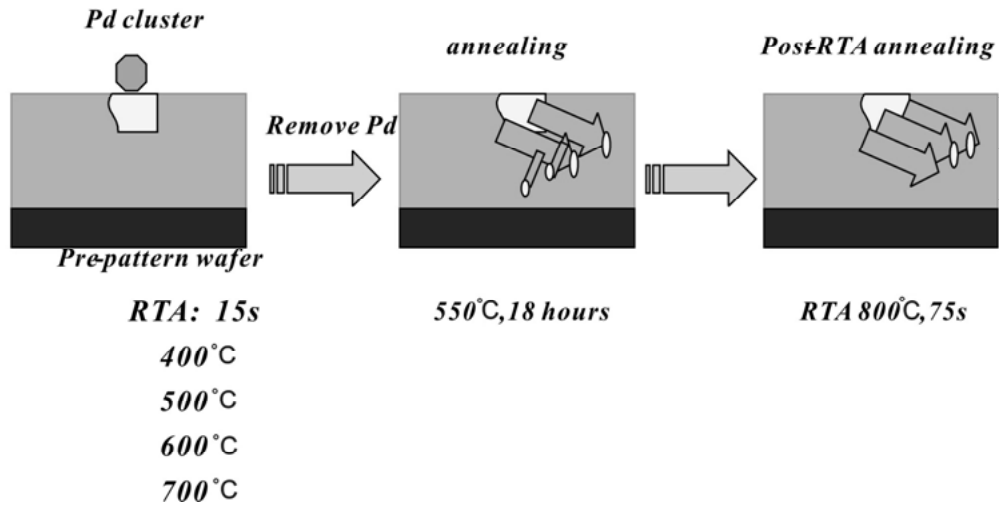


圖 2.14 RTA 參數及其後續退火處理參數示意圖

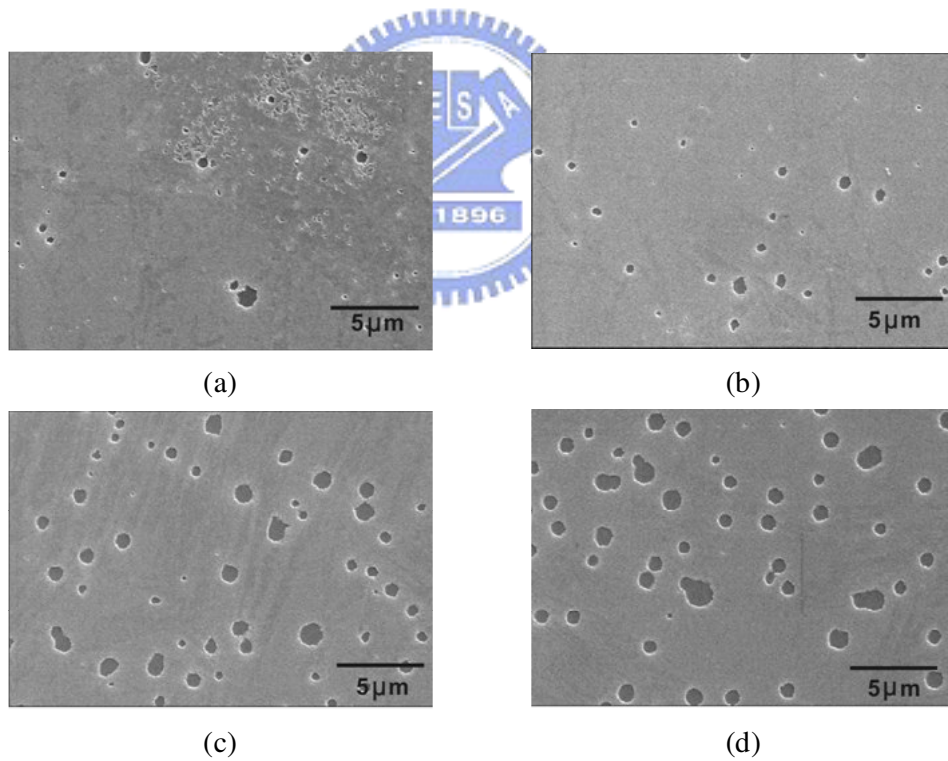


圖 2.15 試片分別經由 RTA (a) 400°C 15s 退火 (b) 500°C 15s 退火 (c) 600°C 15s 退火 (d) 700°C 15s 退火後，再經 550°C 退火 18 小時爐管退火的 SEM 照片 (試片經過 Secco etching)

在兩階段退火之後，再加上 800°C 下進行 75 秒的 post-RTA 處理，目的是為了想達到缺陷修補及晶粒合併的效果，得到的結果跟預期的有很大的不同，如圖 2.16 的 SEM 照片所示，在經過 post-RTA 處理之後，隨著原來 pre-annealing 的 RTA 溫度增加，所形成的 Pd<sub>2</sub>Si 的洞也跟著增加，表示在經過 post-RTA 處理之後，Pd<sub>2</sub>Si 繼續成長，因此原來在 pre-annealing 階段所形成的 Pd<sub>2</sub>Si 量的多寡會影響到後續的製程中所造成的 Pd<sub>2</sub>Si 殘留量的多寡。故如何在兩階段的退火過程中的第一階段控制適當的 Pd<sub>2</sub>Si 量是非常重要的。圖 2.17 為 Pd<sub>2</sub>Si 形成過程的示意圖，在 Pre-RTA 過程中 Pd 和 Si 反應先形成 Pd<sub>2</sub>Si，再經過爐管退火及 post-RTA 高溫的熱處理下驅使 Pd 的擴散將 Pd<sub>2</sub>Si 形成的範圍擴大。而圖 2.18 是利用 image-pro 軟體將 SEM 照片中洞的面積做統計，洞的面積包括 Pd<sub>2</sub>Si 被 etching 的部份及未結晶的部分，結果發現在二階段退火後，隨著 RTA 溫度的增加，其洞的面積增加，而在經過 post-RTA 處理後此趨勢更明顯，表示第一階段的 RTA 溫度選擇對 Pd<sub>2</sub>Si 的形成影響極大。

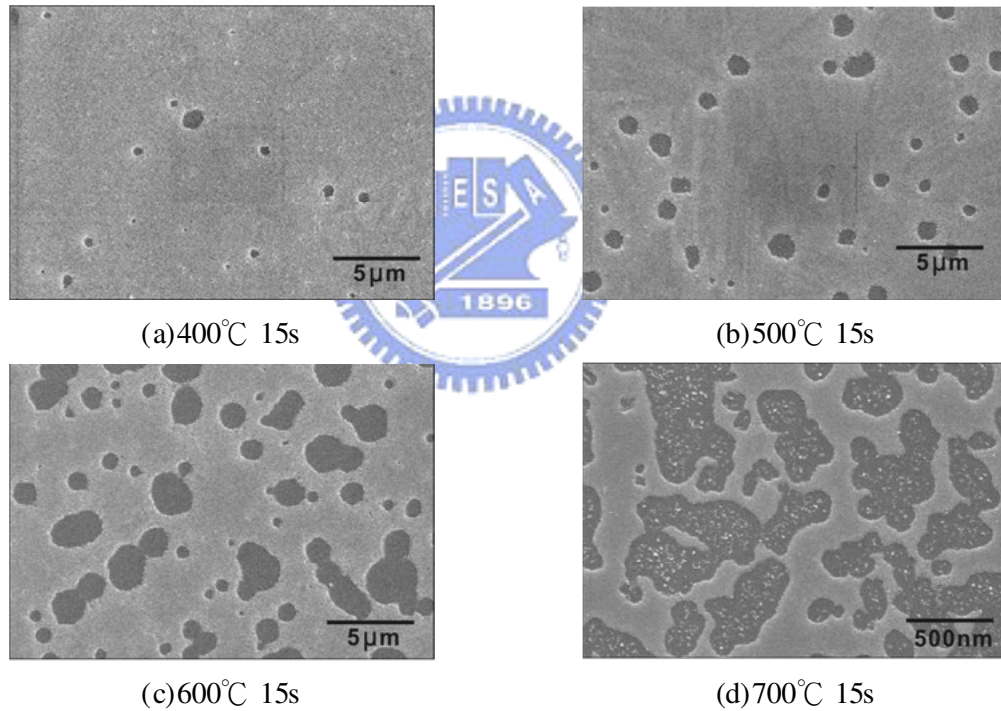


圖 2.16 在兩階段退火後再將試片做 post-RTA 800°C 75s 處理的 SEM 照片（經過 secco etching）

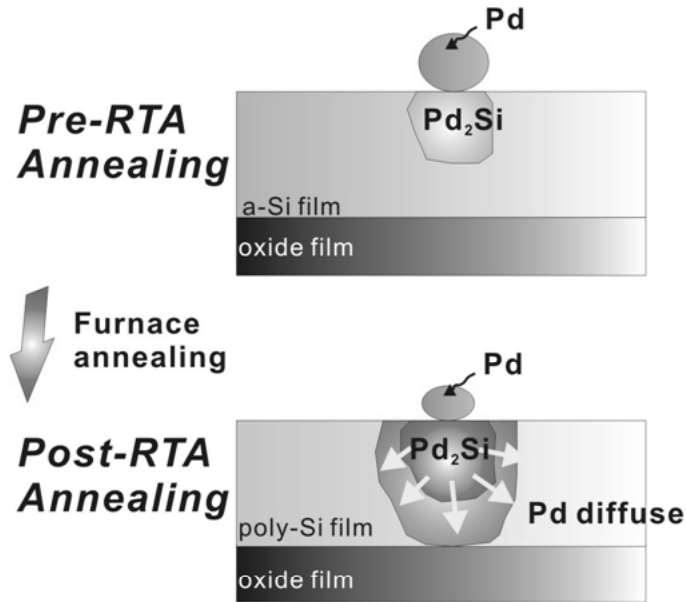


圖 2.17 在經過 Pre-RTA 退火後 Pd<sub>2</sub>Si 形成過程的示意圖

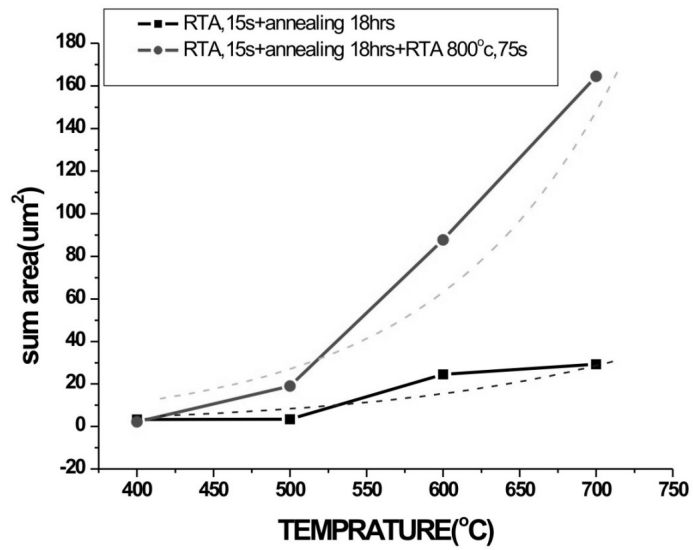


圖 2.18 利用 image-pro 軟體統計未結晶及 Pd<sub>2</sub>Si 形成的總面積

由圖 2.15 的 SEM 結果知在 RTA400°C 15 秒時的 Pd<sub>2</sub>Si 量仍太多，故必須再降低第一階段的溫度。但是 RTA 儀器的溫度範圍被限制在 300°C ~1200°C，且在低溫下(300°C)使用時較不穩定，故若要在更低溫退火勢必非得利用其它的退火設備，所以才利用有氮氣氣氛之爐管實行第一階段退火。退火溫度為 200°C 而時間為 30 分鐘，之後將殘餘的 Pd 去除，再進入通有氮氣的爐管中退火 550°C 18 小時，結果如圖 2.19(a)所示，可明顯看出被 etching 的洞少很多，表示 Pd<sub>2</sub>Si 的量已減少但足夠誘發結晶。但為了得到較好的結晶性，再利用 post-RTA 作退火處理希望能得到較好的結晶性及達到缺陷修補的效果。如圖 2.19(b)可看得出即使在 pos-RTA 處理之後，其 Pd<sub>2</sub>Si 的量並未增加，而且洞也不是很明顯，表示經過 post-RTA 退火處理之後可得到不錯的結晶效果且證明在第一階段退火時已可適當的控制 Pd<sub>2</sub>Si 的量。

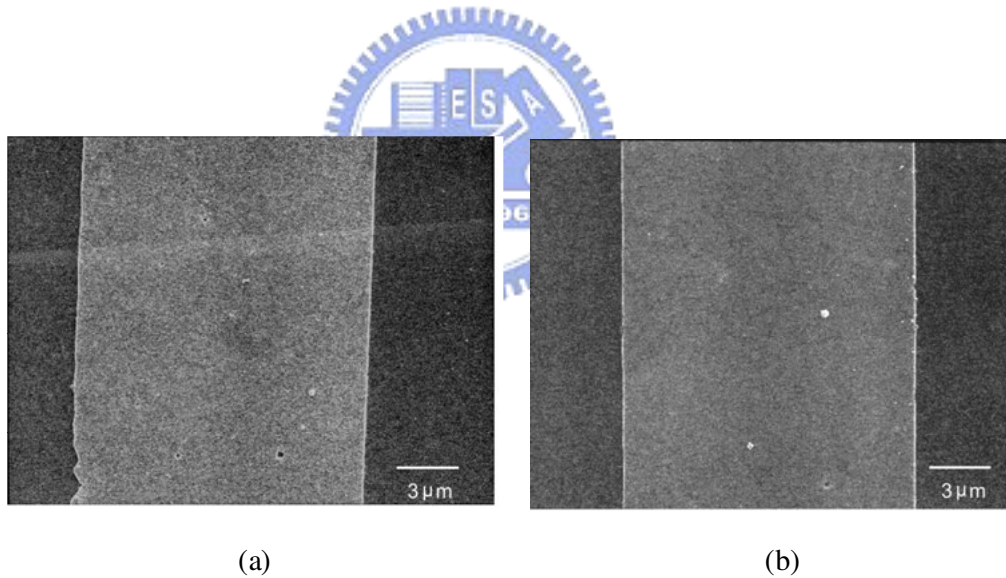
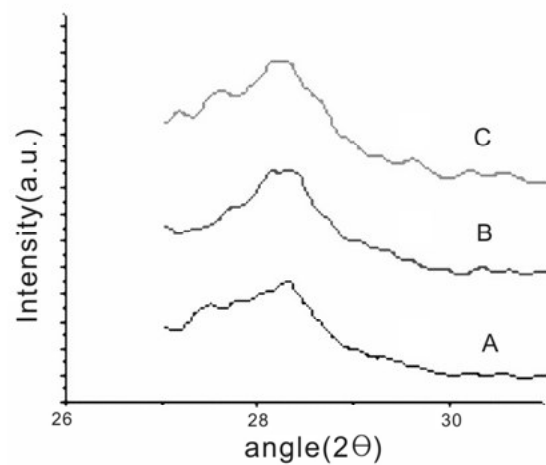


圖 2.19 (a) 試片經過兩段式爐管退火(200°C 30min + 550°C 18hr)後之 SEM 照片 (經過 secco etching)(b) 試片經過兩段式爐管退火後再經過 post-RTA 處理的 SEM 照片 (經過 secco etching 處理)

利用低掠角 X 光繞射儀(low grazing incidence x-ray diffractometer )進行分析(圖 2.20)來觀察其結晶的好壞，由其 peak high 的比較，明顯的看的出來，單純在爐管退火的試片，其 peak high 是最小的，表示其結晶性不如二階段退火的 sample，而經過二階段退火再加上 pos-RTA 處理的 sample 可得到最好的結晶性。



Condition	Crystallinity (a.u)
A : 550°C 退火 18 小時	165.31
B : 200°C 30 分鐘 + 550°C 退火 18 小時	187.81
C : 200°C 30 分鐘 + 550°C 退火 18 小時 + RTA 800°C ,75s	210.47

圖 2.20 A : 550°C 退火 18 hrs 、B : 200°C,30 mins + 550°C 退火 18 hrs 、C : 200°C,30 mins + 550°C 退火 18 hrs + RTA 800°C ,75s 三種熱處理過程之試片的 x-ray 分析

## 2.5.4 元件特性

圖 2.21 為無電鍍 Pd 結晶所製作的元件電性，其結晶的退火參數為 600°C 24 小時，而活化參數為 850°C 30 分鐘， $W/L=10/7$ ，明顯的所製作的元件特性並不理想。由表 2.6 中可看出其與相同製程之 SPC 元件比較時，Subthreshold swing 比 SPC 的大，表示其 interface 特性比 SPC 差。而其 mobility 及  $I_{on}/I_{off}$  皆比 SPC 小，表示主動層的結晶性並不好，由文獻中[74]發現 SPC 的晶粒並不完美，晶粒裡面含有很多 micro twins 缺陷，而在我們的研究中同時也有發現 Pd 誘發的結晶中也含有 micro twins 缺陷（圖 2.22），而且文獻中也有提出過 Pd 誘發結晶的晶粒存在 micro twins 的缺陷，因此影響 Pd 結晶的品質，因此一定還有另一個原因造成電性上比 SPC 差，經過前面的討論我們判斷應該是  $Pd_2Si$  的污染，所以改善 Pd 誘發結晶的結晶性，減少  $Pd_2Si$  的污染是改善元件特性的首要條件，因此兩段式退火製程是必須要採取的手段。

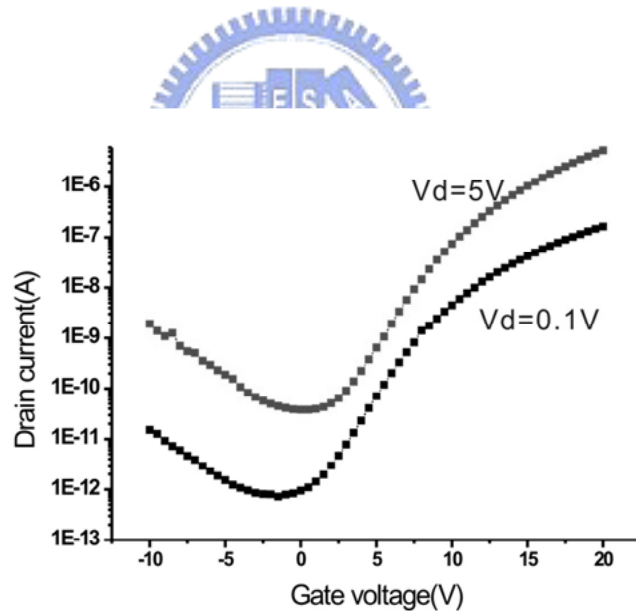


圖 2.21 退火 600°C 24 小時，再經 850°C 30 分鐘的高溫活化的無電鍍鈮 TFT 元件特性



表 2.6、所製作之 TFT 元件特性與相同製程之 SPCTFT 元件特性比較

W/L=10/7	EPIC-TFT (SPC parameters)	SPC-TFT
S	2.55	2.51
$\mu\text{Fe}$	6.90	10.15
Ion/Ioff	5.27 $\mu$ /38.04p	7.32 $\mu$ /12p

※EPIC-TFTs 使用高溫 SPC-TFTs parameters

Annealing:600°C,24 hours

Activation:850°C,30 mins

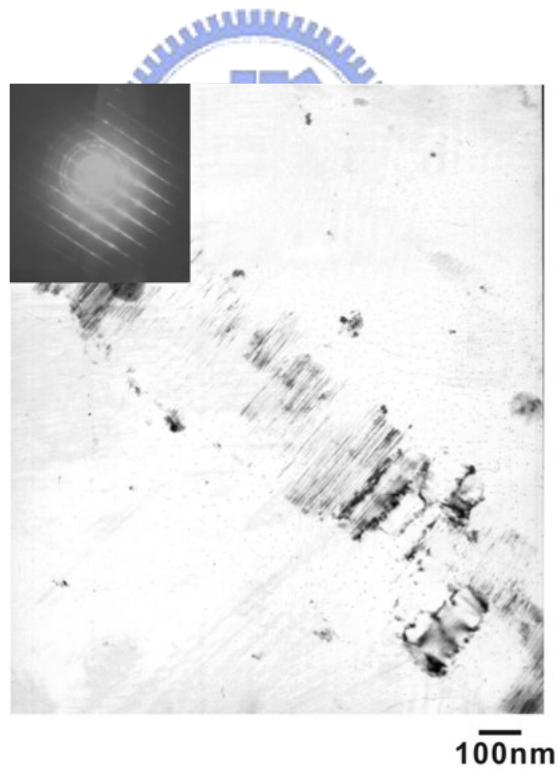


圖 2.22 Pd 針狀結晶的 TEM 影像(micro twins)

### 2.5.5 兩階段退火元件

同時製作了兩組元件，一組是利用傳統退火方式，將已無電鍍 Pd 的試片直接在 550°C 退火 18 小時，而另一組則在低溫下(200°C 30min)退火，直到適量的 Pd<sub>2</sub>Si 產生，同時將兩組試片上尚未反應的 Pd 去除，將低溫退火的試片也在 550°C 退火 18 小時，接著將兩試片都用 post-RTA 高溫 (850°C 75s) 退火，以改善結晶性。在多晶矽層製作完畢後就進行元件的製作，元件製作完，將元件進行 NH<sub>3</sub> 電漿鈍化處理 4 小時，結果如圖 2.23、2.24 所示。圖 2.23 是傳統的退火方式製作的 TFT 元件特性，明顯的看得出來元件特性很差，這是因為在 550°C 退火 18 小時仍未完全結晶（圖 2.25）針狀晶粒間仍然有未結晶區域，另外，在 post-RTA 退火後，Pd 與 Si 形成 Pd<sub>2</sub>Si 而造成缺陷，如圖 2.26，從圖中可以發現很多孔洞，這些孔洞是 Pd<sub>2</sub>Si 被蝕刻掉留下來的，因此為了減少這些孔洞的形成，必須要採用兩段式退火，而製作元件的參數也採用之前所討論的最佳參數來進行，果然元件特性也明顯的獲得改善，如圖 2.24 所示，場效載子移動率提升至 12.88cm<sup>2</sup>/V.s。

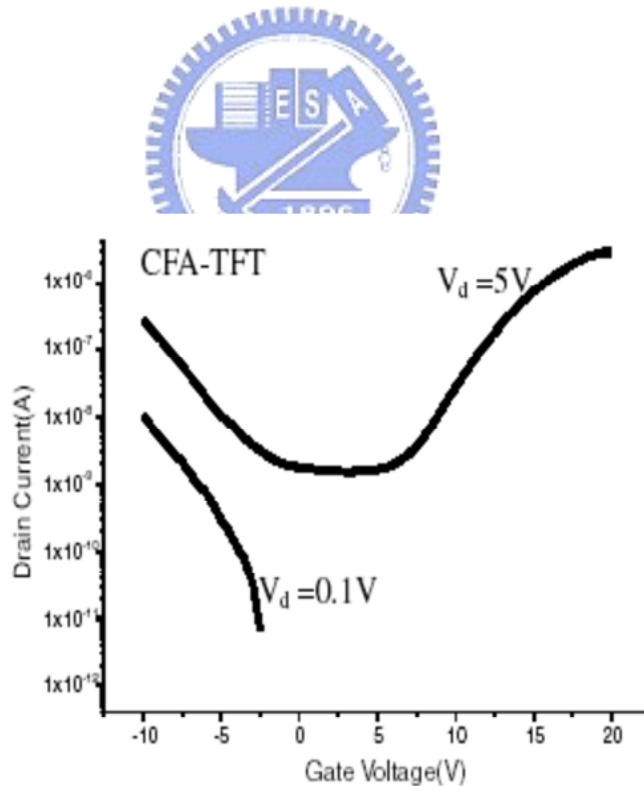


圖 2.23 傳統退火方式所得到的元件特性圖

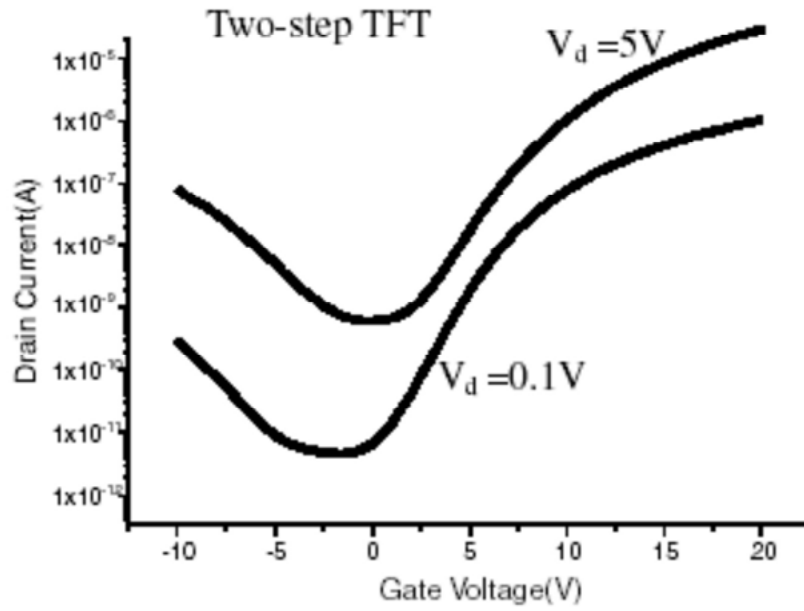


圖 2.24 二階段退火方式所得到的元件特性圖

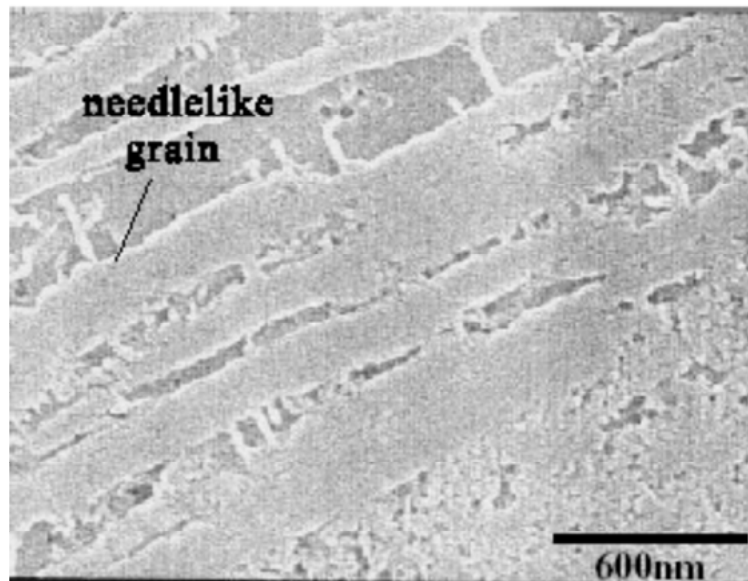


圖 2.25 550°C 退火 18 小時的複晶矽的 SEM 照片

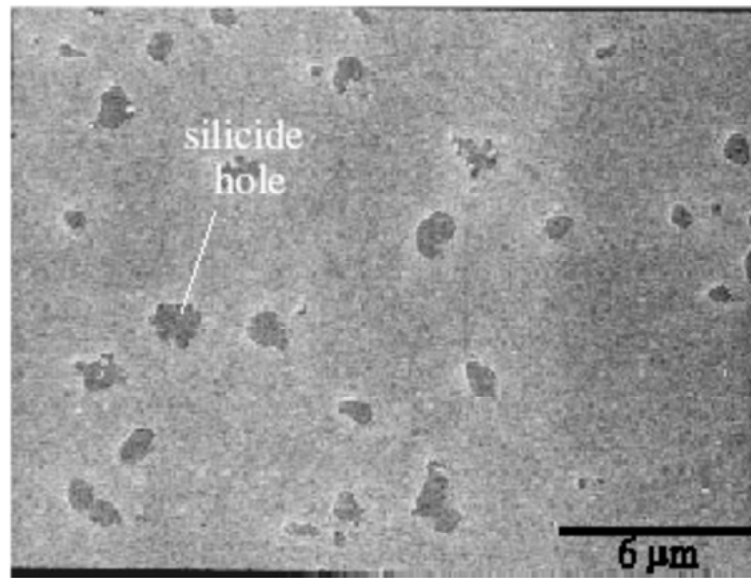


圖 2.26 經過 post-RTA 退火後的多晶矽的 SEM 照片



表 2.7 兩階段退火所製作之 TFT 元件特性

W/L=10/10	元件特性
S(subthreshold slop)	<b>1.95 V/dec</b>
$\mu_{Fe}$ (mobility)	<b>12.88 cm<sup>2</sup>/V.s</b>
$I_{off}$ (leakage current/channel width)	<b>6.10 pA/μm</b>

## 2.6 結論

無電鍍 Pd 誘發結晶在本研究中被提出。無電鍍的 Pd 顆粒會均勻的散佈在非晶矽上，並與 Si 反應成 Pd<sub>2</sub>Si 誘發結晶。當在 550°C 下退火時可得到兩種方向的針狀結晶，結晶的主要成長方向為<211>方向，而側枝成長方向為<011>。

Pd 在非晶矽薄膜的溶解度大於複晶矽薄膜而且在擴散時對非晶矽薄膜的缺陷敏感度極高。根據 Poate et al. 提出 [75] Pd 在非晶矽中是利用格隙擴散的方式進行擴散且推測在 500°C 的擴散係數(D)約  $1 \times 10^{-11} \text{cm}^2/\text{s}$ ，故其 1 小時的擴散距離(Dt)<sup>1/2</sup> 大約是 1.9μm。假設非晶矽膜的厚度為 1000Å，則此擴散距離已遠大於膜的厚度，會造成 Pd<sub>2</sub>Si 的過度形成。因為在量測薄膜電晶體的特性後，發現由無電鍍鈀誘發結晶所製作的薄膜電晶體特性並不理想，推測原因可能是複晶矽薄膜中的 Pd<sub>2</sub>Si 的過度形成而減損了其特性。故必須先縮短退火時間來適當的控制 Pd<sub>2</sub>Si 形成，因此有兩階段退火的概念。而第一階段主要是要適當的控制 Pd<sub>2</sub>Si 形成，而第二階段再繼續退火促進 Pd<sub>2</sub>Si 誘發結晶。故第一階段使用 RTA 來控制 Pd<sub>2</sub>Si 形成，若選擇在 500°C 下退火時間為 15 秒，計算結果其擴散距離約為 1200Å，表示 Pd<sub>2</sub>Si 的形成已貫穿整個膜厚，而由結果也確實發現一些洞的形成，表示此溫度可能仍太高，為了想得到較表層的 Pd<sub>2</sub>Si 形成必須使用更低的溫度，然而在 RTA 溫度降到 400°C 15 秒時發現 Pd<sub>2</sub>Si 的形成仍太多。故再將溫度降至 200°C 30 分鐘，而發現此參數所得到的結果可以改善 Pd<sub>2</sub>Si 的殘留問題，即能控制適當的 Pd<sub>2</sub>Si 的形成。故適當的控制第一階段的退火溫度及時間可改善 Pd<sub>2</sub>Si 的殘留問題，而可進一步的改善結晶性的問題。

利用兩段式退火參數進行 TFT 元件的製作，結果發現元件特性獲得改善。這是因為主動層中的污染(Pd<sub>2</sub>Si)已被大量的減少，並且結晶品質獲得改善。