

第一章 緒論

1-1 研究背景

最近幾年，隨著資訊產業膨脹發展與資訊媒體應用的日益普及，可攜式電子產品變得熱門起來，例如數位相機，筆記型電腦，mp3, walkman，記憶卡，USB 隨身碟等電子產品，都在市場上佔有一席之地。而這些可攜式電子產品之所以會有如此蓬勃的發展，都是前人的努力所造成的。自從 1967 年，D. Kahng 和 S. M. Sze 在貝爾(Bell)實驗室首先發明了浮動閘極(Floating- Gate)非揮發性半導體記憶體(Nonvolatile Semiconductor Memory)[1]。直至今日，這項層疊的元件結構，如圖 1-1 所示[2]，對可攜式電子系統(Portable Electronic System)帶來了許多應用，其中最重要的應用在快閃記憶體(Flash Memory)。

1-1-1 快閃記憶體

快閃記憶體(Flash Memory)是屬於 EEPROM(Electrically Erasable and Programmable Read Only Memory)的一種，而這種元件是一種利用浮動閘極(Floating Gate)來儲存電荷的非揮發性記憶體，也可簡稱為浮動閘極元件(Floating Gate Device)。浮動閘極元件的結構主要由穿隧氧化層(Tunneling Oxide Layer)、浮動閘極層(Floating Gate Layer)和控制氧化層(Controlling Oxide Layer)這三層所構成，如圖 1-2 所示[3]。而控制閘極(Controlling Gate)位於控制氧化層上面，當我們藉由控制閘極去操控整個元件，浮動閘極內的電子將會受到控制閘極而影響，並且使得元件原本的臨限電壓(Threshold Voltage)產生位移。當施加正電壓於控制閘極，將會有電子被注入於浮動閘極內，而臨限電壓將會產生右移的現象，此時的狀態定義為“0”，並且稱之為“寫入(Program, or Write)”；相反地，當施加負電壓於控制閘極，將會有電子從浮動閘極內排出，而臨限電壓將會產生左移的現象，此時的狀態定義為“1”，並且稱之為“消除(Erase)”。如圖 1-3 所示[3]。

1-1-2 奈米粒子記憶體

早期的記憶體是以多晶矽來當做浮動閘極的材料，然而隨著時代的演進，在浮動閘極的材料上的選擇也變得多樣化，有利用 Si_3N_4 當作浮動閘極的 SONOS(Poly-Si Oxide Nitride Oxide Si)，也有利用奈米粒子或奈米晶體當作浮動閘極的記憶體。所謂的奈米粒子(Nanoparticle)或奈米晶體(Nanocrystal)是指在數十個奈米(Nanometer= 10^9)到數個奈米大小的粒子或晶體。對於奈米晶體而言，其材料是以半導體為主，如：Si、Ge。而文獻中製作奈米晶體的方法有許多種，如：Kim *et al.*利用低壓化學氣體沉積(LPCVD)的方式在氮化物(Nitride)的表面於 620°C 沉積 4.5nm 的矽(Si)奈米粒子，並且擁有著 $4.5 \times 10^{11} \text{cm}^{-2}$ 的單位面積密度[4]；King *et al.*藉由氧化矽化鍺($\text{Si}_{1-x}\text{Ge}_x$)製作鍺(Ge)奈米粒子[5]。在我的研究中，是以奈米粒子當作捕捉電荷的單元(Charge-Trapping Element)。奈米粒子主要是以金屬材料為主，如：Au。對於以金屬性質的奈米粒子當作浮動閘極的材料，其優點有許多：

1. 金屬的功函數(Work Function)很大，會在穿遂氧化層兩邊會形成不對稱的能位障(Potential Barrier)，這對於電子來說是很好的捕捉中心(Trapping Center)。
2. 當分子的大小在奈米等級的時候，將會有能階分裂的現象發生。對於奈米粒子而言，能階分裂有利於電子的填入，並且可以增加儲存電子的能力。
3. 當電子被奈米粒子所捕捉，在電子流失率上可以有效的降低，因為在奈米粒子的周圍有著二氧化矽(SiO_2)的絕緣層所包住。

1-1-3 金奈米粒子的製作方法

一般製作金奈米粒子的方法，主要有二種：

第一種為快速加熱退火(Rapid Temperature Annealing，簡稱 RTA)的方式製作，先在穿遂氧化層的表面鍍上一層金，在用快速加熱退火的方式處理，使得金分子相互凝結成金奈米顆粒，然後逐漸成為金奈米粒子[6~8]。

第二種為化學還原法製作，化學還原法主要是用還原劑換原帶有金離子的鹽類溶

液，還原出的溶液中含有金奈米粒子，並且以膠體溶液形式存在(colloid solution) [9~12]。其中的金奈米粒子外又包附一層有機分子作為粒子間的隔離層，如圖 1-4 所示，此隔離層可防止金奈米粒子繼續聚集而變大，因此可藉此隔離層控制金奈米粒子大小。

在我的研究中，將使用購買得來的金屬有機高分子溶液(Metal Organic Polymer Solution)去製作金奈米粒子，藉由光阻旋塗機(Spin Coater)將金屬有機高分子溶液旋佈在二氧化矽的表面上，然後在高溫下烘烤，來使金奈米粒子還原，並且使用 UV-Ozone 來去除殘餘的有機高分子。

1-2 金氧半二極體電容

為了確認購買得來的金屬有機高分子溶液，藉由熱烘烤的動作使金奈米粒子還原，而還原後的金奈米粒子是否具有捕捉電子的能力，我們製作一個金氧半(Metal Oxide Silicon, 簡稱 MOS)二極體電容來做記憶效應(Memory Effect)的確認。

金氧半二極體電容主要結構分為三層，為穿隧氧化層、金奈米粒子層以及控制氧化層。如圖 1-5 所示。

對於一個理想的金氧半二極體電容而言，在三種不同偏壓操作下則會有三種不同的狀態出現，如圖 1-6 所示。在這邊以 P 型矽基板的金氧半電容為例，第一種狀態為施加負偏壓($V < 0$)於金屬閘極上，此時在氧化物與半導體介面處的能帶將會向上彎曲，且在介面附近開始感應出一些電洞，並且累積一些電洞，此種情況稱為累積(Accumulation)，量測所得的電容即等於氧化層的電容。

第二種狀態為開始施加較小的正偏壓($V > 0$)於閘極上，此時氧化物與半導體介面處的能帶將會向下彎曲，而多數載子電洞將會形成空乏，此種情況稱為空乏(Depletion)，量測所得的電容為氧化層電容再串聯一個空乏區電容，故所得的電容值將會隨著較小的正偏壓變大而逐漸變小。

第三種狀態為隨著施加的正偏壓($V \gg 0$)越來越大，則會使得氧化物與半導體介面處的能帶更加向下彎曲，使得介面附近不僅會形成空乏區，而且會吸引一些電子過來，當

少數載子電子的數量變得比多數載子電洞的數量還要多時候，表面則會發生反轉現象，此種情況稱為反轉(Inversion)，而此時量測所得的電容值隨著頻率的大小而有不同的表示，若量測的頻率為高頻，所得的電容仍為氧化層電容在串聯一個空乏區電容，並且因為空乏區的大小已經達到極限，故電容值為定值；若量測的頻率為低頻，此時少數載子電子與多數載子電洞的複合速率能趕上低頻量測的訊號變化，使得電荷變化發生在介面附近，故所得電容值則會隨著偏壓越來越大而逐漸變大，最終會等於氧化層的電容值[13][14]。

1-2-1 記憶效應

在探討記憶效應之前，首先要介紹兩個名詞，一個是平帶電壓(Flat-Band Voltage)，另一個是臨限電壓(Threshold Voltage)。

平帶電壓(Flat-Band Voltage)：被定義為當施加一偏壓於閘極時，氧化物與半導體介面的能帶並未發生彎曲的現象，並且整個區域內的淨空間電荷為零，此時所施加的偏壓則為平帶電壓[13][14]。P型矽基板的金氧半二極體電容位於平帶狀況的能帶圖，如圖1-7所示。

平帶電壓的公式如下：

$$V_{FB} = \phi_{MS} - \frac{Q'_{SS}}{C_{OX}} \quad (1-1)$$

V_{FB} = 平帶電壓。

ϕ_{MS} = 金屬與半導體之間的功函數的差。

Q'_{SS} = 等效的固定氧化物電荷。

C_{OX} = 氧化層電容。

當我們製作出含有金奈米粒子的金氧半二極體電容後，在理想狀況下，當有電子儲存於金奈米粒子與氧化物之間的介面處，則會使得固定氧化物電荷帶負電荷，即為 $Q'_{SS1} (<0)$ ，相對於不帶電荷的固定氧化物電荷 $Q'_{SS0} (=0)$ ，並且由於 ϕ_{MS} 和 C_{OX} 是固定值，將會使平帶電壓往正的方向偏移而得到 V_{FB1} ，並且得到平帶電壓的變化量

ΔV_{FB} ($\Delta V_{FB} = V_{FB1} - V_{FB0}$), 如圖 1-8 所示。由於固定氧化物電荷 Q'_{SS} 不會隨著施加的偏壓而有所改變, 故量測所得的電容-電壓(C-V, Capacitance-Voltage)曲線會隨著 Q'_{SS} 的改變向正方向平行移動。

當有電子儲存於金奈米粒子與氧化物之間的介面處, 則會造成平帶電壓的改變, 而這就代表著金奈米粒子具有捕捉電子的能力, 即為記憶效應(Memory Effect)。

臨限電壓(Threshold Voltage): 對於金氧半二極體而言, 為了達到了臨限反轉點所施加的閘極電壓, 則為臨限電壓[13][14]。P 型矽基板的金氧半二極體電容位於臨限狀態的能帶圖, 如圖 1-9 所示。

臨限電壓偏移量的公式如下:

$$\Delta V_{th} = \frac{T_{CONTROL}}{\epsilon_{OX}} Q_t \quad (1-2)$$

ΔV_{th} = 臨限電壓偏移量。

$T_{CONTROL}$ = 氧化層厚度。

ϵ_{OX} = 二氧化矽的相對介電常數。

Q_t = 電容裡的總電荷量。

當有電子儲存於金奈米粒子與氧化物之間的介面處, 則會造成電容裡的總電量 Q_t 發生改變, 且氧化層厚度 $T_{CONTROL}$ 和二氧化矽的相對介電常數 ϵ_{OX} 是定值, 故可得到當有電荷儲存時的臨限電壓偏移量。

1-3 微米線快閃記憶體

當我們從帶有金奈米粒子層的金氧半二極體電容結構的電容-電壓圖中, 確認了記憶效應的特性後, 接著我們將金奈米粒子置於於微米線上, 並且做成含有金奈米粒子層的微米線快閃記憶體。對於帶有金奈米粒子層的快閃記憶體而言, 期望看到記憶效應的存在, 並且對於電荷保存能力和讀寫次數做探討。對於快閃記憶體元件的操作, 在這邊是採用 Fowler-Nordheim (F-N) 穿隧效應的原理。

1-3-1 Fowler-Nordheim (F-N) 穿隧效應

所謂的 F-N 方程式是由 Fowler 和 Nordheim 所導出來的，是將邊界條件帶入薛丁格方程式(Schrödinger Equation)中所解出的答案。有別於古典力學的概念，當電子想要穿過一道位能障(Energy Barrier)，並不需要獲得能量便會有機率穿越過去，就如同往牆壁丟球，不需要向上丟或是破壞牆壁，便會有機率穿越過去。穿隧機率與位能障的形狀和厚度有關，對於三角形形狀且只有幾奈米的厚度的能位障，穿隧的機率便會提高許多，如圖 1-10 所示。當我們應用 FN 穿隧的原理來操作浮動閘極元件，於閘極施加正電壓，則會使源極(Drain)的電子穿過穿隧氧化層(Tunnelling Oxide)到達浮動閘極(Floating Gate)，若此時停止施加電壓，則電子將會被侷限在穿隧氧化層和控制氧化層之間的位能井內，如圖 1-11 所示。相反地，於閘極施加負電壓，則會將浮動閘及內的電子趕回源極去。不過應用 FN 穿隧機制去操控浮動閘極元件，所需要的時間需要比較長，通常為 100 ms~1 sec，故常用於消除(Erase)電子的情況。

當我們應用 FN 穿隧機制操控元件，則會得到一電流值，此電流稱為 FN 穿隧電流，其公式如下：

$$J_{FN} = AE_{OX}^2 \exp\left[-\frac{B}{E_{OX}}\right] \quad (1-3)$$

$$A = \frac{q^3}{16\pi^2 \hbar \phi_{OX}}$$

$$B = \left[\frac{4\sqrt{2}m^*}{3q\hbar} (\phi_{OX})^2 \right]$$

E_{OX} = 為氧化層上的電場強度，可由施加於氧化層上的電壓(V_{OX})和氧化層的厚度(t_{ox})的關係式求得， $E_{OX} = \frac{V_{OX}}{t_{ox}}$ 。

m^* = 為氧化層的等效電子質量。

ϕ_{OX} = 為電子穿隧時所面對的能位障高度。

\hbar : Plank Constant/ 2π 。

1-4 研究動機

製作金奈米粒子的方法有化學還原法和快速加熱退火的方式，而我在這邊將提供另一種簡便方式去製作金奈米粒子。將購買得來的高分子有機金屬溶液，利用光阻旋塗機 (Spin-Coater) 塗佈在二氧化矽上面，然後經過熱烘烤還原金奈米粒子，最後利用 UV-Ozone 去除殘餘的高分子有機物，去除因為有機物殘留於元件內，而產生缺陷。首先將會製作一個含有金奈米粒子層的金氧半二極體結構，經由量測所得的電容-電壓曲線得知購買得來的高分子有機金屬溶液所製作出的金奈米粒子具有捕捉電子的能力，再將它塗佈在微米線快閃記憶體上面，並且對浮動閘極元件進行寫入 (Write) 和消除 (Erase) 的動作。

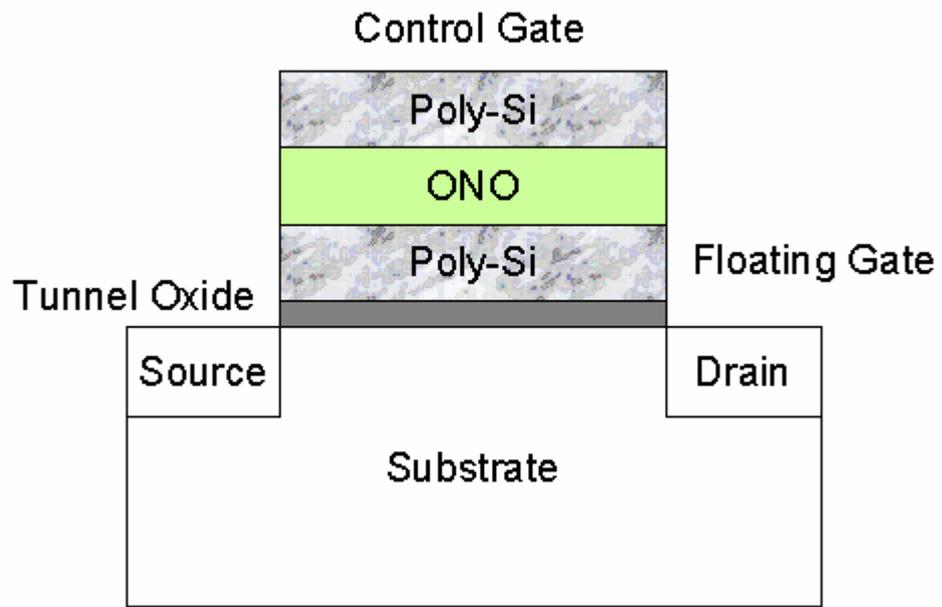


圖 1-1 傳統的非揮發性記憶體結構的頗面圖。 [2]。

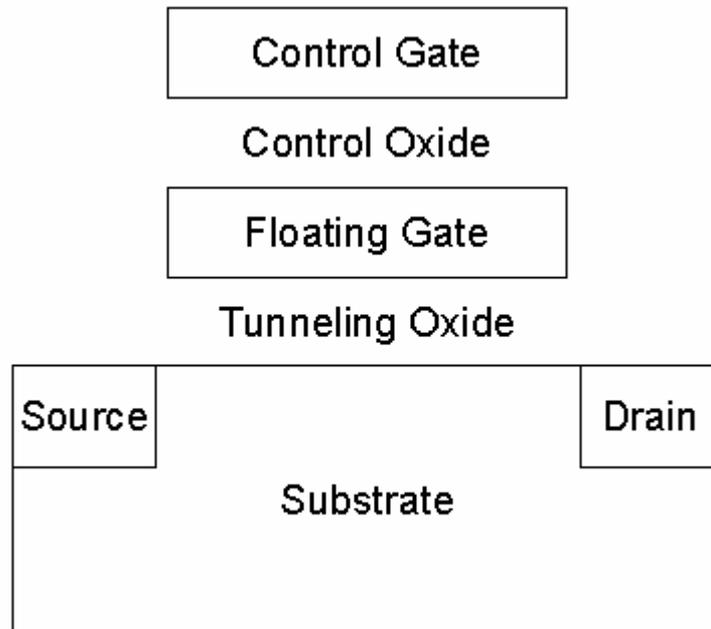


圖 1-2 浮動閘極元件剖面圖 [3]。

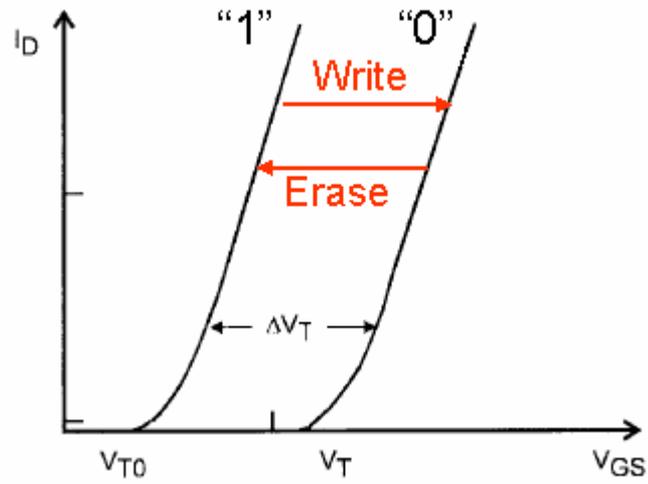


圖 1-3 浮動閘極元件的電流電壓曲線 [3]。

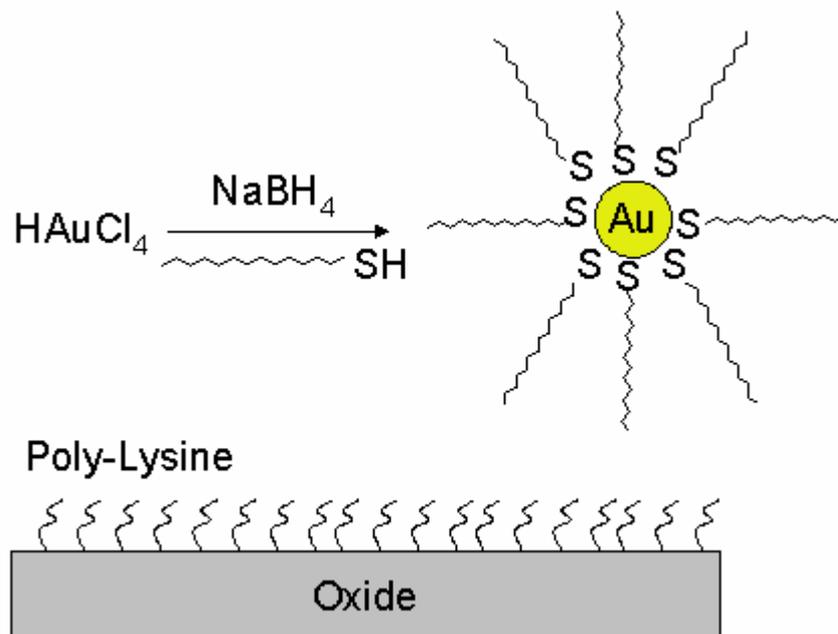


圖 1-4 金奈米粒子化學沉積式意圖。



圖 1-5 金氧半電容結構頗面圖。

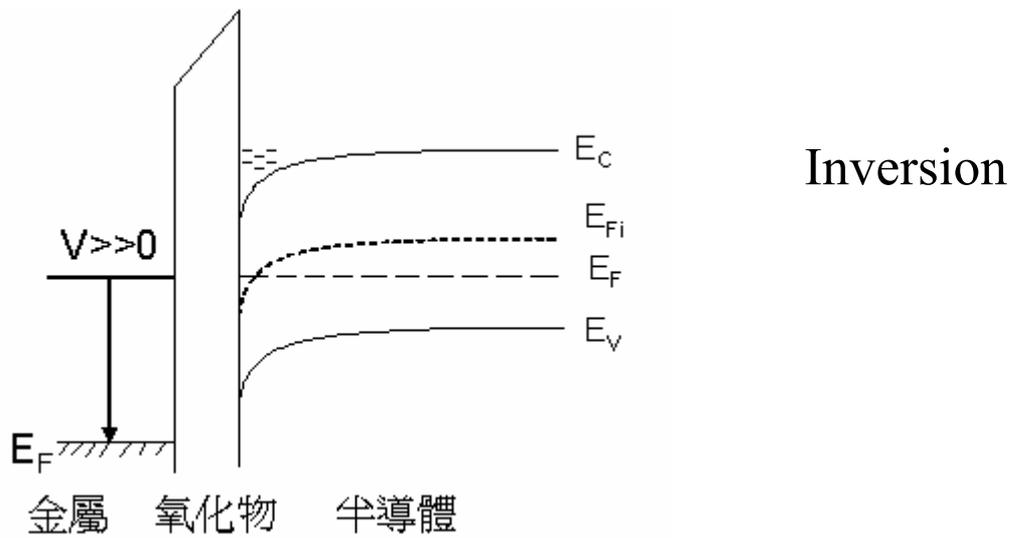
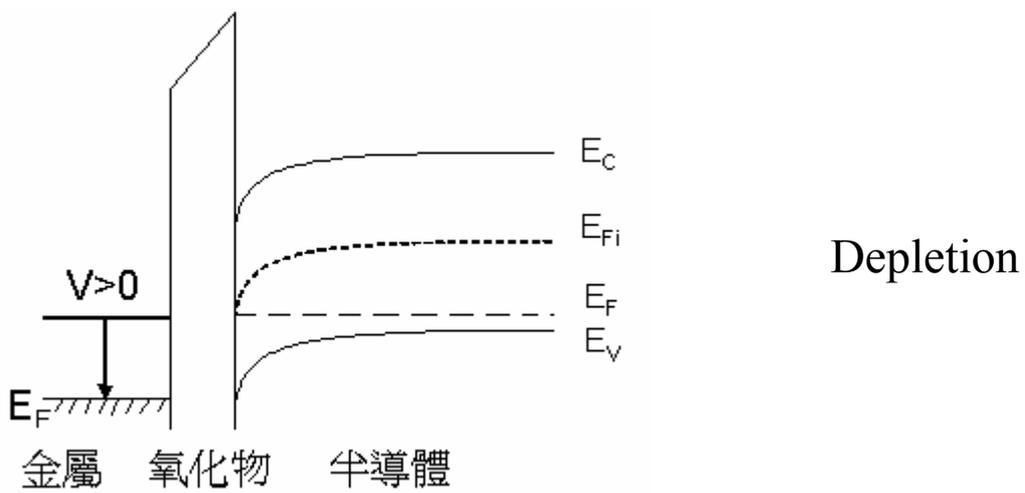
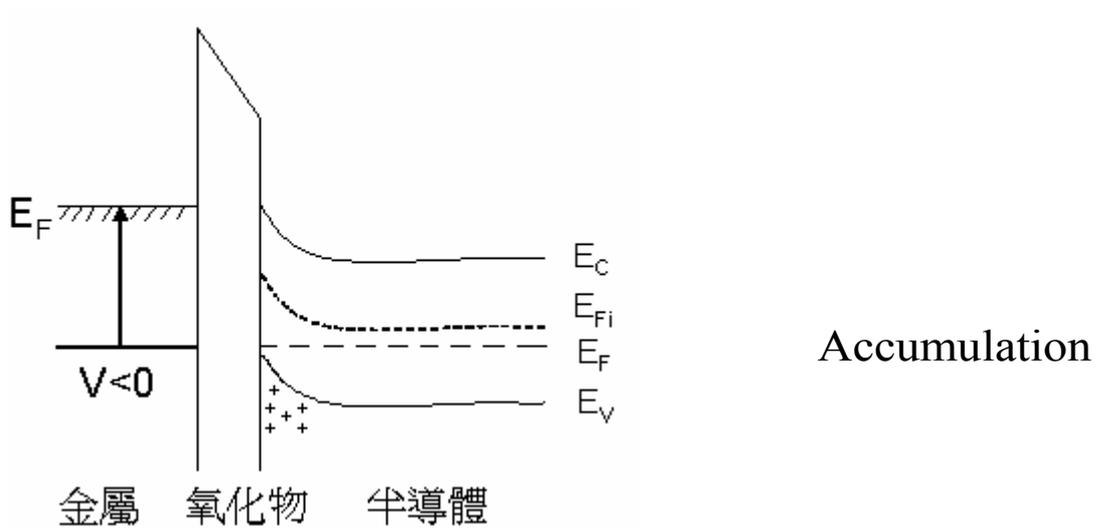


圖 1-6 金氧半二極體電容於不同偏壓下的能帶圖

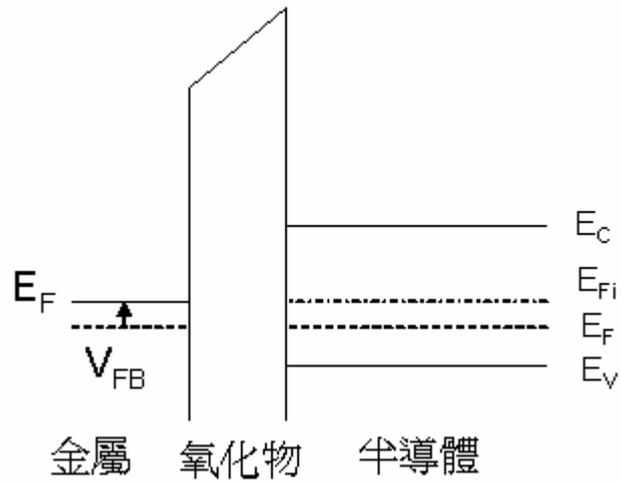


圖 1-7 P 型矽基板的金氧半二極體電容於平帶狀態的能帶圖。

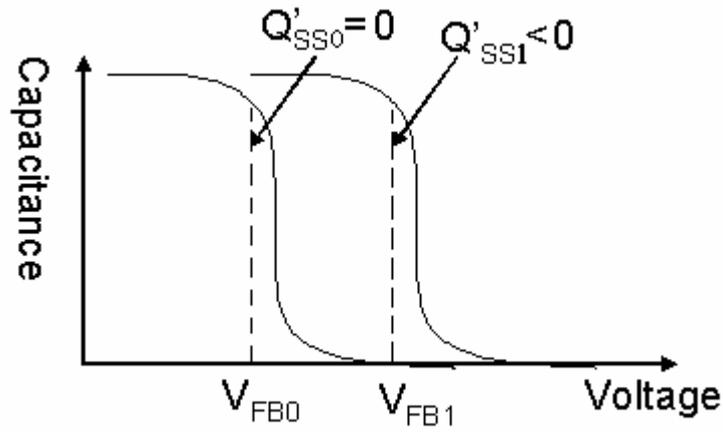


圖 1-8 P 型矽基板的金氧半二極體電容的高頻電容對開極電壓的圖形。

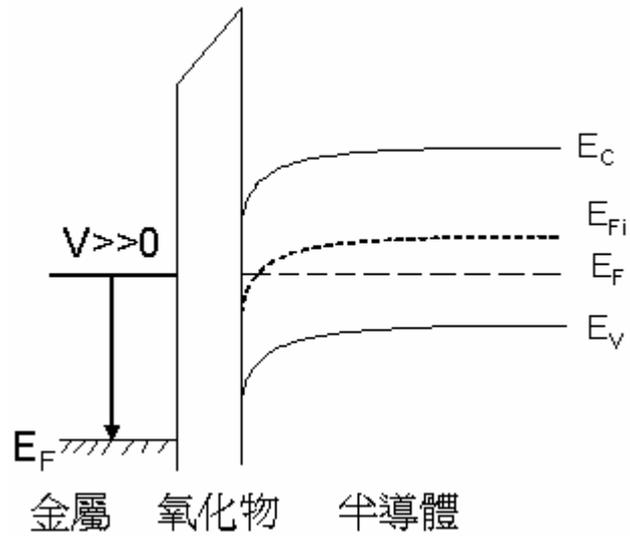


圖 1-9 P 型矽基板的金氧半二極體電容位於臨限狀態的能帶圖。

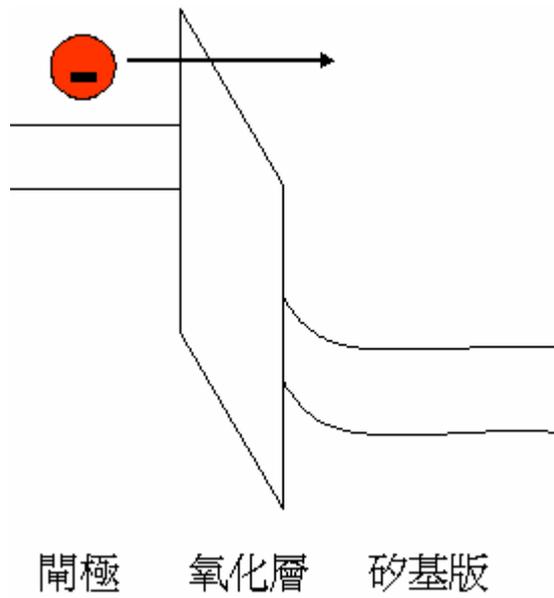


圖 1-10 F-N 穿透原理能帶圖。

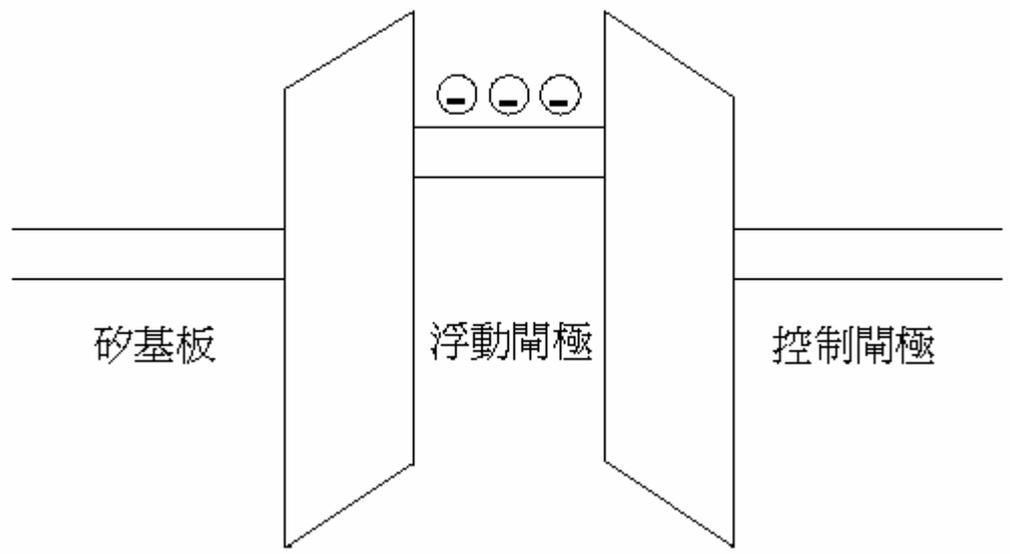


圖 1-11 電子侷限在二氧化矽位能井中。

第二章 元件製作及量測流程

上一章簡單介紹了關於金氧半二極體電容以及浮動閘極記憶體後，接著將金奈米粒子置於這兩者元件並且製作。在製作這兩種元件之前，會先對金屬有機高分子溶液還原出來的金奈米粒子做 XPS 的確認，然後才開始製作元件。

元件的製作主要分為兩部分：第一部分是金奈米粒子金氧半二極體電容，第二部分是金奈米粒子浮動閘極記憶體。而金奈米粒子金氧半二極體電容的量測，主要以量測電容-電壓曲線來做探討；金奈米粒子浮動閘極記憶體的量測，主要以電流-電壓曲線來做探討。

2-1 金奈米粒子金氧半二極體電容

金奈米粒子金氧半二極體電容製作過程主要分為熱氧化成長穿遂氧化層、旋塗金奈米粒子層、沉積控制氧化層、金屬電極製作，而詳細的製作過程如圖 2-1 所示。

2-1-1 RCA Clean

在製作電容元件前，一開始我們所選用的基板為 P 型參雜 (p-type)，(1,0,0) 晶面，阻質為 1-10 Ω -cm 的矽晶板 (Si Wafer)。首先以標準 RCA 流程清洗矽基板，而所量測的電性將會與矽基板表面的乾淨與否有關，所以為了提升電性的表現及半導體元件的可靠度，必須要移除矽基板表面的污染物。而標準 RCA 流程如下：

- (1) 一開始先將矽基板浸泡在 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 3 : 1$ 的溶液來分解、氧化有機物。
- (2) 接著將矽基板浸泡在 $\text{H}_2\text{O} : \text{HF} = 100 : 1$ 的溶液，用以去除矽表面上的原生氧化層 (Native Oxide)。
- (3) 然後將矽基板放入 $\text{H}_2\text{O} : \text{H}_2\text{O}_2 : \text{NH}_4\text{OH} = 20 : 1 : 4$ 的溶液 (SC1)，用以去除微小粒子。
- (4) 最後將矽基板放在 $\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 6$ 的溶液 (SC2)，用以去除鹼金族離子。

每個步驟之間都需浸泡在去離子水(DI Water)中 5~10 分鐘。

2-1-2 熱氧化成長穿遂氧化層

將經過RCA清洗流程的矽基板放入高溫爐管，成長約8 nm的熱氧化層(Thermal Oxide)，當作穿遂氧化層。而熱氧化層的厚度是由爐管的溫度、氧化的時間或是氣體壓力來控制。

2-1-3 旋塗金屬有機高分子層(含有金奈米粒子)和沉積控制氧化層

將購買得來的金屬有機高分子溶液(含有金奈米粒子)藉由光阻旋塗機塗布在有熱氧化層的矽晶板上面，在轉速 4000 rpm 約 45 秒的旋塗，在矽晶板表面上形成一層金屬有機高分子層。旋塗好的金屬有機高分子層放在高溫(200~300)下烘烤約 25~45 分鐘後，將會在二氧化矽表面上還原形成金奈米粒子，而有機高分子在熱烘烤後，則會以二氧化碳(CO₂)和水蒸氣形式離去，最後再用 UV-Ozone 將殘餘的有機高分子燒乾淨。將旋塗好的矽晶板經過熱烘烤和 UV-Ozone 後，接著利用電漿輔助化學氣相沉積系統(PECVD system)來進行控制氧化層的沉積，所成長出來的控制氧化層約為 100~200Å。

2-1-4 金屬電極製作

控制氧化層製作完成後，接著利用微影製程定義電極大小及形狀，然後藉由濺鍍(Sputter)的方式在其表面上製作 Ti/Au 材質的電極，為直徑 500~50μm 之正圓形的電極大小，如圖 2-2 所示。元件底部再以二氧化矽蝕刻液(BOE)去除原生氧化層(Native Oxide)，並以濺鍍(Sputter)的方式製作 Ti/Au 材質的底部電極，金奈米粒子金氧半二極體電容製作完成，詳細顯面圖如圖 2-3 所示。

2-1-5 XPS 資料分析

當金奈米粒子層旋塗在熱氧化層的矽晶板後，經過熱烘烤和 UV-Ozone 處理，再從 X 光光電子光譜術(X-RAY Photoelectron Spectroscopy, 簡稱 XPS)資料去證明在有熱氧化層的矽晶板表面上有金(Au)的存在。

圖 2-4 為利用 SPEM 的儀器量測金奈米粒子層旋塗在熱氧化層的矽晶板的 XPS 訊號，發現在鍵結能(Binding Energy) 80~92eV 附近有金(Au)的 $4f_{5/2}$ 和 $Au4f_{7/2}$ 的特有波段，此樣品經過 250°C 熱烘烤和 UV-Ozone 處理。

圖 2-5 為金奈米粒子在 XPS 中所持有的 4f 訊號。金奈米粒子在鍵結能 84 eV 附近會產生 $4f_{7/2}$ 的波段，在鍵結能 88 eV 附近會產生 $4f_{5/2}$ 的波段。

2-1-6 微結構分析

當成長完熱氧化層後，將金屬有機高分子溶液旋塗於熱氧化層上，經過熱烘烤使金奈米粒子還原，再加上 UV-Ozone 的處理，我們才拿去掃描式電子顯微鏡(SEM)下觀察金奈米粒子層的表面形貌並且拍攝存檔。圖 2-6 為金奈米粒子在 250 °C 下不同熱烘烤條件下，分別為(a)15 分鐘、(b)35 分鐘、(c)55 分鐘以及 UV-Ozone 10 分鐘的表面形貌，密度分別為(a) $4.5 \times 10^{10} \text{ \#/cm}^2$ ，(b) $8.3 \times 10^{10} \text{ \#/cm}^2$ ，(c) $1.12 \times 10^{11} \text{ \#/cm}^2$ 。在這三張 SEM 圖，從密度的均勻性以及顆粒的大小來做比較，250°C 熱烘烤 35 分鐘為最好的參數。

2-1-7 電性量測

對於金奈米粒子金氧半二極體電容儲存電荷特性的測定，主要從元件充放電時所量測得來的平帶電壓(Flat-Band voltage)的變化判定。在第一章中介紹到平帶電壓的公式，如下所示：

$$V_{FB} = \phi_{MS} - \frac{Q'_{SS}}{C_{OX}} \quad (2-1)$$

當有電子儲存於金奈米粒子與氧化層的介面處，會使得固定氧化物電荷 Q'_{SS} 產生變化，並且從原本不帶電荷的狀態變成帶負電荷，此時則會得到平帶電壓 V_{FB} 的改變量，並且造成電容-電壓曲線向右平移，而平移量就是所謂的記憶窗戶(Memory Window)或是

遲滯(hysteresis)。

當金奈米粒子金氧半二極體電容製作完成後，我們將元件放在量測機台(Probe Station)上，並且使用 HP 4284A LCR Analyzer 進行高頻狀態下電容-電壓曲線量測，頻率設定為 1 MHz，延遲時間為 10 秒，對-12 V 到 6 V 的電壓區間進行掃描，並且計算在此電壓區間所產生的遲滯大小。

2-2 金奈米粒子浮動閘極記憶體

當從金氧半二極體電容的電容-電壓曲線中得知金奈米粒子具有捕捉電子的能力，接著我們將金奈米粒子置於微米線上，並且做成浮動閘極記憶體。當元件完成後，將會對元件進行寫入(Write)和消除(Erase)的操控，並且對於臨限電壓(Threshold)、此臨限斜率(Subthreshold Slope, 簡稱 S.S)、開關電流比(On/Off Current Ratio)、F-N 穿隧電流(F-N Tunneling Current)、記憶時間(Retention Time)做探討。

金奈米粒子浮動閘極記憶體的製作流程，主要有六道光罩，分別是：

- (1)定義對準鑰匙(Alignment Key)。
- (2)定義源極(Source)和汲極(Drain)的通道長度。
- (3)定義工作區(Active Region)。
- (4)定義金奈米粒子旋塗區域。
- (5)定義金屬連接線(Contact Hole)。
- (6)定義金屬外接墊(Metal Pad)。

2-2-1 定義對準鑰匙(Alignment Key)

在定義對準鑰匙前，一開始選用的矽基板為 P 型參雜，六吋(100)SOI 晶片，其最上層的 Si 厚度是 500 Å，BOX Oxide 是 1500 Å。首先以 RCA 標準流程清洗矽基板，並且將清洗後的矽基板放入高溫爐管，在 950 °C 的環境下成長約 20 分鐘，將可得到約 200Å 厚度的熱氧化層，將此熱氧化層當作之後製作對準點和離子佈值(Implant)的阻擋層，並

稱此熱氧化層為犧牲(Sacrificed)氧化層，如圖 2-7 所示。

製作好犧牲氧化層後，接著將晶片切成 1 cm x 1 cm 的大小，然後利用微影製程去定義對準點，並且利用活性離子蝕刻系統(Reactive Ion Etching System, 簡稱 RIE)去對定義好的圖案做蝕刻，則可得到具有對準點圖案的 SOI 晶片。對準點在這邊具有幫助微影製程的功用。

2-2-2 定義原極(Source)和洩極(Drain)的通道長度

接著定義原極(Source)和洩極(Drain)的通道長度，如圖 2-8 所示，通道的寬度有 20 μm 、10 μm 、和 5 μm ，接著將定義好的 SOI 晶片拿去進行離子佈值(Implant)，使得原極和洩極呈現 N^+ 的結構，並與金屬形成歐姆街面(Ohmic Contact)。離子佈值的參數為磷(P31)，佈值濃度為 $2 \times 10^{15} \text{cm}^{-2}$ ，佈值劑量為 15keV。

2-2-3 定義工作區(Active region)

離子佈值後的 SOI 晶片，先拿去使用 UV-Ozone 在 250°C 做 10 分鐘，在用 SPM(硫酸：雙氧水=3：1)去除光阻。然後再放進爐管進行 N^+ 退火的動作 30 分鐘，待退火完成後再做定義工作區的微影製程，工作區的圖案猶如狗骨頭，如圖 2-9 所示，中間那條通道的寬度有 20 μm 、10 μm 、和 5 μm ，長度固定 30 μm ，也就是微米線。然後用光阻當作抵擋層，使用 BOE 蝕刻二氧化矽，然後利用活性離子蝕刻系統(RIE)蝕刻 Si，然後用 SPM 去除光阻，這時候工作區就定義完成。

2-2-4 定義金奈米粒子旋塗區域

將定義好工作區的 SOI 晶片，拿去進行高溫爐管 950°C 8 分鐘，成長出約 80 Å 厚度的穿隧氧化層。接著進行黃光微影製程，定義出金奈米粒子的旋塗區域，之後再用光阻塗佈機將金屬有機高分子溶液在轉速 4000 rpm 下 45 秒後，在浸泡於丙酮(Acetone)中，放置在超音波震盪機內約五分鐘。待光阻去除後，將晶片放在 250°C 高溫下烘烤 30

分鐘，使金奈米粒子還原，之後再用 UV-Ozone 去除殘餘的有機高分子，即得到位於微米線上的金奈米粒子層，如圖 2-10 所示。

2-2-5 定義金屬連接線(Contact Hole)

製作好位於微米線上的金奈米粒子層後，將晶片置於電漿輔助化學氣相沉積系統 (PECVD) 內成長約 400 Å 厚度的 TEOS Oxide，如圖 2-11。將沉積好的晶片用光阻定義出金屬連接線(Contact Hole) 的位置，然後用 BOE 蝕刻二氧化矽，在用熱蒸鍍(Thermal Coater) 的方式去鍍上鋁(Al) 金屬，如圖 2-12 所示。

2-2-6 定義金屬外接墊(Metal Pad)

對於鍍完鋁後的晶片，用黃光微影的方式定義出金屬外接墊(Metal Pad)，再用鋁蝕刻液($\text{H}_2\text{O} : \text{CH}_3\text{COOH} : \text{H}_3\text{PO}_4 : \text{HNO}_3 = 5\% : 15\% : 72\% : 8\%$) 約 60 下進行蝕刻，即可得到金奈米粒子浮動閘極元件，如圖 2-13 所示。圖 2-14 顯微鏡下的元件圖，可以很清楚的看到左邊為源極，上面為閘極，右邊為汲極。微米線長度為 5 μm ，寬度為 20 μm 。

2-2-7 臨限電壓(Threshold Voltage, V_{TH})的決定

對於浮動閘極記憶體，臨限電壓的變化代表著元件儲存電荷能力的好壞。而求臨限電壓的方式有很多種，在這邊採用簡單的方式去定義它。固定一個 I_{DS} (源極到汲極的電流)，取其所對應的 V_{GS} (閘極-源極壓降)來當作 V_{TH} ，通常取 $I_{\text{DS}}=10 \text{ nA}$ 且 $V_{\text{DS}}=0.1 \text{ V}$ 。

2-2-8 次臨限擺幅(Subthreshold Swing, S.S.)

次臨限狀態參數在元件應用的過程中，是一個相當重要的參數。一般而言，當閘極電壓小於臨限電壓時，理論上汲極電流為零，但實際上卻不是等於零，這個不為零的電流就是所謂的次臨限電流 (Subthreshold Current)；也由於次臨限電流的存在，因此使得 MOSFET 元件並不能處於完全截止狀態。此時的通道因為閘極電壓是小於臨限電壓

的，因此呈現弱反轉的現象，其汲極電流可能由擴散來產生。另外，在弱反轉的情況下，源極和基板間的能位障較強反轉時的能位障來得高許多，是以此時的源極、基板及汲極可以看成是一個電晶體，其源極和基板間的電流-電壓(I-V)關係為類似PN接面的指數相依關係；所以，一般推斷次臨限電流和閘極電壓是成指數關係。通常在進行電路設計時，必須將次臨限電流列入考慮；否則，對於動輒數千萬個MOS元件的電路而言，由於此一電流所造成的功率消耗將會是非常嚴重的情形。

承上所述，可知在次臨限區中，次臨限電流和閘極電壓成指數正比關係；因此，若針對次臨限電流作一對數處理，並和閘極電壓做進一步分析後，可以得到一直線，此一直線可以定義為「次臨限擺幅 (Subthreshold Swing, S.S.)」，如公式2-2所示。通常，對於S.S.的意義為使次臨限電流增加十倍所需要的閘極增加量；所以，S.S.即等於次臨限區斜率的倒數。即是斜率愈大，則會有較小的S.S.，反之亦然。通常對於S.S.的要求是愈小愈好，因為這代表閘極對於次臨限電流有較大的控制能力；且因為S.S.較小，相對的次臨限電流會較小，所以元件在操作時會有較小的漏電流存在。

$$S = \frac{\partial V_G}{\partial(\log I_D)} \Bigg|_{V_D=\text{常數}} \quad (2-2)$$

在本實驗中，將對量測出來的汲極電流對閘極電壓(I_D - V_G)的關係圖中去討論金奈米粒子浮動閘極記憶體和控制組的次臨限擺幅(S.S.)。在這邊量測 S.S 的參數.是取 $I_{DS}=10$ nA 到 1 fA 對應 V_{GS} 斜率的導數。

2-2-9 開關電流比(On/Off Ratio)

開關電流比值越大代表著具有高的開電流(On Current)和低的關電流(Off Current)，也說明著越容易區分開和關這兩種狀態。在本實驗中，是取 $V_{GS}=5$ V 時的 I_{DS} 當作開電流除以最小的 I_{DS} ，再以自然對數表示。

2-2-10 記憶時間(Retention Time)的決定

記憶時間(Retention Time)對於記憶體是一個很重要的參數，首先藉由閘極操控將電

子寫入，並且每隔一段時間量測 $V_{GS}-I_{DS}$ ，並且計算 V_{TH} 的變化量，最後將 V_{TH} 的變化量與時間一起做圖，即可得到此記憶體的記憶時間的長短。除了製作寫入的記憶時間外，還會製作消除的記憶時間。

2-2-11 F-N 穿隧(F-N Tunneling)機制

在第一章中提到 F-N 穿隧機制以及藉由 F-N 穿隧機制的方式所產生的穿隧電流，在這邊將用來當做實際操作金奈米粒子浮動閘極記憶體的機制探討。回顧第一章所提到的 FN 穿隧電流如下所示：

$$J_{FN} = AE_{OX}^2 \exp\left[-\frac{B}{E_{OX}}\right] \quad (2-3)$$

$$A = \frac{q^3}{16\pi^2 \hbar \phi_{OX}}$$

$$B = \left[\frac{4\sqrt{2m^*}}{3q\hbar} (\phi_{OX})^2 \right]$$

將公式(2-3)做變化，則會得到 $\ln\left(\frac{J_{FN}}{E_{OX}^2}\right) = \ln A - \frac{B}{E_{OX}}$ (2-4)

A 和 B 在 F-N 穿隧電流公式中是常數，因此當我們取得閘極電流對閘極電壓(I_G to V_G)的關係圖後，則可以轉換成 $\ln\left(\frac{J_{FN}}{E_{OX}^2}\right)$ 對 $\frac{1}{E_{ox}}$ 的關係圖，其中 X 軸以 $\frac{1}{E_{ox}}$ (cm/V) 為單位，

Y 軸以 $\ln\left(\frac{J_{FN}}{E_{OX}^2}\right)$ (A/V²) 為單位並且從圖中得到一個斜率為負的直線，另外從公式(2-2)中得知 FN 穿隧電流與溫度是沒有關係的，所以隨著溫度的變化，F-N 穿隧電流的數值應該是固定的。

對於我們所操作的元件是藉由閘極電壓的操作來達到浮動閘極內的電子的注入以及消除，因此我們想要證明記憶體的操作機制是 F-N 穿隧機制。對於二氧化矽的崩潰電場為 6×10^6 V/cm，而 F-N 穿隧電流是發生在電場大於 10^5 V/cm，但是卻小於二氧化矽的崩潰電場的時候所產生的。當實際操作記憶體時， V_{GS} 從 0 V 加到 40 V，並且觀察其

I_{GS} ，並且取電場位於 6×10^6 V/cm 和 10^5 V/cm 之間的電流做 $\ln\left(\frac{J}{E_{ox}^2}\right)$ 對 $\frac{1}{E_{ox}}$ 的關係圖，

並且從圖中驗證我們記憶體的操作機制是 F-N 穿隧機制。

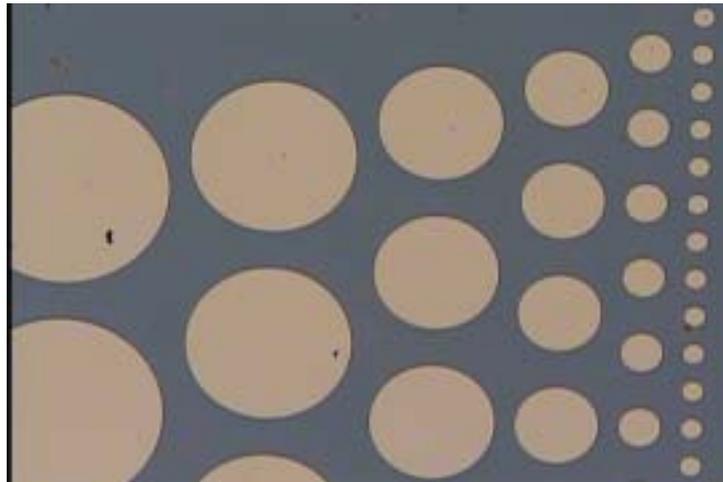


圖 2-2 金屬電極圖形：電極直徑由左而右(大到小)依序為 500、400、300、200、100、50 μm 。

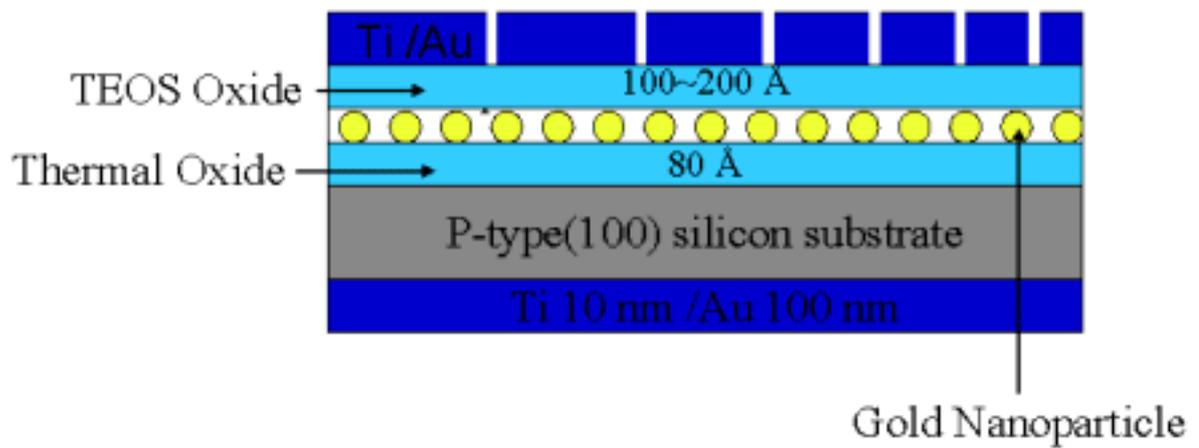


圖 2-3 金奈米粒子金氧半二極體電容頗面圖。

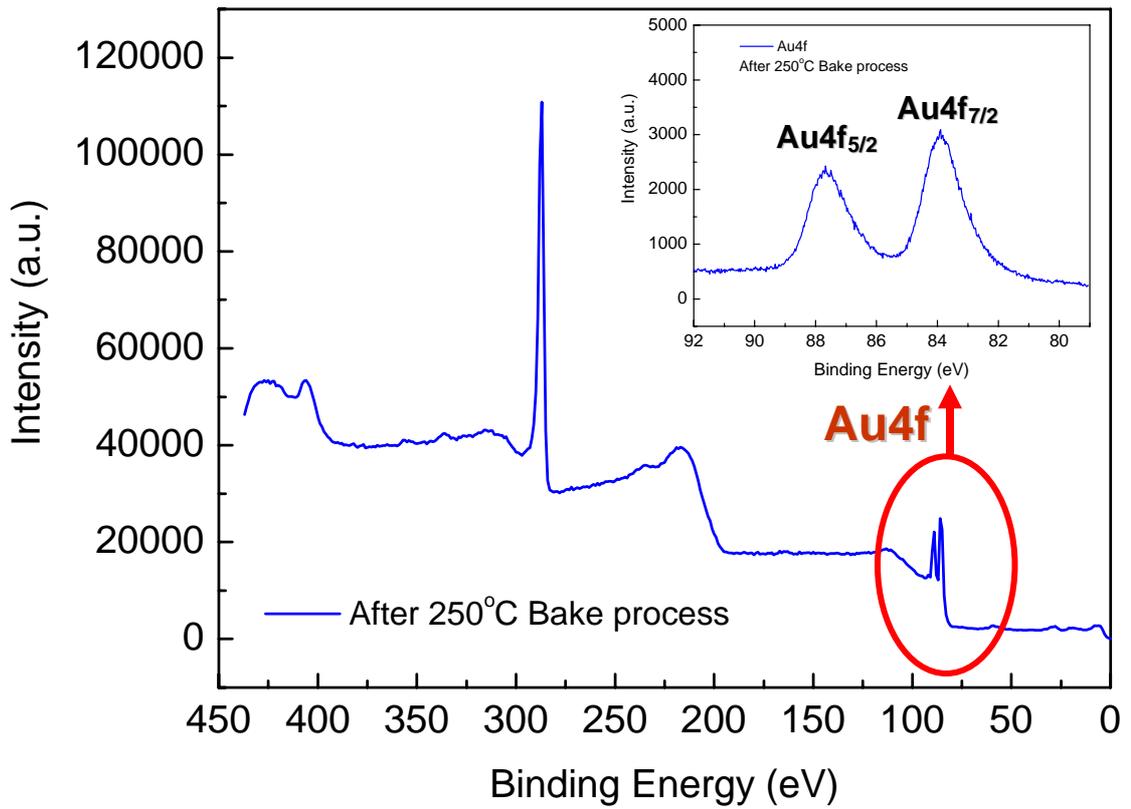


圖 2-4 利用 SPEM 的儀器量測金奈米粒子層旋塗在熱氧化層的矽晶板的 XPS 訊號，發現在鍵結能(Binding Energy) 80~92eV 附近有金(Au)的 4f_{5/2} 和 Au4f_{7/2} 的特有波段。此樣品經過 250°C 熱烘烤和 UV-Ozone 處理。

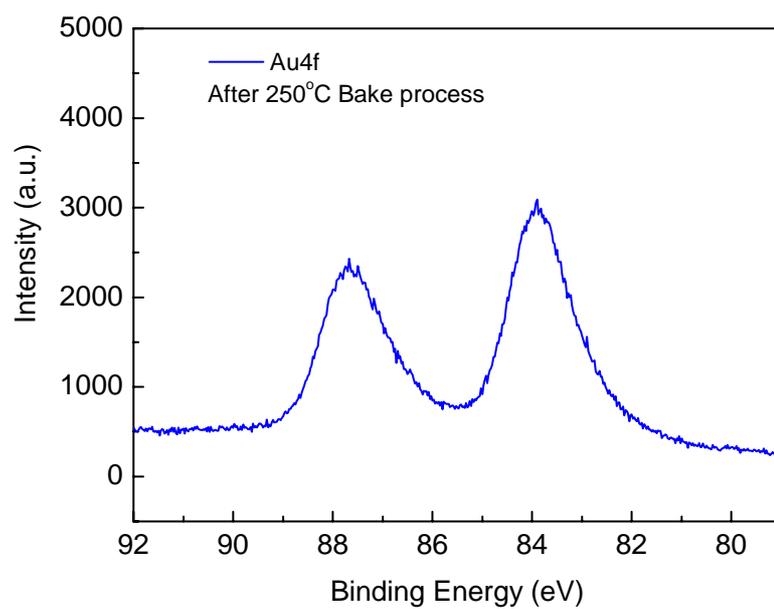
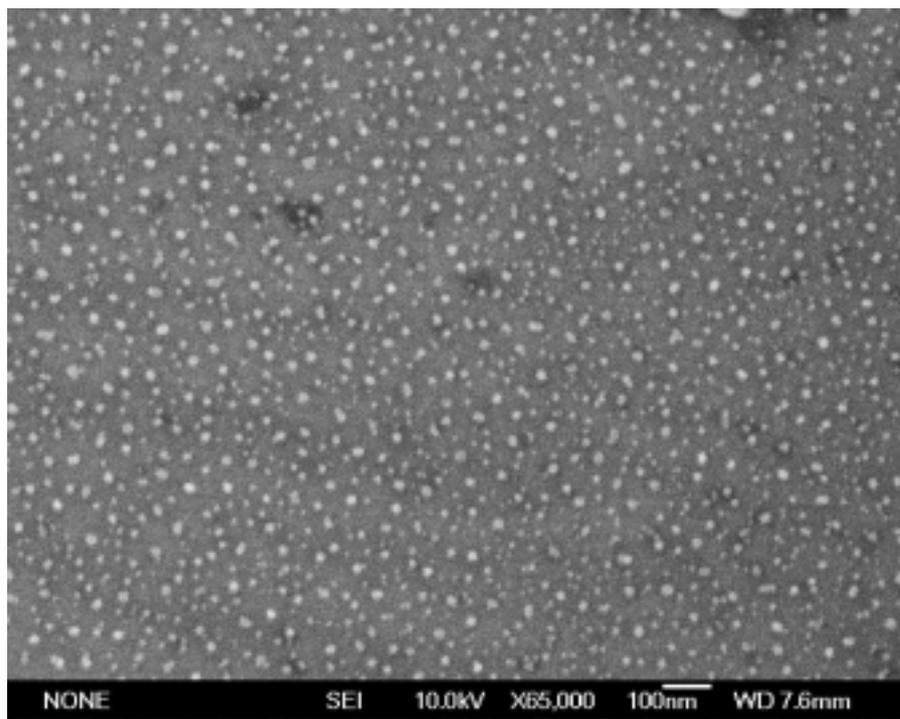
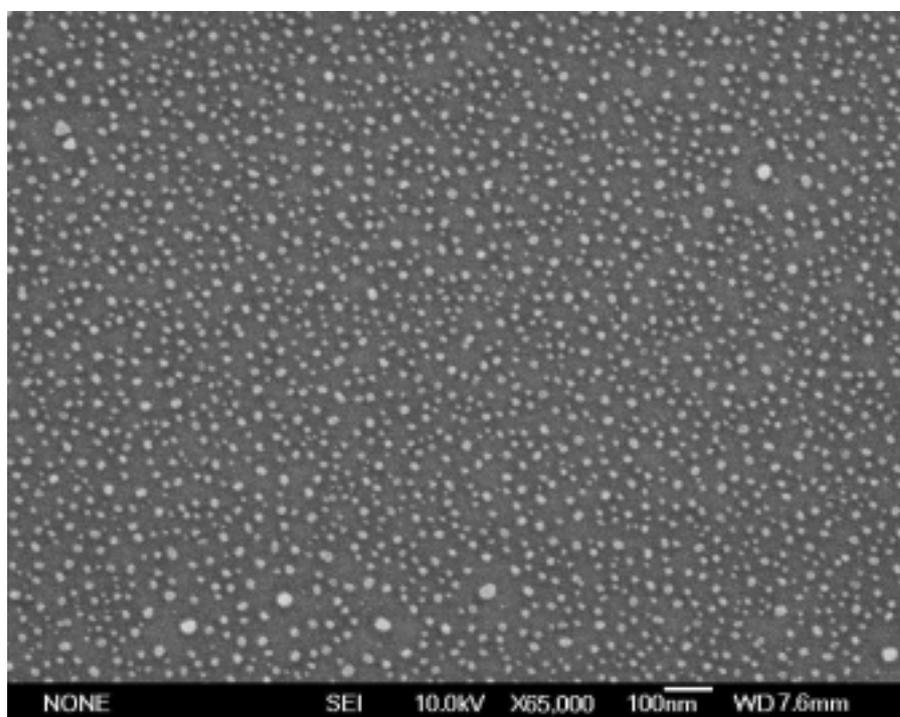


圖 2-5 為金奈米粒子在 XPS 中所持有的 4f 訊號。金奈米粒子在鍵結能 84 eV 附近會產生 $4f_{7/2}$ 的波段，在鍵結能 88 eV 附近會產生 $4f_{5/2}$ 的波段。

(a)



(b)



(c)

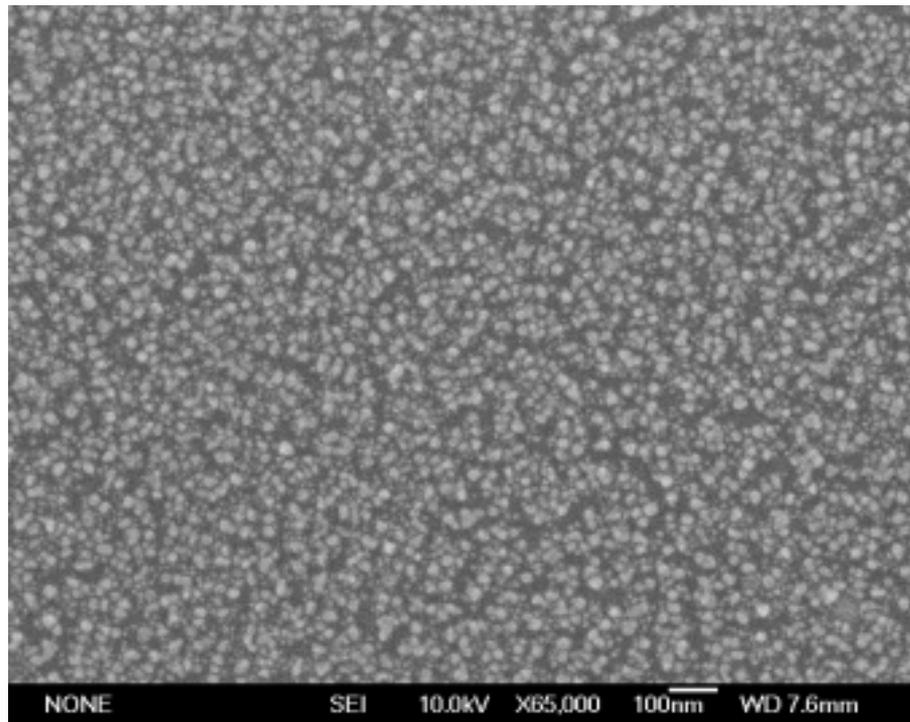


圖 2-6 金奈米粒子在 250 不同烘烤條件下製作的表面形貌，分別為(a)15 分鐘，(b)35 分鐘，(c)55 分鐘，烘烤完成後放進 UV-Ozone 去除殘餘的有機高分子，並置於 SEM 內拍攝的圖片，密度分別為(a) $4.5 \times 10^{10} \text{ \#/cm}^{-2}$ ，(b) $8.3 \times 10^{10} \text{ \#/cm}^{-2}$ ，(c) $1.12 \times 10^{11} \text{ \#/cm}^{-2}$ 。

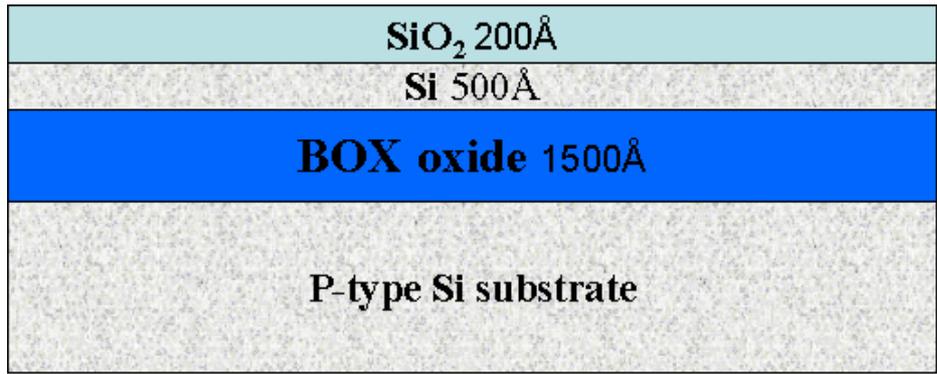
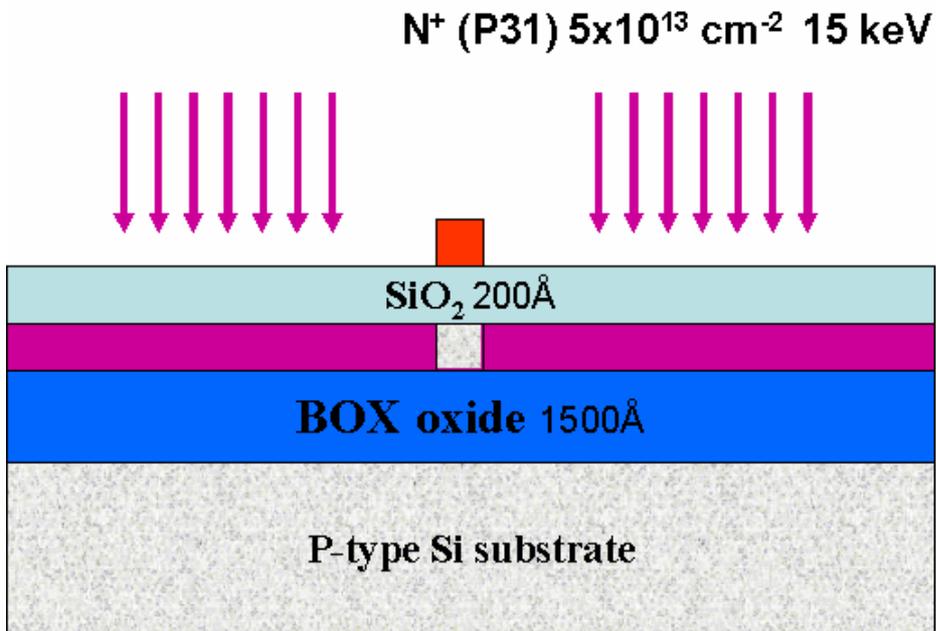


圖 2-7 使用高溫爐管成長犧牲氧化層，成長的厚度約為 200 Å，製作後元件的剖面示意圖如上。

(a)



(b)

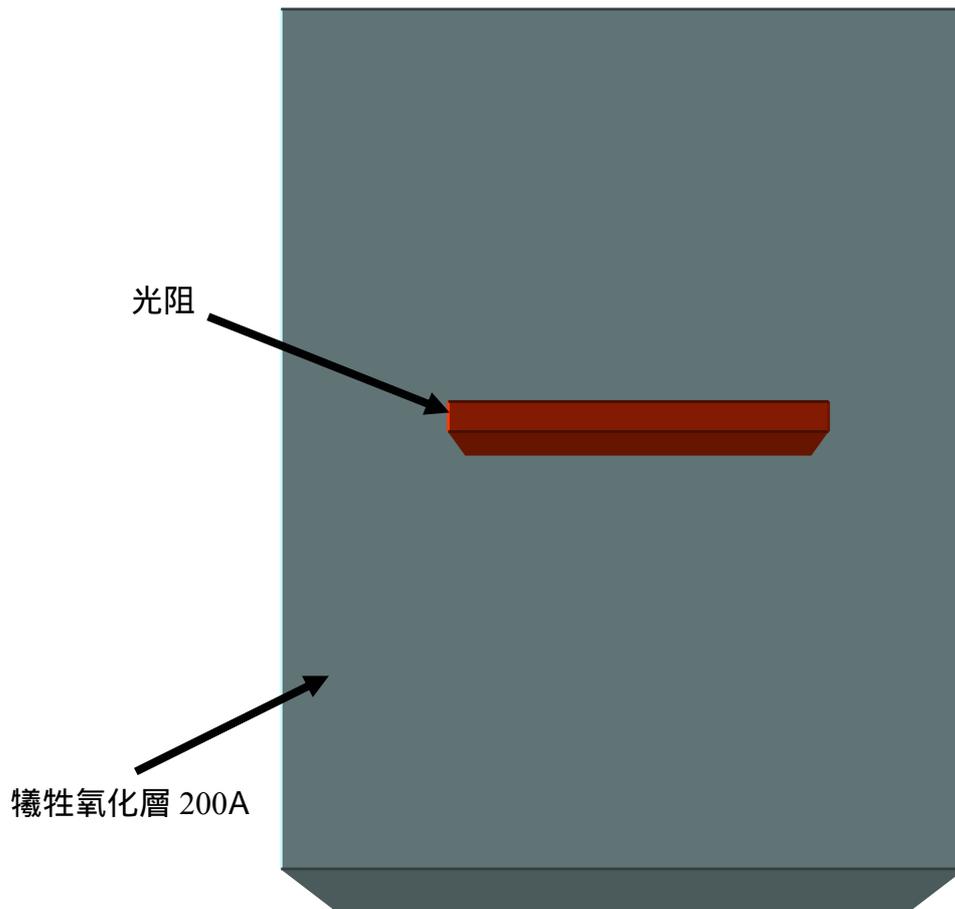
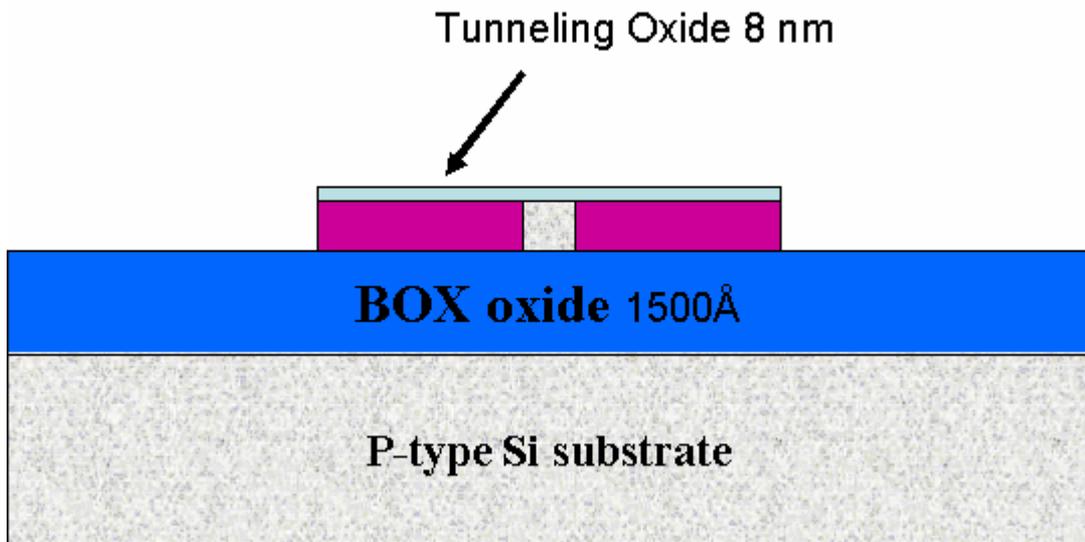


圖 2-8 使用黃光微影製程定義源極和汲極的通道長度，並且對用光阻定義出來的源極和汲極做離子佈值的動作。離子佈值參數為 $N^+(P31)$ ， $5 \times 10^{15} \text{ cm}^{-2}$ ，15 keV，(a)元件的剖面示意圖，(b)元件的俯視示意圖。

(a)



(b)

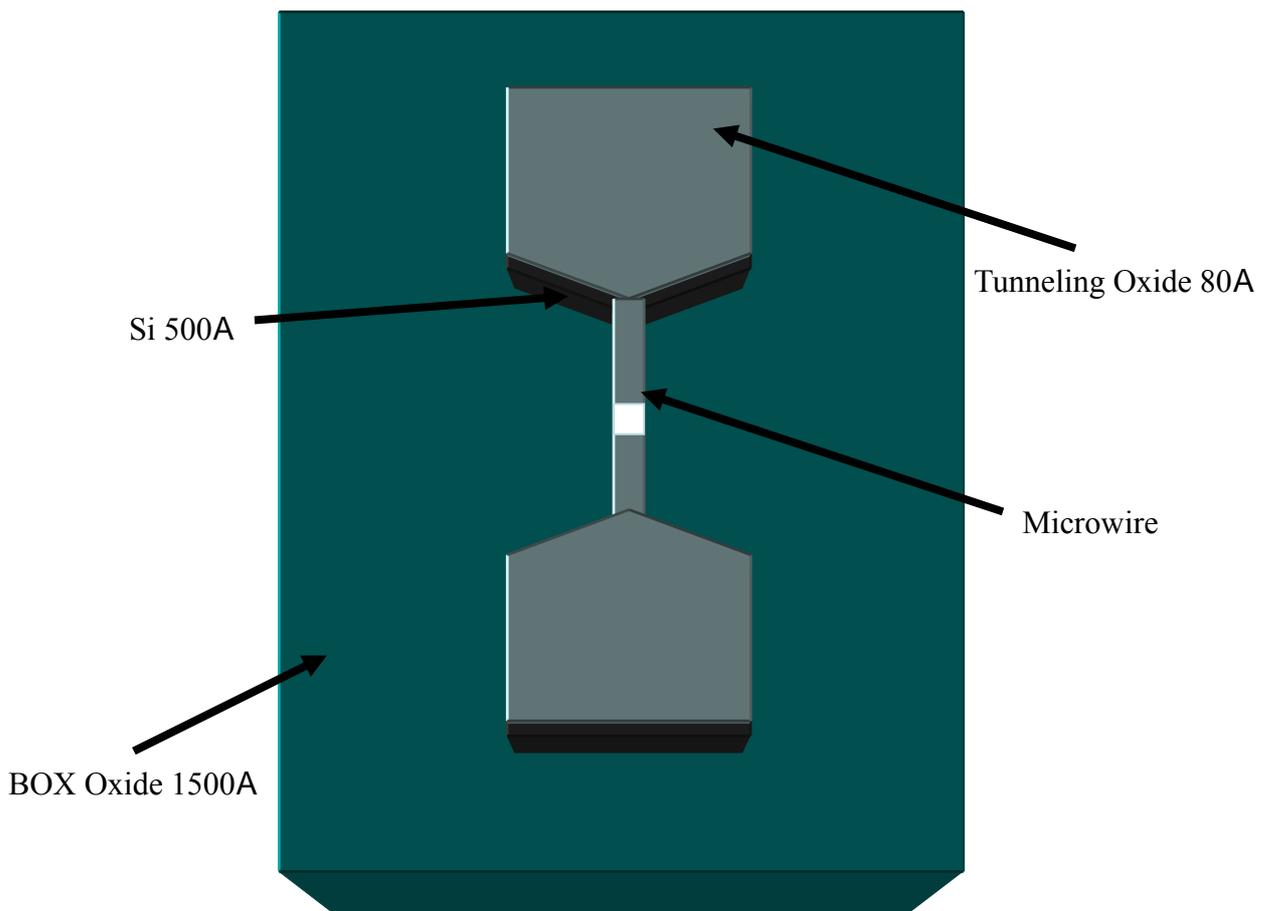
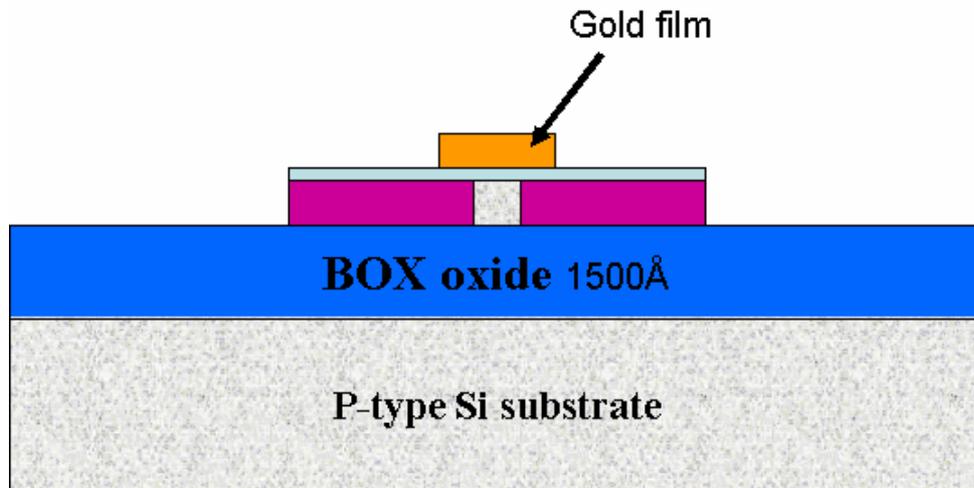


圖 2-9 使用活性離子蝕刻系統(RIE)定義出工作區，並且放進高溫爐管進行穿隧氧化的成長。穿隧氧化層的成長參數為 950°C，8 分鐘，成長的厚度約為 80 Å，(a)元件的剖面示意圖，(b)元件的俯視示意圖。

(a)



(b)

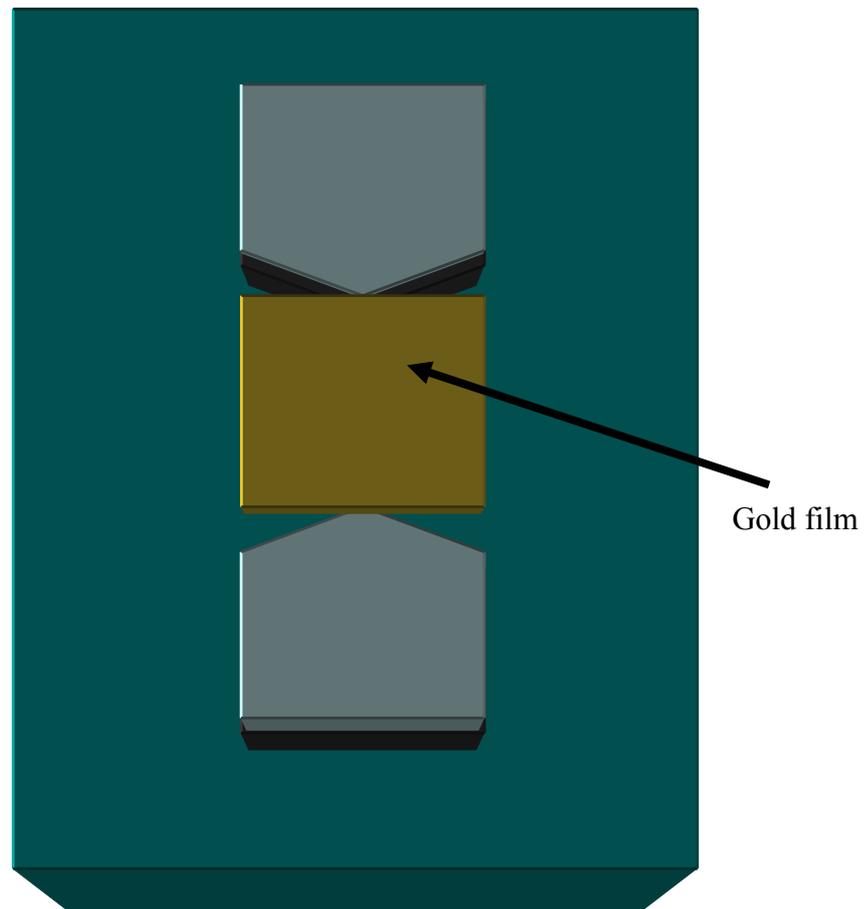
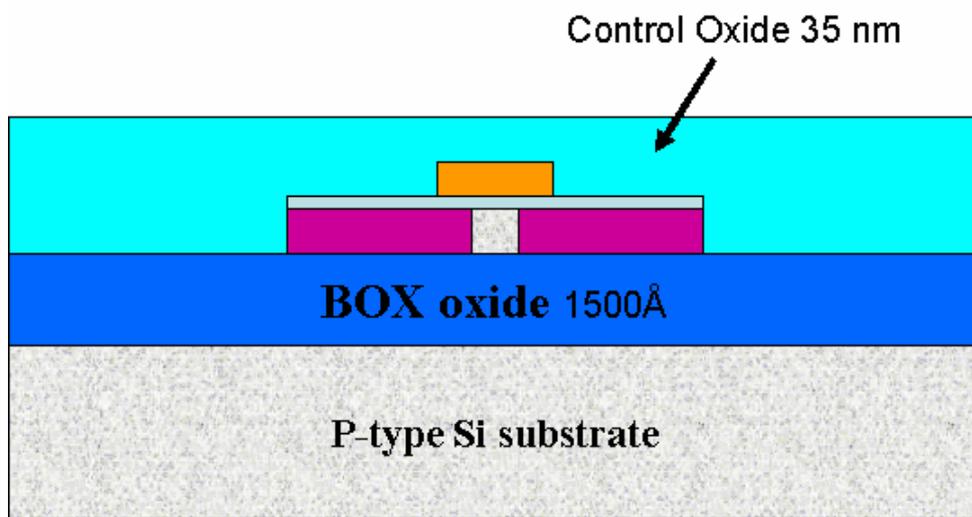


圖 2-10 用黃光微影製程定義金奈米粒子層旋塗區域。金奈米粒子旋塗參數為第一段轉數 1000 rpm 20 秒，第二段轉數 4000 rpm 40 秒，烘烤溫度為 250 35 分鐘，UV-Ozone 10 分鐘，(a)元件的剖面示意圖，(b)元件的俯視示意圖。

(a)



(b)

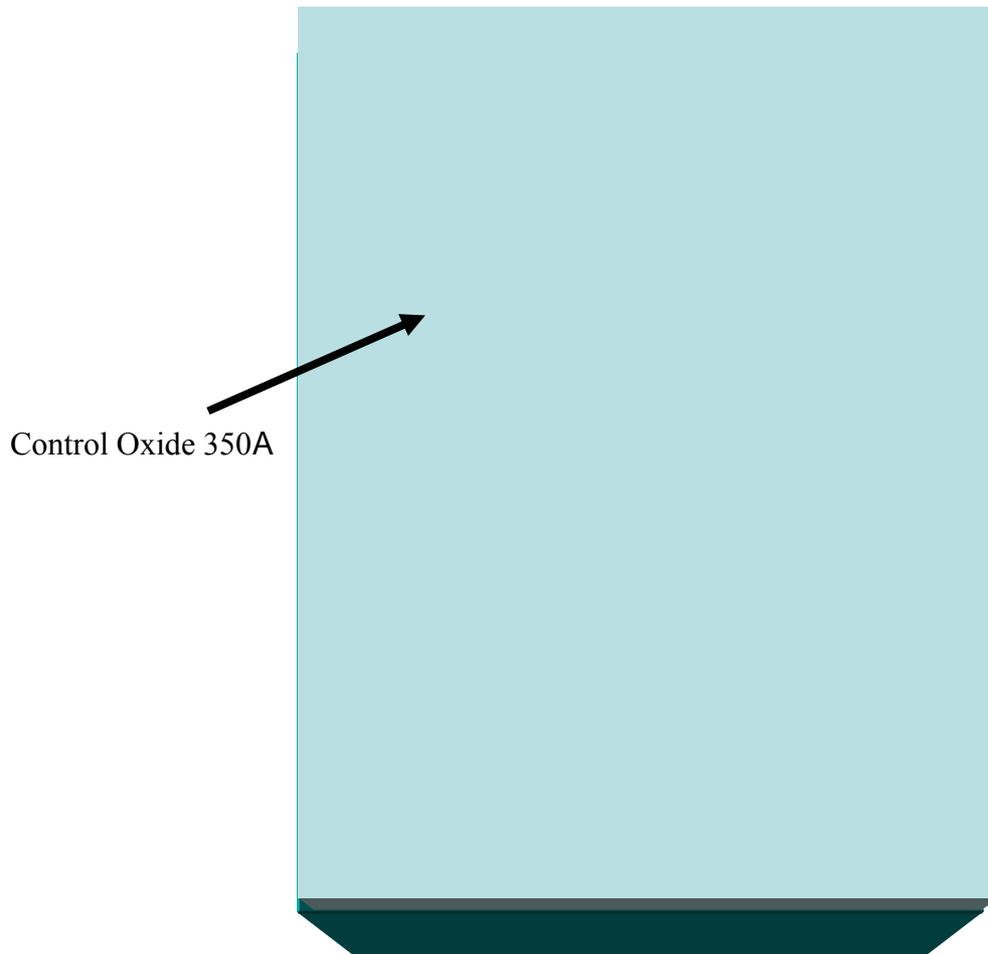
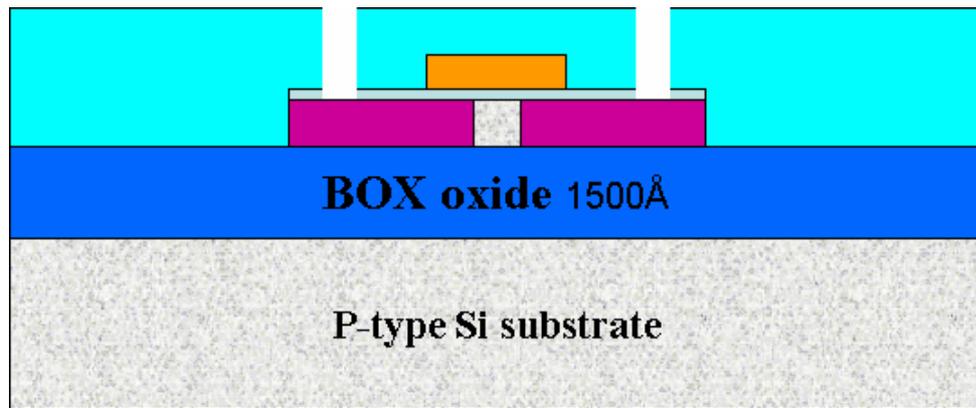


圖 2-11 使用 PECVD 去成長控制氧化層，成長的厚度約為 350 Å，(a)元件的剖面示意圖，
(b)元件的俯視示意圖。

(a)



(b)

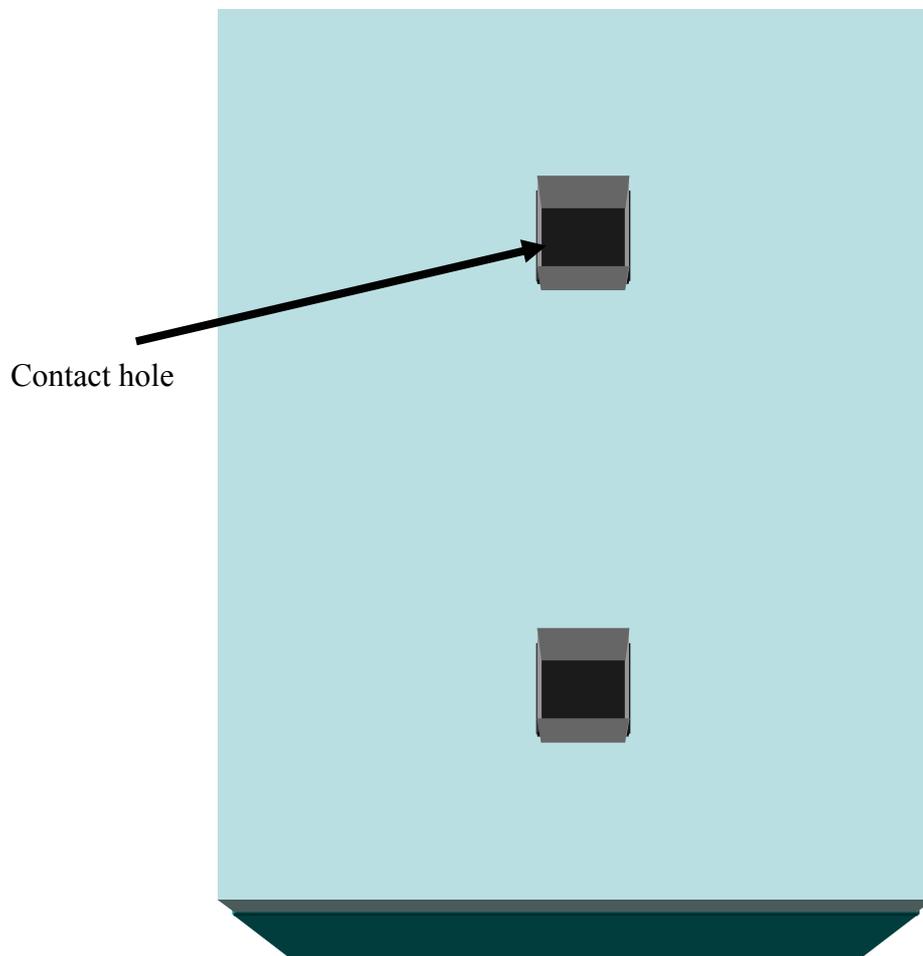
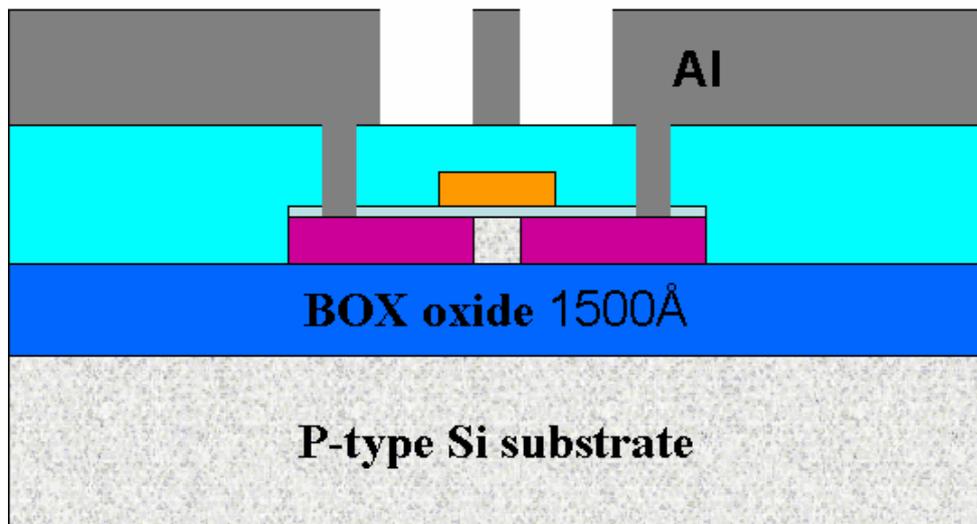


圖 2-12 使用黃光微影製程定義出金屬連接線(Contact Hole)的位置，並用 BOE 蝕刻出金屬連接線，(a)元件的剖面示意圖，(b)元件的俯視示意圖。

(a)



(b)

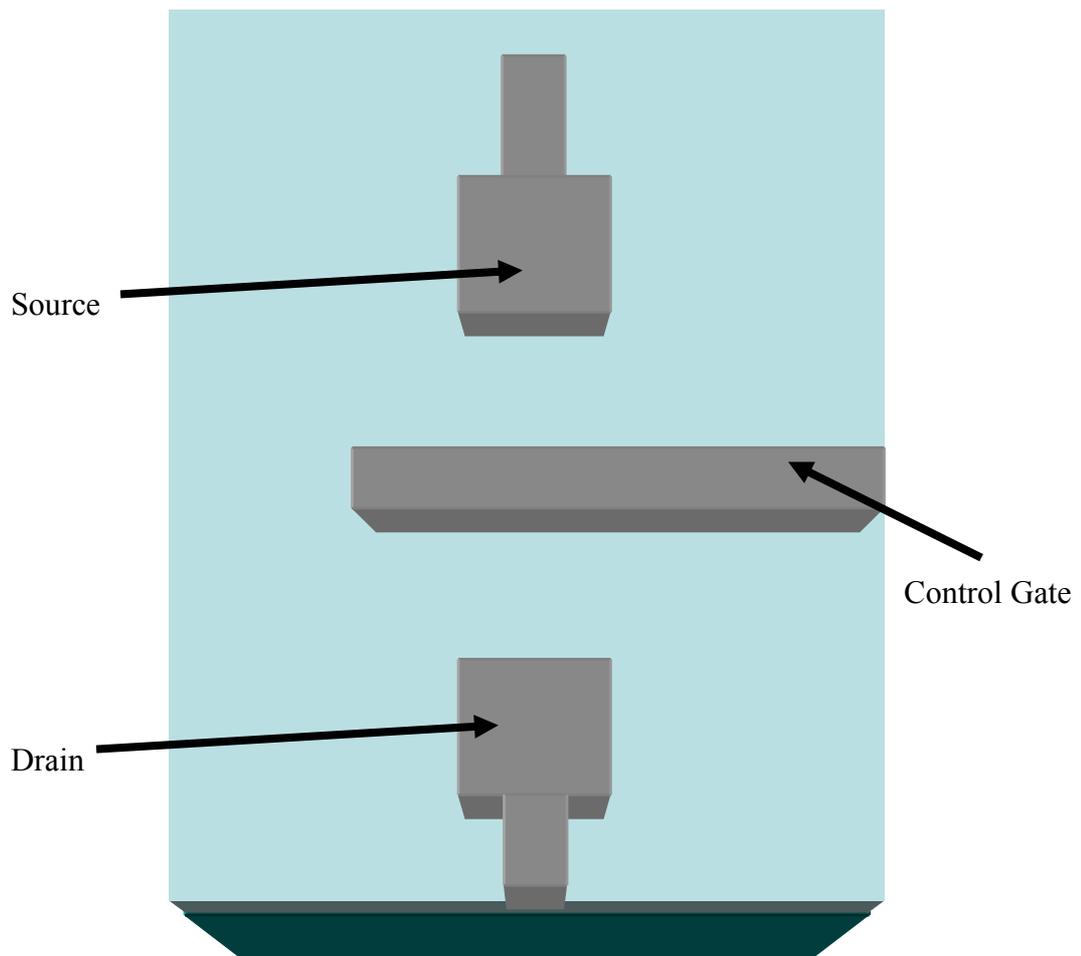


圖 2-13 使用熱蒸鍍系統鍍上鋁(Al)電極，並且用黃光微影製程定義出金屬外接墊(Metal Pad)的位置，(a)元件的剖面示意圖，(b)元件的俯視示意圖。

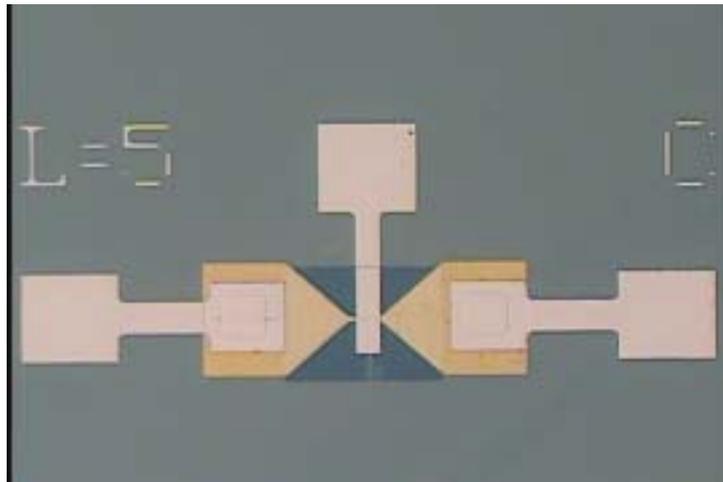


圖 2-14 金奈米粒子浮動閘極記憶體的閘極、源極、汲極位置圖。

第三章 元件量測結果和討論

上一章介紹了關於金奈米粒子金氧半二極體電容和金奈米粒子浮動閘極記憶體元件的實驗流程和要探討的項目。在本章節將對於完成的元件做量測，並且做一系列的討論。在本章節分為兩個主軸在進行，一個是金奈米粒子金氧半二極體電容的記憶效應的特性分析，另一個則是對金奈米粒子浮動閘極記憶體進行寫入和清除的特性分析。

3-1 金奈米粒子金氧半二極體電容

對於製作好的電容，我們使用安捷倫 HP 4284A LCR Analyzer 來進行高頻狀態下電容-電壓曲線量測，頻率設定為 1 MHz，延遲時間設定為 10 秒，對-12 V 到 6 V 的電壓區進行掃描，並且對量測出來的結果做分析。對於製作金奈米粒子的參數，在這邊是採用第一段轉數為 1000 rpm 20 秒，第二段轉數為 4000 rpm 40 秒，並且將製作完成的樣品放在 250 °C 下 35 分鐘，使得金奈米粒子還原，接著在置於 UV-Ozone 內 10 分鐘將殘餘的有機高分子燒掉，金奈米粒子製作完成。圖 3-1 為金奈米粒子金氧半二極體電容與控制組的電容-電壓(C-V)曲線圖，從圖中可以看出當我們將金奈米粒子做成電容結構後，可以看到開出約 2.88 V 的遲滯大小。因此我們可以確定我們藉由旋塗出來並經由高溫還原出來的金奈米粒子具有捕捉電子的能力，故將金奈米粒子置放於微米線上，並製作成浮動閘極記憶體的結構。

3-2 金奈米粒子浮動閘極記憶體

對於製作完成的金奈米粒子浮動閘極記憶體元件，我們使用安捷倫 4155 來做量測，並且對於臨限電壓(V_{TH})、次臨限斜率(Subthreshold slope, 簡稱 S.S)、開關電流比(On/Off Ratio)、記憶體的寫入(Write)和消除(Erase)、以及 FN 穿隧(F-N Tunneling)機制的探討。

3-2-1 臨限電壓(Threshold Voltage)

關於臨限電壓的量測參數為閘極電壓從-5 到 5($V_G=-5V$ to $V_G=5V$)，汲極電流為 0.1V($V_D=0.1V$)，源極接地($V_S=0V$)，量測閘極電壓對汲極電流的變化(V_G vs. I_D)。量測元件的通道長度為 20 μm ，寬度是 5 μm ，並計算當電流為 10 pA(10^{-11}A)時的臨限電壓(V_{TH})值。

首先我們量測伍個不同的控制組的元件的閘極電壓對汲極電流的變化(V_G vs. I_D)，如圖 3-2。伍個不同的金奈米粒子浮動閘極記憶體元件閘極電壓對汲極電流的變化(V_G vs. I_D)，如圖 3-3。並計算各組臨限電壓的平均值以及誤差(標準差)，並將其做成長條圖，如圖 3-4，各組數值、平均值以及誤差如表 3-1 所示。

金奈米粒子浮動閘極記憶體的臨限電壓平均值是-1.27 V，誤差(標準差)是 0.19664 V。控制組的臨限電壓平均值是-1.82 V，誤差(標準差)是 0.21679 V。

表 3-1 中這五組金奈米粒子浮動閘極記憶體是選取在其周圍的元件做量測，所以其臨限電壓值差異不大，但是對於比較遠的元件，其差異就相當的明顯，在這邊並未列出。對於用光阻旋塗機來製作的金奈米粒子層，經過熱烘烤還原後的金奈米粒子數量，其表面的粒子數量並不一致，這是造成距離越遠的元件的臨限電壓值差異較大的原因。從表 3-1 也可看出當金奈米粒子作為浮動閘極後，其臨限電壓值與控制組並不相同，這是因為整個元件的工函數發生了變化。

3-2-2 次臨限擺幅(Subthreshold Swing)

次臨限擺幅的大小可以看出元件閘極對於通道的控制能力的好壞，其值越小代表控制能力越好。將圖 3-2,圖 3-3 所量測出來的閘極電壓對汲極電流的變化(V_G vs. I_D)，取其汲極電流 10 nA (10^{-8}A)到 100 nA (10^{-7}A)對閘極電壓斜率的導數就是所謂的次臨限擺幅

(V/dec)。

圖 3-5 是將這兩種元件的次臨限擺幅(Subthreshold Slope)做成長條圖的標示，並且加上誤差(標準差)。表 3-2 是所有元件的次臨限擺幅的平均和誤差的比較。從長條圖中可以看出這兩種元件的 S.S.值並沒有什麼差別，由此可以推斷元件的 S.S.都是差不多的。

3-2-3 開關電流比(On/Off Ratio)

開關電流比(On/Off Ratio)越高，代表開和關這兩種狀態越容易分辨，圖 3-6 是將控制組和金奈米粒子組的記憶體元件做開關電流比的長條圖的標示，並且標上誤差(標準差)。表 3-3 是所有元件的開關電流比的平均和誤差的比較。從表 3-3 中可以看到控制組的開關電流比平均是 6.89012，誤差(標準差)是 0.6539，金奈米粒子浮動閘極記憶體的開關電流比是 6.59438，誤差(標準差)是 0.32742。

3-2-4 寫入(Write)和清除(Erase)的動作對遲滯大小的影響

在此章節中將對浮動閘極元件進行寫入和消除的動作，其實驗流程如下：

1. 首先，對元件做清除(Erase)的動作，參數為源極開路($V_S=Open$)，閘極固定施加-25 V($V_G=-25 V$)，閘極電壓施加時間為 1 秒，汲極為 0.1 V($V_D=0.1V$)。
2. 接著對清除後的元件進行讀取的動作，並觀察臨限電壓的偏移量。量測閘極電壓對汲極電流(V_G vs. I_D)的圖。
3. 然後對元件做寫入(Write)的動作，參數為源極開路($V_S=Open$)，閘極從 10 V 開始加到 25 V，閘極電壓施加時間為 0.5 秒，汲極為 0.1 V($V_D=0.1V$)。
4. 最後在對元件進行讀取的動作，並觀察臨限電壓的偏移量。

實驗結果如圖 3-7 所示，可以看到當寫入的電壓漸漸加大的時候(10 V to 15 V)，遲

滯的大小從原本的 0 V 變成了約 1 V，隨著寫入電壓加到 25 V 後，遲滯的大小開到約 3 V。表 3-4 為金奈米粒子浮動閘極記憶體，寫入電壓所對應的臨限電壓變化量。將表 3-4 做圖，則得到圖 3-8 為金奈米粒子浮動閘極記憶體在不同偏壓下操作所得到的臨限電壓變化和閘極電壓的關係，並且標上誤差(標準差)。表 3-5 為兩種不同的元件在 ± 25 V 下進行寫入(0.5 秒)和消除(1 秒)的動作後所得到的遲滯表。圖 3-9 為控制組與金奈米粒子浮動閘極記憶體在 25 V 下進行寫入(0.5 秒)和 -25 V 下進行消除(1 秒)所得到的遲滯比較長條圖，可以看到說藉由閘極電壓的操控下，我們的金奈米粒子成功的捕捉了電子，並且開出了約 3 V 的遲滯。

3-2-5 記憶時間(Retention Time)

記憶時間對於浮動閘極記憶體而言是很重要的參數，代表著這個元件儲存電荷的持續能力。而在此章節中，將介紹關於記憶時間(Retention Time)的量測步驟。

1. 首先對記憶體進行消除(Erase)的動作，消除參數為源極開路($V_S=Open$)，閘極固定施加 -25 V ($V_G=-25$ V)，閘極電壓施加時間為 1 秒，汲極為 0.1 V ($V_D=0.1$ V)。
2. 接著每隔一段時間對記憶體進行讀取的動作，讀取參數為閘極電壓從 -5 V 到 5 V ($V_G=-5$ V~5 V)，汲極電壓為 0.5 V ($V_D=0.5$ V)，源極接地 ($V_S=0$ V)，並且判斷臨限電壓的數值。
3. 將第一步的步驟改為寫入(Write)，寫入的參數為參數為源極開路 ($V_S=Open$)，閘極電壓為 25 V ($V_G=25$ V)，閘極電壓施加時間為 0.5 秒，汲極為 0.1 V ($V_D=0.1$ V)。
4. 最後每隔一段時間對記憶體進行讀取的動作，讀取參數為閘極電壓從 -5 V 到 5 V ($V_G=-5$ V~5 V)，汲極電壓為 0.5 V ($V_D=0.5$ V)，源極接地 ($V_S=0$ V)，並且判斷臨限電壓的數值。

5. 將寫入和消除所獲得的臨限電壓值做整理，並且做成臨限電壓差值與時間的關係圖。

圖 3-10 金奈米粒子浮動閘極記憶體的記憶時間(Retention Time)，可以看到隨著時間的流逝，遲滯的大小逐漸變小，從原本的 3 V 變成約 2.2 V 的大小，當時間約為 10^4 秒。然而影響記憶時間的因素，在本實驗中可能與控制氧化層有關係。本次實驗所用的控制氧化層，是採用 NDL 的 PECVD 所成長出來的，然而成長出來的厚度和品質都不甚理想，以致於記憶時間的能力受到限制甚至變差。

3-2-6 FN 穿隧(FN Tunneling)機制

在第二章提到關於從閘極電流對閘極電壓(I_G to V_G)的關係圖後，藉由公式 3-1 的轉換成公式 3-2 後，可以得到 FN 穿隧電流與電壓的關係式。

$$J_{FN} = AE_{OX}^2 \exp\left[-\frac{B}{E_{OX}}\right] \quad (3-1)$$

$$\ln\left(\frac{J_{FN}}{E_{OX}^2}\right) = \ln A - \frac{B}{E_{OX}} \quad (3-2)$$

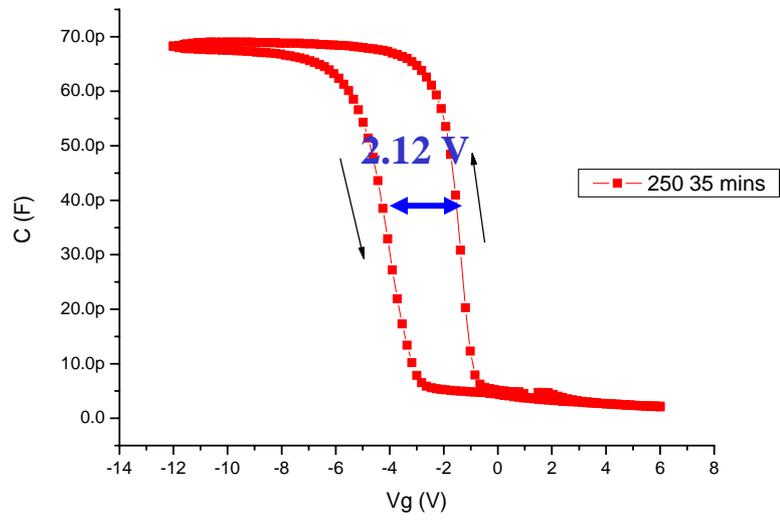
其中 $A = \frac{q^3}{16\pi^2\hbar\phi_{OX}}$ ， $B = \left[\frac{4\sqrt{2m^*}}{3q\hbar}(\phi_{OX})^{\frac{3}{2}}\right]$ 。

在本章節中，對於量測閘極電流對閘極電壓的關係圖的實驗步驟，其參數為閘極電壓從 0 V 加到 40 V ($V_G=0$ V~40 V)，汲極開路($V_S=Open$)，源極接地($V_S=0$ V)。又從公式 3-2 可以得知 F-N 穿隧電流是與溫度沒關係，在這邊針對 300K、350K、380K 下進行量測，來觀看溫度對於電流是否有影響。

圖 3-11 為金奈米粒子浮動閘極記憶體，在不同溫度下， $\ln\left(\frac{J}{E^2}\right)$ 和 $\frac{1}{E}$ 的關係。從圖

中可以看到當溫度從 300K 升到 350K，甚至是 380K，對於 $\ln\left(\frac{J}{E^2}\right)$ 和 $\frac{1}{E}$ 的關係並未看出跟溫度有一定的關係，因此可以判定我們的金奈米粒子浮動閘極記憶體是操作在 F-N 穿遂機制下。

(a)



(b)

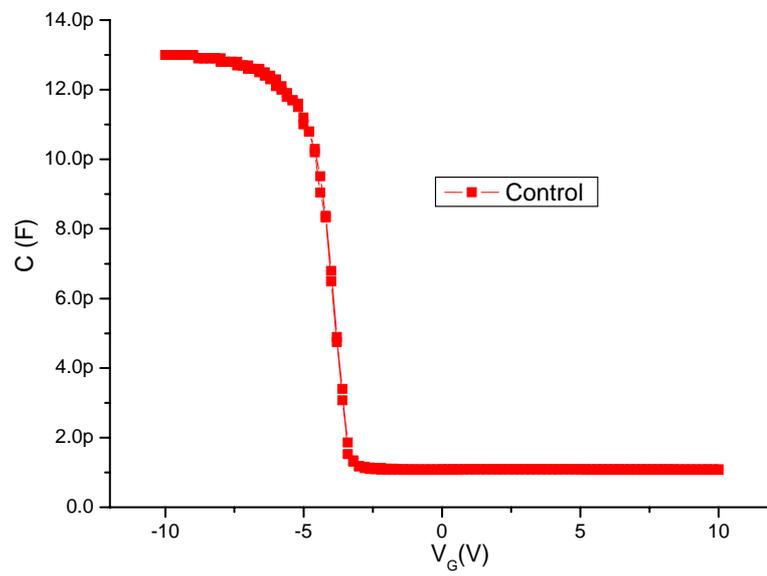


圖 3-1 兩種不同狀況的金氧半二極體電容的電容-電壓(C-V)曲線圖。(a)金奈米粒子金氧半二極體電容。(b)控制組。

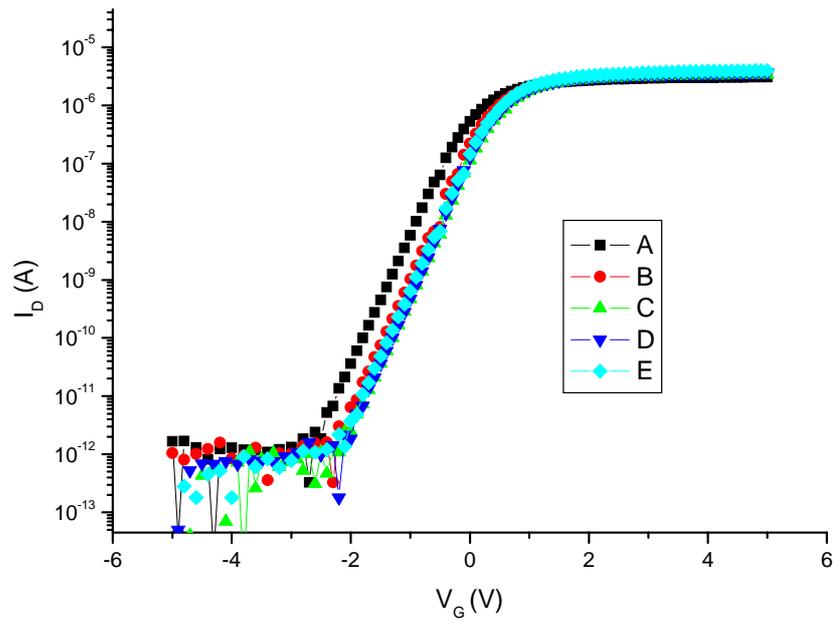


圖 3-2 伍個不同控制組閘極電壓對汲極電流的曲線。

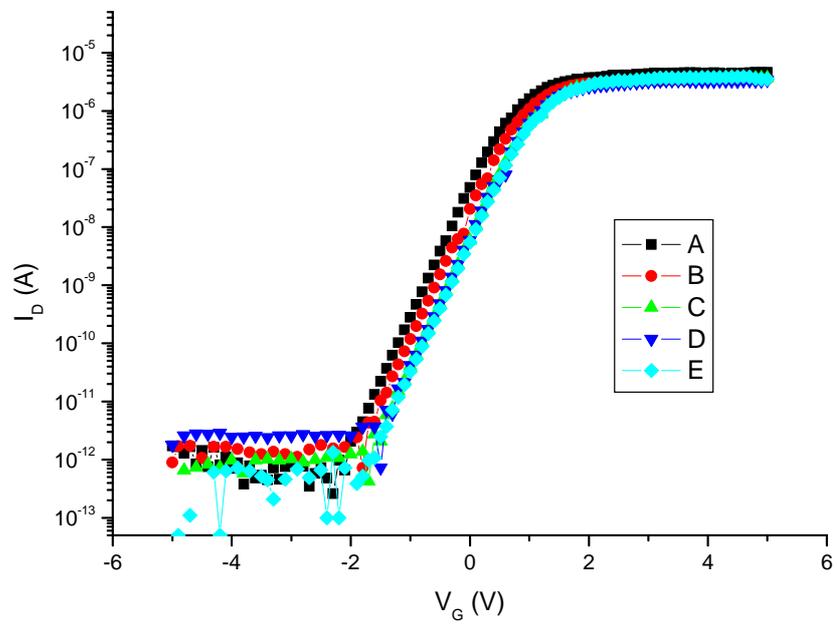


圖 3-3 伍個不同浮動閘極為金奈米粒子的閘極電壓對汲極電流曲線。

表 3-1 所有元件的臨限電壓的平均和誤差表

Vth	A	B	C	D	E	Mean	Error
Control	-2.2	-1.8	-1.7	-1.7	-1.7	-1.82	0.21679
Au	-1.6	-1.4	-1.2	-1.2	-1.1	-1.2667	0.19664

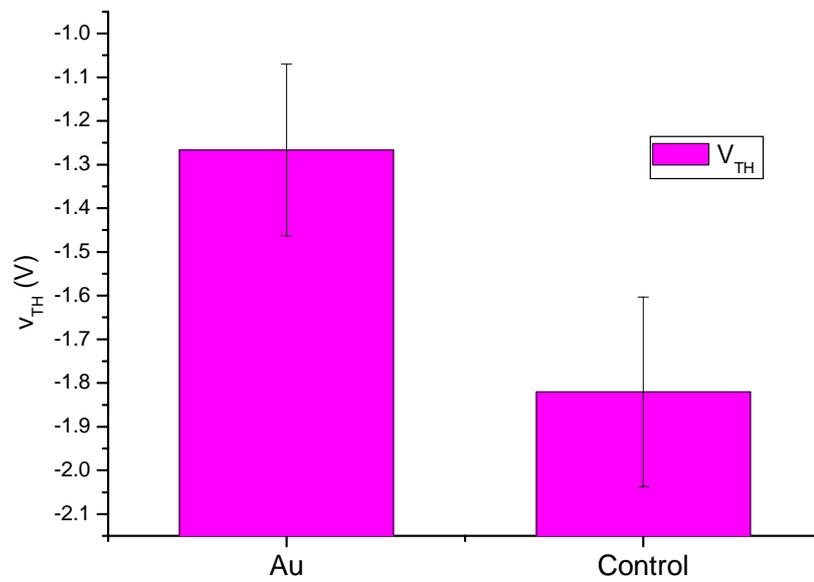


圖 3-4 所有元件的臨限電壓的平均誤差圖。

表 3-2 所有元件的次臨限擺幅的平均和誤差的比較

S.S.	A	B	C	D	E	Mean	Error
Control	0.5698	0.5572	0.5477	0.5156	0.5231	0.54268	0.02285
Au	0.5372	0.5747	0.5402	0.5788	0.5503	0.55624	0.0194

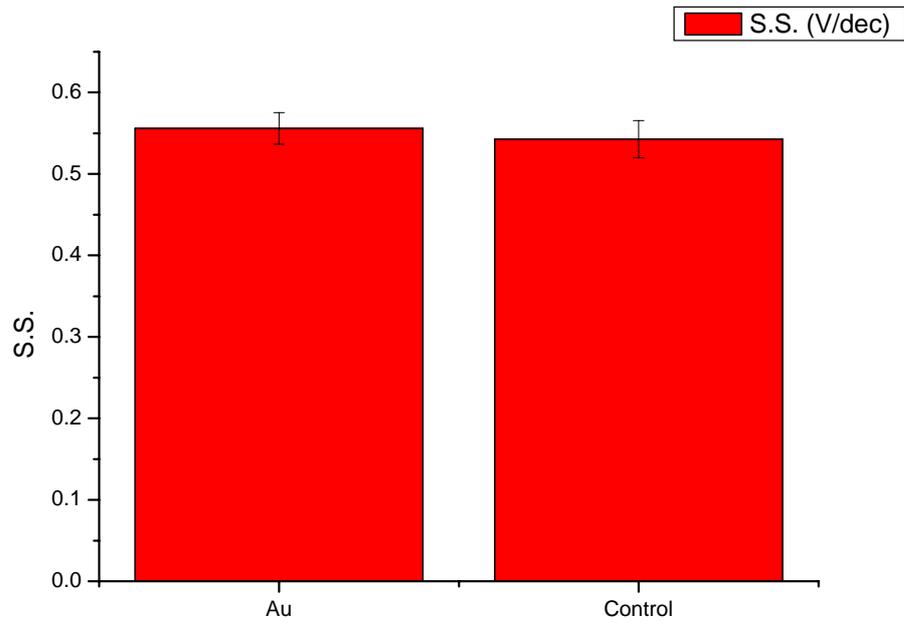


圖 3-5 所有元件的次臨限擺幅的平均和誤差圖。

表 3-3 所有元件的開關電流比的平均和誤差的比較

On/Off	A	B	C	D	E	Mean	Error
Control	6.4209	6.5911	6.2748	7.4016	7.7622	6.89012	0.6539
Au	6.2686	6.5552	6.2922	6.9884	6.8675	6.59438	0.32742

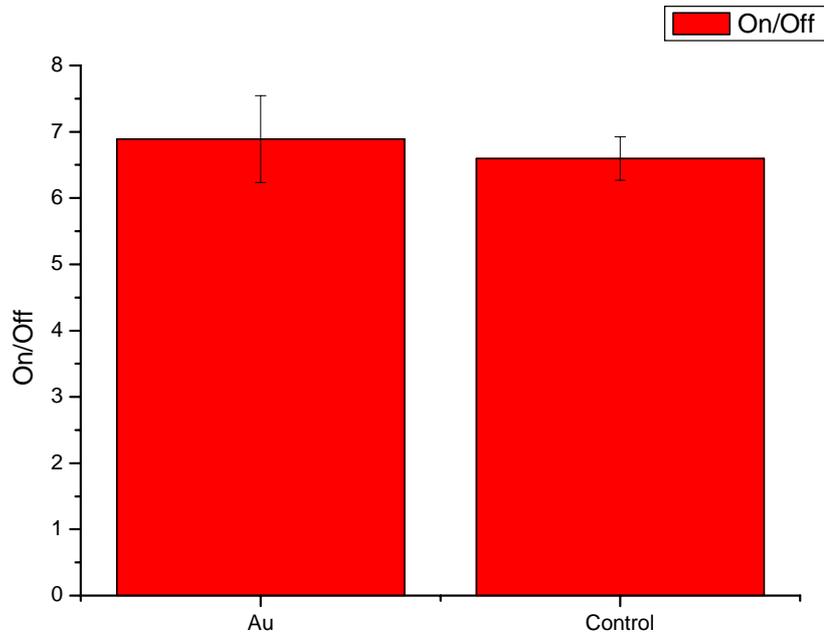


圖 3-6 所有元件開關電流比的平均和誤差圖。

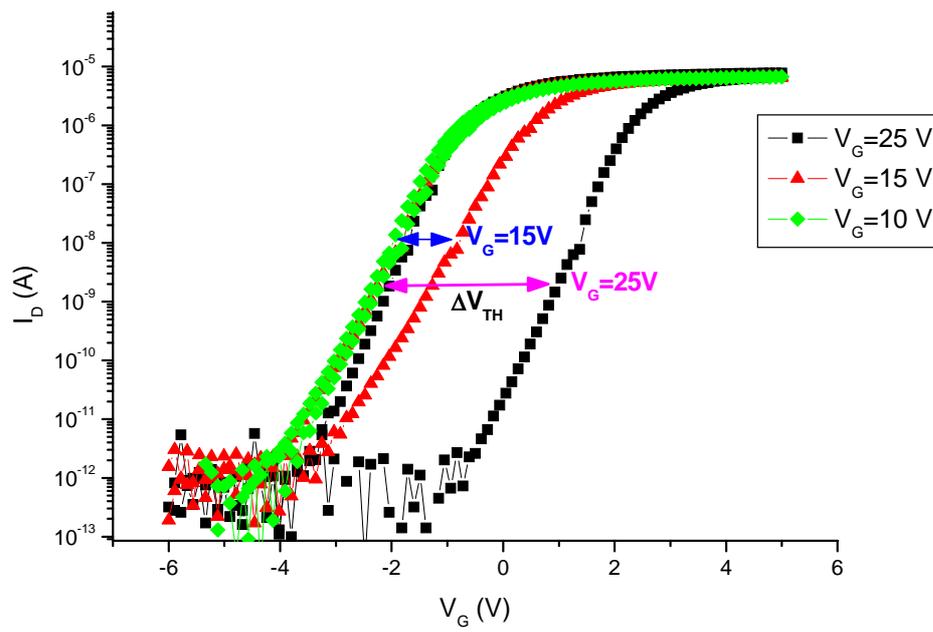


圖 3-7 金奈米粒子浮動閘極記憶體的不同閘極電壓對應不同臨限電壓偏移。

表 3-4 金奈米粒子浮動閘極記憶體，寫入電壓所對應的臨限電壓變化量

V _{th}	A	B	C	D	E	Mean	Error
25	2.86	2.86	3.3	2.97	3.08	3.014	0.18407
24	2.97	2.42	2.97	2.75	3.19	2.86	0.29103
23	2.42	2.42	2.42	2.75	2.86	2.574	0.21443
22	2.2	2.09	2.2	2.09	2.2	2.156	0.06025
21	2.6	2	2.2	2.4	2.4	2.32	0.22804
20	2.3	2	1.9	2.1	2.2	2.1	0.15811
19	1.6	1.6	1.5	1.9	2.2	1.76	0.2881
18	1.8	1.8	1.4	1.6	1.7	1.66	0.16733
17	1.5	1.8	1.2	1.7	1.2	1.48	0.27749
16	1.7	1.6	1.3	1.8	1.5	1.58	0.19235
15	1	1.3	1.2	1.6	1	1.22	0.249
14	1	0.8	0.6	0.9	0.9	0.84	0.15166
13	1.1	0.9	0.7	1.2	0.6	0.9	0.25495
12	0.2	0.4	0.3	0.3	0.5	0.34	0.11402
11	0.1	0.3	0	0.5	0.1	0.2	0.2
10	0.1	0.2	0.1	0.6	0.4	0.28	0.21679

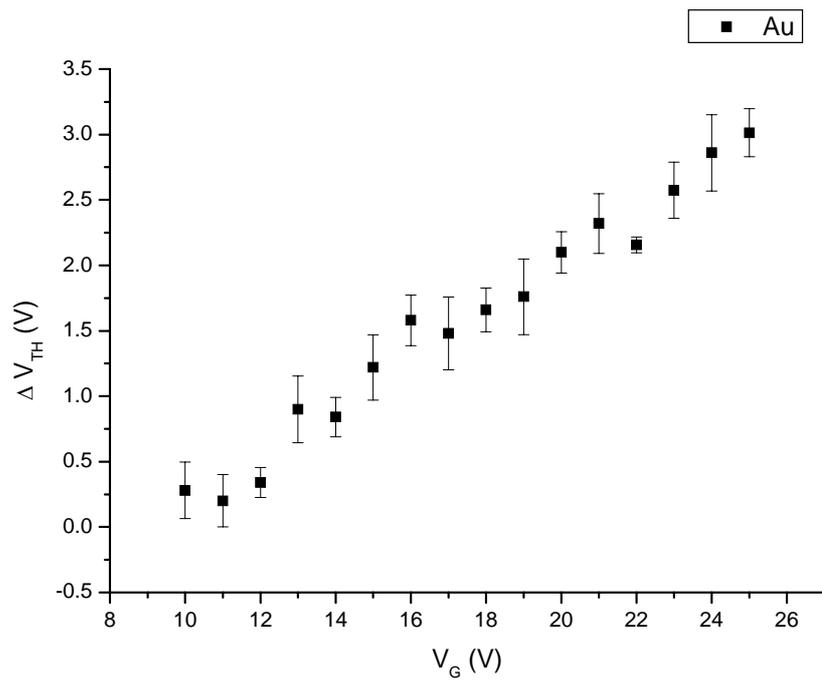


圖 3-8 金奈米粒子浮動閘極記憶體在不同偏壓下操作所得到的臨限電壓變化和閘極電壓的關係。

表 3-5 兩種不同狀況的元件在 $\pm 25\text{ V}$ 下進行寫入(0.5 秒)和消除(1 秒)的動作後所得到的遲滯表

ΔV_{TH}	A	B	C	D	E	F	Mean	Error
Control	0	0	0.2	0	0.4	0.1	0.11667	0.16021
Au	2.86	2.86	3.3	2.97	3.08	2.97	3.00667	0.16561

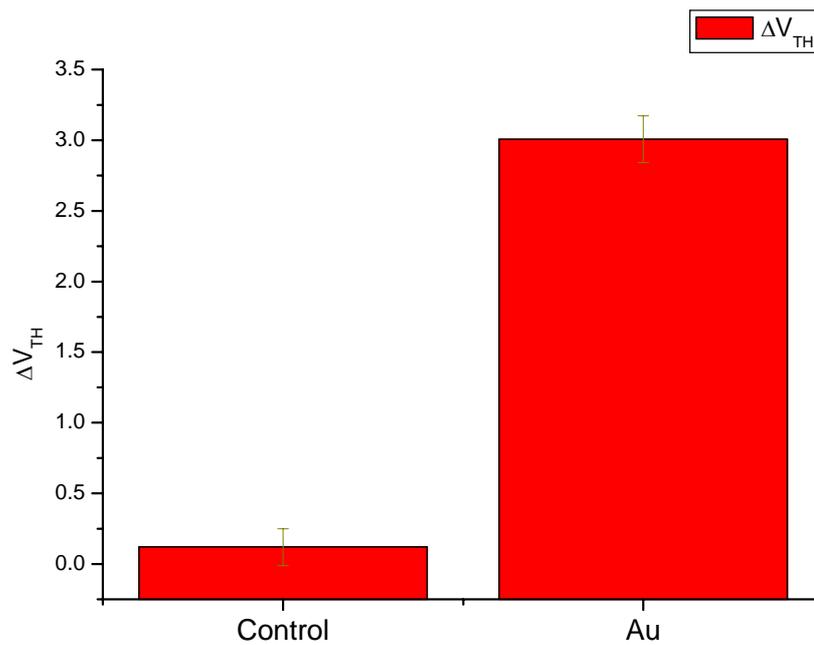


圖 3-9 兩種不同的元件在 $\pm 25\text{ V}$ 下進行寫入(0.5 秒)和消除(1 秒)的動作後所得到的遲滯比較長條圖。

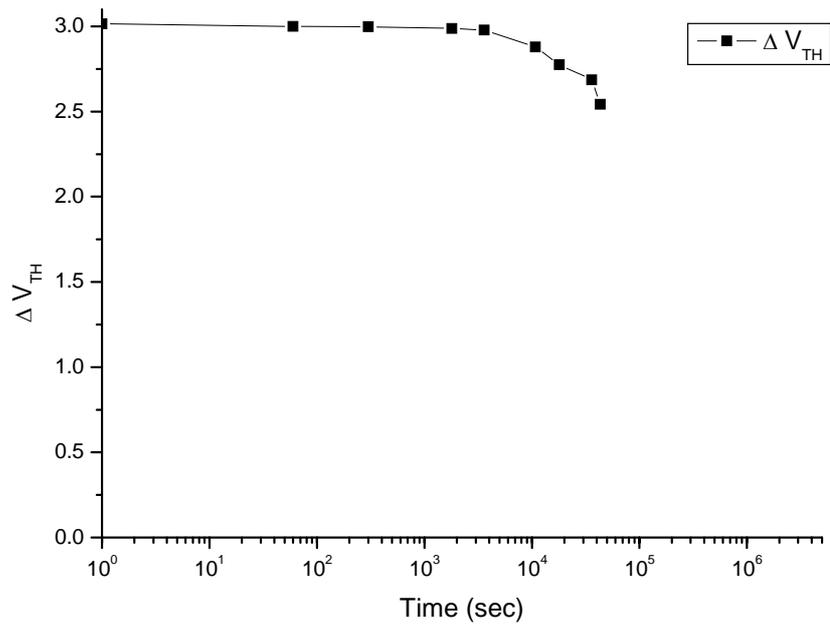


圖 3-10 金奈米粒子浮動閘極記憶體的記憶時間(Retention Time)。

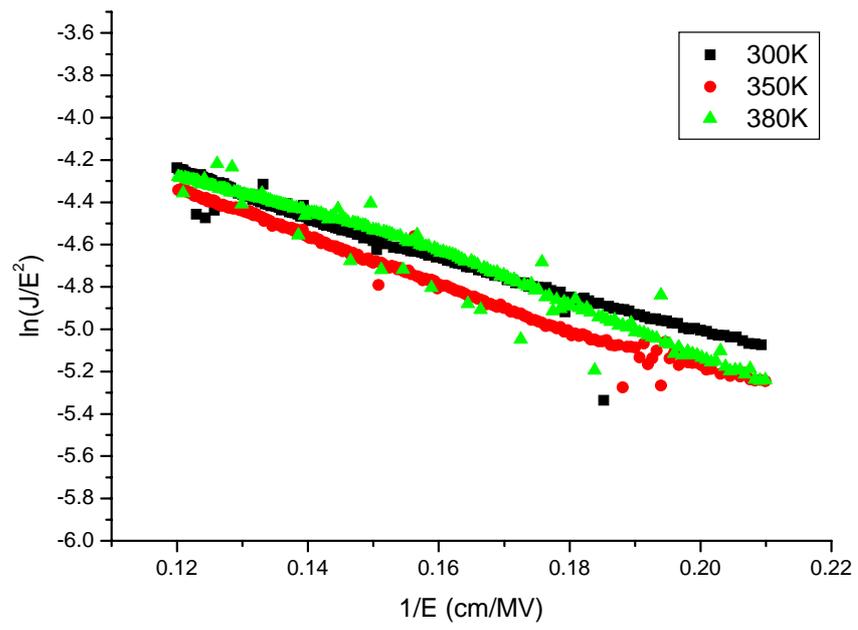


圖 3-11 金奈米粒子浮動閘極記憶體，在不同溫度下， $\ln(\frac{J}{E^2})$ 和 $\frac{1}{E}$ 的關係。

第四章 結論與未來展望

4-1 結論

本實驗利用購買得來的高分子有機金屬溶液，利用光組旋塗機塗佈在二氧化矽的表面上，然後經過熱烘烤還原成金奈米粒子，以及 UV-Ozone 去除有機物的處理，最後得到了金奈米粒子。在 2-1-6 微結構分析中，我們看到不同熱烘烤條件下會得到不同的金奈米粒子密度以及顆粒大小，並且選擇 35 分鐘的熱烘烤條件。我們採用這種方式將金奈米粒子做成金氧半二極體電容，而且與控制組相比，可以明顯的看出我們的金奈米粒子具有儲存電荷的能力，並且成功得到了約 2 V 的記憶窗戶。

最後應用在快閃記憶體上。我們藉由光阻去定義金奈米粒子的旋塗區域，然後用 ACE 去除光阻，最後得到留在微米線上的金奈米粒子。然後蓋上控制氧化層，就得到金奈米粒子微米線浮動閘極記憶體。對於製作完成的元件，我們進行元件特性的量測，在開和關的比例上達到 6 個級數，次臨限斜率也有 0.55 的數值。最後透過閘極的操控，進行寫入和消除的動作，並且隨著寫入電壓的加大，所得到的遲滯大小也跟著增加。最後在 25 V 的閘極電壓進行寫入，並且與控制組相比較，可以明顯的看出我們製作出來的金奈米粒子微米線浮動閘極記憶體具有記憶儲存的能力。並且記憶時間上也達到了 10^4 秒，最後從 $\ln\left(\frac{J}{E^2}\right)$ 和 $\frac{1}{E}$ 的關係圖驗證我們的元件是操控在 F-N 穿隧機制。

4-2 未來展望

本實驗所製作的快閃記憶體結構是應用在微米線的浮動閘極記憶體結構上，我們期望將金奈米粒子旋塗在奈米線上面，並且製作成奈米線的浮動閘極記憶體，藉由閘極電壓的操控，期望能夠看到開出遲滯以及長的記憶時間能力。

參考文獻

- [1] D. Kahng and S. M. Sze, “A Floating Gate and Its Application to Memory Devices,” *Bell Syst. Tech. J.*, Vol. 46, PP. 1288, 1967.
- [2] J. D. Blauwe, “Nanocrystal Nonvolatile Memory Devices,” *IEEE Transaction on Nanotechnology*, Vol. 1, PP. 72-77, 2002.
- [3] P. Pavan, R. Bez, P. Olivo, E. Zanoni, ”Flash Memory Cells—An Overview,” *Proceedings of the IEEE*, Vol. 85, PP. 1248-1271, 1997.
- [4] I. Kim, S. Han, K. Han, J. Lee, and H. Shin, “Room Temperature Single Electron Effects in A Si Nano-Crystal Memory,” *IEEE Electron Device Lett.*, Vol. 20, PP. 630–631, 1999.
- [5] Y. C. King, T. J. King, and C. Hu, “MOS Memory Using Germanium Nanocrystals Formed by Thermal Oxidation of $\text{Si}_{1-x}\text{Ge}_x$,” in *IEDM Tech. Dig.*, PP. 115–118, 1998.
- [6] Z. Liu., C. Lee, V. Narayanan, G. Pei and K. Kan, “Metal Nanocrystal Memories—Part I: Device Design and Fabrication,” *IEEE Transaction on Electron Devices*, Vol. 49, PP. 1606-1613, 2002.
- [7] W. Guan, S. Long, M. Liu¹, Z. Li, Y. Hu and Q Liu, “Fabrication and Charging Characteristics of MOS Capacitor Structure with Metal Nanocrystals Embedded in Gate Oxide,” *J. Phys. D: Appl. Phys.*, Vol. 40, PP. 2754-2758, 2007.
- [8] M. C. Plante, J. Garrett, S. C. Ghosh, P. Kruse, H. Schriemer, T. Hall and R. R. LaPierre, “The Formation of Supported Monodisperse Au Nanoparticles by UV/Ozone Oxidation Process,” *Applied Surface Science*, Vol. 253, PP. 2348-2354, 2006.
- [9] S. Koliopoulou, P. Dimitrakis, P. Normand, Hao-Li Zhang, Nicola Cant, Stephen D. Evans, S. Paul, C. Pearson, A. Molloy, M. C. Petty, and D. Tsoukalas, “Hybrid

- Silicon–Organic Nanoparticle Memory Device,” *J. Appl. Phys.*, Vol. 94, PP. 5234-5239, 2003.
- [10] S. Kolliopoulou, P. Dimitrakis, P. Normand, H. L. Zhang, N. Cant, S. D. Evans, S. Paul, C. Pearson, A. Molloy, M.C. Petty, and D. Tsoukalas, “Integration of Organic Insulator and Self-Assembled Gold Nanoparticles on Si MOSFET for Novel Non-Volatile Memory Cells,” *Microelectronic Engineering*, Vol. 73-74, PP. 725-729, 2004.
- [11] S. Paul, C. Pearson, A. Molloy, M. A. Cousins, M. Green, S. Kolliopoulou, P. Dimitrakis, P. Normand, D. Tsoukalas, and M. C. Petty, “Langmuir-Blodgett Film Deposition of Metallic Nanoparticles and Their Application to Electronic Memory Structures,” *Nano Letter*, Vol. 3, PP. 533-536, 2003.
- [12] M. C. Daniel and D. Astruc, “Gold Nanoparticles: Assembly, Supramolecular Chemistry, Quantum Size Related Properties, and Applications Toward Biology, Catalysis, and Nanotechnology,” *Chem. Rev.*, Vol. 104, PP. 293, 2004.
- [13] S. M. Sze, “Physics of Semiconductor Devices,” Wiley & Sons Inc., 1981.
- [14] R. F. Pierret, “Semiconductor Device Fundamentals,” Addison Wesley, 1996.