

# 掃描式探針微影沉積金奈米粒子與硒化鎘量子點於 電荷儲存之研究

學生：徐振庭

指導教授：許鈺宗 教授

國立交通大學 奈米科技 學系（研究所）碩士班

## 摘 要

本研究將著重於兩個重點:其一是如何利用掃描式探針微影技術使奈米粒子選擇性沉積在所要的二氧化矽表面區域;第二部分則是利用這些奈米粒子作成非揮發性記憶體電容結構並討論其電荷儲存的能力。

影響掃描式探針微影(SPL)技術在二氧化矽表面達成選擇性沉基金奈米粒子的製程參數在本實驗中被歸類:氧化層的厚度、探針掃描的速度以及探針所施加的偏壓。此外,利用 SPL 技術所作的奈米圖案化製成,其解析度也達到 100 奈米,可以媲美 E-beam 微影技術。第二部分是將奈米粒子嵌入電容結構中作非揮發性奈米記憶體電容的相關探討。本實驗使用兩種奈米粒子,即金奈米粒子(AuNPs)以及 CdSe 量子點,探討其電荷儲存的能力。F-N 穿隧機制也將在本實驗中被介紹並驗證。此外本實驗所有的奈米粒子(金奈米粒子及硒化鎘量子點)在沉積時都於室溫下完成,避免了高溫製程(RTA)所造成的擴散現象而導致漏電的問題,改善了 RTA 製程的缺失。令人關注的電荷儲存能力也將在 C-V 圖等分析下探討。電荷保存能力也達到  $10^5$  秒。配合記憶體元件多元化的閘極圖案,將來期望可利用 SPL 技術將奈米粒子選擇性地沉積在想要的閘極區域,並利用這些奈米粒子作為非揮發性記憶體浮動閘極,以其改善傳統記憶體元件的特性。

# SPL Nanopatterning of Self-Assembled AuNPs and CdSe Qdots as Charge Trapping Centers

Student: C. T. Hsu

Advisor: Dr. J. T. Sheu

Department ( Institute ) of Nanotechnology  
National Chiao Tung University

## ABSTRACT

This thesis is composed of two important parts. (1) The application of scanning probe lithography (SPL) to achieve selectively deposition of AuNPs on the silicon oxide ( $\text{SiO}_2$ ). (2) The electrical characteristics of the nonvolatile nanoparticle memory capacitors.

(1) The effect of selectively deposition of AuNPs by SPL on the  $\text{SiO}_2$  might be due to the parameter of the thickness of  $\text{SiO}_2$ , scanning speed and applied bias. Resolution of SPL nanopatterning is down to 100 nm, which is as well as E-beam lithography. (2) Capacitors with AuNPs, CdSe Qdots and mixed NPs ( AuNPs + CdSe Qdots) working in the F-N tunneling regime have been investigated. Nanoparticles of AuNPs and CdSe Qdots embedded in the structure of capacitor were fabricated under room temperature, which compared with the fabrication of RTA process, can improve the leakage problem of memory devices. Retention time is up to  $10^5$  sec has been achieved. All the charge storage characteristics for different devices were recorded by capacitance -voltage (C-V) measurements.

## 誌謝

首先感謝我的老師 許鈺宗博士給我機會可以完成碩士學位，也很感謝老師在碩士生涯中給我的諄諄教誨，老師就像是一盞明燈，指引我求得碩士學位。

感謝實驗室所有的學長。家豪學長初次帶領我進入科學研究的生活，讓我可以對實驗產生興趣。振嘉學長在我的碩士生涯中，每凡我遇到問題時給我的幫忙。柏鈞學長、皓恆學長帶著我進行實驗，和我並肩作戰，不時給我實驗方法的建議。泰瑞學長亦師亦友般地陪我渡過充實的碩士般生活。

感謝實驗室所有的同學，宥任、玠澤、裕得、學宏和錫坡。這些日子裡我不是孤單作戰，而是有你們的陪伴。每當實驗有困難或是對碩士生活覺得煩悶時，你們總是會出現在我身邊幫助我、叮嚀我讓我不至懈怠而順利的度過層層的關卡。

感謝實驗室所有的學弟妹，昶龍、子訓、欣霖、奕貞以及曾經在研究的路上幫助過我的同學們:智凱、承翰、永嘉等。這些日子和你們相處，總是帶給我歡樂，讓我有源源不絕的動力可以進行我的實驗。

最後要感謝我的父母親兄弟，你們在我身後給我的支持，雖然是最不起眼，但也是最重要，沒有你們我也無法達到今天的成就，你們無止盡的付出是我今天能拿到學位的力量泉源，謝謝你們。

# 目錄

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iii
目錄.....	iv
表目錄.....	vii
圖目錄.....	viii
第一章 緒論.....	1
1-1 前言.....	1
1-2 研究背景.....	2
1-2-1 浮閘的特性.....	2
1-2-2 電荷儲存選擇與侷限.....	3
1-2-3 奈米結構浮閘的可行性.....	3
1-2-4 奈米粒子(Nanoparticles)和量子點(Quantum dots).....	4
1-3 研究目的.....	5
第二章 文獻回顧.....	12
2-1 薄膜自組裝的應用.....	12
2-2 掃描式探針微影技術簡介.....	13
2-3 電容簡介.....	14

2-4	奈米記憶體操作機制.....	15
2-4-1	F-N 穿隧效應.....	15
2-4-2	電荷保存能力.....	16
2-4-3	耐力.....	16
2-4-4	庫倫阻塞效應.....	17
第三章 實驗方法.....		23
3-1	實驗藥品與儀器.....	23
3-1-1	實驗藥品.....	23
3-1-2	實驗儀器.....	24
3-2	自組裝薄膜與金奈米粒子之合成.....	25
3-2-1	自組裝薄膜.....	25
3-2-2	金奈米粒子合成.....	25
3-3	掃描式探針微影技術(SPL)選擇性沉積奈米粒子.....	26
3-4	記憶體電容製程.....	27
3-5	量測實驗結果.....	28
第四章 實驗結果與討論.....		34
4-1	薄膜自組裝機制的探討.....	34
4-1-1	MPTMS 薄膜自組裝單層.....	34
4-1-2	奈米粒子自組裝薄膜.....	34

4-2 掃描試探針微影技術(SPL)的實驗結果討論.....	35
4-2-1 SPL 選擇性沉積機制.....	35
4-2-2 SPL 機制各項參數討論.....	35
4-2-3 氧化機制的驗證.....	36
4-3 奈米記憶體電容電性量測結果與討論.....	37
4-3-1 C-V 量測與討論.....	37
4-3-2 記憶體電容寫入及擦拭機制.....	38
4-3-3 電荷保存能力.....	39
第五章 結論與未來展望.....	58
參考文獻.....	60



## 表目錄

表 3.1 奈米粒子自組裝薄膜之方法.....	32
表 3.2 記憶體電容製程的流程簡圖.....	33



## 圖目錄

圖 1.1 浮動閘極記憶體元件結構圖.....	7
圖 1.2 (a) 電荷被捕陷在浮閘中 (b) 當浮閘補陷電荷時，臨界電壓( $V_{Th}$ )的 改變可定義出邏輯上的「0」與「1」.....	7
圖 1.3 金粒子在不同尺寸下有不同的熔點.....	8
圖 1.4 量子井、量子線及量子點與電子的物質波波長比較關係示圖.....	8
圖 1.5 傳統 SONOS 電晶體結構圖.....	9
圖 1.6 SONOS 結構的 F-N 穿隧現象能帶識意圖.....	9
圖 1.7 奈米尺度的世界.....	10
圖 1.8 奈米的應用與未來的方向.....	11
圖 2.1 SAM 形成示意圖.....	18
圖 2.2 MPTMS 在二氧化矽表面形成自組裝薄膜，而後可利用 MPTMS 上端 裸露出來的硫醇鍵和金奈米粒子作鍵結示意圖.....	18
圖 2.3 MPTMS 作鍵結的橋樑，將金奈米粒子利自組裝在二氧化矽表面示意 圖.....	19
圖 2.4 平行板電容示意圖.....	19
圖 2.5 偏壓下金氧半二極體電容的能帶與電荷分佈示意圖.....	20
圖 2.6 電容電壓曲線上的三種不同狀態區域示意圖.....	20
圖 2.7 三角形位障示意圖.....	21



圖 2.8 MOSFET 在高溫下的電荷保存能力.....	21
圖 2.9 耐力(Endurance).....	22
圖 2.10 庫倫阻斷之 I-V 特性.....	22
圖 3.1 MPTMS 的化學結構示意圖.....	29
圖 3.2 MPTMS 水解反應示意圖.....	29
圖 3.3 MPTMS 與二氧化矽基板鍵結反應示意圖.....	30
圖 3.4 電極圖形.....	30
圖 3.5 記憶體電容示意圖.....	31
圖 4.1 不同濃度的 MPTMS 沉積在氧化層上的 SEM 圖像.....	40
圖 4.2 MPTMS 單層及高分子狀態所造成的影響示意圖.....	41
圖 4.3 SPL 圖案化製程示意圖.....	41
圖 4.4 利用 SPL 技術選擇性沉積金奈米粒子流程圖.....	42
圖 4.5 利用 SPL 技術選擇性沉積金奈米粒子之 SEM 圖.....	43
圖 4.6 不同偏壓,畫線速度對金奈米粒子沉積效果的 SEM 圖.....	44
圖 4.7 偏壓 2V 以及 3V 下畫完線後,表面形貌的 SEM 圖.....	45
圖 4.8 選擇性沉積硒化鎘量子點的 AFM 圖.....	46
圖 4.9 AFM 表面形貌對氧化機制的驗證.....	47
圖 4.10 SEM 照片(a)為對照組(純氧化層), (b)為 CdSe Qdots 表面, (c)為 AuNPs 表面.....	48

圖 4.11 AuNPs + CdSe Qdots 混合結構的 AFM 表面形貌.....	49
圖 4.12 TEM 圖像: AuNPs + CdSe Qdots 混合結構的試片剖面圖.....	50
圖 4.13 高解析度之 TEM 照片.....	50
圖 4.14 金奈米粒子儲存電荷機制的能帶示意圖.....	51
圖 4.15 硒化鎘量子點儲存電荷機制的能帶示意圖.....	51
圖 4.16 金奈米粒子混合硒化鎘量子點儲存電荷機制的能帶示意圖.....	52
圖 4.17 四組不同結構的奈米記憶體電容 C-V 曲線.....	53
圖 4.18 各種電容臨界電壓偏移量的平均值.....	53
圖 4.19 F-N Tunneling 的寫入即擦拭機制.....	54
圖 4.20 對每一組記憶體電容作 I-V 變溫量測.....	54
圖 4.21 對四種結構的記憶體電容作 F-N Plot.....	55
圖 4.22 量測電荷保存能力的步驟圖.....	55
圖 4.23 電荷保存能力 (a)純氧化層結構, (b)AuNPs 結構, (c)CdSe Qdots 結構,(d) AuNPs + CdSe Qdots 混合結構.....	56
圖 4.24 電荷保存能力.....	57