

第一章 緒論

1-1 前言

把奈米兩個字拆開，「米」是指「公尺」，「奈」（「Nano」用 n 表示）是一種數值記號，與我們常用的「Kilo」（用 k 表示）相同。只不過 k 代表一千，而 n 代表十的負九次方（十億分之一）。因此「奈米」是一種長度單位，指的是十億分之一公尺，一個奈米的長度大約是十個氫原子排在一起的長度。西元 1970 年代末期，隨著科技進步，科學家發現，奈米級大小為介於巨觀和微觀之間的「介觀」物理現象，值得進一步研究。西元 1980 年代，電子掃描穿隧顯微鏡（Scanning Tunneling Microscope, STM）、原子力顯微鏡（Atomic Force Microscope, AFM）、近場光學顯微鏡（Near-Field Microscope, NFM）的出現，提供科學家觀測、操控奈米尺寸原子、分子的「眼睛」和「手指」。望文生義，所謂的「奈米科學」是科學家將奈米尺度下所觀測到的自然現象，歸納發展出的科學理論；而「奈米科技」就是奈米尺度下的科學技術。

最先提出人類有可能在奈米層級做各種應用的，是一九六五年諾貝爾物理獎得主費曼，他也是知名的科普作家，在一九五九年提出「將大英百科全書全部寫在一個針尖上」；以現在的科學觀點來看，只要縮小四千萬倍就行了。就目前奈米記憶體在生活化上的應用，大英百科全書可以儲存於「針尖」大小的體積，亦可把美國國會圖書館的全部館藏，儲存於「方糖」般大小的體積中。綜觀非揮發記憶體(Nonvolatile memory)的發展，從最早的非揮發記憶體(Read Only Memory, ROM)、可程式唯讀記憶體(Programmable Read Only Memory, PROM)、可抹除程式化唯讀記憶體(Erasable Programmable Read Only Memory, EPROM)到電性可抹除程式化唯讀記憶體(Electrically Erasable Programmable Read Only Memory, EEPROM)，以至目前熱門的快閃記憶體(Flash memory)。隨著非揮發記憶體結構上的改變，目前將奈米粒子(Nanoparticles)作為浮閘(Floating gate)的非揮發記憶體元件研究也受相當大的到注目。

1-2 研究背景

1967年，貝爾實驗室(Bell Labs)的 D.Kahng 和 S.M.Sze 發明了浮動閘極非揮發記憶體(Floating gate nonvolatile memory)[1]，如[圖 1.1]所示，此元件由兩個閘極堆疊而成，其中下面的閘極專司電荷的儲存，結構上被二氧化矽完全包覆，由於完全沒有接觸到任何電極，故名「浮」閘(Floating gate)；上面的閘極被用來施加操作電壓以控制整個非揮發記憶體元件的「開」或「關」，故名「控制」閘(Control gate)。在沒有外加電場或是高溫的環境下，被捕陷在浮閘中的電荷能夠穩定的被儲存，這種特性使得浮閘記憶體元件變成應用最廣的一種非揮發記憶體(NVM)。

1-2-1 浮閘的特性

隨著非揮發記憶體元件在半導體記憶元件的發展與研究上，扮演著越來越重要的角色，以及可攜式電子商品的普及，例如：記憶卡，MP3 隨身碟，行動電話，筆記型電腦...等，非揮發記憶體元件在製程技術、結構、操作機制都有快速的進步。就現在最熱門的快閃記憶體(Flash memory)而言，Flash Memory 的標準物理結構稱之為位元 (Cell)，其特色為一般 MOS 的閘極 (Gate) 和通道的間隔為氧化層之絕緣 (Gate oxide)，而 Flash Memory 在控制閘 (Control gate) 與通道間卻多了一層物質，稱之為浮閘 (Floating gate)。拜這層浮閘之賜，使得 Flash Memory 可以完成三種基本操作模式，亦即讀、寫以及抹除，就算在不提供電源給記憶體的環境下，也能透過此浮閘，保存資料的完整性。

由於浮閘的物理特性與結構，使得當浮閘被注入負電子時，此一位元就由數位「1」被寫成「0」；相對的當負電子從浮閘中移走後，此一位元就由數位「0」變成「1」，如圖[1.2]所示。目前產業界有許多將負電子注入浮閘或移除技術的探討，其中熱電子注入法 (Hot-electron injection)，是當源極 (Source) 接地，控制閘的電壓大於汲極 (Drain) 的電壓時，浮閘與通道間氧化層的能量帶會變得很狹隘，因此在通道中的負電子會被加速自通道上跳到浮閘中，進而完成寫的動作。同樣的原理可以運用在抹除的功能上，當

控制閘接地且源極接至一個高壓時，浮閘上的負電子將會自浮閘中拉至源極，進而完成抹除的動作。Flash Memory 就是透過這種負電子存放或移除於浮閘的原理，使得本身具有重複讀寫的特性。

1-2-2 電荷儲存選擇與侷限

基於傳統浮閘記憶體位元主要侷限是，其周圍絕緣體只要有一項缺陷，就會導致全部電荷丟失。因此，在元件製程時所需求的氧化層(絕緣層)品質必須控制得當，但事實上，材料結構上的瑕疵(Defects)，例如原子排列產生的差排(Dislocation)，製程時人為以及非人為的破壞等等是無法避免的，要改善絕緣層漏電的問題，最直接的方法就是增加絕緣層的厚度。不幸地，對於一個記憶體元件而言，絕緣層厚度一但增加，電子進出浮閘將需要更大的能量，這樣一來必須加大記憶體元件的操作電壓，並且使得記憶體元件在讀寫、抹除的速度變慢。

穿隧氧化層(Tunnel oxide)在浮閘記憶體元件中扮演著重要的角色，它必須是品質良好的絕緣層、必須耐久(Endurance)並且長時間保持資料的完整儲存(Retention)，為了使讀寫、抹除的速度達增快，又要求元件操作在低電壓下(<10V)，穿隧氧化層的厚度必須降低；更薄的穿隧氧化層會導致儲存電荷能力的下降，並增加漏電的機率。因此，穿隧氧化層的厚度必須在速度及持久度上加以取捨，適當的厚度約為 8-11nm，一般工業界製程也很少有低於 5nm 的穿隧氧化層[2]。

1-2-3 奈米結構浮閘的可行性

為了突破傳統浮閘在尺寸上的侷限，開始有團隊應用奈米級結構作為浮閘來探討其在記憶體上的應用[3-5]:S.Tiwari 等人[3]利用奈米晶結構作為浮閘；J. J. Welser 等人[4]利用矽量子點(Silicon quantum-dot)作為浮閘；Y. C. King 等人[5]利用鍍奈米晶結構做了關於記憶體元件方面的探討。當穿隧氧化層(Tunnel oxide)越來越薄的情況下，這些奈米記憶體不但比傳統浮閘結構有更低的操作電壓，相較於傳統的浮閘記憶體元件有更低的

功率消耗，並也展現出良好的資料儲存耐久度。這些奈米記憶體利用矽材料或金屬奈晶子製造的快閃記憶體很容易克服傳統浮閘結構物帶來的侷限性。

1-2-4 奈米粒子(Nanoparticles)和量子點(Quantum dots)

有鑒於金奈米粒子的應用，正引起世界各國廣泛地注意。現代科學家所定義的奈米粒子是指固體顆粒小到奈米尺度的微粒子，也有人稱它為超微顆粒，一般是指尺寸在1~100nm間的粒子，是一種典型的介觀系統，金奈米粒子具有與塊材不同的光學性質、熱學性質、表面效應...等等，許多奇異的特性和大塊固體時相比較會有顯著不同[6][8]。

(一) 特殊的光學性質

當金塊材被切割，細分到小於光波波長的尺寸時，我們會發現它失去了原有金黃光澤而呈現黑色。事實上，所有的金屬奈米粒子狀態都呈現黑色，尺寸越小，顏色越黑。而我們用還原法調配出來的金奈米粒子膠體溶液(Gold colloid solution)[7]，其顏色也非原本金塊材的富貴光澤，而是呈現酒紅色。由此可見，金屬奈米粒子對光的反射率很低，此特性和金屬塊材對光的反射率相異甚大。

(二) 特殊的熱學性質

固態物體在塊材狀態時，其熔點是固定的，但當該塊材被細分為奈米顆粒以後卻發現熔點明顯降低，當顆粒粒徑小於10奈米時更為明顯。例如，金的塊材熔點為1064°C，當顆粒尺寸減小到10奈米時，熔點降低了27°C，變成了1037°C。2奈米的金粒子其熔點僅為327°C左右[8-9]。圖1.3為1976年，Ph.Buffat及J-P Borel所做出來的實驗，再次說明了尺寸效應對於金粒子熔點的影響。

(三) 表面效應

當材料的大小趨向奈米尺寸，其表面原子數隨之增多，比表面積(Surface to volume ratio)隨之增大，活性也因而提高許多，若利用金奈米粒子作為感測器，將會更容易與帶有硫醇鍵的待測物結合，例如:DNA、有機分子...等等。

量子點(Quantum dot)是準零維(Quasi-zero-dimensional)的奈米材料，由少量的原子所構成。粗略地說，量子點三個維度的尺寸都在 100 奈米以下，外觀恰似一極小的點狀物，其內部電子在各方向上的運動都受到侷限，所以量子侷限效應(Quantum confinement effect)特別顯著。由於量子侷限效應會導致類似原子的不連續電子能階結構，因此量子點又被稱為「人造原子」(Artificial atom)。科學家已經發明許多不同的方法來製造量子點[10]，並預期這種奈米材料在二十一世紀的奈米電子學(Nanoelectronics)上有極大的應用潛力。

在一般塊材中，電子的波長遠小於塊材尺寸，因此量子侷限效應不顯著。如果將某一個維度的尺寸縮到小於一個波長（如圖 1.4 所示），此時電子只能在另外兩個維度所構成的二維空間中自由運動，這樣的系統我們稱為量子井(Quantum well)；如果我們再將另一個維度的尺寸縮到小於一個波長，則電子只能在一維方向上運動，我們稱為量子線(Quantum wire)；當三個維度的尺寸都縮小到一個波長以下時，就成為量子點(Quantum dot)了。由此可知，並非小到 100nm 以下的材料就是量子點，真正的關鍵尺寸是由電子在材料內的費米波長來決定。一般而言，電子費米波長在半導體內較在金屬內長得多，例如在半導體材料砷化鎵 GaAs(100)中，費米波長約 40nm，在鋁金屬中卻只有 0.36nm。

1-3 研究目的

我們對於奈米材料的認識才剛剛開始，這塊充滿未知的新穎領域，世界各國已經有很多研究團隊觀察到種種奇異的性質，對於奈米科技疆域的開發，相信將會為人類提供前所未有的新材料。記憶體元件不斷地改進，為了改善傳統浮閘結構，又有 SONOS 結構的出現[圖 1.5]，但傳統 SONOS 元件的侷限性在於：為能在低電壓下工作，氮化物下

的介電材料厚度必須降低到 1~2 奈米。在超薄氧化層(<3nm)中，漏電現象不再遵循著傳統的 FN 穿隧模型[圖 1.6]，而是藉由氧化層中的缺陷輔助，以直接穿隧的方式穿過氧化層。所謂的缺陷輔助穿隧(trap-assisted tunneling, TAT)理論即：藉由氧化層中缺陷中心的輔助，電子與電洞有更高的機率在低電場下以穿隧的方式通過氧化層，並形成低壓操作下之高漏電，基於我的研究，將把重點放在奈米記憶體電容的分析上，由於傳統的浮閘記憶體及傳統的 SONOS 結構 [11][12]，其製程和材料上的關係導致電性上有些缺陷，所以我們利用奈結構來製作記憶體電容，本實驗採用了兩種奈米材料來製作記憶體電容：一為金奈米粒子(AuNPs)，粒徑約 10~15 奈米；另一種為硒化鎘(CdSe)量子點，粒徑約 2~5 奈米。利用金奈米粒子及硒化鎘量子點自組裝方式，在試溫下將這兩種材料分別嵌入記憶體電容中，然後著手這些奈米記憶體電容的電性分析(IV、CV 等)，與 2002 年 Zengtao Liu[13][14]所做的記憶體元件比較和討論，來作為未來能否將奈米粒子及量子點作為浮閘應用在記憶體上之研究作為參考。



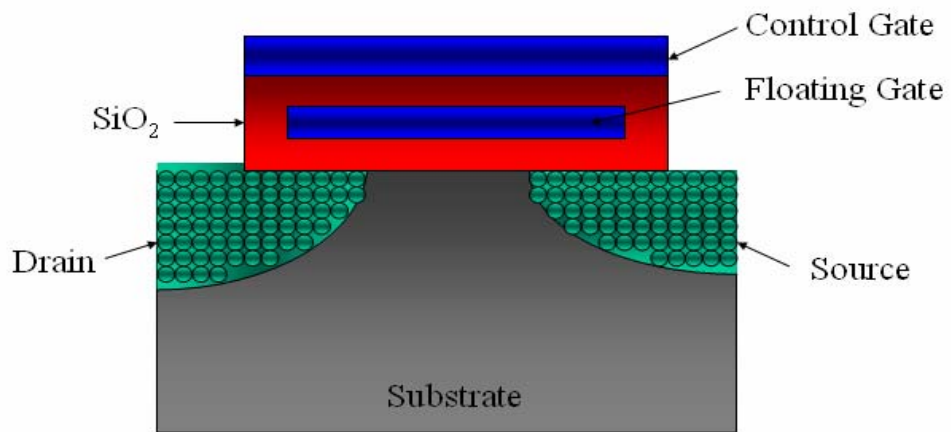


圖 1.1 浮動閘極記憶體元件結構圖。

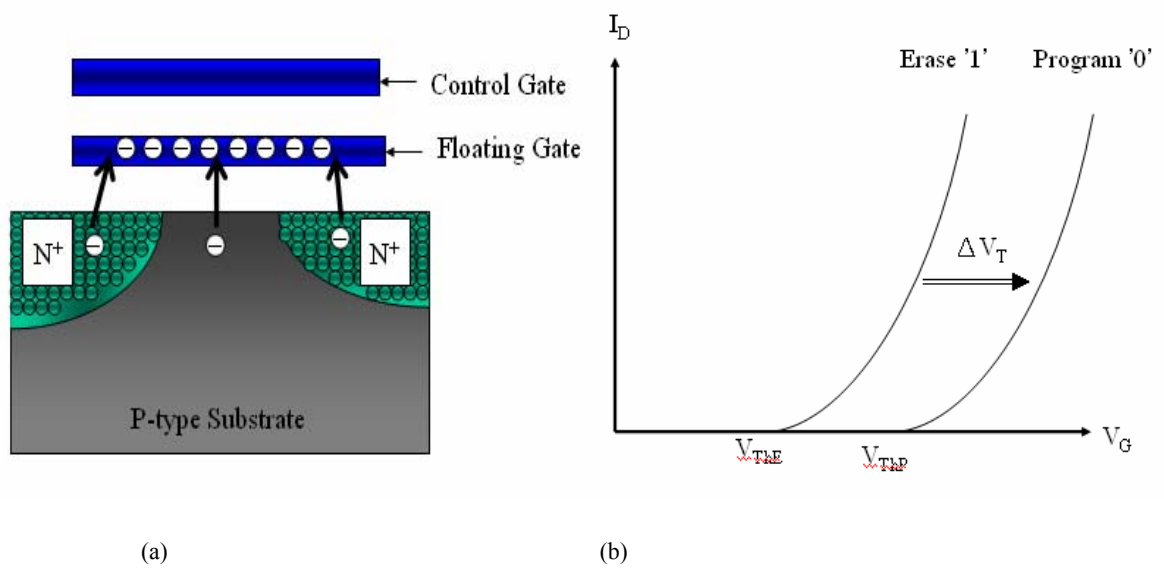


圖 1.2 (a) 電荷被捕陷在浮閘中 (b) 當浮閘補陷電荷時，臨界電壓(V_{Th})的改變可定義出邏輯上的「0」與「1」。

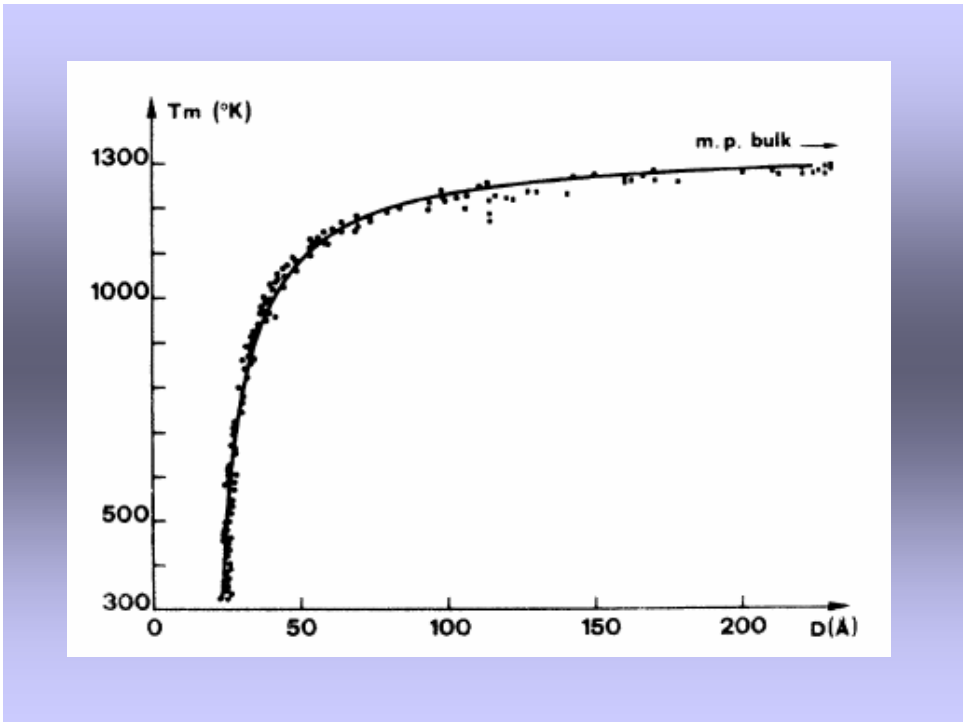


圖 1.3 金粒子在不同尺寸下有不同的熔點，本圖取自參考文獻[1.9]。

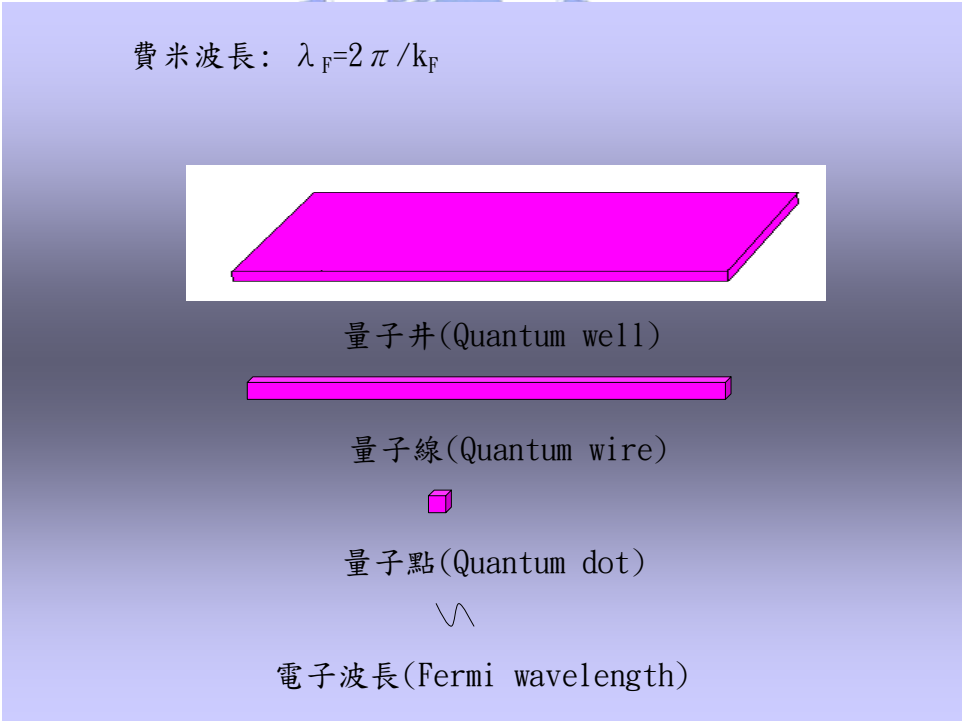


圖 1.4 量子井、量子線及量子點與電子的物質波波長比較關係示意圖。

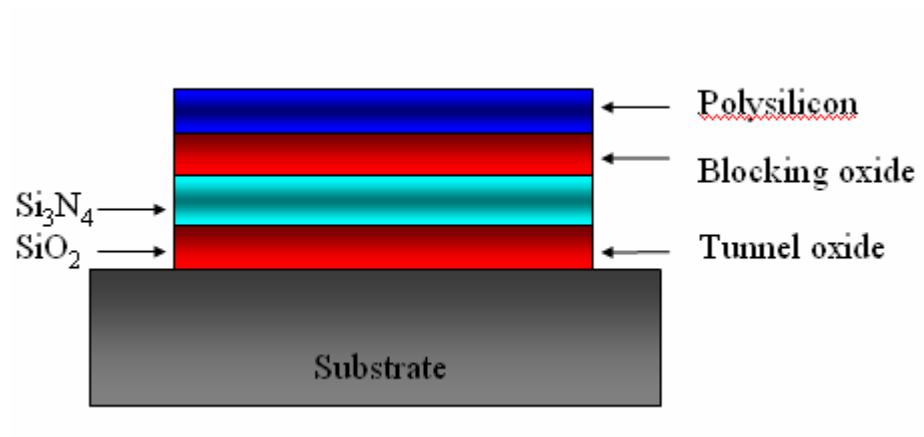


圖 1.5 傳統 SONOS 電晶體結構圖。

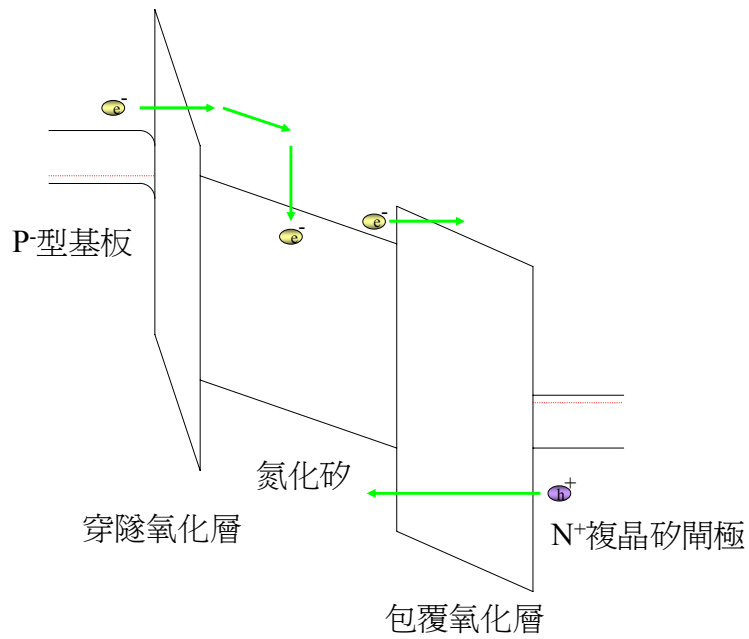


圖 1.6 SONOS 結構的 F-N 穿隧現象能帶示意圖。

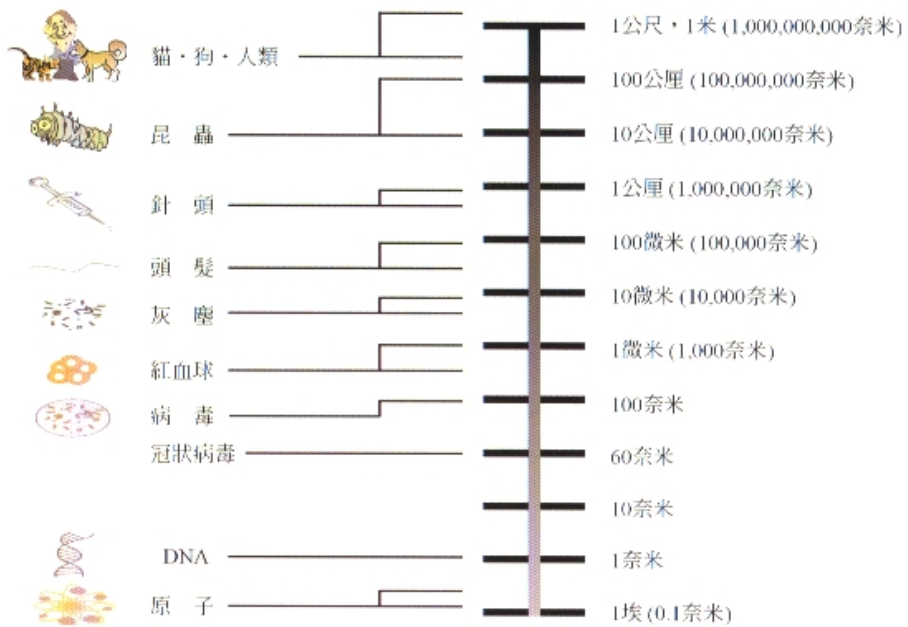
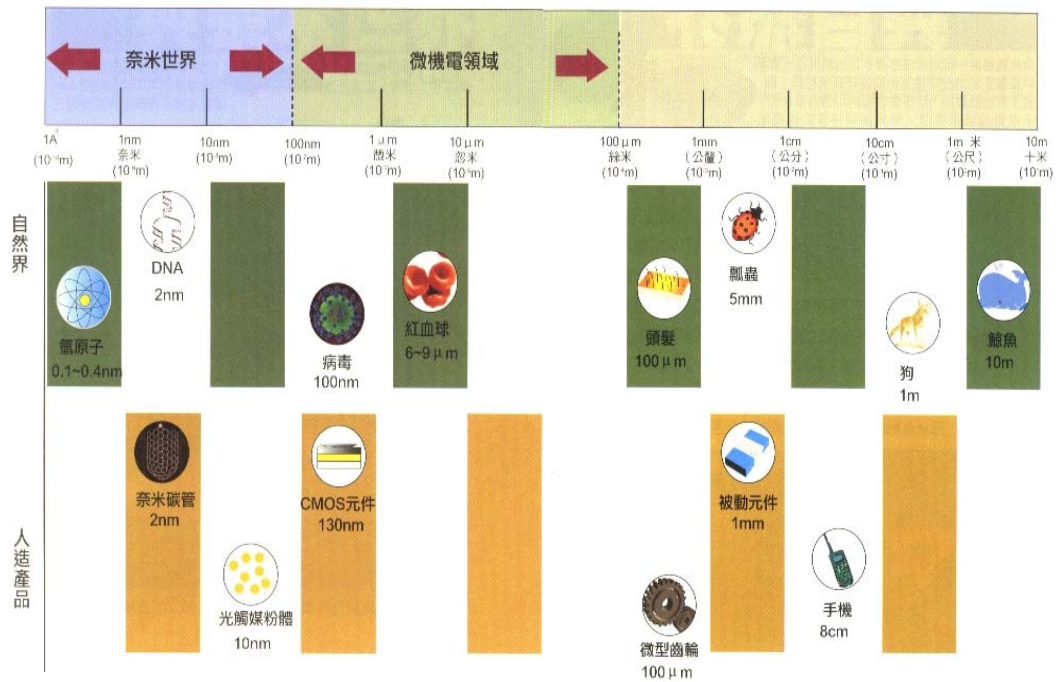
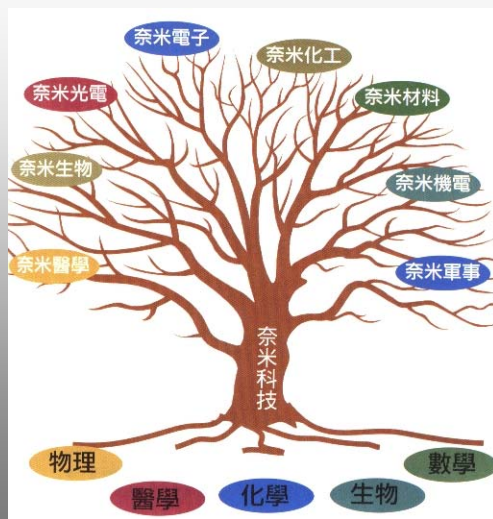


圖 1.7 奈米尺度的世界。



- 奈米生物晶片
- 奈米太陽能電池
- 奈米電容
- 奈米化妝品
- 等等

圖 1.8 奈米的應用與未來的方向。



第二章 文獻回顧

奈米電容的製作包含了製程上步驟需要注意,以及一些奈米尺度下的效應需要討論,在這個章節將會討論一些製程上的方法以及一些理論。

2-1 薄膜自組裝的應用

自組裝奈米技術提供了可能製作出無缺陷、具有自行修補(Self-repair)、自行康復(Self-healing)的材料和物件。自組裝技術多應用在分子大小的奈米級尺寸下,將分子與分子在適當的條件控制下,進行以下的製程以完成自組裝過程:

1. 透過共價鍵將小分子結合,而形成完整的巨分子。
2. 再透過氫鍵、凡得瓦爾力及其他共價鍵(靜電力、親疏水作用力等)的協同作用,形成複雜穩定的結構。
3. 由一個或多個大分子作為結構基石,經多次的重複自組裝過程,排列成奈米結構。

目前「自組裝」,在奈米科技應用上仍以「自組裝單分子薄膜層(Self-assembled monolayer,SAM)」較為成熟且成果較為彰顯,在一般運用於改變表面性質的應用上,如:防水、防鏽、防腐蝕、潤滑、接著(Adhesion)及介面(Interface)等已有革命性的成效。自組裝單分子薄膜層形成機制如[圖 2.1]所示,它的製造方式是將基材浸泡在調配好的溶液中,於基材取出後,溶液中的分子會透過物理吸附及化學吸附的作用力,在基材表面覆蓋上一層緻密的分子薄膜。由於物理吸附是可逆的而化學吸附不可逆,利用兩者差異進行取代作用,即可對基材表面進行選擇性修飾。

我們以知,金很容易跟硫(S)或氮(N)產生強力鍵結,所以一般自組裝薄膜的應用,都利用此特性去延伸應用。即使現在將金微小化到奈米級的程度,上述特性仍不會被抹滅掉,

而反而更能發揮此功能。因為金具有生化上應用的功能,所以在應用上也會偏向生化部份,不過也有很多其他領域的研究與發展。底下[圖 2.2]將說明如何利用利用 MPTMS 作接著(Adhesion)橋樑,用來連接金奈米粒子及二氧化矽表面的製造[15][16],[圖 2.3]說明了上一步驟自組裝完成的 MPTMS 薄膜之後,再利用浸泡法(Immersion method),自組裝一層金奈米粒子薄膜於其上。

2-2 掃描式探針微影技術簡介

掃描式探針顯微術 (SPM, scanning probe microscopy), 是各種以探針方式研究樣品表面性質 (例如: 表面形貌、電性、磁性、力學特性...等) 的顯微技術總稱。自從掃描探針顯微術 (SPM) 問世以來, 探索原子尺度的微觀面貌不再需要經由繁瑣的程序而得。除此以外, SPM 更進一步增加了對於奈米尺度之表面操縱與圖案成形的能力, 其中以原子力顯微鏡 (AFM) 與掃描穿隧顯微鏡 (STM) 為主。這項技術會引起注意的原因, 來自於 SPM 可相當準確地直接於樣品表面進行奈米刻痕或微影, 並且對於探針的位移可得到良好的操控。這是除了電子束曝光與化學濕蝕刻以外, 另一項有利的選擇工具 [17][18][19]。其中 AFM 則是利用探針尖端與試片表面的作用力, 即凡得瓦力相吸或相斥的作用力, 使得探針懸臂產生彎曲偏移。藉由掃描過程中即時量測懸臂偏移量, 進而產生樣品微小區域表面形貌的影像。AFM 不受成像環境的限制, 不論是在大氣下、真空中或者是液面下皆能操作, 並且可分析的樣品不限定是導體。AFM 成為目前最方便、被使用最廣泛的 SPM 之一。

利用原子力顯微鏡之探針對矽質晶片表面進行局部高電場導致氧化的方式, 完成奈米結構圖形轉換。目前已成功地利用掃描式探針微影技術的多重像素線掃描方法, 來進行電場陽極氧化反應製造出不同線寬大小的奈米氧化層結構, 第一個使用掃描探針技術改變樣品表面形貌的實驗, 是由 J.A. Dagata 等人[20]所完成。其利用掃描探針進行局部區域的氧化程序, 證實不論是在金屬或者是半導體材料表面皆可形成微小的氧化物線條或圖形。此技術是一種藉由導電探針與試片表面之間, 電化學反應所造成的效應。接續許多研究團隊進一步利用這種技術於光電微結構、微電子元件、微機電系統與化學、生醫樣品自組用模板的製造。

2-3 電容簡介

歷史上第一個有留下記錄的電容器是克拉斯特主教 (Ewald Georg von Kleist) 在 1745 年 10 月所發明；是一個內外層均鍍有金屬膜的玻璃瓶，玻璃瓶內有一金屬桿，一端和內層的金屬膜連結，另一端則連結一金屬球體。藉由在二層金屬膜中利用玻璃作為絕緣的方式，克拉斯特主教讓電荷密度出現明顯的提升。

電容器的電容(C)是量測當電容器兩端的電位差或電壓(V)為特定值時，儲存在電容器電極的電荷量(Q)：

$$C = \frac{Q}{V} \quad (2-1)$$

。若根據國際單位制，若儲存一庫倫的電荷可以在電容器兩端產生一伏特的電壓，此時電容器的電容量為一法拉 (F)。在實務上，法拉是相當大的單位，電容器的電容量一般常以毫法拉 (mF, $1 \text{ mF} = 10^{-3} \text{ F}$)、微法拉 (μF , $1 \mu\text{F} = 10^{-6} \text{ F}$)、奈法拉 (nF, $1 \text{ nF} = 10^{-9} \text{ F}$) 或皮法拉 (pF, $1 \text{ pF} = 10^{-12} \text{ F}$) 表示。電容量和電極的面積成正比，和二電極之間的距離成反比。電容量也和二電極間介電質的介電常數成正比。

電容或電容量是指物體在電場中所能儲存的電荷量，或是指電容器的儲存電荷所能產生的電勢差。一般來說電荷在電場中將受力而移動，當導體之間有了介質，則阻礙了電荷移動而使得電荷累積在導體上。以帶電的極板為例，電容的定義為該極板所帶電荷（絕對值）和兩極板間電勢差的比值。電容器 (capacitor) 有時也會簡稱為「電容」。電容的國際單位是法拉 (F)，一法拉等於一庫倫的電荷在容器，電容器上形成一伏特的電勢差 ($1 \text{ F} = 1 \text{ C/V}$)。平行板電容器[圖 2.4]的電容量如下式：

$$C = \varepsilon \frac{A}{d} \quad (2-2)$$

其中 ε 是介電質的介電常數，A 是平板的面積，而 d 是二平行板間隔的距離。

再來我們要說明一下理想的金氧半二極體電容在三種不同偏壓下所形成的三種不同狀態，如[圖 2.5]所示，我們以一個 P 型的矽基板為例：第一種狀態為當我們在金屬閘極上加一負偏壓，此時在氧化層與半導體界面的能帶會向上彎曲，且在介面附近會吸引一些電洞，使電洞數目變得更多，並堆積在介面附近，此種情況稱為聚積(Accumulation)

，量測所得的電容即等於氧化層的電容；第二種情況為當閘極施以較小的正偏壓時，此時氧化層與半導體介面的能帶向下彎曲，介面附近的電洞會被排斥開，使其形成一空乏區，此種情況稱為空乏(Depletion)，所量得的電容為氧化層電容再串聯一個空乏區電容，故所得的電容值慢慢的變小；第三種狀態為當閘極施以一較大的正偏壓時，使得氧化層與半導體介面的能帶更加向下彎曲，使得介面附近不僅會形成空乏區，而且會吸引一些電子過來，當少數載子電子變得比多數載子電洞還多時，表面會形成反轉現象，此情況就稱為反轉(Inversion)，若此時量測的頻率為高頻的話，所得的電容仍為氧化層的電容再串聯一個空乏區電容，並由於空乏區的大小已達一極限，所以電容值為一定值，而若量測頻率為低頻時，此時少數載子的結合-產生率能趕上低頻訊號的變化，使得電荷變化都發生在介面附近，因此所得的電容值會慢慢變大，最終回到氧化層電容的大小 [21][22]。三種狀態所對應的電容電壓(C-V)曲線如[圖 2.6]所示。

2-4 奈米記憶體操作機制



2-4-1 Fowler-Nordheim(F-N)穿遂效應

所謂的 F-N 方程式是 Fowler 和 Nordheim 所導出來的，F-N 穿遂是電子穿過一個三角形位障，如[圖 2.7]所示，穿遂是一種量子力學的過程，類似對牆壁投擲一顆球，球穿過牆壁，卻沒有對牆壁造成任何破壞，在穿遂的過程中也沒有任何能量的損失。然而穿遂現象發生的機率相當的低，但是當電子射到只有幾奈米的薄阻障時，穿遂的機率就提高很多，本實驗適用 F-N 穿遂機制來做寫入和擦拭的動作，利用位障和電子穿遂機率的關係推算出：

$$J = \alpha E^2 \exp\left[\frac{-E_c}{E}\right] \quad (2-3)$$

$$\Rightarrow \ln\left(\frac{J}{E^2}\right) = \ln \alpha - \frac{E_c}{E} \quad (2-4)$$

$$\text{其中 } \alpha = \frac{q^3}{8\pi h \phi_b} \frac{m}{m^*} = 1.54 \times 10^{-6} \frac{(m/m^*)}{\phi_b} \left(\frac{A}{V^2}\right) \quad (2-5)$$

$$E_c = 4 \sqrt{2m^*} \frac{\phi_b^{3/2}}{3\hbar q} = 6.83 \times 10^7 \sqrt{(m^*/m)\phi_b^3} \left(\frac{V}{cm}\right) \quad (2-6)$$

其中 m :自由電子質量。
 m^* :電子在二氧化矽能隙中的有效質量。
 ϕ_b :Si-SiO₂ 介面的能障高,單位為 eV。

由(2-6)式,將 $\log\left(\frac{j}{E^2}\right)$ 對 $\frac{1}{E}$ 作圖,看再高電場時是否為一直線來做判斷[23]。

2-4-2 電荷保存力 (Retention)

電荷保存能力一直是記憶體元件應用上一個被矚目的焦點,所以非揮發記憶體的一項基本要求,即是所寫入的資料要能夠長時間的保存著,因此電荷儲存層一定要被良好的絕緣體給包覆著,記憶體儲存資料保存能力的定義是指從資料儲存進去(如儲存在氮化層或奈米粒子中)到無法被判讀出來的時間,一般希望在十年後仍可判讀出資料。一般而言電荷保存能力和操作速度是兩個互相矛盾的需求,要是希望元件操作速度快,就代表元件容易被電子破壞阻障層而達到欲儲存的介電層,但如此一來阻障層就沒有辦法有效地阻止電子的漏電流,所以必須有所取捨,而電荷保存能力作圖方式如[圖 2.8]所示[24]。

2-4-3 耐力 (Endurance)

耐力的意義只要在測試記憶體元件在經過重複的寫入擦拭循環之後,仍可保持原有特性的能力。一般來檢視耐力是利用寫入的最高臨界電壓與擦拭之後的最低臨界電壓對循環次數的關係。經過多次的寫入擦拭循環之後,寫入與擦拭的效率均呈現衰退的現象,寫入的臨界電壓逐漸下降,擦拭的臨界電壓逐漸上升,亦即臨界電壓的可調變範圍變小。若狀況持續惡化,寫入與擦拭的狀態將無法被分辨,元件將無法正常工作。對於寫入與擦拭的循環次數,目前一般要求是經百萬次循環之後,高低臨界電壓之間的寬度仍需維持在可判讀的範圍內。而耐力的作圖方式如[圖 2.9]所示。

2-4-4 庫倫阻塞效應 (Coulomb blockage)

庫倫阻塞效應是指當材料隨奈米化，大小趨向奈米尺寸，一些材料如金屬和半導體呈現充放電和放電過程是不連續的效應。換言之，電流隨電壓的上升不再呈現直線上升，而階梯式上升,如[圖 2.10]所示。

庫倫堵塞效應是 20 世紀 80 年代固體物理所觀測到的極其重要的物理現象之一，當一個物理體系的尺寸達到奈米量級時，這個體系的充電和放電過程是不連續(量子化)的，此時充入一個電子所需的能量稱為庫倫堵塞能(它是電子在進入或離開體系中時前一個電子對後一個電子的庫倫排斥能)，所以對一個奈米體系的充放電過程中電子不能連續地集體傳輸(而是一個個單電子的傳輸)，通常稱這種在奈米體系中電子的單個輸運的特性為庫倫堵塞效應。

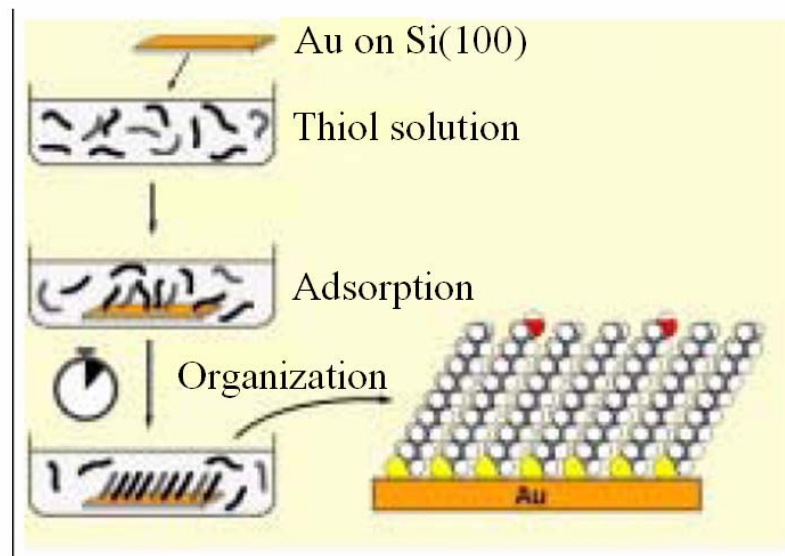


圖 2.1 SAM 形成示意圖。

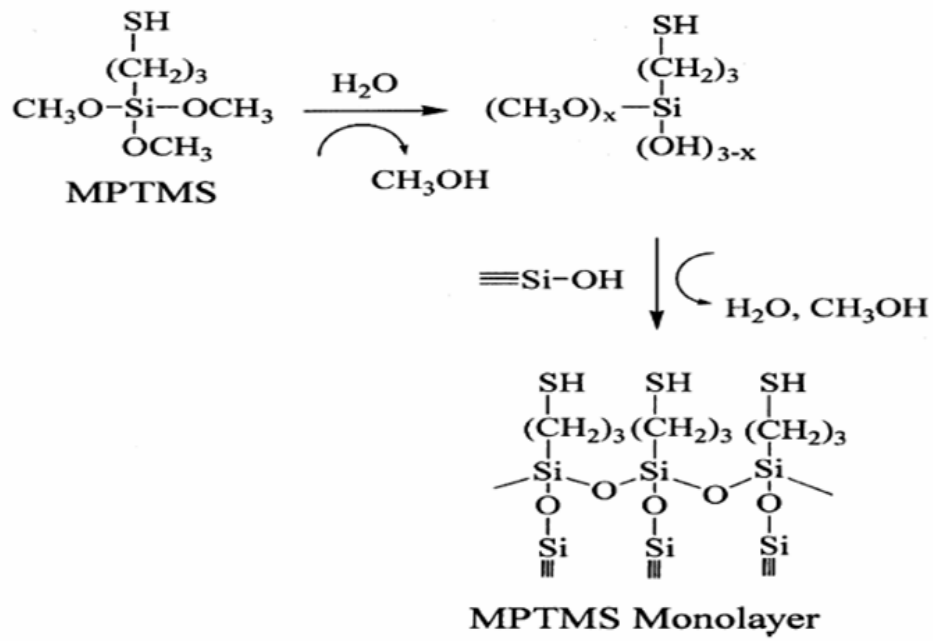


圖 2.2 MPTMS 在二氧化矽表面形成自組裝薄膜，而後我們可利用 MPTMS 上端裸露出來的硫醇鍵(Thiol bond)和金奈米粒子作鍵結。

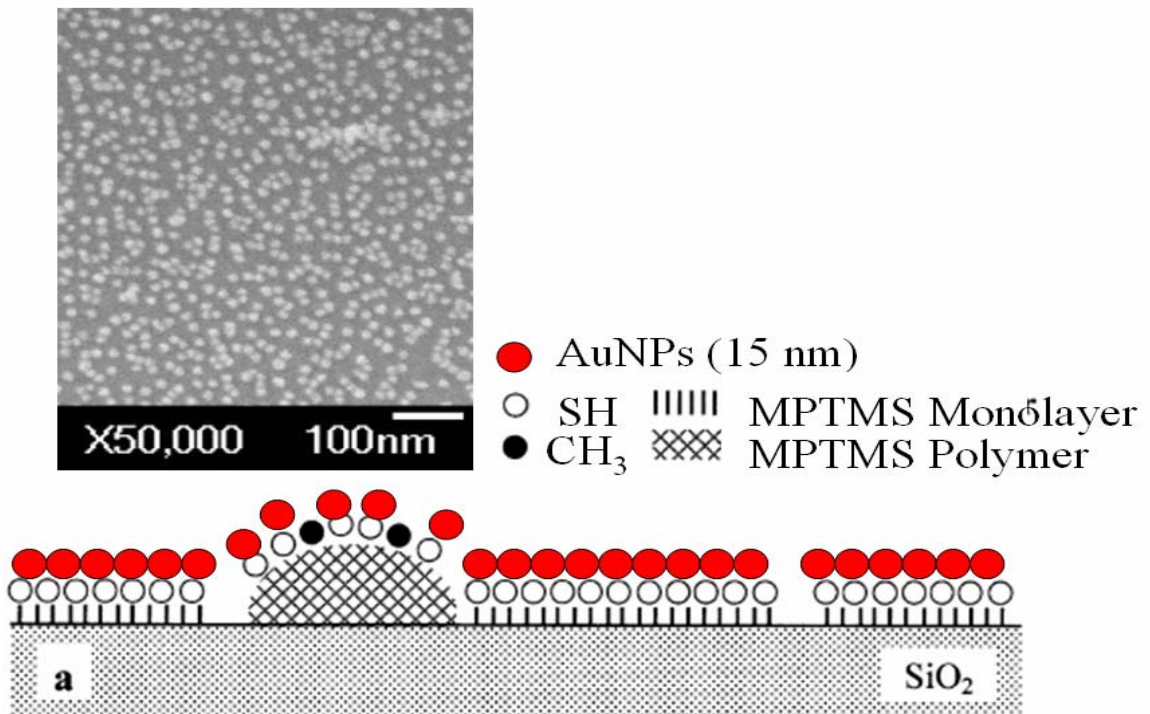


圖 2.3 MPTMS 作鍵結的橋樑,將金奈米粒子利用自組裝薄膜的機制沉積在二氧化矽表面。

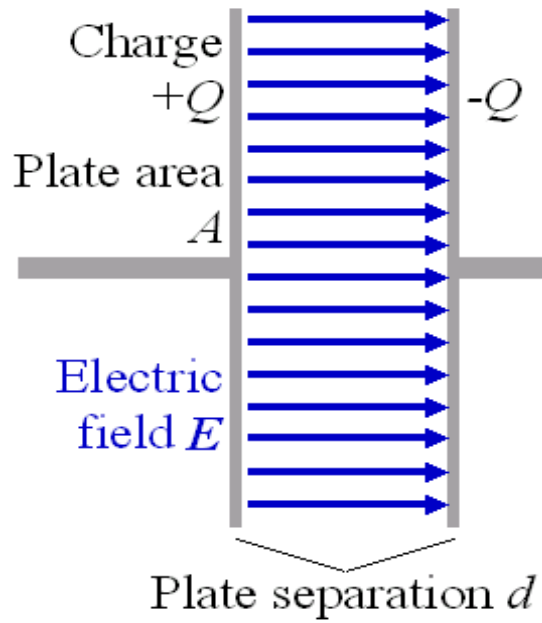


圖 2.4 平行板電容示意圖:當電荷在電極上累積,在兩電極之間會產生電場,大小和所累積的電荷成正比,電場會在電容器的兩電極造成電位差 $V = E \cdot d$ 。

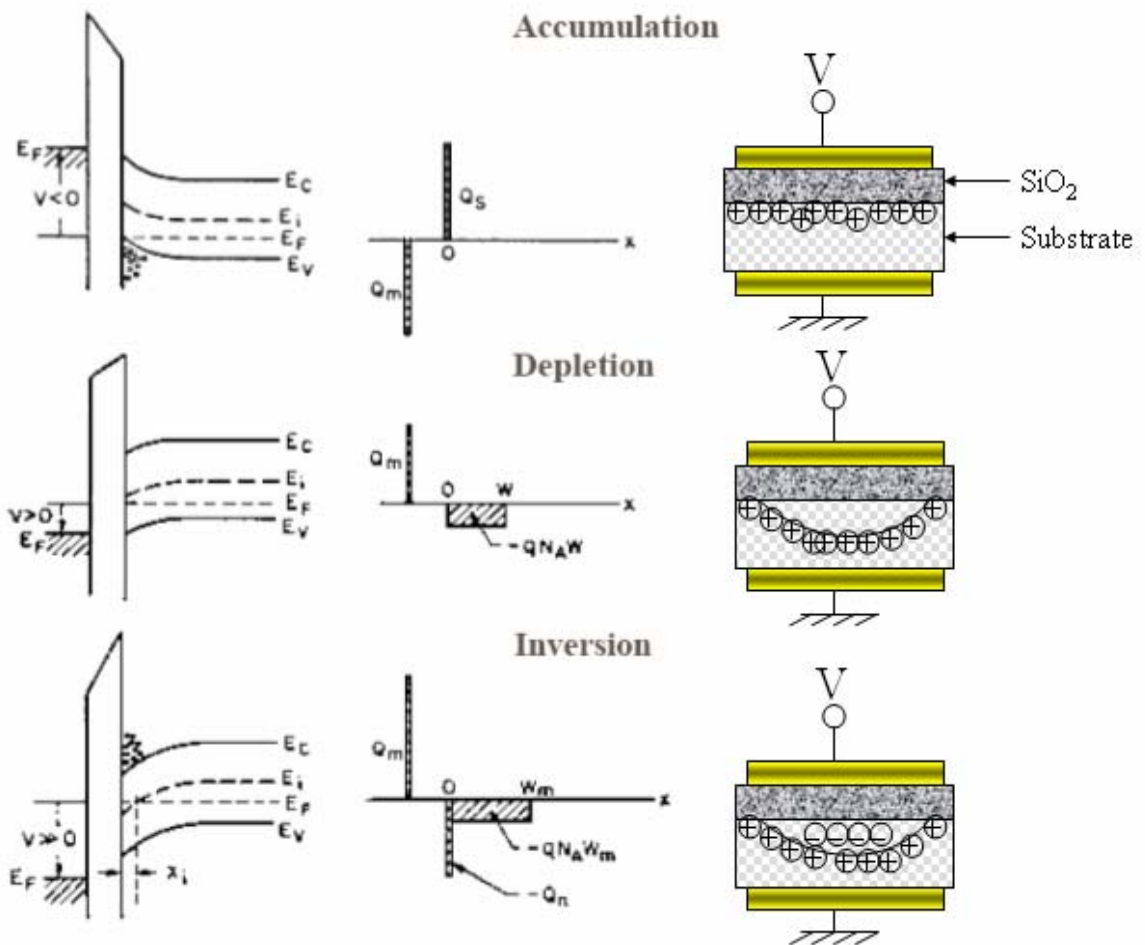


圖 2.5 偏壓下金氧半二極體電容的能帶與電荷分佈。

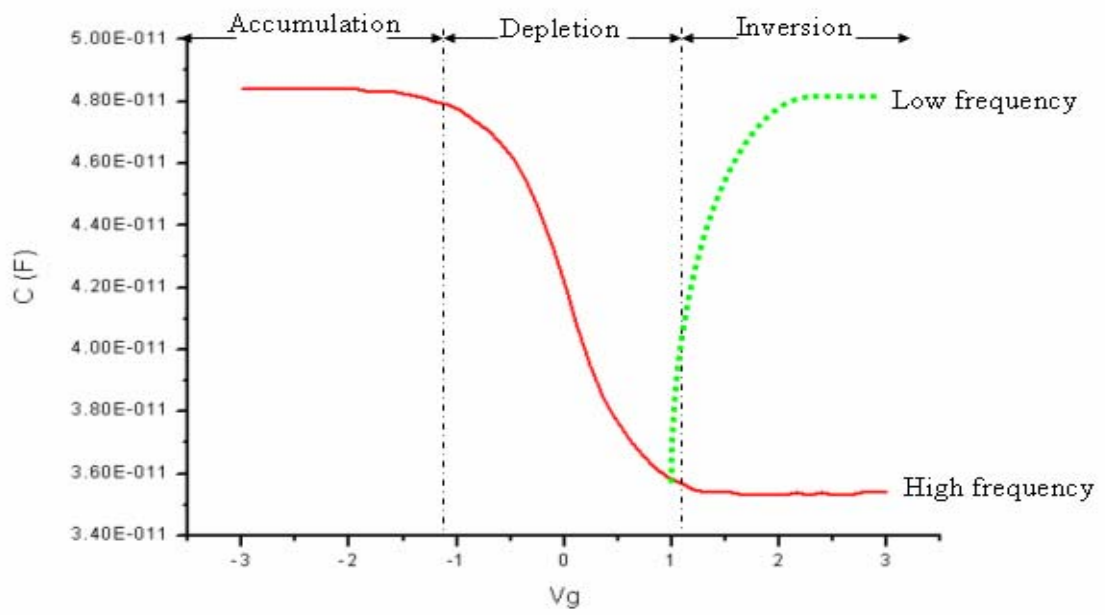


圖 2.6 電容電壓曲線上的三種不同狀態區域。

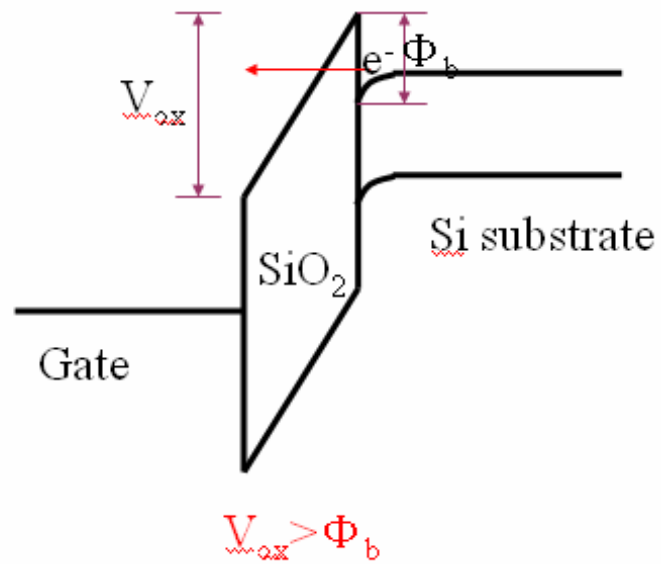


圖 2.7 三角形位障。

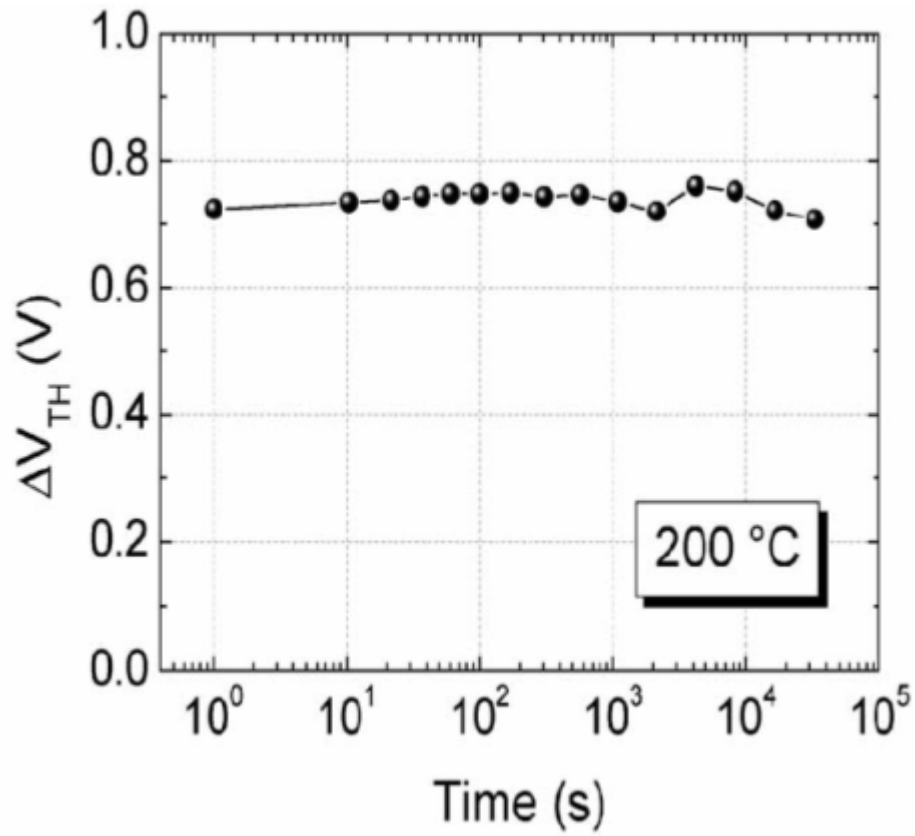


圖 2.8 MOSFET 在高溫下的電荷保存能力[17]。

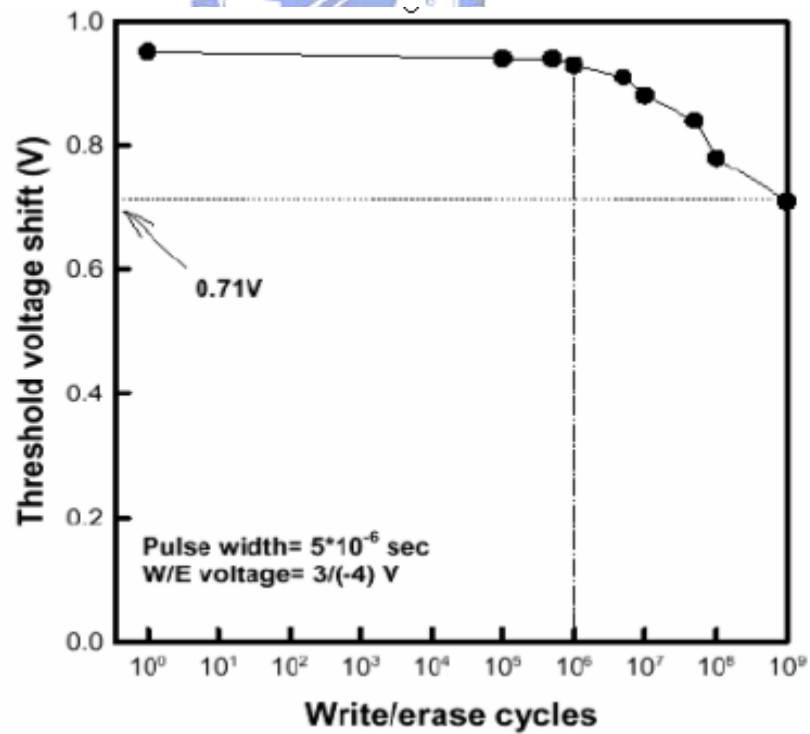


圖 2.9 耐力(Endurance)。

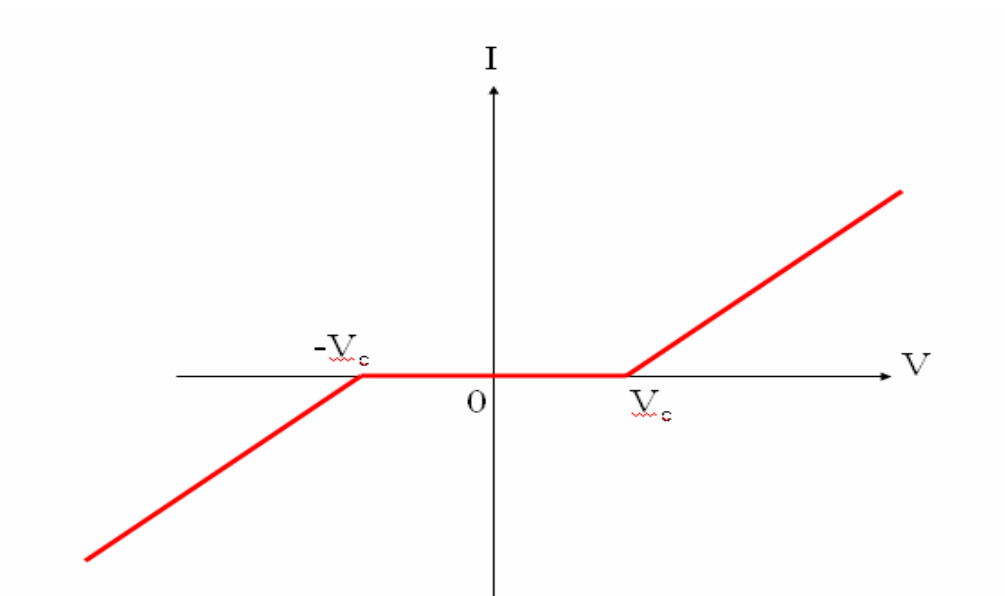


圖 2.10 庫倫阻斷之 I-V 特性。



第三章 實驗方法

我的實驗主軸在探討奈米粒子對記憶體電容的應用，其中扮演電荷儲存角色的奈米粒子分為以下三部分討論:(一)金奈米粒子記憶體電容(二)CdSe Qdots 記憶體電容 (三)金奈米粒子及量子點複合式記憶體電容。

以上奈米粒子應用於記憶體電容的實驗中，除了前半段重要的製程步驟外，還有後半段電容特性分析和儲存電荷能力優缺之比較，這些電性分析可以讓之後想利用奈米粒子做記憶體元件之研究作為參考。

3.1 實驗藥品與儀器

3.1.1 實驗藥品

- 1、矽質基材: CZ-P 型(硼摻雜)，晶片厚度: $525 \pm 25 \mu\text{m}$ ，晶格 $\langle 100 \rangle$ ，半徑: 4 吋($100 \pm 0.5 \text{ mm}$)，電阻值: 1-100 ohm-cm。
- 2、硫酸(sulfuric acid)，化學式: H_2SO_4 ，分子量: 98.08，含量: 95.0%，等級: 試藥級，廠牌: J-T Baker。
- 3、過氧化氫(hydrogen peroxide)，化學式: H_2O_2 ，分子量: 34.02，含量: 35%，等級: 試藥級，廠牌: J-T Baker。
- 4、MPTMS (3-mercaptopropyltrimethoxysilane)
- 5、乙醇(ethyl alcohol)，化學式: $\text{C}_2\text{H}_5\text{OH}$ ，分子量: 46.07，含量: 99.5%，等級: 試藥級，廠牌: J-T Baker。
- 6、四氯金酸(tetrachloroauric(III) acid)，化學式: $\text{HAuCl}_4 \cdot 3\text{H}_2\text{O}$ ，分子量: 393.8
- 7、檸檬酸三鈉鹽(trisodium citrate dehydrate)，化學式: $\text{C}_6\text{H}_5\text{Na}_3\text{O}_7 \cdot 2\text{H}_2\text{O}$ ，分子量: 294.10。
- 8、丙酮(acetone)，化學式: $(\text{CH}_3)_2\text{CO}$ ，分子量: 58.08，含量: 35%，等級: 試藥級，廠牌: J-T Baker。
- 9、去離子水(de-ionic water)

10、CdSe Quantum dots

11、正型光阻型號:FH6400，廠牌:FUJIFILM。

12、顯影劑型號:FHD-5，廠牌:FUJIFILM。

13、CdSe 量子點溶液:由本校材料工程科學學系取得。

3.1.2 實驗儀器

- 1、**濕式清洗蝕刻工作檯(Wet Bench)**:晶片清潔用途，本實驗採用交通大學半導體中心內的 RCA Clean 標準流程來進行晶片的清潔。
- 2、**高溫爐管(Furnace)**:利用高溫製程(950°C)來成長本實驗所需要的氧化層，並利用其長出來的氧化層作為 Tunneling Oxide。
- 3、**薄膜測厚儀(N&K Analyzer)**:測量薄膜厚度。
- 4、**原子力顯微鏡(AFM)**:AFM 的原理是利用特製的微小探針，利用偵測探針針尖與樣品表面的交互作用力，使探針在樣品表面來回偵測掃描，紀錄掃描面上每一點的垂直微調距離，可獲得表面與針尖交互作用的圖像，進而導出樣品表面特性，從而得之樣品表面高低起伏，最後由電腦程式模擬出樣品表面形貌。AFM 通常操作的三種模式(一)接觸式(contact mode):探針掃描時總是接觸樣品表面，探針針尖與樣品表面間的作用力為原子間排斥力。(二)非接觸式(non-contact mode):針尖與樣品表面維持一定的距離，利用原子間的凡得瓦爾力(van der waals force)來運作。(三)輕敲式(tapping mode):介於接觸式與非接觸式之間，探針以高頻在 Z 方向上振動，但其振幅較非接觸式小，而每一振動週期中，探針在振盪底部和樣品表面接觸。
- 5、**掃描式電子顯微鏡(SEM)**:在高電壓作用下，從電子槍射出來的電子束經聚光鏡及物鏡聚焦成很細的高能電子束，電子束與樣本表層物質相互作用，產生背向散射電子，二次電子等各種訊息，偵測器將這些訊息接受並經由放大器放大，傳送至電腦分析並加以儲存。
- 6、**集結式電漿輔助化學氣相沉積系統(PECVD)**:本實驗操作在 250 毫托，250~300°C 的條件下成長氧化層(TEOS oxide)作為記憶體電容的控制氧化層(control oxide)。

- 7、光學步進曝光機:搭配正型光阻(FH6400)來定義記憶體電容的電極位置。
- 8、金屬蒸鍍系統(Thermal Coater):本實驗用此機台鍍上 Ti/Al 作為記憶體電容的電極。
- 9、半導體元件參數量測系統: 4284C 用來作 C-V(電容-電壓)量測，高頻頻率可達 1MHz。4156C 可用來量測 I-V(電流-電壓)，當一個元件完成時必須用到的電性量測機台。

3.2 金奈米粒子之合成與自組裝薄膜之方法

3.2.1 金奈米粒子合成

本實驗金奈米粒子的製作，是用化學還原法(chemical reduction method)將四氯金酸內的金離子還原成金原子，利用檸檬酸三鈉鹽作為還原劑，將金離子在水溶液中還原成粒徑大小約 15 奈米的金離子，全程實驗中所有的水均使用去離子水，所有的燒杯均用稀鹽酸(HCl:H₂O=1:3)清洗過。

15 奈米金粒子合成配方如下:取 0.25 mM 的四氯金酸溶液(tetrachloroauric(III)acid)加熱至沸騰，接著快速加入 1%的檸檬酸鈉溶液(sodium citrate)0.6ml，均勻攪拌 10 分鐘，待溶液由淡黃色轉變為紫紅色，反應完成後即得到金奈米粒子膠體溶液(gold colloid solution)[7]。溶液由沸騰靜置到室溫，才可放入冰箱保存。

3.2.2 自組裝薄膜

因為金奈米粒子本身帶負電荷，CdSe 量子點本身呈電中性，且二氧化矽表面的氫氧基也是帶負電荷，故金奈米粒子或 CdSe 量子點並不會直接固定在二氧化矽的表面，遂我們採用 MPTMS (3-mercaptopropyltrimethoxysilane)作為金奈米粒子/CdSe 量子點固定化的媒介，其化學式為:(CH₃O)₃SiCH₂CH₂CH₂SH(圖 3.1)。如圖 3.1，MPTMS 一端帶有硫醇鍵(thiol bond) 可以和金奈米粒子或 CdSe 量子點鍵結，另一端的氧甲基在水解後會跟帶有氫氧基(OH⁻)的二氧化矽表面鍵結。在此我們取 7.4μL 的 MPTMS 溶液滴入 20 ml

的乙醇中，以調配成濃度為 2×10^{-3} M/l 的 MPTMS 稀釋液。(圖 3.2)(圖 3.3)為利用 MPTMS 會水解並在二氧化矽上鍵結的特性，型成 MPTMS 自組裝(SAM)薄膜。

本實驗使用之矽晶片已用高溫爐管(furnace)長過氧化層，用來作為沉積金奈米粒子/CdSe 量子點時承載用的固體表面。首先得幫晶面表面做一些處理，使其表面的氫氧基(OH)更為緻密，例如:用硫酸(sulfuric acid)與過氧化氫(hydrogen peroxide)體積比例 3:1 混合溶液，來清洗晶圓的表面 10 分鐘;或者利用 UV Ozone 做表面處理 10 分鐘。接著利用去離子水(DI-water)清洗晶片表面。此時的表面應為親水性極佳的特性，可明顯看到一層水膜完整地附著在晶片表面。用氮氣吹乾試片之後，第二步則是將試片浸於利用先前調配好的 MPTMS(3-mercaptopropyl trimethoxysilane)溶液中，靜置 1 小時，取出試片用乙醇清洗，再用去離子水清洗接著超音波振盪 5 分鐘後，置於加熱盤上烤乾(80°C, 30 分鐘)。第三步就是奈米粒子(金奈米粒子/CdSe 量子點)沉積，本實驗採用浸泡法(immersion method)，將試片浸泡在金奈米粒子/CdSe 量子點的溶液中(金的沉積時間 1 小時，CdSe 的沉積時間為 15 分鐘藉由硫醇鍵(thiol bond)的鍵結，即完成奈米粒子(AuNPs/CdSe Qdots)自組裝薄膜的步驟。如表 3.1 所示，都是本實驗室學長測試出來沉積奈米粒子薄膜的最佳參數。

3.3 掃描式探針微影技術(SPL)選擇性沉積奈米粒子

待 MPTMS 分子在氧化層上自組裝完成之後，我們利用原子力顯微鏡的探針在試片表面上畫線，並在探針上施以一適當偏壓，利用施加偏壓的探針在試片表面畫出氧化線，造成 MPTMS 表面結構的破壞，之後在金奈米粒子自組裝薄膜的步驟時，由於被破壞的區域無法使金奈米粒子沉積，藉此機制達成選擇性沉積的效果。也就是說，被 AFM 探針畫線過的區域不會有金奈米粒子，金奈米粒子將在沒被畫線過的區域自組裝，之後於第四章將繼續探討相關的機制。

3.4 記憶體電容的製程

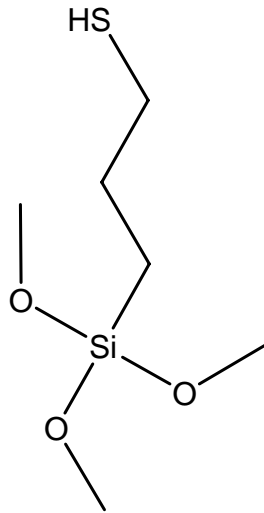
- 1、在 P 型矽晶片上利用高溫爐管長 50 Å 厚的氧化層作為電容結構的閘極氧化層(gate oxide)。
- 2、利用浸泡法沉積奈米粒子，共分為四組:(一)金奈米粒子;(二)CdSe 量子點;(三)金奈米粒子以及 CdSe 量子點複合式混合沉積;(四)完全沒有奈米粒子，第四組作為對照組。
- 3、利用集結式電漿輔助化學氣相沉積系統(PECVD)沉積 500Å 的 TEOS，作為電容結構的控制氧化層(control oxide)。
- 4、電極圖案設計:本實驗所設計的電極圖形如[圖 3.4]所示，由最小圈至最大圈電極的半徑分別為:50 μm、100 μm、200 μm、300 μm、400 μm、500 μm。
- 5、於加熱盤上加熱烤乾，溫度為 90°C，之後以旋轉塗佈法旋塗光阻，務必使光阻均勻塗佈在晶片上。
- 6、曝光:在此之前務必將試片軟烤，其目的使光阻殘存的有機溶劑揮發，使光阻呈固態薄膜。
- 7、顯影:光阻曝光由於感光分子斷鍵，利用顯影劑將斷鍵部分之光阻去除，本實驗採用正型光阻(FH6400)，其曝光的地方會被顯影劑顯掉。
- 8、硬烤:消除駐波效應，使光阻結構更為穩定，表面更為平坦，還可去除殘存的顯影劑，增加後續製程的抗蝕刻能力。
- 9、在晶片正面鍍上 100 Å 的 Ti，再鍍上 1500Å 的 Al。特別注意的是，鍍金屬前，我們所用的鎢舟應先用 HCl:H₂O=1:3 的溶液清洗乾淨。
- 10、將晶片浸泡在丙酮溶液(acetone)中一小時，用超音波振盪剝蝕法(lift off)，將光阻劑溶解，此時附著在光阻劑上的金屬膜會被剝離，而底部無光阻的金屬鍍層會保留在晶片表面，因此定義出電極的位置。
- 11、在晶片背面鍍上 Ti/Al，同步驟 5。
- 12、置於高溫爐管鍛燒(sintering)，溫度為 400°C，時間為 30 分鐘。此即完成

一個記憶體電容，如[圖 3.5]所示。

13、使用半導體電容電壓量測系統和半導體元件參數系統去做電性的量測與分析。本實驗整個記憶體電容製程的流程簡圖如表 3.2 所示。

3.5 量測實驗結果

進行上述所有實驗的過程中，為了能精確掌握各項參數的變化，求得較客觀的實驗結果，應該在每一步驟告一段落時謹慎的做好量測的工作。從一開始晶片的清潔(RCA clean)就應該準確要求各項溶液在配置時的體積比例；高溫爐管長出來的氧化層，也經由薄膜測厚儀(N&K analyzer)於七個不同的區域量測後，去除首尾量測誤差最多的數據，只取中間五組數據作平均值；我們使用的MPTMS 溶液是買來的標準品，精準地用乙醇稀釋至所需濃度後，下一步沉積完奈米粒子後也去做了 AFM 的掃描以及拍攝 SEM，取得奈米粒子在試片上的表面形貌、粒徑以及單位面積密度等表面量測分析；待記憶體電容結構完成後，將晶片放在量測平台上，以半導體元件參數量測系統測量其 C-V 以及 I-V 等等元件特性分析，特別注意的是，當探針下到電極上時，使用光學顯微鏡仔細觀察接觸狀況，避免未接觸就量測或是把電極刺穿等情況發生。



mercaptopyltrimethoxysilane

圖 3.1 MPTMS 的化學結構。

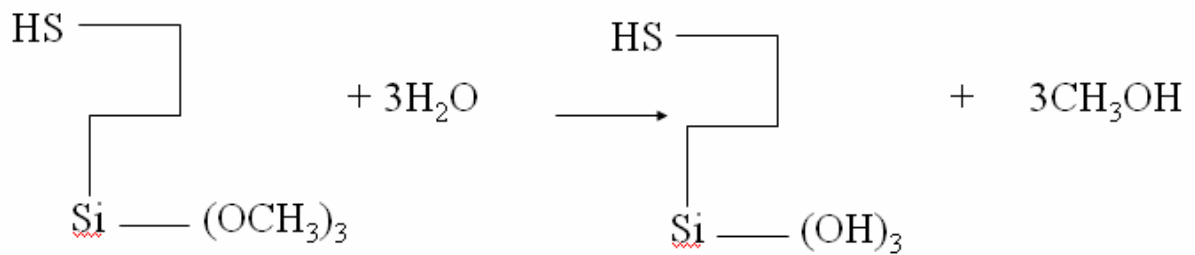


圖 3.2 MPTMS 水解反應。

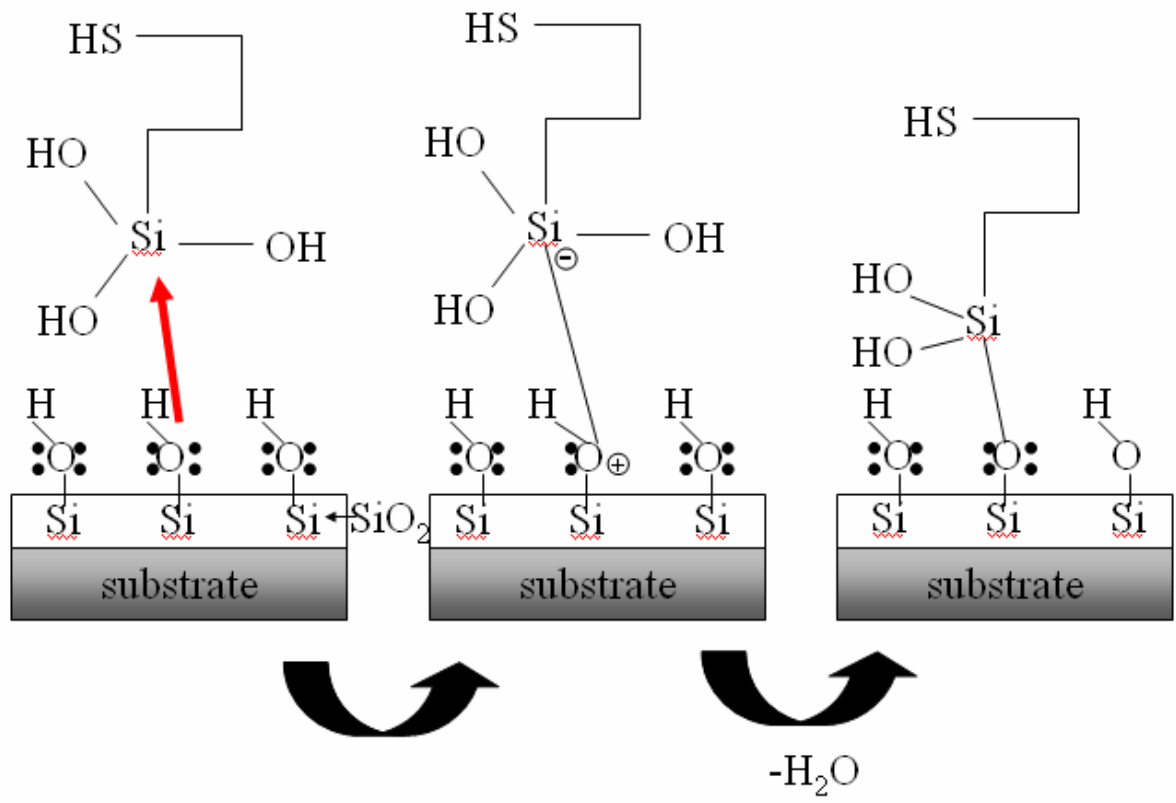


圖 3.3 MPTMS 與二氧化矽基板鍵結反應。

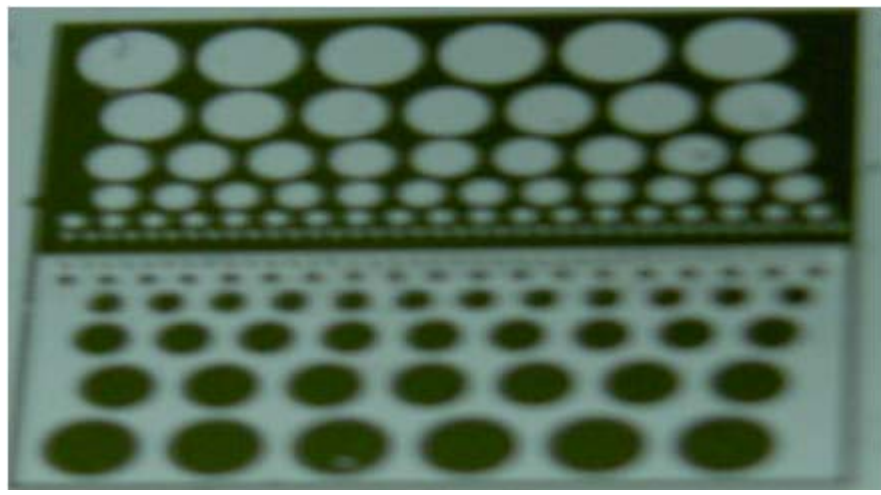


圖 3.4 電極圖形:圓形電極直徑由小到大依序為:50、100、200、300、400、500 μm。

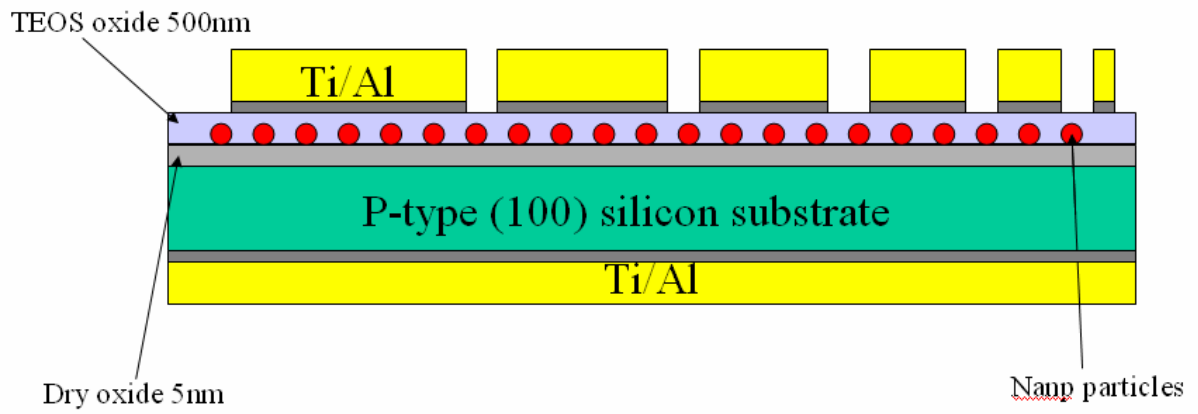


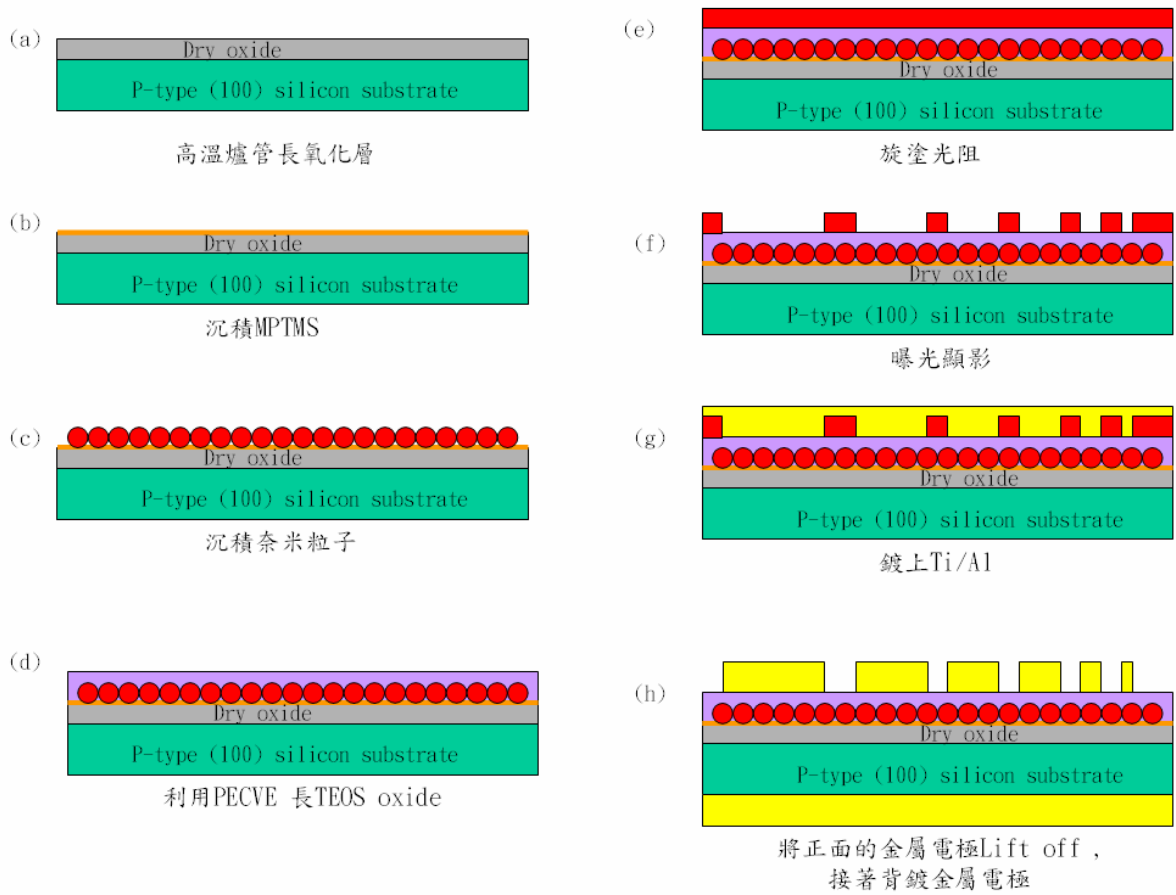
圖 3.5 記憶體電容示意圖。



表 3.1 奈米粒子自組裝薄膜之方法



表 3.2 記憶體電容製程的流程簡圖



第四章 實驗結果與討論

本實驗作了四種不同的奈米記憶體電容,其一為中間有 15 nm 的金奈米粒子,另一為中間有 5nm 的硒化鎘量子點,第三種是中間混合了金奈米粒子以及硒化鎘量子點,第四種則是做對照組的空白實驗,即中間沒有任何奈米粒子的記憶體電容來作比較。

4-1 薄膜自組裝機制的探討

4-1-1 MPTMS 薄膜自組裝單層

奈米粒子的薄膜自組裝機制在一個奈米記憶體電容的製程中,扮演著很重要的角色。本實驗中,奈米粒子擔任著記憶體電容中,捕捉電荷的角色,若是奈米粒子在氧化層上自組裝的過程中,出現了嚴重分部不均勻的現象,如大範圍的聚集或是過於稀疏等,都會影響到該奈米記憶體電容的電性,由 2001 年 Applied Surface Science 中, Minghui Hu 等人所作的實驗中[16]可得知,不同濃度的 MPTMS 將會大大影響後續金奈米粒子的沉積效果,如[圖 4.1]所示,相較於其他更高濃度的 MPTMS 溶液,當試片浸泡在濃度為 $5 \times 10^{-3} \text{M}$ 的 MPTMS 溶液中,氧化層表面為均勻的 MPTMS 單層所覆蓋,濃度過高則會導致 MPTMS 分子聚集在氧化層表面,形成 MPTMS 高分子狀態[圖 4.2],過度聚集的後果將影響後續沉基金奈米粒子的均勻性。故本實驗在調配 MPTMS 溶液時,將濃度定為 $5 \times 10^{-3} \text{M}$,之後再用浸泡法,將試片浸泡在金奈米粒子溶液中。

另一組實驗也是用同樣的方法,在 MPTMS 自組裝在二氧化矽表面後,用浸泡法將試片浸泡在硒化鎘溶液中,如[表 3.1]所示。

4-1-2 奈米粒子自組裝薄膜

我的硒化鎘量子點溶液是由交通大學材料所取得;金奈米粒子是化學氧化還原法即

利用四氯金酸溶液和檸檬酸三鈉鹽溶液還原成的金奈米粒子,檸檬酸擔任還原劑的角色,將金奈米粒子包覆於其內,故我們的金奈米粒子表面帶有負電荷,也因此包覆能力,檸檬酸跟也擔任了保護的角色,使得溶液中的金奈米粒子可以安定的存在,不至聚集,因由於不同的還原劑濃度會影響金奈米粒子的粒徑,所以本實驗將檸檬酸三鈉鹽溶液的濃度定在 2.2 mM,成長出均勻的 15 nm 金奈米粒子。

4-2 掃描試探針微影技術(SPL)的實驗結果討論

4-2-1 SPL 選擇性沉積機制

本實驗利用原子利顯微鏡探針針尖施加一偏壓於二氧化矽表面,探針所經的區域,由於電場跨越過氧化層,與下面的矽基板作氧化反應,新形成的氧化層將導致原有氧化層結構隆起,並且破壞原有氧化層上 MPTMS 薄膜的結構,如[圖 4.3]所示。由於探針經過的區域,原有氧化層及 MPTMS 的結構遭到破壞,之後在金奈米粒子薄膜自組裝的時候,探針經過之區域並不會有金奈米粒子的沉積[17],如[圖 4.4]所示。

利用掃描式探針微影技術,我們可以在試片上畫上我們想要的圖案,隨後金奈米粒子沉積於其上之後,被探針畫圖的部分不會有金奈米粒子,如此我們可以選擇性地沉積金奈米粒子,一個奈米圖案化的製程就完成了[圖 4.5]。

4-2-2 SPL 機制各項參數討論

首先我們討論畫線速度對於圖案化製程的影響,首先我們在試片上長了 2.4 nm 的氧化層,之後就利用探針掃描速度變化,探討表面的形貌。於氧化物上沉積完 MPTMS 分子後,利用 AFM 探針針尖施一 2 V 到 10 V(共 9 組)的偏壓劃線,每組畫 6 條線,並用 AFM 探針掃描其表面,每組畫線速度由左到右分別為 0.1,0.2,0.3,0.4,0.6,0.6 $\mu\text{m/s}$;之後在將此次試片浸泡在金奈米粒子溶液中,沉積金奈米粒子於試片上,如[圖 4.6]所示。

實驗結果可發現,當畫線偏壓為 10 V 時(圖 4.6 最右下角),矽基板表面氧化的程度比

較徹底(氧化線較其他組粗)。以在沉積金奈米粒子之後,原先探針施加 2 V 電壓掃描的線條,我們發現線條上仍有金奈米粒子沉積於其上,其選擇性沉積效過不是很好。同樣的參數再作一次實驗,這次我們把偏壓加到 3 V,如[圖 4.7]所示,如實驗結果發現 3 V 偏壓下,畫線速度較慢者開始有不錯的選擇性沉積效果,3 V 以上對於 2.4 nm 的氧化層來講已經大到足以讓氧化層以及其上的結構(MPTMS)遭受嚴重的破壞,故畫線速度的快慢的參數改變以經不會影響選擇性沉積金奈米粒子的效果,換句話說,在此偏壓下每一條線的選擇性沉積金奈米粒子都有不錯的效果。此外我們也用同樣的操作機制做了選擇性沉積硒化鎘量子點的實驗,如[圖 4.8]所示。

4-2-3 氧化機制的驗證

利用 SPL 技術對矽基板作氧化線,新的氧化線形成以後會造成其上的舊有結構層隆起,這裡我們要對這個機制作個驗證。

假設探針在作畫線的步驟時,是利用探針接觸氧化層表面刮出來的線破壞原有表面結構,而達到選擇性沉積的效果,換句話說,利用探針針間在氧化層上刮出一條一條的線,作為圖案化製程的手法;此時利用原子力顯微鏡(AFM)觀察試片的表面形貌,照理,在試片被畫線的部分,應該觀察到一條一條因為被刮到而凹陷下去的痕跡。

在此,我們將試片利用 AFM 掃描結果拿出來驗證,如[圖 4.9(a)]所示,觀測結果得知,被探針針尖畫過線的部分,表面都有約 1 nm 的隆起,而非假設利用刮拭法而呈現凹陷的表面形貌。再者,為了驗證這些新形成的隆起部分是矽基板受到探針施一偏壓進行電化學反應而長出來的二氧化矽,我們將試片浸泡於氫氟酸溶液中,二氧化矽會被氫氟酸蝕刻掉,隨後將試片清洗完再利用 AFM 掃描一次試片表面,如[圖 4.9(b)]所示。掃描結果發現:試片浸泡完氫氟酸之後,原本畫線的部分有約 1 nm 的凹陷,這表示原本平坦的矽基板在畫線部分的表面有氧化的現象,而後舊有氧化層與新形成的氧化層(畫線部分)一併被氫氟酸蝕刻掉。用此方法證明了本實驗的機制:利用 AFM 探針針尖施加一偏壓,使矽基板產生氧化層並利用此機制畫出氧化線,新形成的氧化線,造成其上結構(舊有的氧化層以及 MPTMS 分子層)的隆起造成表面結構破壞,因此達成選擇性沉積金奈米粒子並達到奈米

圖案化製成的實驗。

4-3 奈米記憶體電容電性量測結果與討論

製作奈米記憶體電容之前,我們拍攝下奈米粒子的形貌,如[圖 4.10]所示的 SEM 照片 (a)為對照組(純氧化層),(b)為 CdSe Qdots 表面,(c)為 AuNPs 表面,由於 CdSe Qdots 粒徑太小(約 3-5 nm),SEM 無法聚焦於其上,以致於[圖 4.10(c)]看起來比較模糊,為了觀測出 CdSe Qdots,我們將混合結構(AuNPs + CdSe Qdots)的試片利用 AFM 掃描其表面形貌[圖 4.11],發現兩種不同的高度分佈:15 nm 以及 5 nm 的兩個高度對應出金奈米粒子以及硒化鎘量子點兩種不同的奈米粒子;在利用 TEM 拍攝混合結構的剖面[圖 4.12],拍下硒化鎘量子點,來驗證硒化鎘量子點的存在,更高解析度的 TEM 圖如[圖 4.13]所示。

為什麼會選用這些奈米粒子坐電容的原因是因為(1)金奈米粒子功函數差的原理,來製造兩邊位障的不同,如[圖 4.14]所示;(2)硒化鎘量子點則是利用庫倫阻塞效應捕捉電荷的,如[圖 4.15];(3)金奈米粒子混合硒化鎘形成更多的接面缺陷,造成更大的電荷捕捉效果,如[圖 4.16]所示。

4.3.1 C-V 量測與討論

平帶電壓公式如下:

$$V_{FB} = \phi_{ms} - \frac{Q'_{ss}}{C_{ox}} \quad (4.1)$$

其中 Q'_{ss} 是等效的固定氧化物電荷,而 ϕ_{ms} 則是金屬-半導體的功函數差。當一個奈米記憶體電容做出來之後, ϕ_{ms} 和 C_{ox} 已經是個定值,故對於負的等效固定氧化物電荷而言,平帶電壓會往正的方向偏移。由於等效氧化物電荷並不是閘極電壓的一個函數,因此這些 C-V 曲線會隨著氧化物電荷而顯現平行的移動,然而,C-V 曲線會保持與理想特性相同的形狀。由本實驗量測的結果[圖 4.17][圖 4.18],以純氧化層電容作為對照組,其他三組電容量測結果,其曲線都往右邊偏移,由此實驗結果可推測我們的金奈米粒子、硒化鎘量子點,

甚至是兩者混合的結構,在電荷捕捉時,均是捕捉負電荷。如此也可證明金奈米粒子、硒化鎘量子點以及兩者混合結構的記憶體電容,是可以儲存電荷的。若是中間嵌有奈米粒子的電容結構無法儲存電荷的話,那它們的 C-V 曲線將會跟對照組(純氧化層結構)的曲線一樣,不會產生偏移的情況。

如何算出電容裡的總電荷量也可由下列公式算出:

$$\Delta V_t = \frac{T_{control}}{\epsilon_{ox}} \cdot Q_t \quad (4.2)$$

由公式(4.2)所示, ΔV_t 為臨界電壓偏移量, $T_{control}$ 為氧化層厚度, ϵ_{ox} 為二氧化矽的相對介電常數: $3.39 \times 8.85 \times 10^{-14}$ F/cm, 這樣就可由公式算出電量 Q_t :

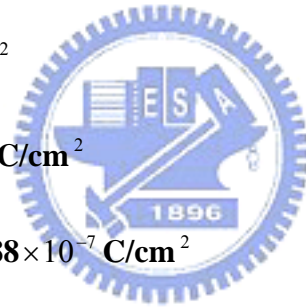
對於本實驗的電容結構, $T_{control} = 48$ nm, ΔV_t 由[圖 4.17]可得,故

$$Q_t \text{ (no nanoparticles)} = 0 \text{ C/cm}^2$$

$$Q_t \text{ (AuNPs)} = 1.69 \times 10^{-7} \text{ C/cm}^2$$

$$Q_t \text{ (CdSe Qdots)} = 7.76 \times 10^{-9} \text{ C/cm}^2$$

$$Q_t \text{ (AuNPs+CdSe Qdots)} = 1.88 \times 10^{-7} \text{ C/cm}^2$$



4.3.2 記憶體電容寫入及擦拭機制

記憶體元件有很多種操作的機制來作寫入和擦拭的動作,例如:直接穿隧(Direct tunneling)、熱電子載子注入(Hot carrier channel injection)以及 F-N Tunneling 等等,其中 F-N Tunneling 的擦拭及寫入機制如[圖 4.19]所示,為了要驗證本實驗的寫入及擦拭的機制屬於 F-N Tunneling,由第二章中,(2.3)及(2.4)式的結果,我們可以在大電場下,利用 $\ln\left(\frac{J}{E^2}\right) \propto -\frac{1}{E}$ 來作圖:首先我們要先了解一個重要的觀念,即 F-N Tunneling 的機制和溫度(T)無關,故在量測電壓對電流的變化時,我們必須作變溫量測的動作來驗證,如[圖 4.20]。實驗結果發現:試片溫度由室溫(25°C)加到 200°C 其電性曲線並沒有顯著的偏移。

故我們取電場較大的區段($E > 5.5$)作分析,然後利用 $\ln\left(\frac{J}{E^2}\right)$ 對 $\frac{1}{E}$ 作圖,如[圖 4.21]所示,圖

形上的曲線呈一線性分佈的趨勢,所以證實操作機制是屬於 F-N Tunneling。

4.3.3 電荷保存能力(Retention)

我的元件為一個記憶體電容結構,在量測電荷保存能力(Retention)時,我採用定電壓下紀錄電容(C)值,以下是我在量測電荷保存能力的步驟,如[圖 4.22]所示:

1. 找出 C-V 曲線的遲滯中心,標出電壓值(2.61 V)。
2. 給一稍大的電壓 Stress 一次(12 V 到-5 V)。
3. 縮小電壓範圍掃其 C-V 曲線(4 V 到 0 V)。
4. 紀錄 2.61 V 所對應的電容值(C_{Low}),每一段時間區間重複步驟 3 和步驟 4。
5. 從負方向給一稍大的電壓再次 Stress(-5 V 到 12 V)。
6. 掃描 0 V 到 4 V,紀錄 2.61 V 時所對應的電容值(C_{High}),每一段時間區間重複步驟 5 和步驟 6。
7. 將每個時間區間所紀錄的 C_{High} 和 C_{Low} 紀錄下來,即為 Retention 的量測紀錄,如[圖 4.23][圖 4.24]所示。

由我的量測結果,若是元件的儲存電荷能力開始退化,其遲滯造成的 ΔV , 會開始變小,相對的, C_{High} 和 C_{Low} 也會隨著元件退化而出現收斂的趨勢。

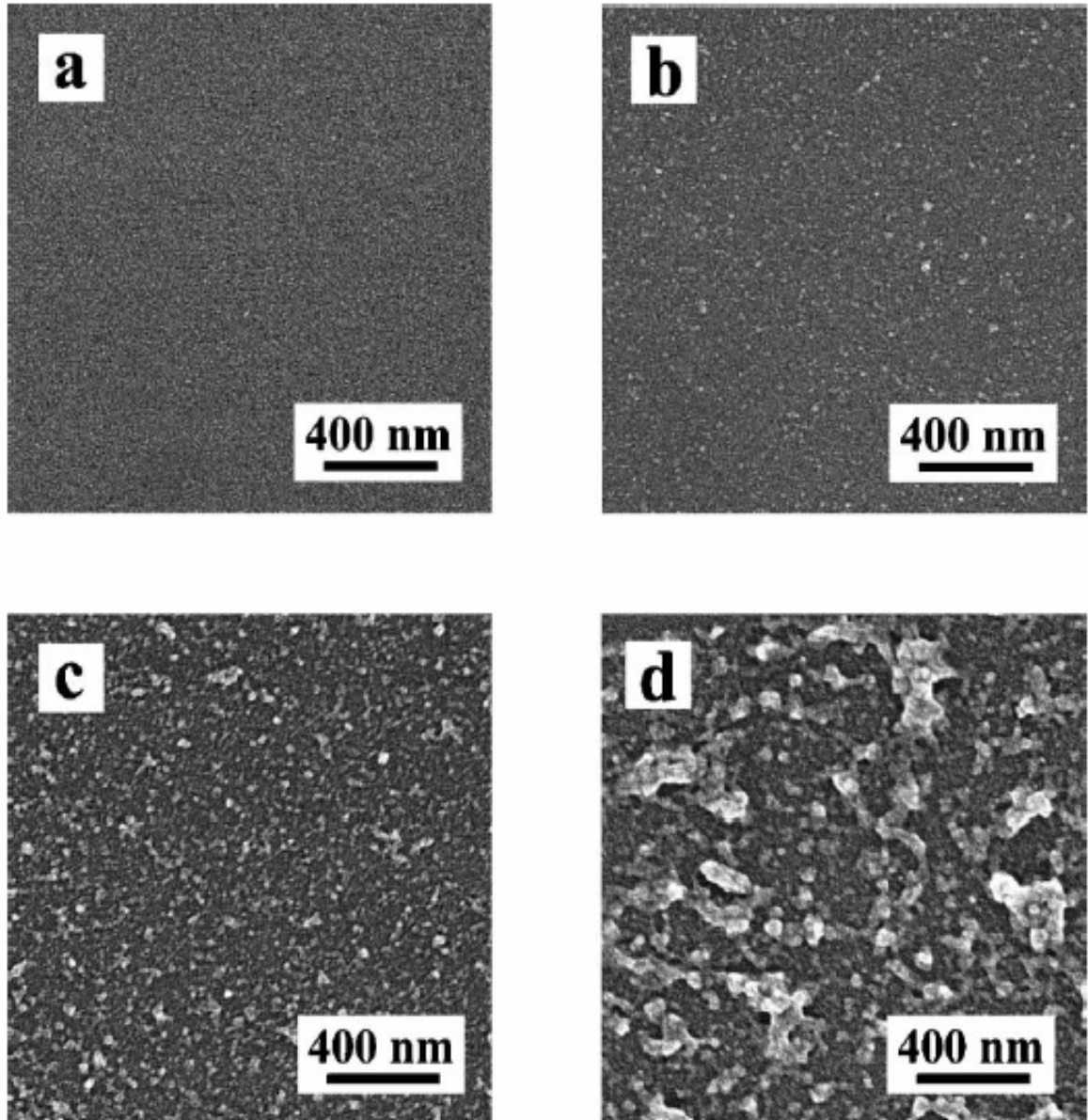


圖 4.1 不同濃度的 MPTMS 沉積在氧化層上的 SEM 圖像, (a)為 SiO₂ 的表面, (b)濃度為 5×10^{-3} M, (c) 2×10^{-2} M, (d) 4×10^{-2} M 的 MPTMS 溶液。

MPTMS作鍵結的橋樑, 將金奈米粒子利用自組裝薄膜的機制, 沉積在二氧化矽表面上

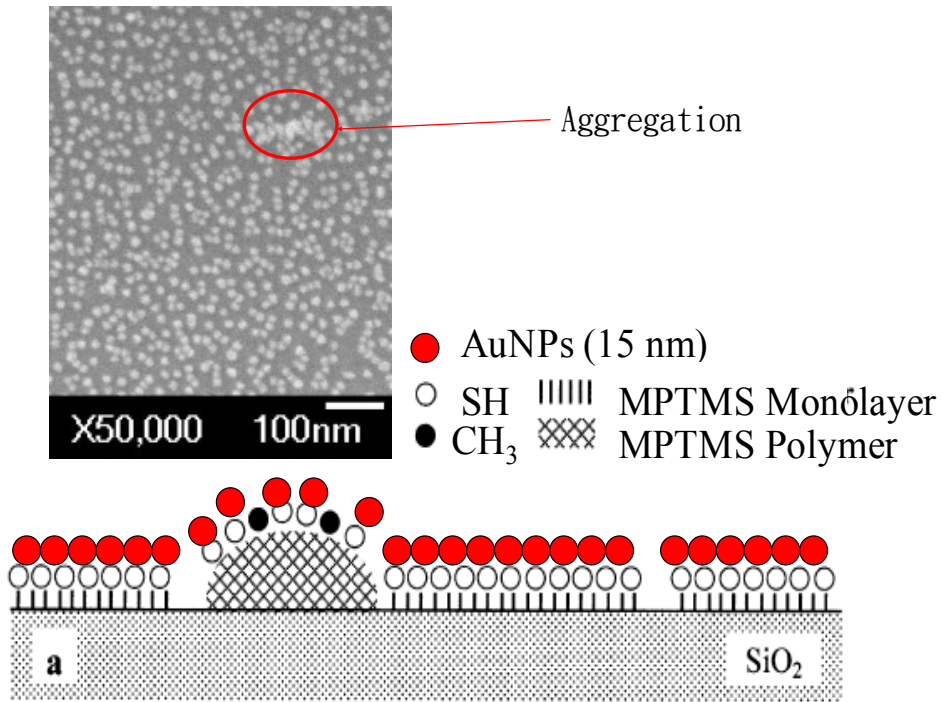


圖 4.2 MPTMS 單層及高分子狀態所造成的影響: 當濃度控制得當, MPTMS 在氧化層表面會有均勻的自組裝單層; 濃度過高的 MPTMS 會形成高分子型態, 此時 MPTMS 上端的硫醇鍵會分部不均勻, 導致後續沉積奈米粒子的均勻性受影響。

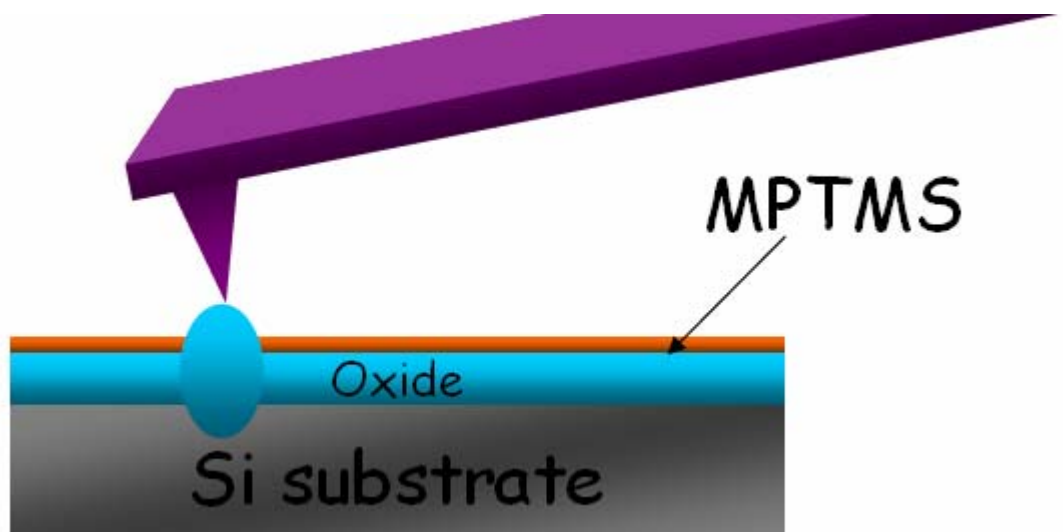


圖 4.3 SPL 圖案化製程: 探針針尖施一偏壓使下層的矽基板氧化, 新形成的氧化層厚度增加, 使得其上原有的結構隆起, 因而破壞 MPTMS 表面結構。

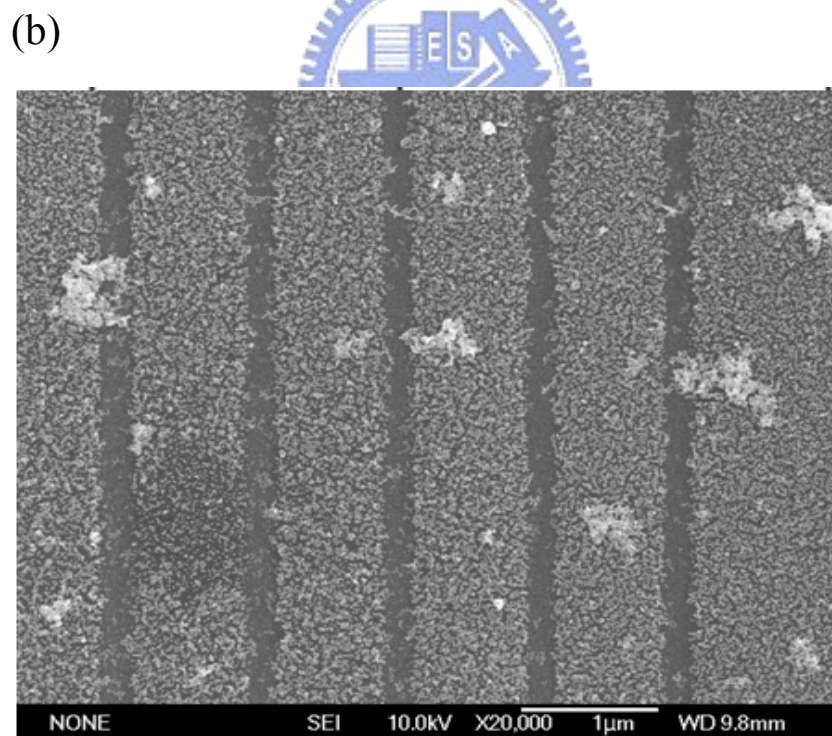
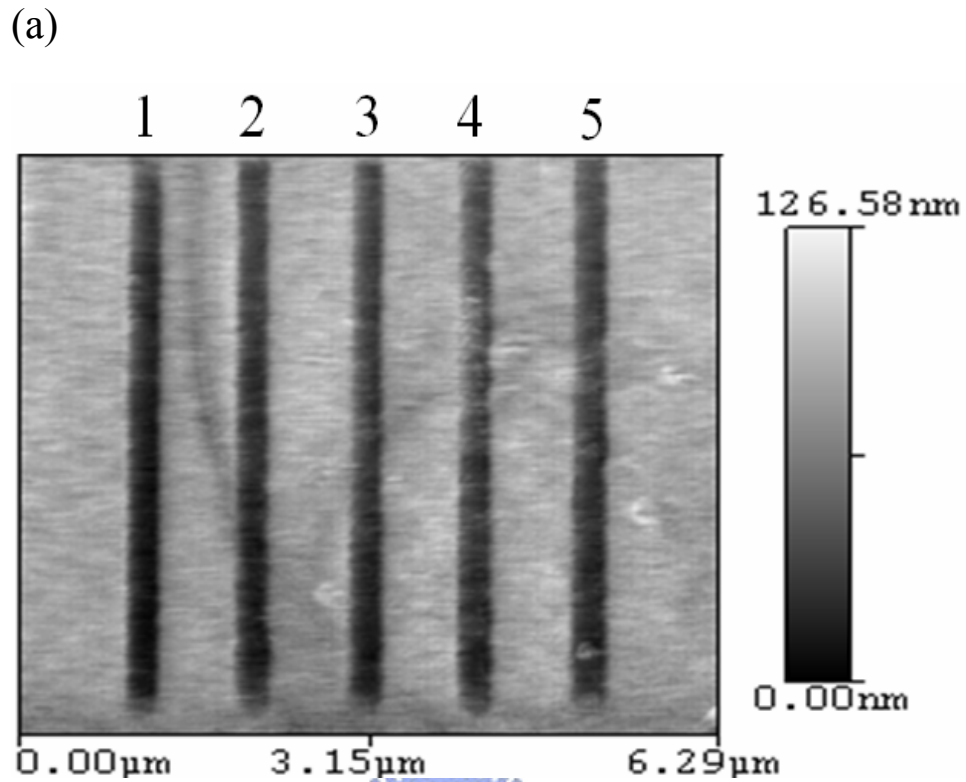


圖 4.4 利用 SPL 技術選擇性沉積金奈米粒子,(a)於氧化物上沉積完 MPTMS 分子後,利用 AFM 探針針尖施一偏壓劃線,並用 AFM 探針掃描其表面,(b)劃線後的試片沉積金奈米粒子的 SEM 圖。

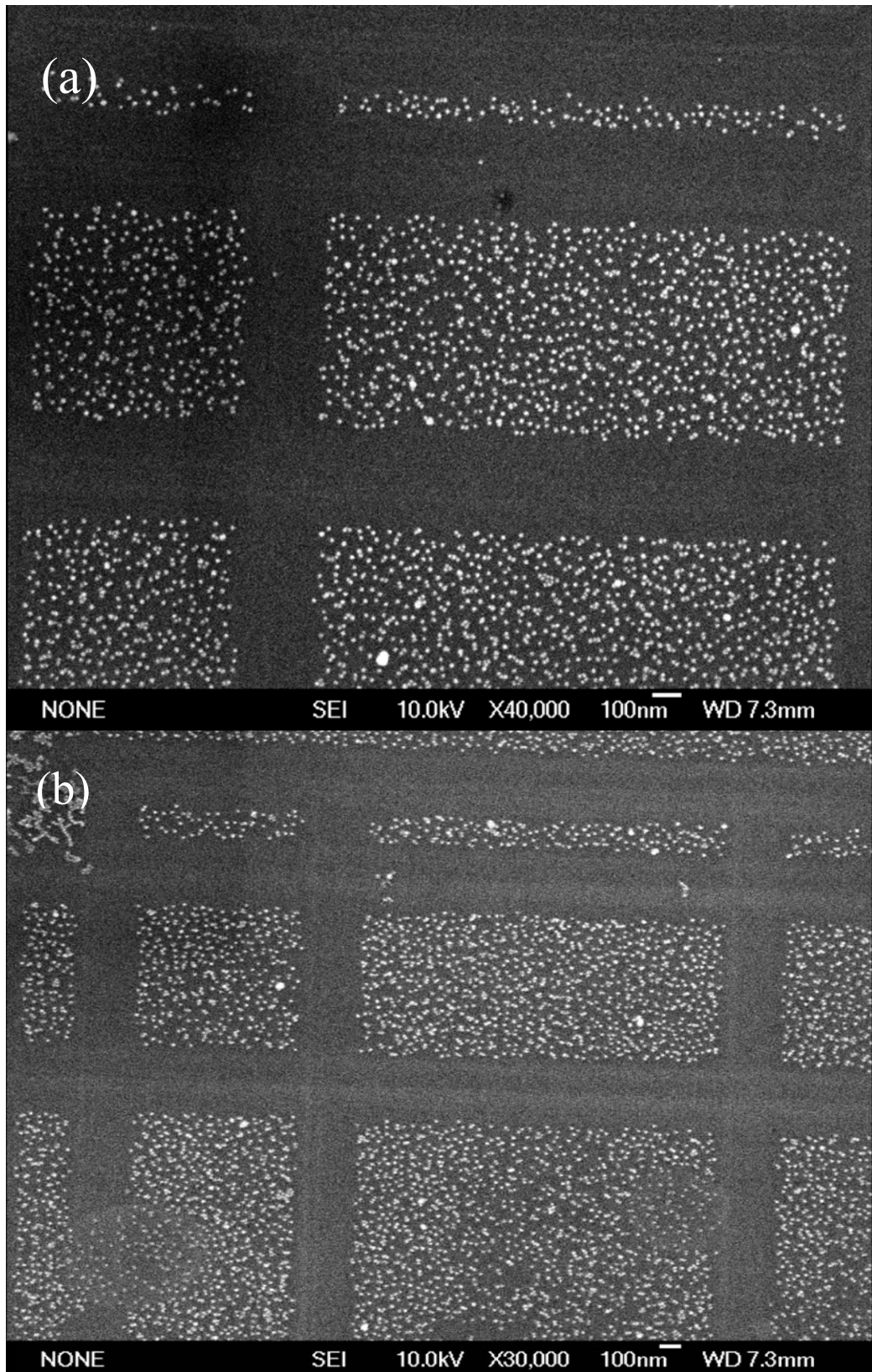


圖 4.5 利用 SPL 技術選擇性沉積金奈米粒子,完成奈米粒子圖案化製程,上為兩張奈米粒子圖案化的 SEM 照片。

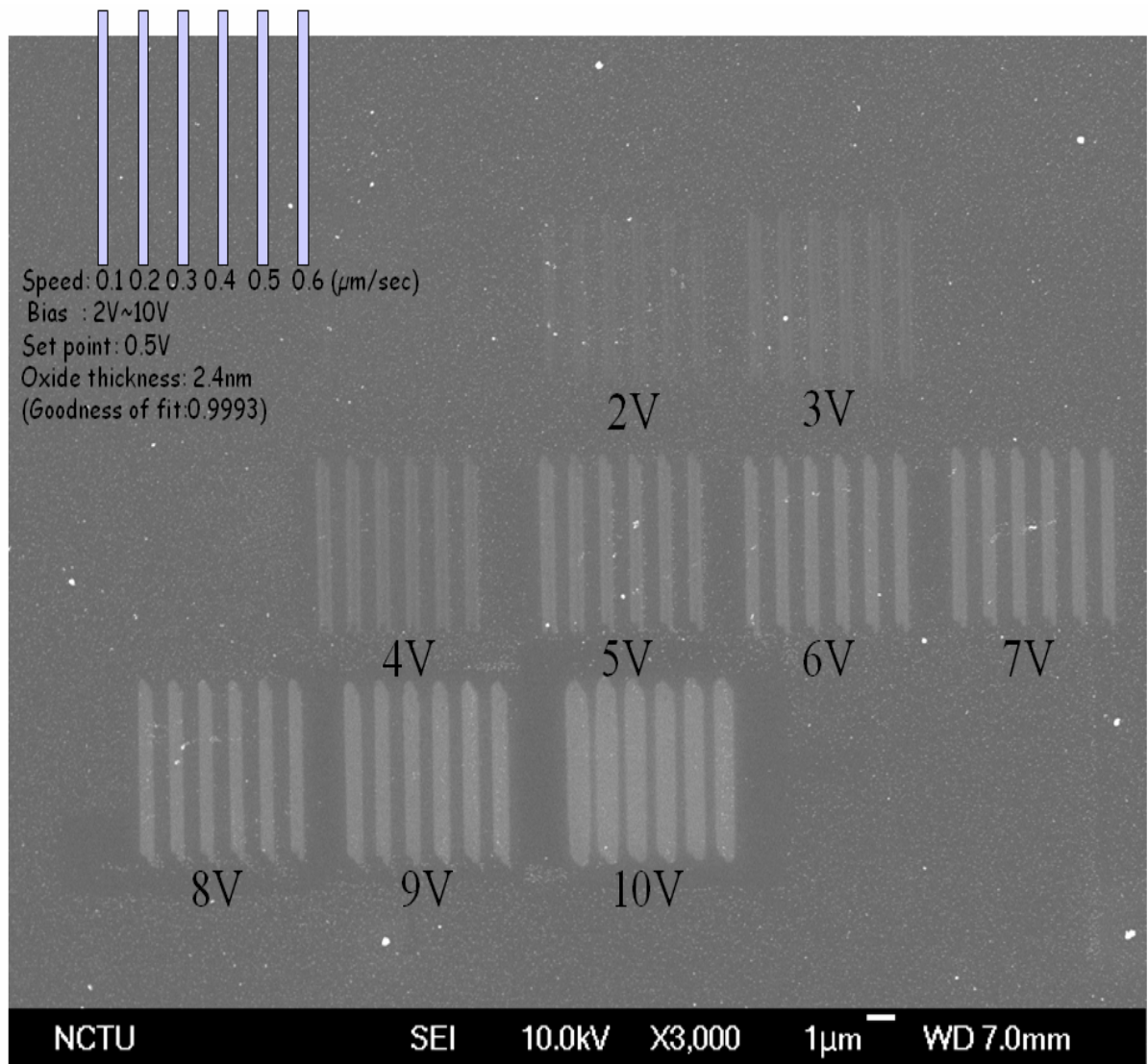


圖 4.6 SEM 圖:於氧化物上沉積完 MPTMS 分子後,利用 AFM 探針針尖施偏壓畫線(偏壓由 2 V 到 10 V 共 9 組),每組畫線速度由左到右分別為 0.1,0.2,0.3,0.4,0.5,0.6 $\mu\text{m}/\text{s}$; 而後將此試片沉積金奈米粒子。

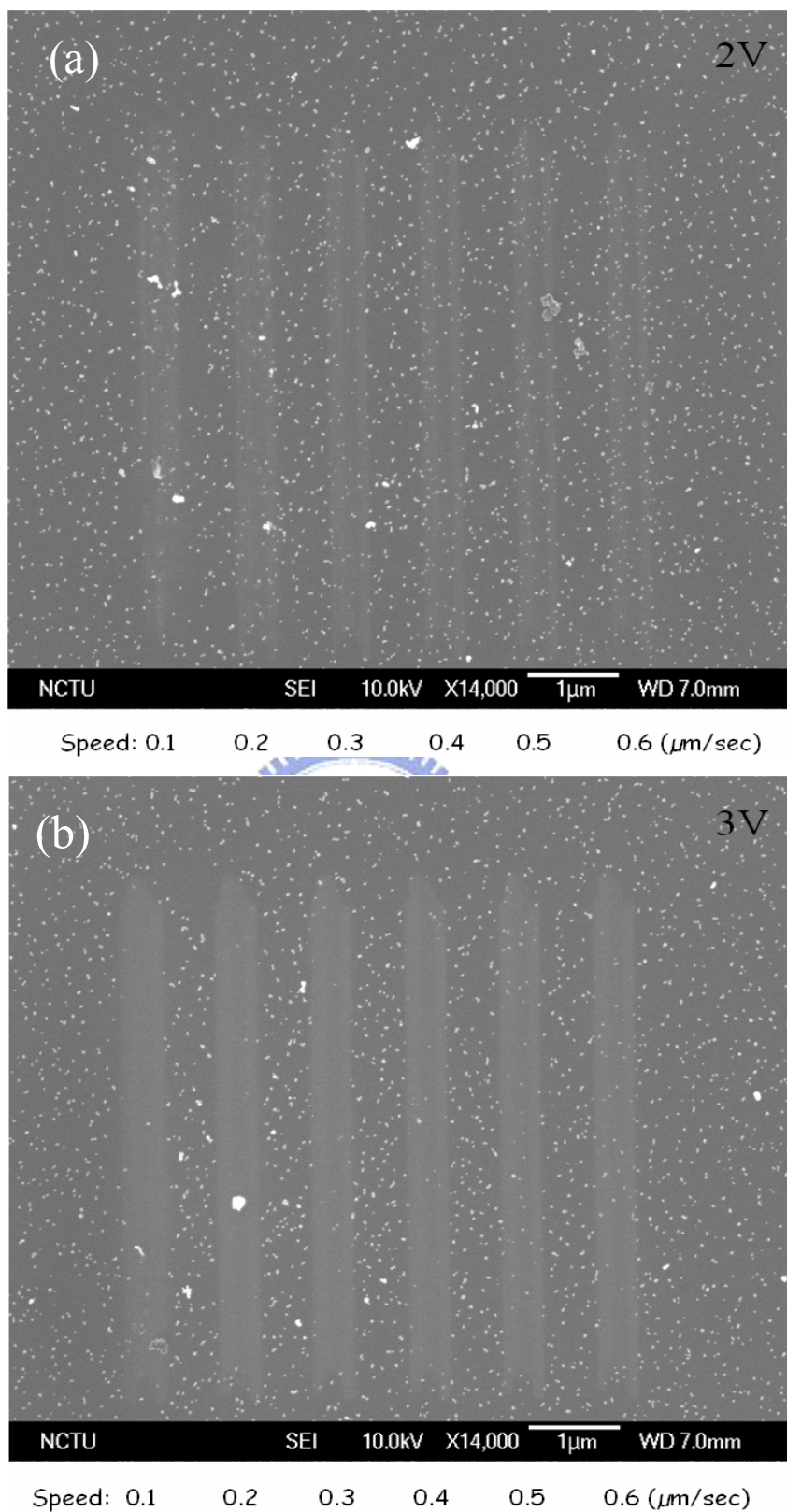
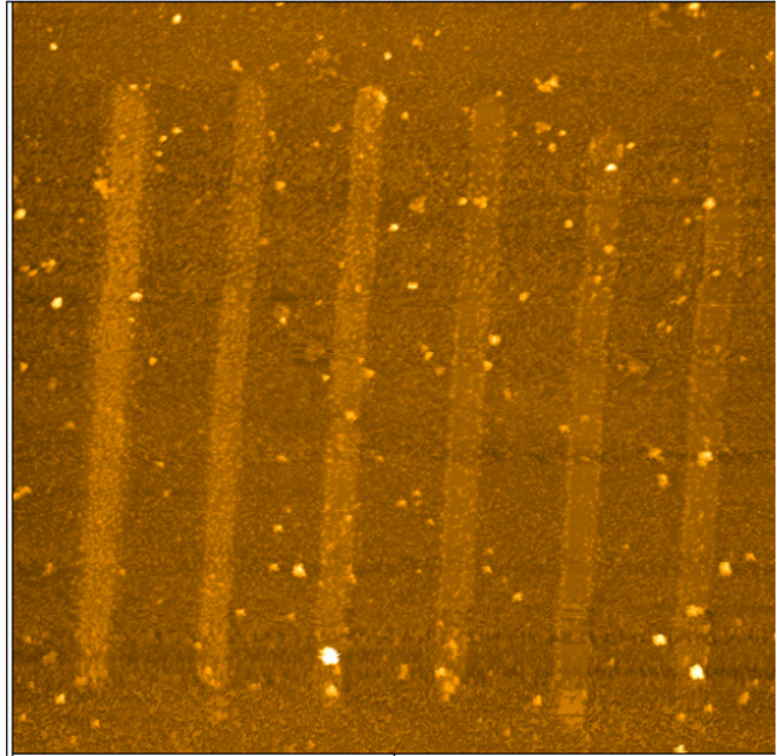


圖 4.7(a)為偏壓 2 V 下畫完線後,表面形貌的 SEM 圖,(b)為偏壓 3 V 下金奈米粒子沉積後的 SEM 圖。

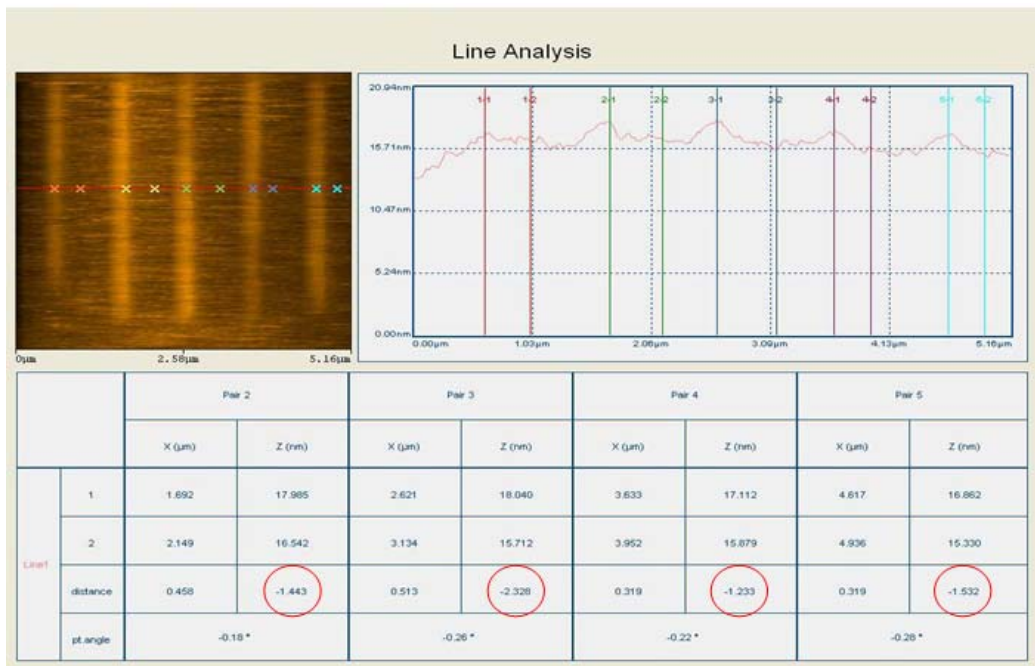
Bias : 7V
Set point: 0.5V
Oxide thickness: 2.4nm
(Goodness of fit:0.9993)



Speed: 0.6 0.5 0.4 0.3 0.2 0.1 ($\mu\text{m}/\text{sec}$)

圖 4.8 選擇性沉積硒化鎘量子點的 AFM 圖

(a)



(b)

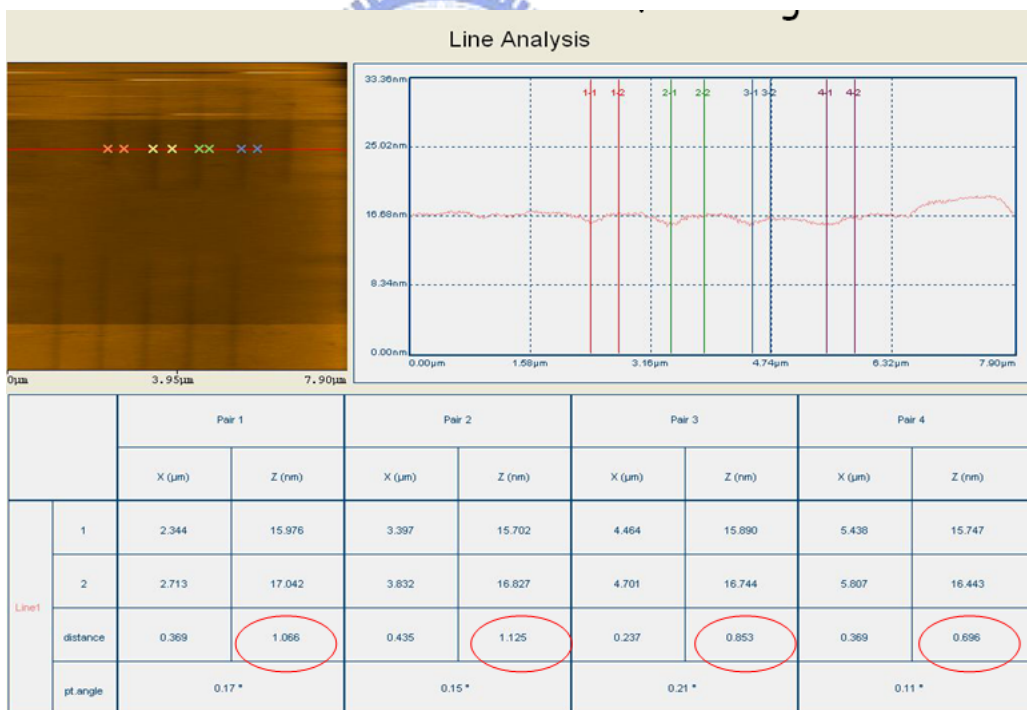


圖 4.9 AFM 表面形貌,(a)為 AFM 探針施加偏壓後畫線形成的表面隆起,隆起的部分為新形成的氧化層所致,(b)為試片經過氫氟酸溶液浸泡,氧化層被蝕刻掉之後的表面形貌。

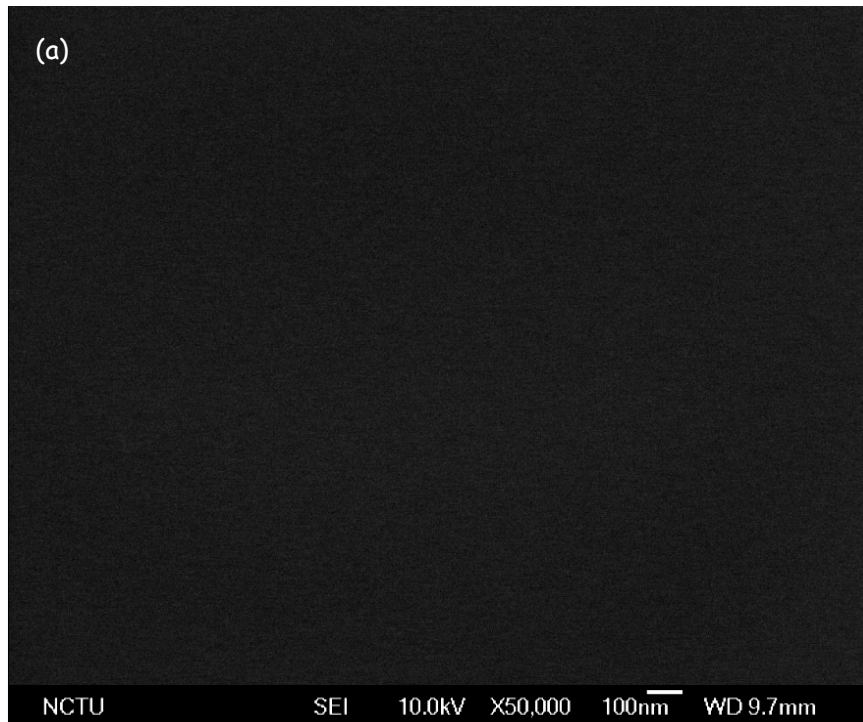


圖 4.10(a) 為對照組(純氧化層)。

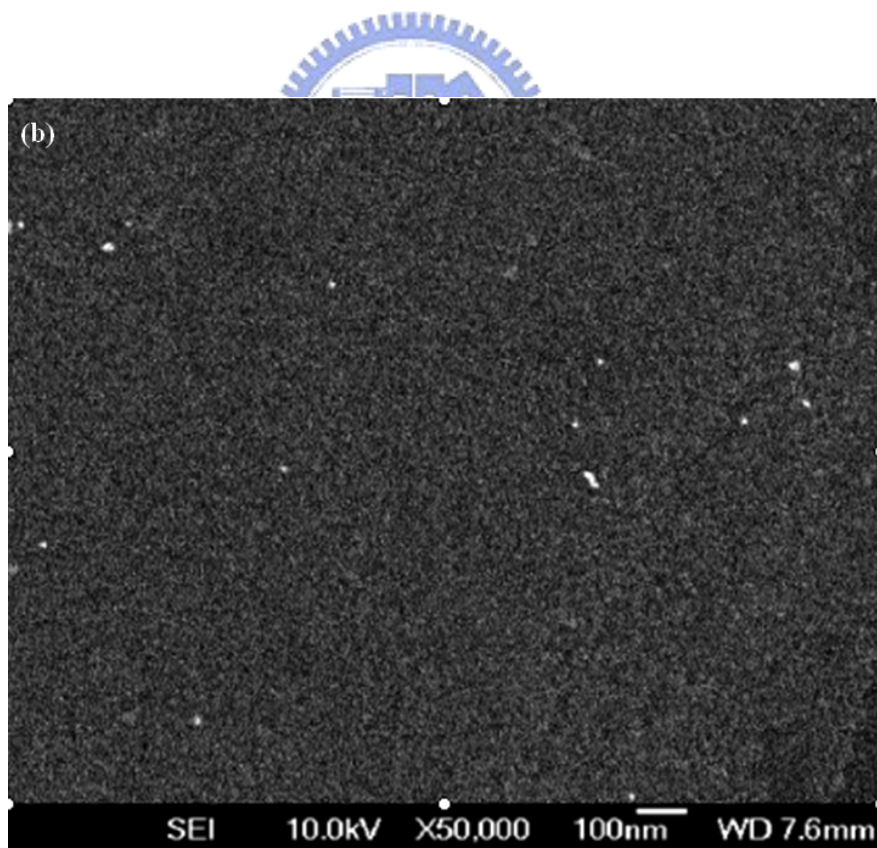


圖 4.10(b) 為 CdSe Qdots 表面。

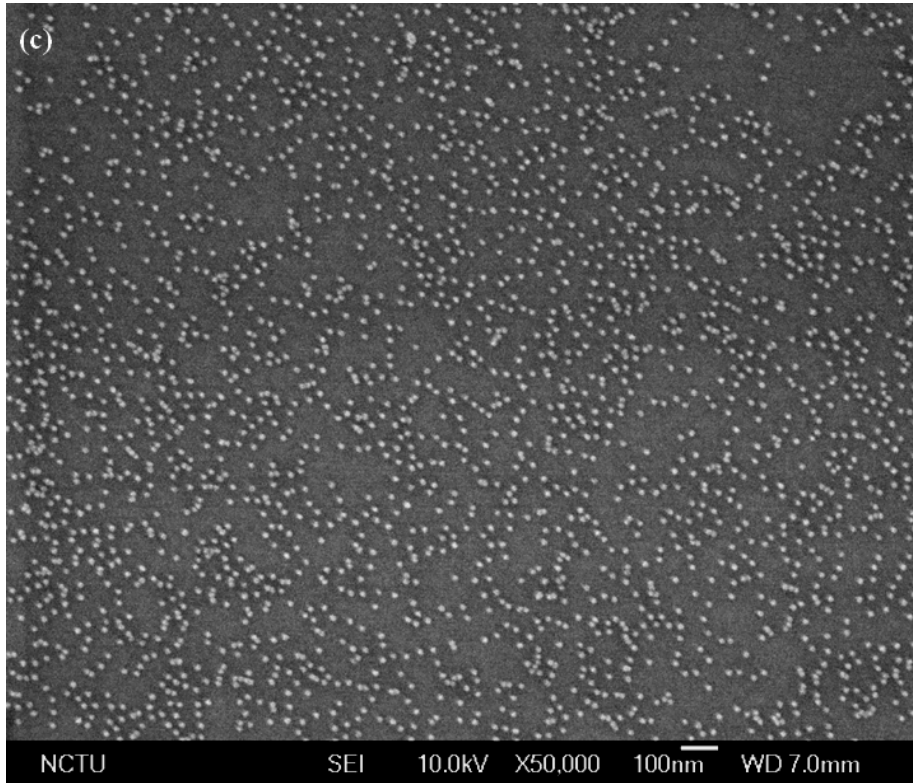


圖 4.10(c) 為 AuNPs 表面。

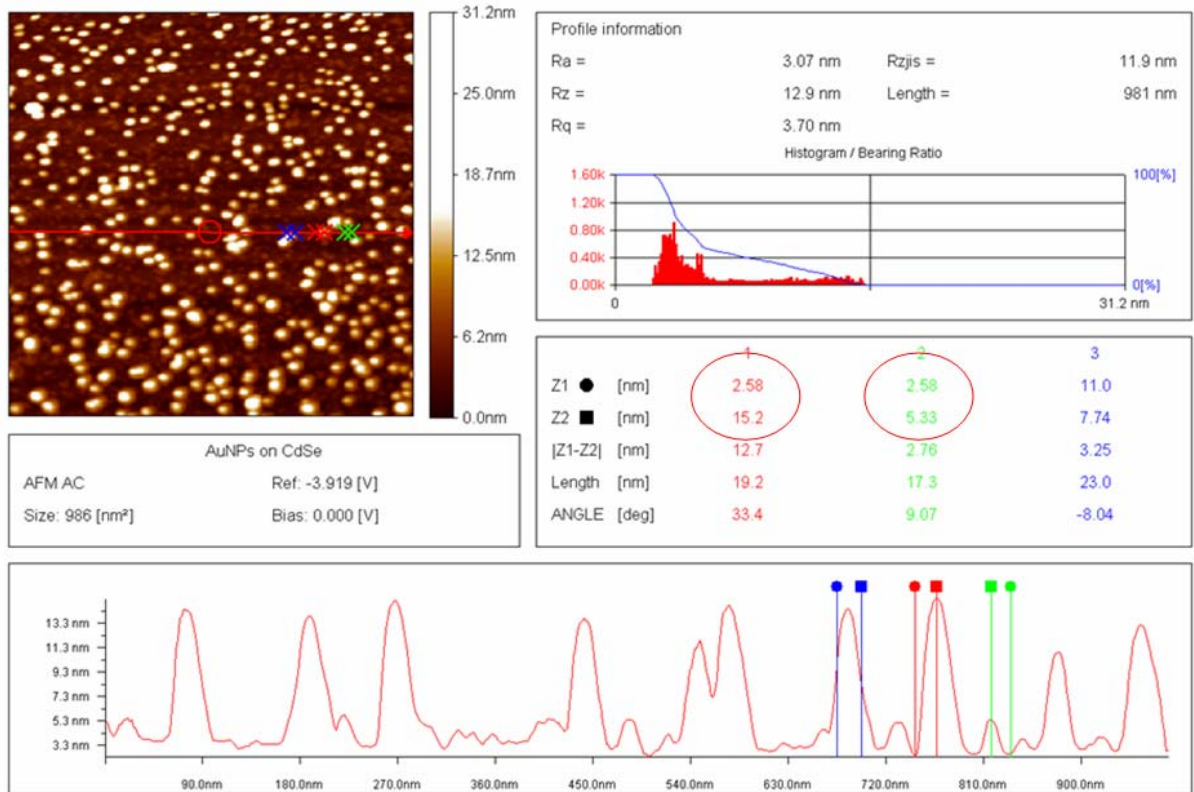


圖 4.11 AuNPs + CdSe Qdots 混合結構的 AFM 表面形貌。

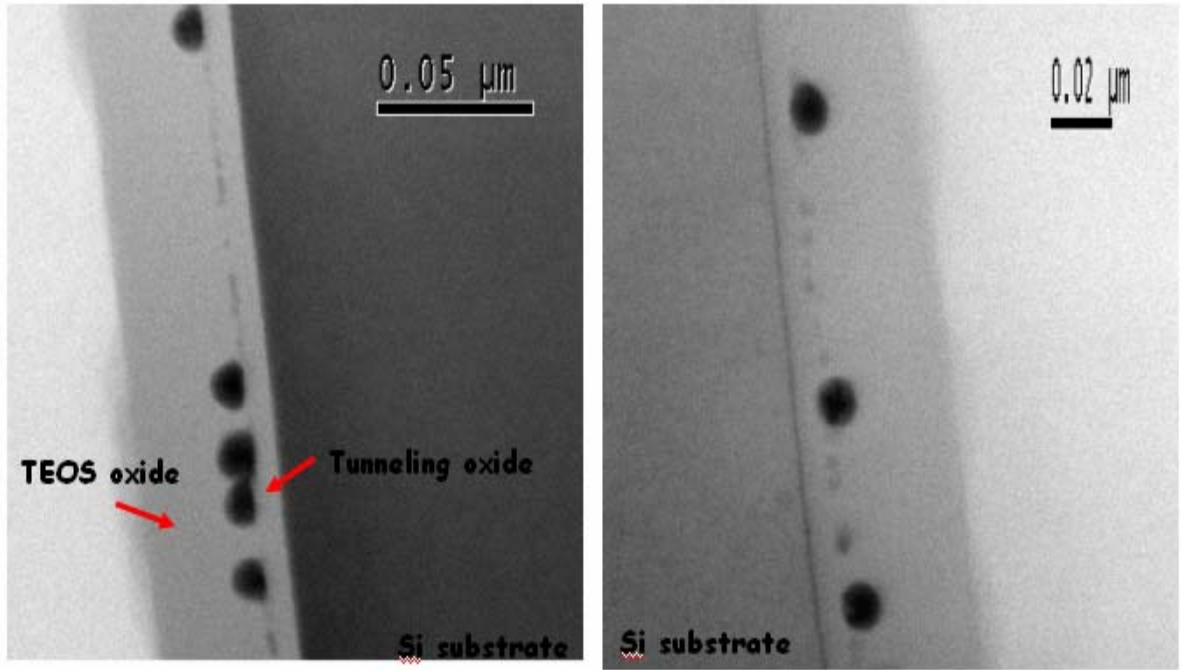


圖 4.12 TEM 圖像:圖為 AuNPs + CdSe Qdots 混合結構的試片剖面圖。

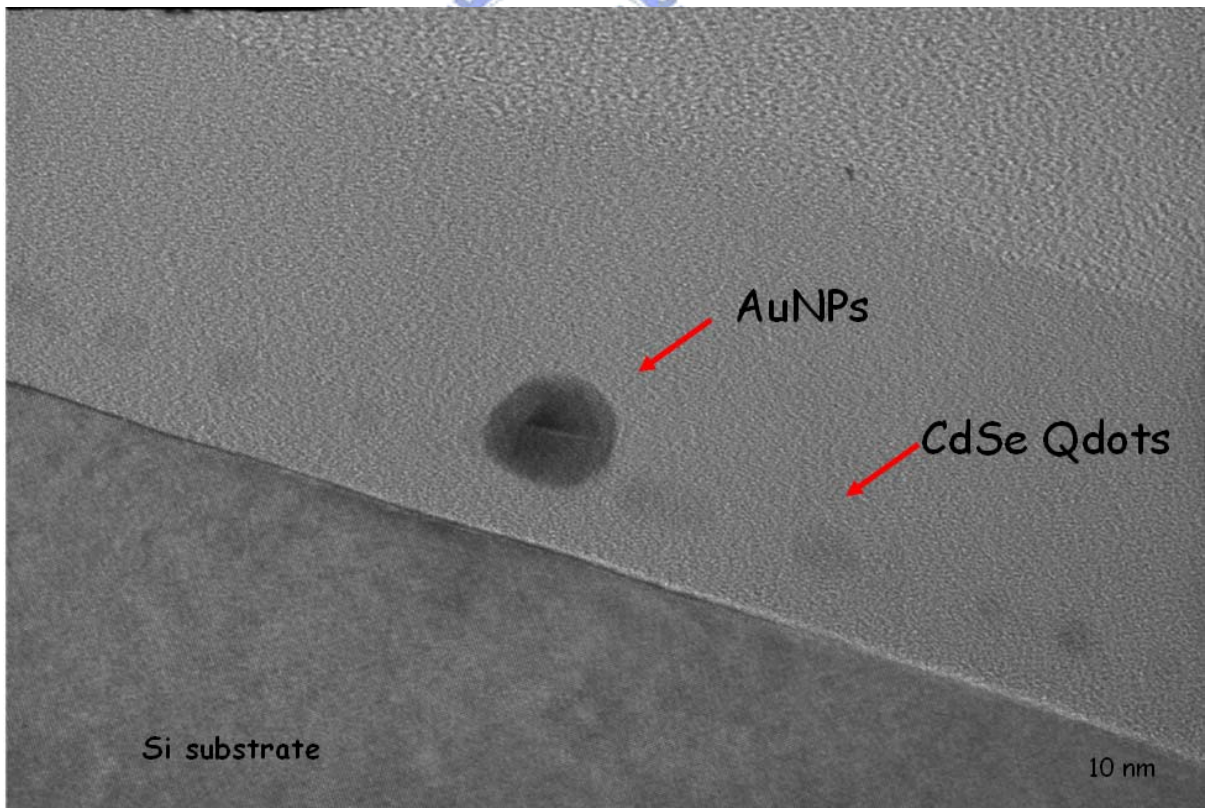


圖 4.13 高解析度之 TEM 照片。

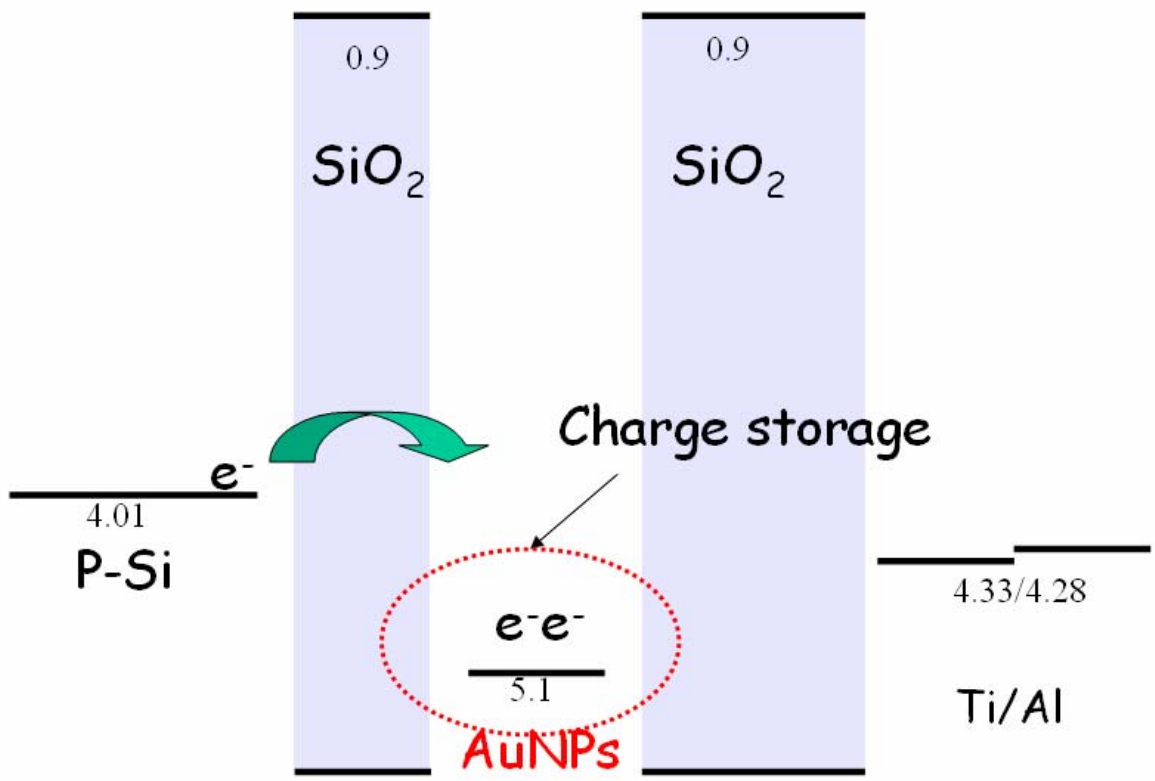


圖 4.14 金奈米粒子儲存電荷機制的能帶示意圖。

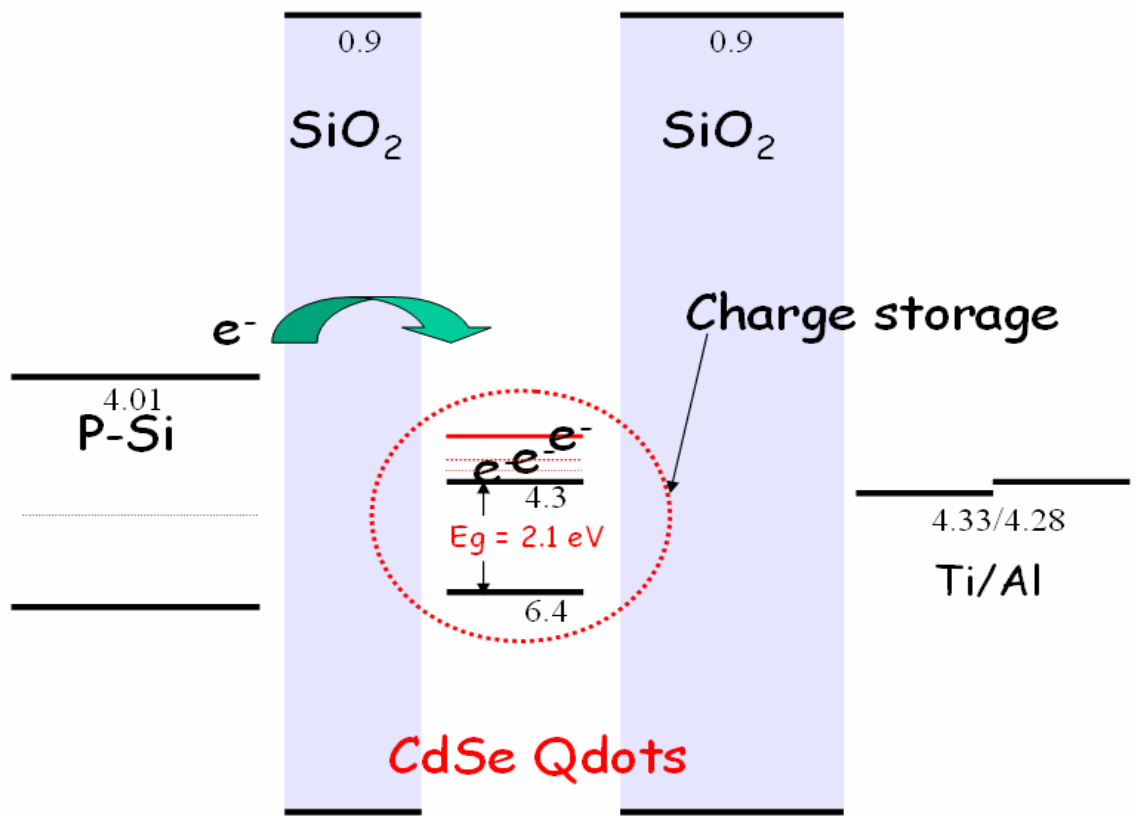


圖 4.15 硒化鎘量子點儲存電荷機制的能帶示意圖。

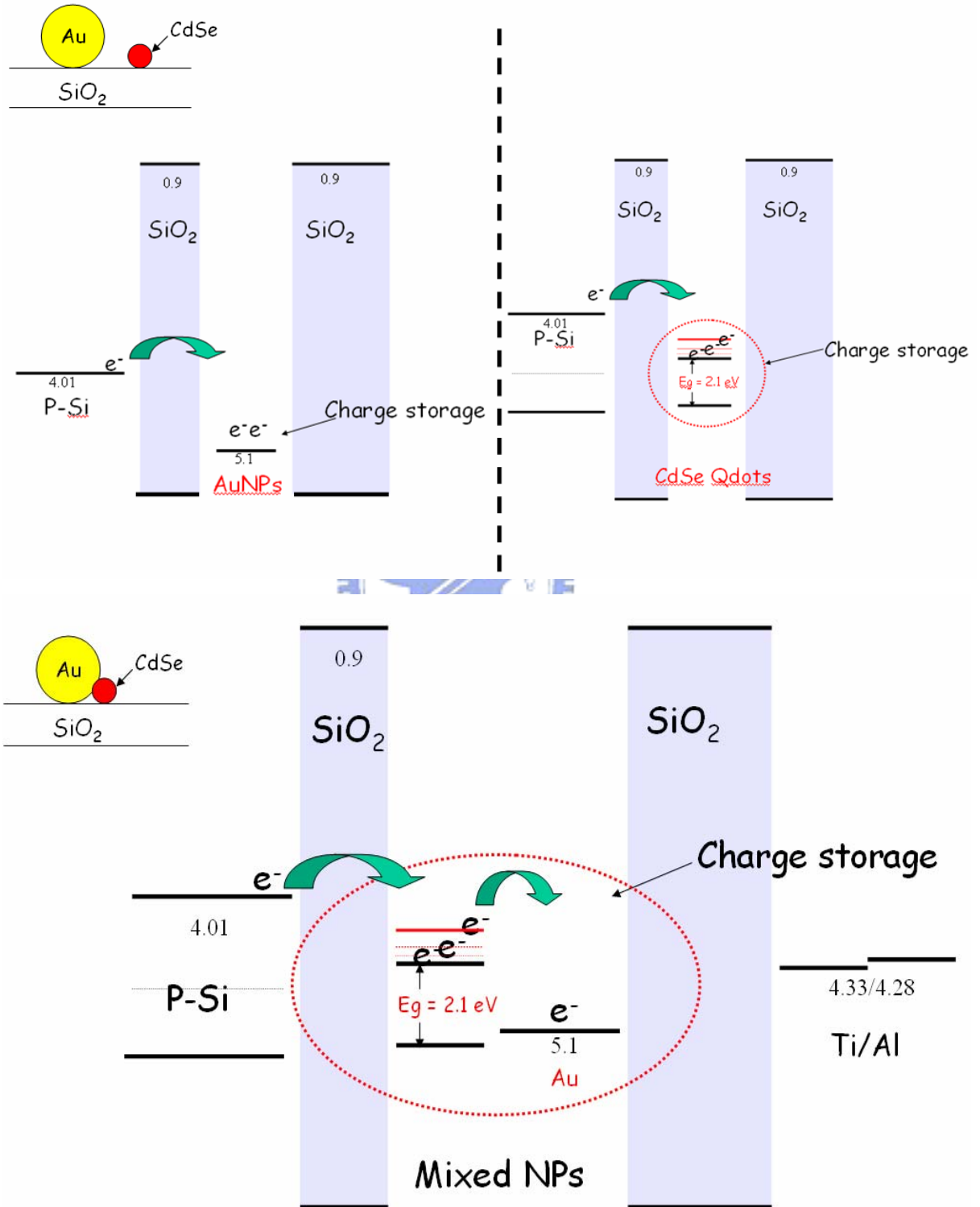


圖 4.16 金奈米粒子混合硒化鎘量子點儲存電荷機制的能帶示意圖。

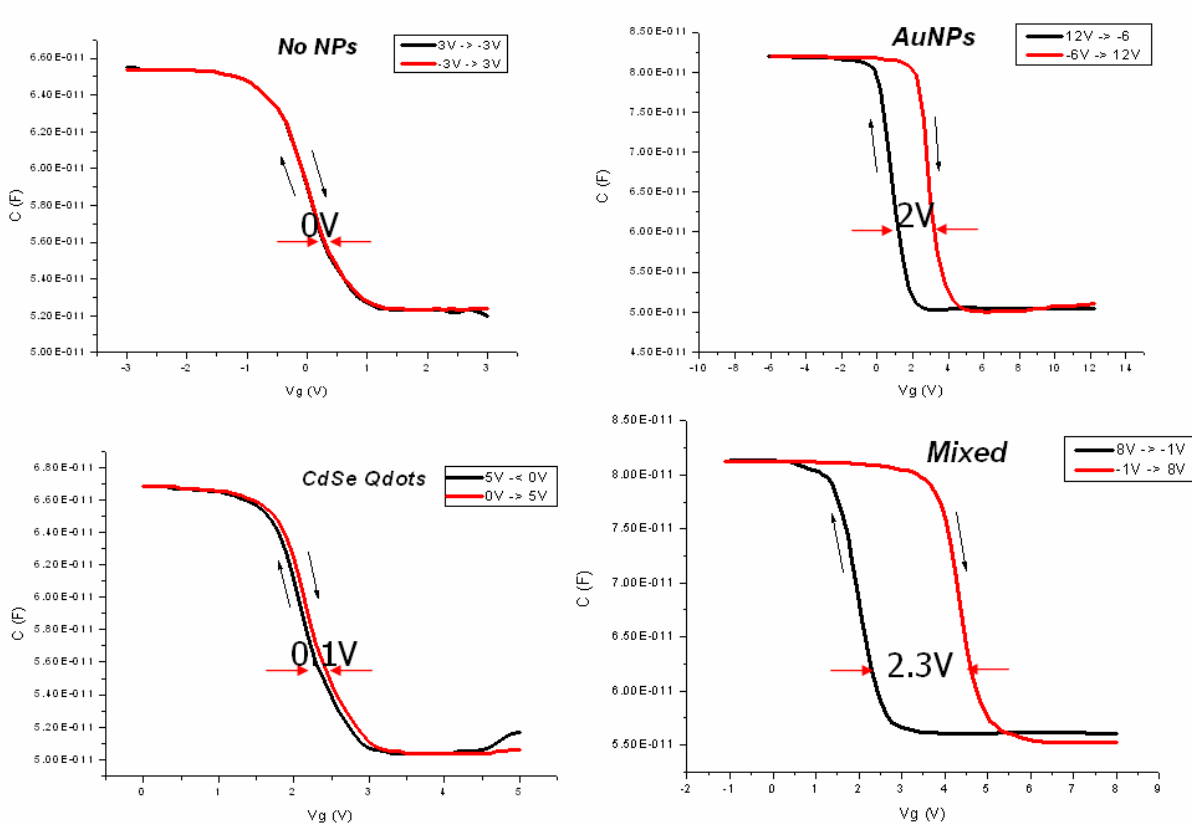


圖 4.17 四組不同結構的奈米記憶體電容 C-V 曲線。

ΔV_t for all cases

$(E_r \pm)$	
Oxide only:	0
AuNPs :	0.11402
CdSe Qdots:	0.01
Mixed :	0.17889

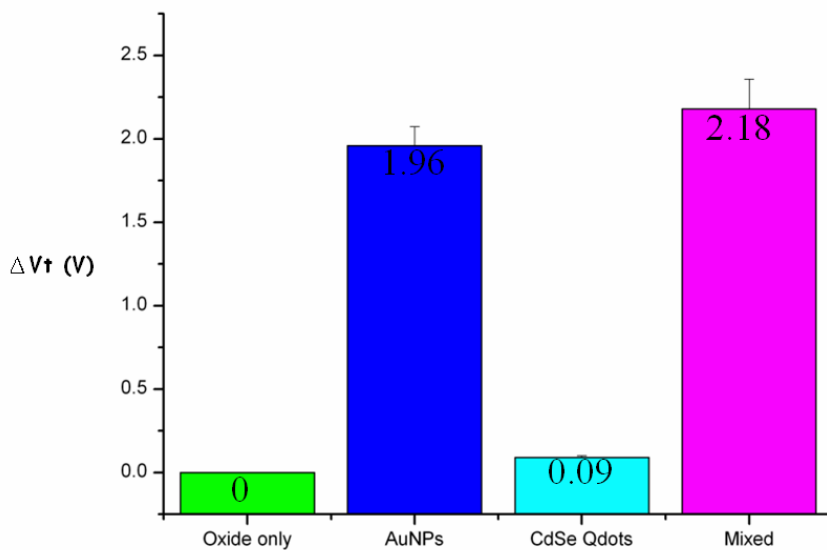


圖 4.18 各種電容臨界電壓偏移量的平均值。

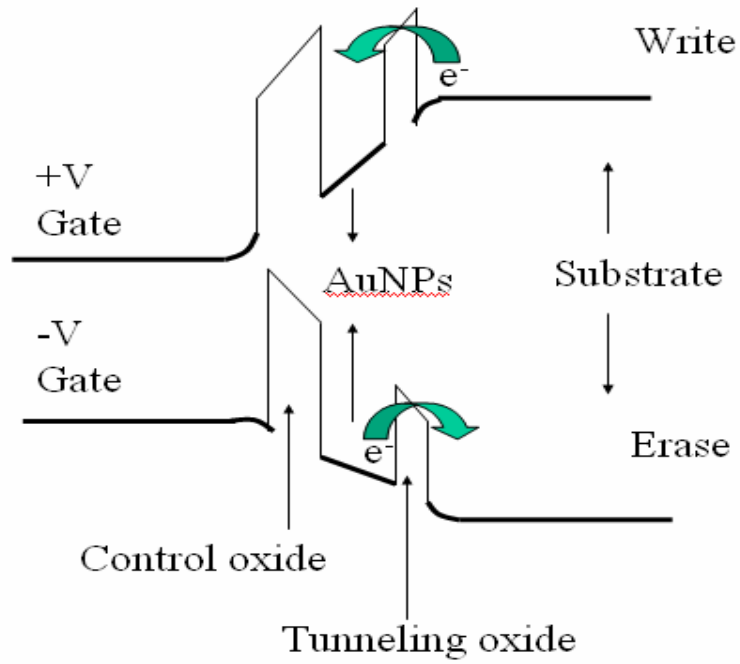


圖 4.19 F-N Tunneling 的寫入即擦拭機制。

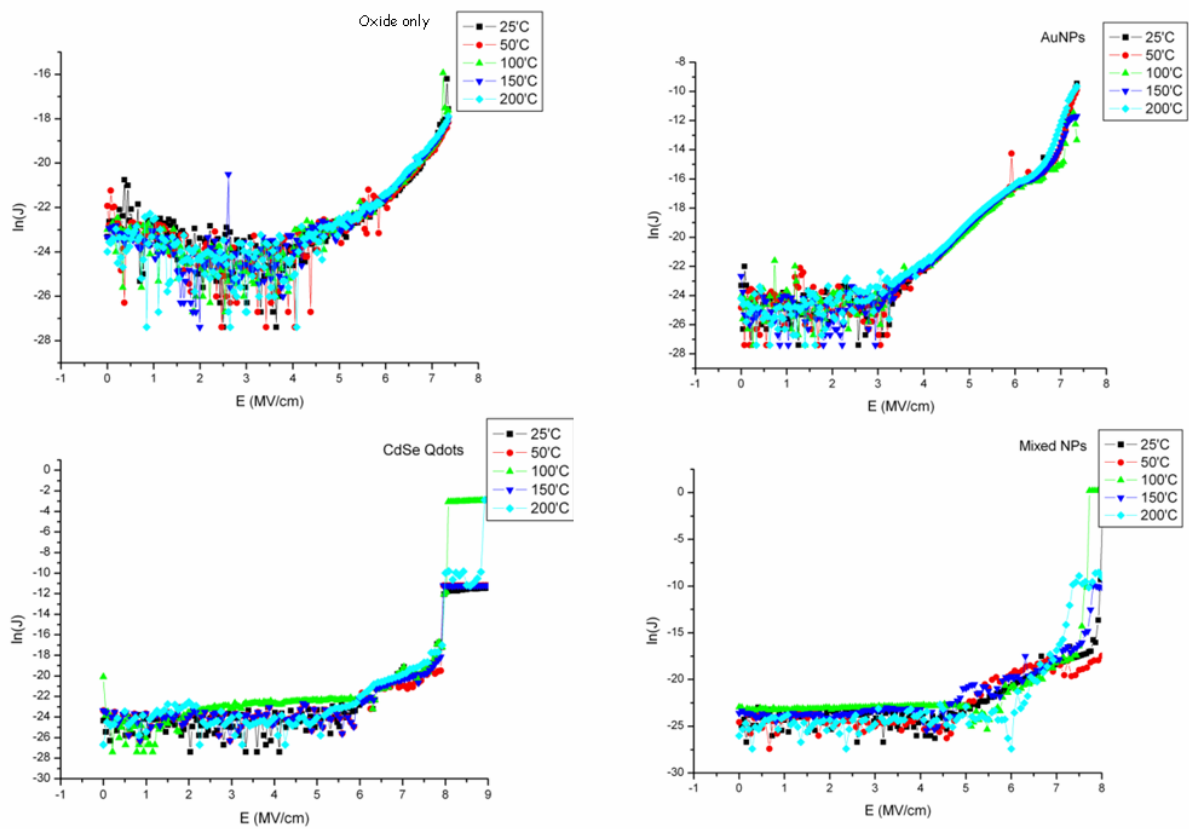


圖 4.20 對每一組記憶體電容作 I-V 變溫量測。

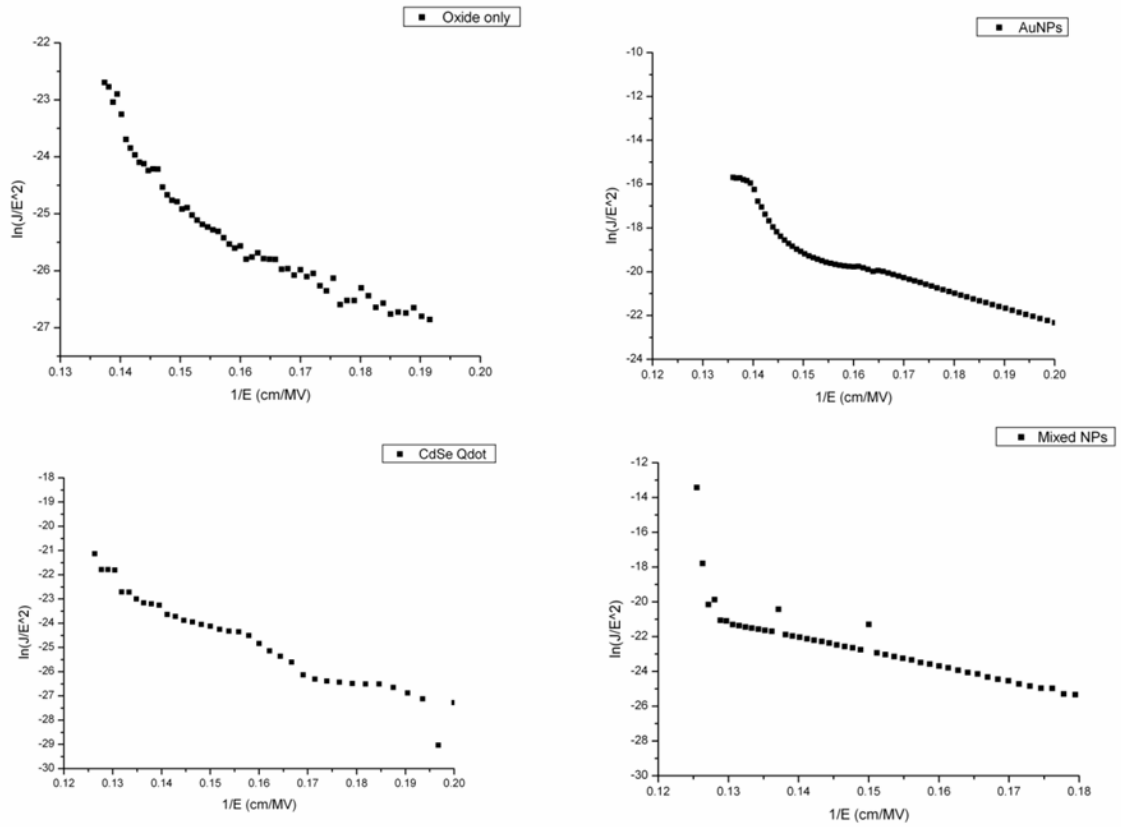


圖 4.21 對四種結構的記憶體電容作 F-N Plot。

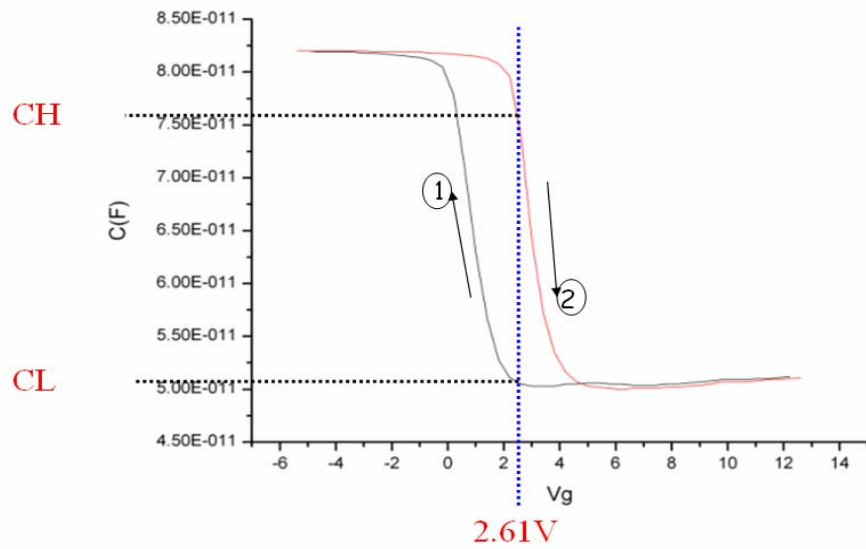


圖 4.22 量測電荷保存能力的步驟圖。

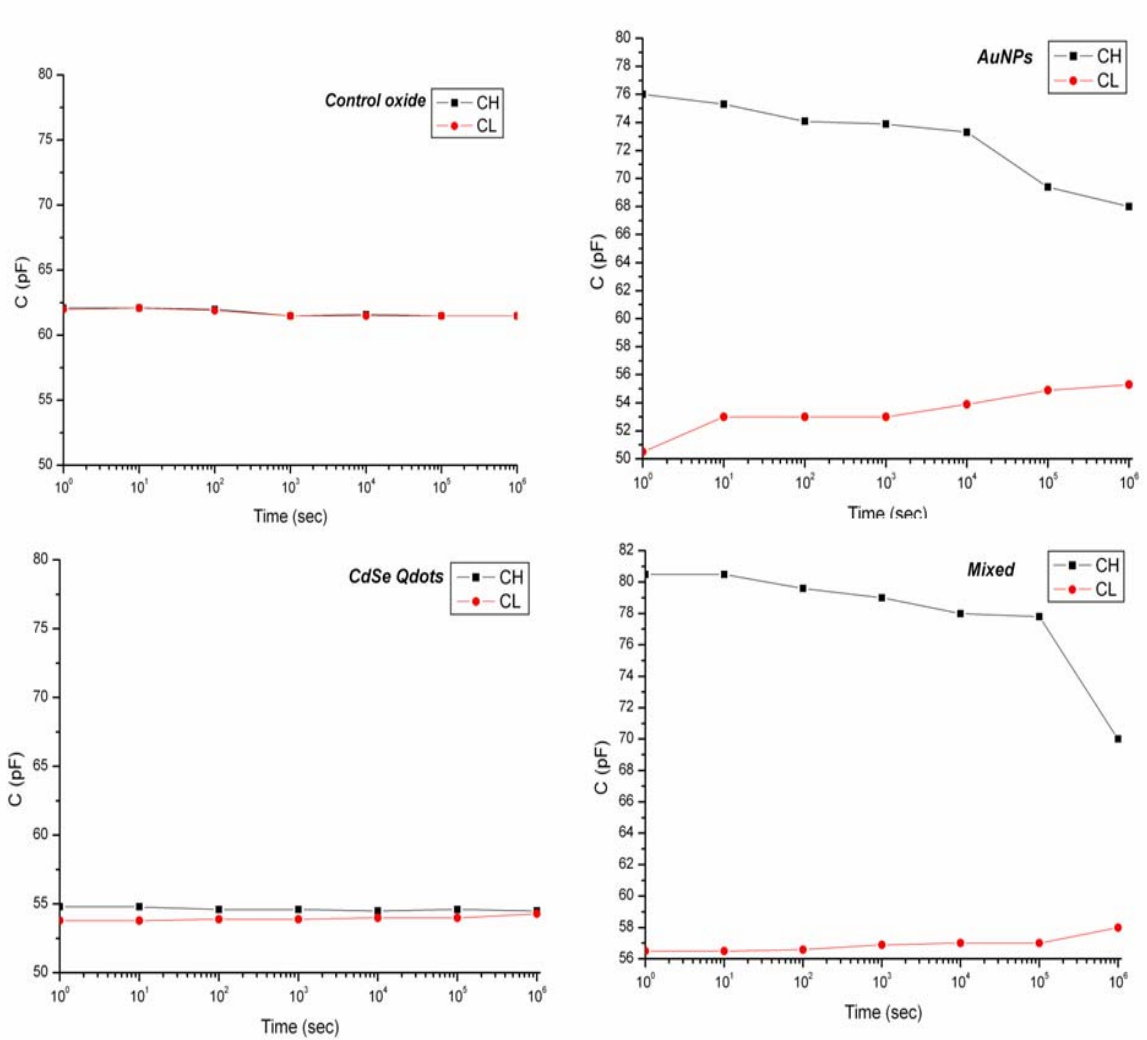


圖 4.23 電荷保存能力 (a)純氧化層結構,(b)AuNPs 結構,(c)CdSe Qdots 結構,(d) AuNPs + CdSe Qdots 混合結構。

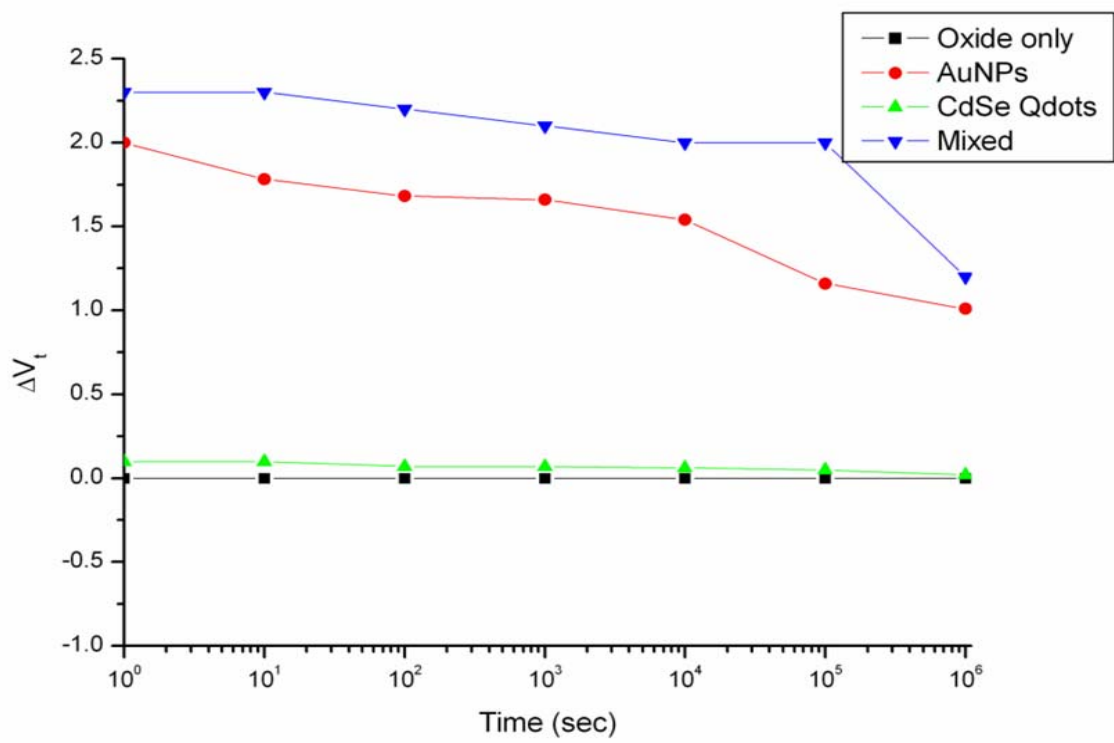


圖 4.24 電荷保存能力。



第五章 結論與未來展望

掃描試探針微影(SPL)暨奈米圖形化製程:

1. 同一厚度,同一偏壓下,探針畫線的速度越慢,矽基板表面氧化反應越完整。
2. 同一厚度,同一畫線速度下,偏壓越大也會有越完整的氧化反應。
3. 媲美 E-beam 的解析度:在此解析度的定義為,兩條畫過的線之間,可以達到最接近的距離。本實驗的解析度可以推進到 100 nm,非常適合應用在奈米圖形化的研究上。
4. 精準的定位系統:畫線步驟進行時,我們可以利用 X 軸及 Y 軸的定位系統,精準地在我們所想要進行圖案化的區域作畫圖的動作。
5. 選擇性沉積奈米粒子:藉由氧化機制破壞 MPTMS 薄膜表面結構,可以達到選擇性沉積奈米粒子的效果。



奈米粒子記憶體電容:

本實驗是利用化學自組裝將奈米粒子(金奈米粒子以及硒化鎘量子點)應用在非揮發性記憶體電容上,利用這些奈米粒子的電性量測結果來模擬記憶體元件,實驗結果發現這些奈米粒子記憶體電容:

1. 從 C-V 量測及 Retention 的結果,顯示這些奈米粒子有電荷捕捉與電荷儲存的能力。
2. 本實驗中,所有的奈米粒子沉積的步驟都在室溫下完成,這樣子低溫的製程可以避免金奈米粒子在高溫環境下有嚴重擴散的問題,因此可避免漏電。
3. 由於奈米粒子於氧化層夾層中是離散分佈的,這種結構可以改善傳統 SONOS 漏電的困擾,使的記憶體元件不會因為局部漏電而喪失儲整體儲存電荷的能力。

未來展望

1. 利用奈米粒子記憶體電容結構能夠儲存電荷的行為,將此記憶體電容結構應用在 FLASH memory 的浮閘(Floating gate)上,以其能改善傳統快閃記憶體的漏電問題。
2. 結合 SPL 技術,將來在需要的特殊圖形閘極結構上(如 Microwire、Nanowire 等等)選擇性的沉積奈米粒子,並應用這些機制應用在非揮發記憶體的元件上。



參考文獻

- [1] D. Kahng and S. M. Sze, "A floating gate and its application to memory devices," *Bell Syst. Tech. J.*, Vol. **46**, PP.1288 ,1967.
- [2] J. D. Blauwe, "Nanocrystal nonvolatile memory devices," *IEEE Transaction on Nanotechnology*, Vol. **1**, PP.72-77, 2002.
- [3] S. Tiwari, F. Rana, K. Chan, H. Hanafi, C. Wei, and D. Buchanan, "Volatile and non-volatile memories in silicon with nano-crystal storage," *IEEE International Electron Devices Meeting*, Vol. **95**, pp.521-524 ,1995.
- [4] J. J. Welser, S. Tiwari, S. Rishton, K. Y. Lee, and Y. Lee, "Room temperature operation of a quantum-dot flash memory," *IEEE Electron Device Lett.*, Vol. **18**, PP.278-280, 1997.
- [5] Y. C. King, T. J. King, and C. Hu, "MOS memory using germanium nanocrystals formed by thermal oxidation of Si_{1-x}Gex," *IEEE Int. Electron Devices Meeting*. Dig. No. 115, 1998.
- [6] 王崇仁, "神奇的奈米科學," 科學發展月刊, 354期, 頁48-51(2002).
- [7] G. Frens, *Nature (London)*: **241** (1973) 20.
- [8] <http://www.kepu.net.cn/gb/index.html>
- [9] Ph. Buffat, and J. P. Borel, "Size effect on the melting temperature of gold particles", *Phys. Rev. A*, vol. **13**, PP.2287-2298, Jun.1976.
- [10] <http://nano.nchc.org.tw/news.php>
- [11] E. H. Poindexter and P. J. Caplan, "Characterization of Si/SiO₂ Interface Defects by Electron spin Resonance," *Progr. Surf. Sci.* Vol. No. **14**, PP. 201- 294, 1983.
- [12] 葉智仁, ONO 薄膜之研究與記憶體應用, 私立中原大學碩士論文, 2002
- [13] Z. Liu, C. Lee, V. Narayanan, G. Pei, and E. C. Kan, "Metal nanocrystal memories, part I: Device design and fabrication," *IEEE Transactions on Electron Devices*, vol. **49**, pp. 1606-1613, 2002.

- [14] Z. Liu, C. Lee, V. Narayanan, G. Pei, and E. C. Kan, "Metal nanocrystal memories, part II: Device characteristics," *IEEE Transactions on Electron Device*, vol. 49, pp. 1614-1622, 2002.
- [15] I. Choi, Y. Kim, S. K. Kang, J. Lee, and J. Yi, "Phase Separation of a Mixed Self-Assembled Monolayer Prepared via a Stepwise Method," *Langmuir*, Vol.22, No.11, May 23, 2006.
- [16] M. Hu, S. Noda, T. Okubo, Y. Yamaguchi, and H. Komiyama, "Structure and Morphology of Self-Assembled 3-Mercaptopropyltrimethoxysilane Layers on Silicon Oxide," *Applied Surface Science*, Vol. 181, PP. 307-316, 2001.
- [17] J. Zheng, Z. Zhu, H. Chen, and Z. Liu, "Nanopatterned Assembling of Colloidal Gold Nanoparticles on Silicon," *Langmuir*. Vol. 16 , PP. 4409- 4412, 2000.
- [18] J. A. Dagata, W. Tseng, J. Bennett, C. J. Evans, J. Schneir, and H. Harary, "Selective- area epitaxial growth of gallium arsenide on silicon substrates patterned using a scanning tunneling microscope operating in air," *Appl. Phys. Lett.*, Vol.57, No. 23, PP. 2437- 2439, 1990.
- [19] A. E. Gordon, R. T. Fayfield, D. D. Litfin, and T. K. Higman, "Mechanisms of surface anodization produced by scanning probe microscopes," *J. Vac. Sci. Technol. B*, Vol.13, No.6, 1995.
- [20] J. A. Dagata, W. Tseng, J. Bennet, C. J. Evans, J. Schneir, and H. H. Harary, "Modification of hydrogen-passivated silicon by a scanning tunneling microscope operating in air," *Appl. Phys. Lett.* Vol. **57**, PP. 2437, 1990.
- [21] S. M. Sze, *Physics of Semiconductor Devices*, Wiley & Sons Inc., 1981.
- [22] R. F. Pierret, *Semiconductor Device Fundamentals*, Addison Wesley, 1996.
- [23] K. Ashihara, H. Nakane, H. Adachi, "Experimental Confirmation of Flower Nordheim Plot at Several Micro-Meters Emitter to Anode Distance," *Muroran Institute of Technology*, 27-1 Mizumoto- cho, Muroran, PP. 104-107.

- [24] Crupi, D. Corso, S. Lombardo, C. Gerardi, G. Ammendola, G. Nicotra, C. Spinella, E. Rimini, M. Melanotte, “Memory effect in MOS devices based on Si quantum dots,” *Material Science and Engineering*, Vol. C23 ,PP. 33-36, 2003.

