

# 圖 目 錄

編號	名	稱頁次
圖 1-1	浮動閘極元件剖面圖。.....	2
圖 1-2	浮動閘極元件的電流-電壓曲線。.....	2
圖 1-3	浮動閘極元件的等效電容圖。.....	4
圖 1-4	熱電子注入機制。.....	5
圖 1-5	FN tunneling 在 MOS 中的示意圖。.....	6
圖 1-6	電子侷限在氧化矽位能井之中。.....	7
圖 2-1	微米線或是奈米線。.....	10
圖 2-2	在 SiO <sub>2</sub> 表面 SAM 上金奈米粒子 AuNPs。.....	11
圖 2-3	結合 SAM AuNPs 和 奈米線索製作出來的記憶體。.....	11
圖 2-4	6"SOI wafer, 最上層的 Si 厚度是 150Å, BOX oide 是 1500Å	12
圖 2-5	爐管長 27nm 厚的犧牲氧化層.....	13
圖 2-6	六吋 SOI 晶圓上切下我們所需要的大小。.....	13
圖 2-7	接著利用這切下來的片子開始製作元件。.....	14
圖 2-8	曝對準鑰匙(alignment key)。.....	14
圖 2-9	將 Source 和 Drain 重參雜。.....	14
圖 2-10	蝕刻出 Active area, 載重新成長氧化層。.....	15

圖 2-11	自組裝金和硒化鎘的方法.....	16
圖 2-12	自主裝，金奈米粒子。.....	17
圖 2-13	自主裝，硒化鎘奈米粒子。.....	17
圖 2-14	自主裝金混合硒化鎘奈米粒子。.....	18
圖 2-15	金奈米粒子的 SEM 圖片。.....	18
圖 2-16	金奈米粒子侷限在奈米線附近。.....	19
圖 2-17	奈米線上的金奈米粒子 SEM 圖。.....	19
圖 2-18	硒化鎘(CdSe)的 AFM 圖。.....	20
圖 2-19	SPEM 試片流程圖。.....	21
圖 2-20	XPS 掃描的結果。.....	22
圖 2-21	XPS 掃描的結果。.....	23
圖 2-22	金訊號 SPEM 掃描的結果。.....	23
圖 2-23	硒 2p2 訊號 XPS 掃描的結果。.....	24
圖 2-24	硒 2p2 訊號 SPEM 掃描的結果。.....	24
圖 2-25	疊上 PECVD TEOS=25nm。.....	25
圖 2-26	利用濕蝕刻做鋁的金屬閘極(metal gate) 。.....	26
圖 2-27	利用 BOE 做 Contact。.....	26
圖 2-28	利用 lift off 做汲極和源極的金屬。.....	26
圖 2-29	元件完成的剖面圖。.....	27

圖 2-30	硼在 Si 的擴散曲線。.....	28
圖 2-31	磷在 Si 的擴散曲線。.....	29
圖 2-32	硼參雜(5E13、20keV)、退火後的四點探針 49 點測量結果。	30
圖 2-33	磷參雜(5E15、15keV)、退火後的四點探針 49 點測量結果。	30
圖 3-1	8 個不同控制組閘極電壓對汲極電流的曲線。.....	36
圖 3-2	浮動閘極為金奈米粒子的閘極電壓對汲極電流曲線。.....	37
圖 3-3	浮動閘極為硒化鎘奈米粒子的閘極電壓對汲極電流曲線。	37
圖 3-4	浮動閘極為金加上硒化鎘粒子閘極電壓對汲極電流曲線。	38
圖 3-5	控制組和奈米粒子記憶體閘極電壓對汲極電流曲線。.....	38
圖 3-6	所有元件的臨界電壓的平均誤差圖。.....	39
圖 3-7	所有元件次臨界斜率的的平均和誤差圖。.....	40
圖 3-8	所有元件開關電流比的的平均和誤差圖。.....	42
圖 3-9	記憶體元件的寫入和清除的操作，此數據為沉積金和硒化鎘	44
圖 3-10	不同閘極電壓對應不同臨界電壓偏移。.....	45
圖 3-11	統計三種條件下的臨界電壓變化( $\Delta V_{th}$ )和閘極電壓的關係。	45
圖 3-12	通道長度對寫入時間的影響。.....	47
圖 3-13	FN 穿隧和 HEI 機制對謝入時間的影響。.....	48
圖 3-14	金奈米粒子記憶體元件，閘極電壓電流關係，在不同的溫度。	50
圖 3-15	硒化鎘奈米粒子記憶體元件，閘極電壓電流關係，在不同的	

	溫度。.....	51
圖 3-16	金奈米粒子加硒化鎘奈米粒子記憶體元件，閘極電壓電流關係，在不同的溫度。.....	51
圖 3-17	閘極和汲極交疊面積(Overlapping are)，面積為 124.45 $\mu\text{m}^2$ 。	52
圖 3-18	金奈米粒子記憶體， $\ln\left(\frac{J}{E^2}\right)$ 和 $\frac{1}{E}$ 的關係，在不同溫度下。	53
圖 3-19	硒化鎘奈米粒子記憶體， $\ln\left(\frac{J}{E^2}\right)$ 和 $\frac{1}{E}$ 的關係，在不同溫度下。	53
圖 3-20	金加上硒化鎘奈米粒子記憶體， $\ln\left(\frac{J}{E^2}\right)$ 和 $\frac{1}{E}$ 的關係，在不同溫度下。.....	54
圖 3-21	金奈米粒子的記憶時間(Retentions time of Au NPs)。	56
圖 3-22	硒化鎘奈米粒子的記憶時間(Retentions time of CdSe NPs)。	56
圖 3-23	混合金和硒化鎘奈米粒子的記憶時間(Retentions time of Au+CdSe NPs)。	57
圖 3-24	PECVD TEOS 和爐管成長的氧化矽閘極電壓對電流曲線。	57
圖 3-25	PCVD TEOS 和爐管成長的氧化矽閘極電壓對電流曲線。	58
圖 3-26	漏電測試試片的製作流程。.....	58
圖 3-27	金奈米粒子能帶圖。.....	60
圖 3-28	硒化鎘奈米粒子能帶圖。.....	60

圖 3-29 金加上硒化鎘混合奈米粒子能帶圖。..... 61

圖 3-30 局部放大，金和硒化鎘的界面，將會形成蕭特基位障。..... 61

