

國立交通大學

工學院半導體材料與製程設備學程

碩士論文

鎳金屬誘發側向結晶－低溫複晶矽薄膜電晶體
之漏電流與可靠度研究



**Evaluations of the Leakage Current and Reliability
on NILC-LTPS TFTs**

研究生：莊仁吉

指導教授：吳耀銓 博士

中華民國九十八年六月

鎳金屬誘發側向結晶－低溫複晶矽薄膜電晶體
之漏電流與可靠度研究

Evaluations of the Leakage Current and Reliability
on NILC-LTPS TFTs

研 究 生：莊仁吉

Student : Jen-Chi Chuang

指 導 教 授：吳耀銓 博士

Advisor : Dr. YewChung Sermon Wu

國立交通大學

工學院半導體材料與製程設備學程



Submitted to Institute of Semiconductor Material and Process Equipment
College of Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of Master of Science
in

Program of Semiconductor Material and Process Equipment

June 2009

Hsinchu, Taiwan, Republic of China

中華民國 九十八 年 六 月

鎳金屬誘發側向結晶—低溫複晶矽薄膜電晶體 之漏電流與可靠度研究

學生:莊仁吉

指導教授:吳耀銓 博士

國立交通大學工學院半導體材料與製程設備學程

摘要

在現今的消費市場上，薄膜電晶體液晶顯示器可以說應用地非常廣泛，而在提升效能所製作低溫複晶矽(LTPS)薄膜電晶體的方法中，利用鎳金屬誘發非晶矽薄膜側向結晶法(NILC)，能在較低退火溫度與較短退火時間下，得到不但均勻而且品質佳的結晶顆粒，而廣受矚目。對於鎳金屬誘發複晶矽薄膜來說，在誘發結晶過程中所殘留的鎳金屬，會被晶界及缺陷所捕捉並產生深層能階，進而造成漏電流與元件效能衰退，因此發展有效的捉聚鎳方法來降低鎳金屬誘發複晶矽薄膜中的鎳金屬殘留，與降低複晶晶界處的懸鍵及缺陷，是提升高效能及高品質薄膜電晶體的重要課題。

本研究主要是提供一個簡易而有效的分析方法，透過不同製程手法改善電晶體效能的試片，來探討 NILC-LTPS TFT 漏電流產生的來源，及其改善的效果，並進一步觀察對元件可靠度的影響。

大致上將薄膜電晶體的漏電流路徑分為四個部份來探討。(1)閘極氧化層漏電流(Gate oxide leakage current)。來自於不良的閘極氧化層蝕刻所形成的缺陷；或較差的閘極氧化層成長品質。(2)閘極引發汲極漏電流(Gate induced drain leakage current)。來自於施加在閘極與汲極間的高電場，引發

汲極的漏電流產生。(3)接面漏電流 (Junction leakage current)。來自接面熱電子的放射；或熱電子場效放射；或電子的穿隧效應。(4)通道漏電流(Channel leakage current)。來自通道因電場擊穿效應；汲極施加電壓引發晶格能障下降，而產生漏電流增加；金屬殘留所產生的漏電流路徑。可利用電性量測的分析手法，進一步了解各路徑的貢獻及主因為何。

薄膜電晶體在頻繁地操作下，因電場及溫度效應，會對元件產生程度不一的劣化，會導致電晶體的開啟電流(On current)下降、起始電壓(Threshold voltage)上升及漏電流(Leakage current)的增加，造成元件操作效能降低。於此，將元件可靠度部份，分為兩個方面來探討。一個是對元件施加偏壓及溫度效應的不穩定性(Bias Temperature Instabilty)，主要來自於閘極施加一電場時，在溫度效應下，閘極氧化層與複晶矽界面處的 Si-H 鍵會被打斷，並形成氫氣氣體，經由擴散效應而帶離閘極氧化層，進而在界面處產生懸鍵，使元件產生劣化的效應。另一個是熱載子效應(Hot Carriers effect Injection)，主要來自於電晶體在開啟狀態下，汲極所施加的電壓會產生一強大的電場，使得加速載子衝擊中性原子，而形成解離現象，產生電子與電洞對。此時被激化電子或電洞會再衝擊閘極氧化層，造成層面處的缺陷捕捉(Interface trap states)；或陷入層極氧化層中，使元件產生劣化的效應。

試片的準備分為兩個部份。第一個是 NILC-LTPS TFT 製造過程中，在 NILC Poly-Si 的表面上，施加混合四氟化碳電漿(CF₄ plasma)的蝕刻氣體，來進行表面處理。一方面透過輕微的轟擊蝕刻，可以減少表面的鍍金屬雜質的殘留，另一方面藉由氟與矽原子的鍵結，來鈍化晶界的懸鍵以減少晶界中的有效捕陷數目，進而改善元件效能。第二個是製造過程中，在元件汲極與源極的金屬配線接觸窗開啟時，鍍上一層非晶矽薄膜，來進行鍍金屬的捉聚，進而降低鍍金屬在電晶體通道中的含量，來提升元件效能。

Evaluations of the Leakage Current and Reliability

on NILC-LTPS TFTs

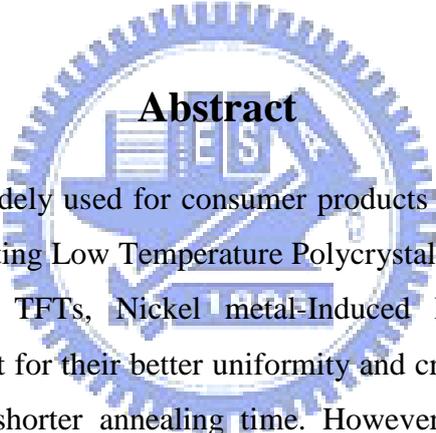
Student: Jen-Chi Chuang

Advisor: Dr. YewChung Sermon Wu

Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University



Abstract

TFT display panels are widely used for consumer products on worldwide market. Among various techniques of fabricating Low Temperature Polycrystalline Silicon(LTPS) thin film to obtain higher performance TFTs, Nickel metal-Induced Lateral Crystallization(NILC) attracted considerable interest for their better uniformity and crystal quality acquired at lower annealing temperature and shorter annealing time. However, in the processing of NILC Poly-Si, residual Ni trapped by the grain boundaries and defects leads to introduce deep level states and results in degradation of the device performance. Therefore, it's very important to fabricate NILC-LTPS TFT with higher performance and quality by reducing Ni contaminations and dangling bonds of NILC Poly-Si thin film.

This study mainly provide simple and effective procedures to figure out the leakage current paths of NILC-LTPS TFT by using performance improved TFT samples with various process splits. Then, the influence of device reliability would be also observed.

The leakage paths of NILC-LTPS TFT are divided 4 parts to do discussion. (1)Gate oxide leakage current, which is from bad oxide etching profile, or bad oxide growth quality. (2)Gate induced drain leakage current, which is from higher electric filed applied between gate and

drain to induce drain leakage current. (3) Junction leakage current, which is from thermionic emission, thermionic field emission, and pure tunneling of the PN junction. (4) Channel leakage current, which is from electric field punch through, drain induced grain barrier lowering, and metal contaminations. Using electrical measurement methods to figure out which one is key factor.

TFTs performance would be degraded under frequently operation with effects of electric field and temperature, then induced on-current reducing, threshold voltage raising, and leakage current increasing. Herein, there are two parts to discuss device reliability. The first one is Bias Temperature Instability(BTI), which is a device degradation effect from dangling bonds of the interface between gate oxide and Poly-Si are generated by Si-H bonds broken under voltage bias gate and high temperature environment with combined Hydrogen diffusing out. Another one is Hot Carriers effect Injection(HCI), which is degraded from interface trap states increased by gate oxide bombarding of impact ionization. The ionization electrons and holes are generated by impact from accelerating carriers to neutral atoms under high electric field of voltage bias drain on device on-state.

Two experiment samples are demonstrated in this study. One is NILC Poly-Si with interface treatment of CF_4 plasma etching gas before gate oxide deposition. This method could improve device performance with reduction of Ni metal residues by slightly plasma bombarding and decrease of grain boundary trap states by bonding of Fluorine and Silicon. Another one is raising device performance with decrease of Ni contamination by amorphous Si gettering of source/drain side through metal contact via.

誌謝

在進修碩士班學習研究的時光裡，充滿了許許多多難忘的回憶，也得到了不少寶貴的知識與經驗。能在交大這樣自由的學習環境下進行論文研究，自己覺得相當的幸運。

首先，要特別感謝指導教授吳耀銓博士，在我課業及研究上的指教與建議，也給了我明確的研究方向，得以讓我順利的畢業。同時要感謝張翼博士及潘扶民博士在論文上，給了我許多寶貴的意見及指導，讓此論文更加完善。

對於實驗室的弟兄們，更是銘感五內，有你們熱心的協助及資源的提供，才讓我能順利地完成論文的研究。尤其是博士班的晟民及志榜學長，在研究過程中，給予我相當大的協助與建議，謝謝你們。

最後，要感謝我美麗的老婆及寶貝女兒，在進修這段期間，給予我精神上的支持。尤其是老婆及娘家，從女兒出生到目前已滿二歲，你們無微不至的照顧，讓我無後顧之憂。還有我的爸媽，你們是我進修的動力來源。再次感謝你們，我愛你們。

仁吉 2009.06 于交大

目錄

中文摘要	I
英文摘要	III
誌謝	V
目錄	VI
表目錄	VIII
圖目錄	IX
第一章 序論	1
1.1 液晶顯示器發展史	1
1.2 液晶顯示器原理	1
1.3 液晶顯示器驅動方式	2
1.4 薄膜電晶體	2
1.4.1 非晶矽薄膜電晶體	3
1.4.2 複晶矽薄膜電晶體	3
1.5 低溫複晶矽結晶方法	5
1.5.1 固相結晶法 (SPC, Solid Phase Crystallization)	5
1.5.2 準分子雷射退火結晶法 (ELA, Excimer Laser Annealing)	6
1.5.3 金屬誘發/金屬誘發側向結晶法(MIC/MILC, Metal Induced/Metal Induced Lateral Crystallization)	6
1.6 電性影響因素	11
1.6.1 晶界能障與晶界載子補陷(Carrier traps at grain boundary)	11
1.6.2 晶界與晶粒缺陷	13
1.6.3 過渡金屬雜質	14
1.7 電性改善方法	14
1.7.1 後退火 (Post-annealing)	14
1.7.2 電漿鈍化 (Plasma passivation)	14
1.7.3 捉聚 (Gettering)	15
1.8 論文的研究動機與分段架構	16
1.8.1 論文的研究動機	16
1.8.2 論文的分段架構	18
第二章 透過四氟化碳電漿進行主動區表面處理之薄膜電晶體元件的漏電流與可靠度探討	19

2.1 研究背景回顧	19
2.1.1 晶界捕陷密度對電性的影響	19
2.1.2 電漿鈍化(Plasma passivation)機制	19
2.1.3 金屬誘發複晶矽電漿鈍化方法	19
2.2 研究動機	19
2.3 研究方法	20
2.3.1 薄膜電晶體製作	20
2.3.2 電性量測	21
2.4 結果與討論	22
2.4.1 四氟化碳電漿對於主動區表面之影響	22
2.4.2 薄膜電晶體效能之比較	23
2.4.3 薄膜電晶體漏電流來源之探討	25
2.4.4 薄膜電晶體元件可靠度之探討	30
2.5 結論	34

第三章 利用非晶矽薄膜經由接觸窗捉聚之薄膜電晶體元件的漏電流與可靠度探討36

3.1 研究背景回顧	36
3.1.1 金屬雜質對電性的影響	36
3.1.2 捉聚機制	36
3.1.3 金屬誘發複晶矽捉聚方法	37
3.2 研究動機	37
3.3 研究方法	38
3.3.1 薄膜電晶體製作	38
3.3.2 電性量測	39
3.4 結果與討論	40
3.4.1 捉聚步驟對於鎳含量之影響	40
3.4.2 薄膜電晶體效能之比較	41
3.4.3 薄膜電晶體漏電流來源之探討	43
3.4.4 薄膜電晶體元件可靠度之探討	48
3.5 結論	52

第四章 總結與未來工作54

4.1 總結	54
4.2 未來工作	55

參考文獻56

表目錄

第一章

表 1-1 a-Si TFT 與 LTPS TFT 特性比較.....5

表 1-2 準分子雷射氣體及其波長.....6

第二章

表 2-1 NILC TFT 與 CF₄ plasma TFT 之元件電性效能的比較.....25

第三章

表 3-1 NILC TFT 與 SD GETR TFT 之元件電性效能的比較.....43

第四章

表 4-1 在各製程環境下薄膜電晶體效能比較.....55



圖目錄

第一章

圖 1-1 底閘極(Bottom Gate)電晶體基本結構	2
圖 1-2 非晶矽與多晶矽面板之開口率比較	4
圖 1-3 Ni-Si 反應自由能圖	7
圖 1-4 c-Si 在 NiSi ₂ /a-Si 介面形成的結晶成長機制	8
圖 1-5 Si 與 NiSi ₂ 晶體結構	8
圖 1-6 鎳金屬薄膜對應不同溫度下之矽化物相	10
圖 1-7 鎳金屬誘發側向結晶成長機制	10
圖 1-8 MILC 的優選成長方向	11
圖 1-9 (a)晶粒與晶界示意圖 (b)為了去補償被晶界所捕陷的電荷在晶粒周圍的晶界處 形成空乏區域 (c)電荷空乏區造成能帶彎曲，而且形成能障	12
圖 1-10 很多在晶粒中的置換型摻雜原子所貢獻的自由載子很快速的就被固定在晶界處 的捕陷位置 N_t 每單位面積的能量不超過能隙 (Bandgap)	13
圖 1-11 捕陷(Traps)主要集中在晶界處，然而在晶粒中的缺陷也有建立起一些態位。淺拖 曳態位(Shallow tail state)與應變鍵(Strained bonds)有關，而在中間能隙的深態位 (Deep state)是由斷鍵(Broken bonds)造成的	13
圖 1-12 (1)內部捉聚法(Intrinsic Gettering) (2)外部捉聚法(Extrinsic Gettering) (3)化學捉聚 法(Cheical Gettering)	15
圖 1-13 (1)閘極氧化層漏電流(Gate oxide leakage) (2)閘極引發汲極漏電流(Gate induced drain leakage) (3)接面漏電流 (Junction leakage) (4)通道漏電流(Channel leakage)	16
圖 1-14 薄膜電晶體劣化示意圖	17
圖 1-15 施加偏壓及溫度效應的不穩定性(Bias temperature instabilty)	17
圖 1-16 熱載子效應(Hot carriers effect injection)	18

第二章

圖 2-1 CF ₄ plasma TFT 製作流程圖	21
圖 2-2 NILC poly 表面粗糙度觀察 (a)未經 CF ₄ plasma 處理[Rq = 0.389 nm] (b)經過 CF ₄	

plasma 處理[$R_q = 0.596 \text{ nm}$]	22
圖 2-3 四氟化碳電漿表面處理的示意圖 (a)未經 CF_4 plasma 處理 (b)經過 CF_4 plasma 處理，表面蝕刻 6nm 厚度	23
圖 2-4 氟原子含量濃度分佈圖	23
圖 2-5 汲極電流對閘極電壓曲線圖(I_d - V_g curve)	24
圖 2-6 閘極漏電流比較曲線圖	25
圖 2-7 閘極引發汲極漏電流比較曲線圖	26
圖 2-8 漏電流差值(dI_{off})比較圖	27
圖 2-9 最小漏電流($I_{off.min}$)比較圖	27
圖 2-10 活化能及其差值比較圖	28
圖 2-11 通道擊穿電壓與通道長度關係圖	28
圖 2-12 短通道效應(Short channel effect)曲線圖 (a)臨界電壓與通道長度關係圖圖 (b)次臨界斜率與通道長度關係圖	29
圖 2-13 捕陷密度與通道長度關係圖	29
圖 2-14 元件 BTI 劣化曲線圖 (a)在線性區($V_d=0.1V$) (b)在飽和區($V_d=5.1V$)	31
圖 2-15 各參數 BTI 劣化曲線圖 (a)臨界電壓劣化圖 (b)捕陷密度劣化圖 (c)線性區汲極電流劣化圖 (d)飽和區汲極電流劣化圖	32
圖 2-16 元件熱載子效應劣化曲線圖 (a)在線性區($V_d=0.1V$) (b)在飽和區($V_d=5.1V$)	33
圖 2-17 各參數熱載子效應劣化曲線圖 (a)臨界電壓劣化圖 (b)捕陷密度劣化圖 (c)線性區汲極電流劣化圖 (d)飽和區汲極電流劣化圖	34

第三章

圖 3-1 利用非晶矽薄膜經由接觸窗捉聚流程圖	37
圖 3-2 SD GETR TFT 製作流程圖	39
圖 3-3 上層捉聚層的 OM 觀察 (a)為捉聚前 (b)為經過 550°C 6 小時捉聚後	40
圖 3-4 上層捉聚層經 550°C 6 小時退火之後的 SEM 觀察	41
圖 3-5 鎳擴散路徑示意圖	41
圖 3-6 汲極電流對閘極電壓曲線圖(I_d - V_g curve)	42
圖 3-7 閘極漏電流比較曲線圖	43
圖 3-8 閘極引發汲極漏電流比較曲線圖	44

圖 3-9 漏電流差值(dI_{off})比較圖	45
圖 3-10 最小漏電流($I_{off.min}$)比較圖	45
圖 3-11 活化能及其差值比較圖	46
圖 3-12 通道擊穿電壓與通道長度關係圖	46
圖 3-13 短通道效應(Short channel effect)曲線圖 (a)臨界電壓與通道長度關係圖圖 (b)次 臨界斜率與通道長度關係圖.....	47
圖 3-14 捕陷密度與通道長度關係圖	47
圖 3-15 捉聚後鎳金屬雜質濃度示意圖	48
圖 3-16 元件 BTI 劣化曲線圖 (a)在線性區($V_d=0.1V$) (b)在飽和區($V_d=5.1V$)	49
圖 3-17 各參數 BTI 劣化曲線圖 (a)臨界電壓劣化圖 (b)捕陷密度劣化圖 (c)線性區汲極 電流劣化圖 (d)飽和區汲極電流劣化圖	50
圖 3-18 元件熱載子效應劣化曲線圖 (a)在線性區($V_d=0.1V$) (b)在飽和區($V_d=5.1V$) ...	51
圖 3-19 各參數熱載子效應劣化曲線圖 (a)臨界電壓劣化圖 (b)捕陷密度劣化圖 (c)線性 區汲極電流劣化圖 (d)飽和區汲極電流劣化圖	52



第一章 序論

1.1 液晶顯示器發展史

在現今的消費市場上，液晶顯示器可以說應用地非常廣泛，而其主要的發展，源自於奧地利植物學家 F.Reinitzer 在 1888 年發現了液晶這一呈現液體狀的物質。這種化合物在加熱至 145°C 時熔解，但其狀態卻介於一般液態與固態物質之間，呈現類似膠狀的混濁狀態，而加熱到 179°C 時突然又成為透明的液體。由於其特殊的狀態，在偏光顯微鏡確認此膠狀的混濁狀態是具有組織方向性的液體，並具有光學雙折射現象，其後便命名此種狀態為物質的第四態「液晶(Liquid Crystal)」。美國無線電公司(RCA)在 1963 年時發現液晶分子會受到電場的影響而產生偏轉，當受到外界電場影響時，其分子會產生精確的有序排列；如對分子的排列加以適當的控制，液晶分子將會允許光線穿透；光線穿透液晶的路徑可由構成它的分子排列來決定，這又是固體的一種特徵。直到 1968 年，美國 RCA 公司的工程師們製造了世界第一台使用液晶顯示的螢幕，至此，「液晶」和「顯示器」才連結在一起，而有了「液晶顯示器」，Liquid Crystal Display(LCD)一詞[1][2]。



1.2 液晶顯示器原理

液晶顯示器(Liquid Crystal Display)簡單來說就是利用液晶元件的排列方向來調變入射光強度的螢幕。結構上先將液晶灌入兩片抽完真空的玻璃間，再加上電壓，並適當的控制玻璃的間距，液晶便可以改變它的分子結構，使入射光發生偏轉的特性，因此可以讓不同程度的光量通過它本身。液晶顯示器中含有兩片偏極片、彩色濾光片陣列及配向膜，它們可決定光通量的最大值與顏色的產生。每一個像素都由紅、綠、藍三個子像素(Sub-pixel)所組成，就如同映像管顯示器一樣，能產生不同的色階變化。液晶層位於兩片玻璃片之間。當液晶層不施加任何電壓時，液晶會在它的初始狀態，把入射光的方向扭轉 90 度，因此讓背光源的入射光能夠通過整個結構。當液晶層施以某一電壓差，液晶會改變它的初始狀態，使液晶的排列方向不扭轉，而不改變光的極化方向，因此經過液晶的光會被第二層偏極片吸收而整個結構呈現不透光的狀態。

1.3 液晶顯示器驅動方式

液晶顯示器主要可分成三種，分別為扭轉向列型(TN)、超扭轉向列型(STN)及薄膜電晶體型(TFT)。依驅動電路方式的不同又可分為被動式矩陣驅動及主動式矩陣驅動。TN與STN屬於被動式矩陣，此型的液晶顯示器由於電容串因(Capacitor Coupling)嚴重，而導致會有殘影及對比差及反應速度慢等缺點，再加上又是採用多工方式驅動，驅動方式較為複雜。因此此類型的顯示器要達到高解析度、高畫質與全彩的目標便十分困難。但由於製造成本低廉因此部分低階的顯示器如手機上的面板便常用此技術。而目前被廣泛研究的薄膜電晶體(TFT, Thin Film Transistor)是屬於主動矩陣式，此種技術由於利用薄膜電晶體作為控制液晶旋轉的開關元件，使得每個畫素相互間的影響變小，改善了上述被動式矩陣驅動液晶顯示器的缺點。且驅動方式較為簡單，因此顯示器的畫質與解析度能夠進一步提升。然而利用薄膜電晶體方式驅動的液晶顯示器，其成像品質的好壞與電晶體的特性有很大的關係，如漏電流、驅動電流、寄生電容、臨界電壓與開關速率等。因此如何製造出品質好，特性佳的薄膜電晶體相當重要。

1.4 薄膜電晶體

電晶體是由一個閘極、一個源極和一個汲極所構成的三接點電子元件(圖 1-1)。其原理是利用絕緣層讓閘極和通道的部分隔開，當閘極沒有外加一個電壓時，就沒有電流從源極流向汲極，呈現「關閉」狀態，此時唯一通過的電流即稱為漏電流。而當閘極加一個夠大的正電壓時，在通道部分會感應出電子來，此時如果再在汲極部分加一電壓，將使大量電子經由源極流向汲極，使得薄膜電晶體從原本的「關閉」變成「開啟」的狀態。所以薄膜電晶體可以被視為一個開關[2]。

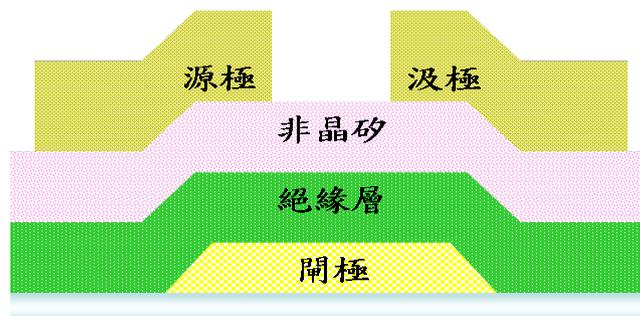


圖 1-1 底閘極(Bottom Gate)電晶體基本結構

1.4.1 非晶矽薄膜電晶體

非晶矽薄膜電晶體(Amorphous-Si TFT)為 TFT-LCD 中較為成熟的技術，是目前 LCD 市場的主流。主要是因為非晶矽 TFT 有以下優點:為一低溫製程 ($<350^{\circ}\text{C}$)，非常適合製造在玻璃基板上；另一個優點為連續製程，整個製程步驟較為簡化。以底閘極(Bottom Gate)結構的薄膜電晶體為例，一般多利用電漿輔助化學氣相沉積(PECVD, Plasma Enhanced Chemical Vapor Deposition)的方式，在已定義的閘極上，連續沉積閘極介電層、主動層和汲/源極層，再回蝕(Etchback)定義所需的元件結構。因此底閘極(Bottom Gate)結構的薄膜電晶體較符合製程步驟簡單的要求，並且有較低的漏電流。但是非晶矽 TFT 也有著某些無法改進的缺點，如電子遷移率(Mobility)很低 ($<1\text{cm}^2/\text{V}\cdot\text{S}$)，開啟電流(On current)較小。在這些先天缺陷下，非晶矽的 TFT-LCD 有著反應速率慢，解析度低，開口率較低等缺點。由於不同的應用下，隨著畫素不斷的增加，需要比非晶矽 TFT 電性更好的元件，才能有更好的特性，因此發展出了比非晶矽薄膜電晶體電性更好的複晶矽薄膜電晶體，來改善上述的缺點。

1.4.2 複晶矽薄膜電晶體

複晶矽薄膜電晶體(Poly-Si TFT)與非晶矽薄膜電晶體的不同在於主動層以複晶矽取代非晶矽，使得電晶體之驅動能力大大的提升。一般複晶矽薄膜製作的方法分為直接沉積複晶矽(As-deposited Polysilicon)及沉積非晶矽再退火(Annealing)兩種。直接沉積複晶矽製程溫度在 625°C 以上，高於一般玻璃基板的軟化溫度(600°C)，且直接沉積的複晶矽，其晶粒(Grain)較小，缺陷(Defect)較多，製作出來的薄膜電晶體特性較差，所以通常無人使用此方式製作。另外一種製作複晶矽的方法為先利用低壓化學氣相沉積(LPCVD, Low Pressure Chemical Vapor Deposition)、PECVD 或濺鍍(Sputtering)的方式沉積非晶矽薄膜，再利用熱處理的方式使其再結晶為複晶矽薄膜。

再結晶的方式可分為高溫及低溫兩類，以玻璃基板的軟化溫度(600°C)為分界。高溫再結晶通常以爐管(Furnace)或是快速熱退火(RTA, Rapid Thermal Annealing)的方式進行，由於使用高溫製程，所以必須使用較昂貴且小尺寸的石英基板，並限制了其應用範圍。因此低溫再結晶的方式是目前最受矚目並為工業界採用的技術。利用低溫再結晶所製造的低溫複晶矽(LTPS, Low-Temperature-Poly-Silicon)薄膜電晶體具有較高載子移動率[3]。而電子與電洞的移動率是決定一個 TFT 元件等效傳導率與尺寸大小的重要參數，而高載子移動率使得 LTPS TFT-LCD 具有下列的競爭優勢：

A. 可縮小畫素(Pixel)中 TFT 的尺寸，增加透光區域的面積，而達到高開口率(圖 1-2)[4]。

因此在相同的發光亮度下，LTPS TFT-LCD 可採用低瓦數的背光源，達到低耗電量的要求。另外藉由完全自我對準(Fully Self-Alignment)來形成源/汲極區域，則可降低寄生與重疊電容所需的儲存電容面積也能因此縮小，讓開口率進一步提高，而能提供更高精細、高解析度的液晶面板。

- B. 可將周邊驅動電路與液晶面板同時製作於玻璃基板上，有利於減少電路板驅動 IC 與面板電極之間的連線，而降低材料成本;同時更可以在後段模組組裝過程中，避免組裝造成的產品損害，進而提升良率降低製造成本。
- C. 可降低顯示器模組的重量與厚度。驅動電路的整合不但能消除驅動 IC 本身的重量與厚度，也省去的與其相關的 TAB 及 PCB 封裝所增加的厚度與重量，可達到縮小面板厚度約 10%~20%，達成產品薄型化的要求。
- D. 可增加液晶顯示器面板的可靠度。TAB 連接線的故障與鬆脫是面板損壞的主因，因此省去 TAB 的封裝將使得液晶顯示器面板的可靠度得以提升。
- E. 可降低驅動電壓，進而降低液晶面板的功率消耗。LTPS-TFT 具有高載子移動率與低臨界電壓(Threshold Voltage)的特性，因此在固定驅動電流下，驅動 LTPS-TFT 的電壓可大幅降低，再加上寄生電容的減少，則驅動液晶面板的功率消耗能大幅降低。表 1-1[5]列出了 a-Si TFT 與 LTPS TFT 的各方面特性比較。

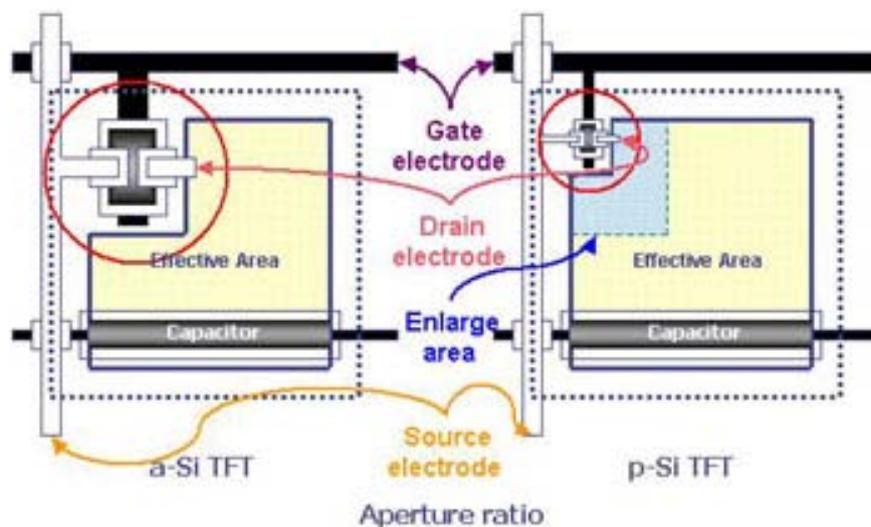
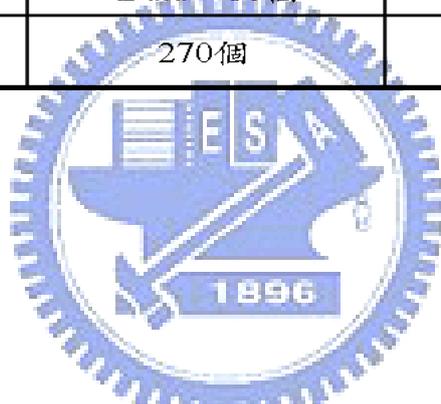


圖 1-2 非晶矽與多晶矽面板之開口率比較[4]

表 1-1 a-Si TFT 與 LTPS TFT 特性比較[5]

	a-Si TFT	LTPS TFT
Mobility _{eff}	0.3~1 cm ² /V-sec	>50cm ² /V-sec
TFT 元件面積	1	約1/2
耐衝撞強度	180G	300G
耐扭強度	約1,000次	>10,000次
週邊接點數	4,000個接點	<200個接點
PCB數量	2片	1片
TAB-IC數量	Scan：3個 Data：10個	無
電容零件數	270個	195個



1.5 低溫複晶矽結晶方法

低溫複晶矽的量產技術在過去十年間被急速且熱絡地大量的研究，包括固相結晶法 (SPC, Solid Phase Crystallization)、準分子雷射退火(ELA, Excimer Laser Annealing)及金屬誘發/金屬誘發側向結晶(MIC/MILC, Metal Induced Lateral Crystallization)等，以下將分別介紹。

1.5.1 固相結晶法(SPC, Solid Phase Crystallization)

固相結晶法是成本最低，也是技術門檻最低的結晶法。一般的作法是將已沉積之非晶矽薄膜置入爐管中進行 600°C 24~72 小時的退火。為了得到較大的晶粒，可以改變非晶矽的沈積參數及退火條件。但是利用固相結晶法所得到的複晶矽晶粒品質和另兩種結晶法相比仍然是較差的，且晶粒中的缺陷多。另外，退火溫度過高並不適用於一般的玻璃基板(一般的玻璃基板軟化溫度約為 600°C 左右)，可能會造成玻璃的變形，會影響到後續的微影製程。固相結晶包括二個步驟，分別為成核(Nucleation)和成長(Growth)。成

核又可分為均質成核(Homogeneous)和異質(Heterogeneous)成核。以固相結晶法來說，由於非晶矽裡含有缺陷，缺陷自由能較高，較容易吸附溶質原子造成原子聚集，形成異質成核，進而成長；也有部分的成核是以均質成核進行，然後再進行成長。但是一般的固相結晶法退火時間太長，且最後所得到的晶粒缺陷多，並且含有大量的微雙晶(Micro-twin)[6]因此最後所做出的薄膜電晶體特性並不佳。

1.5.2 準分子雷射退火結晶法(ELA, Excimer Laser Annealing)

ELA 製備複晶矽薄膜的溫度通常低於 450°C，以準分子雷射作為熱源。雷射光經過投射系統後，會產生能量均勻分布的雷射光束，投射於具有非晶矽薄膜的玻璃基板上。當非晶矽薄膜吸收準分子雷射的能量後，非晶矽熔融而形成複晶矽結構。這種方法獲得的複晶矽薄膜的特性滿足顯示面板用 TFT 開關元件及周邊驅動用 TFT 元件性能的要求 [7]。準分子雷射主要是在紫外光範圍的高輸出脈衝雷射 (High-output pulsed lasers) 振盪，光束相當大，脈衝的時間非常短，約 10ns。因為加熱的時間是很短暫的，而且結晶的晶粒缺陷較少，品質較佳。缺點是雷射設備成本過高，而且結晶的均勻性不佳，晶粒尺寸還不夠大，故對大面積的玻璃基板來說在製程上仍然有很多需改進的地方。另外，雷射將非晶矽層熔融結晶後，在兩晶粒的交界處會隆起產生晶界。此現象會導致表面粗糙，將會影響元件的製作。當然還有其他的缺點，像是玻璃基板通常需要雷射掃描 20 次左右才能形成良好的結晶。為了提高生產效率，現在有採用多路雷射同時掃描的方式。也可以採用矩形光束的方法，使雷射能量均勻集中形成一個矩形光束，對基板進行有選擇性的掃描。常用的準分子雷射器如表 1-2 所示。因為 XeCl 準分子雷射器具有較好的氣體穩定性和在波長 308nm 處非晶矽薄膜具有高吸收係數($\sim 10^6 \text{ cm}^{-1}$)的優點。所以很多廠商採用 XeCl 準分子雷射器進行生產。

表 1-2 準分子雷射氣體及其波長

Laser gas	F ₂	ArF	KrCl	KrF	XeCl	XeF
λ (nm)	157	193	222	248	308	351

1.5.3 金屬誘發 / 金屬誘發側向結晶法(MIC / MILC, Metal Induced / Metal Induced Lateral Crystallization)

Wagner 和 Ellis 在 1963 年發現少量的特定金屬可以幫助矽結晶。依照不同誘發結晶的方式可以分成兩類：第一種是與矽產生共晶反應(例如：Al[8]、Au[9]等)，由於共晶點

的溫度通常比一般單相結晶的溫度低，所以可以在低溫下產生結晶。以 Al 為例，M. S. Haque 在研究中指出 Al 與 Si 的共晶溫度在 577°C，但在 200°C 左右便開始與 a-Si 層反應產生結晶。金屬向內擴散時不僅使 a-Si 結晶，同時因為金屬摻雜的關係導致 Si 層轉變成 p 型。

另一種低溫結晶的方式是利用金屬與矽反應成介穩定(Metastable)的矽化物(例如：Ni[10]~[13]、Pd[14],[15]等)，在矽化物移動的過程中，金屬原子的自由電子與介面處的 Si-Si 共價鍵發生反應，降低 a-Si 結晶所需的能障(Energy Barrier)，使得結晶溫度降低。一般較常用的金屬為 Ni，而其機制也最清楚，因此以 Ni 來說明此類金屬誘發結晶的過程。Ni 會先與 Si 反應成多種矽化物[16]，在靠近 a-Si 區域的地方會產生富 Si 的 NiSi₂。由圖 1-3 的 Ni-Si 反應自由能圖[17]中可知，在 NiSi₂ 中的 Ni 原子在 NiSi₂ 與 a-Si 介面的自由能比在 NiSi₂ 與 c-Si 介面處低，這個自由能差會使 Ni 原子往 a-Si 層移動；反之，在 NiSi₂ 中的 Si 原子在 NiSi₂ 與 c-Si 介面的自由能比在 NiSi₂ 與 a-Si 介面處低，所以有個驅動力驅使 Si 原子往 c-Si 的方向擴散。這結果會使得 NiSi₂ 持續的往 a-Si 延伸，而所經之處產生 Si 結晶。由 Hayzelden 在 1993 年提出的分裂機制，首先會在 NiSi₂ 上形成 c-Si 結晶核，然後 Si 會往 c-Si/NiSi₂ 的介面移動，而誘發結晶，如圖 1.4(a)所示，接著，又在 NiSi₂ 的領導端(leading edge)處形成結晶(c-Si)核，而為了降低 Ni 在 NiSi₂/c-Si 介面處的化勢 (Chemical Potential)，因此 Ni 會往 NiSi₂/a-Si 介面處擴散，而造成 NiSi₂ 的遷移，同時也形成一個新的 NiSi₂/c-Si 介面，如圖 1.4(b)，而此過程一直重複，因而得到針狀的誘發結晶，圖 1.4(c)。

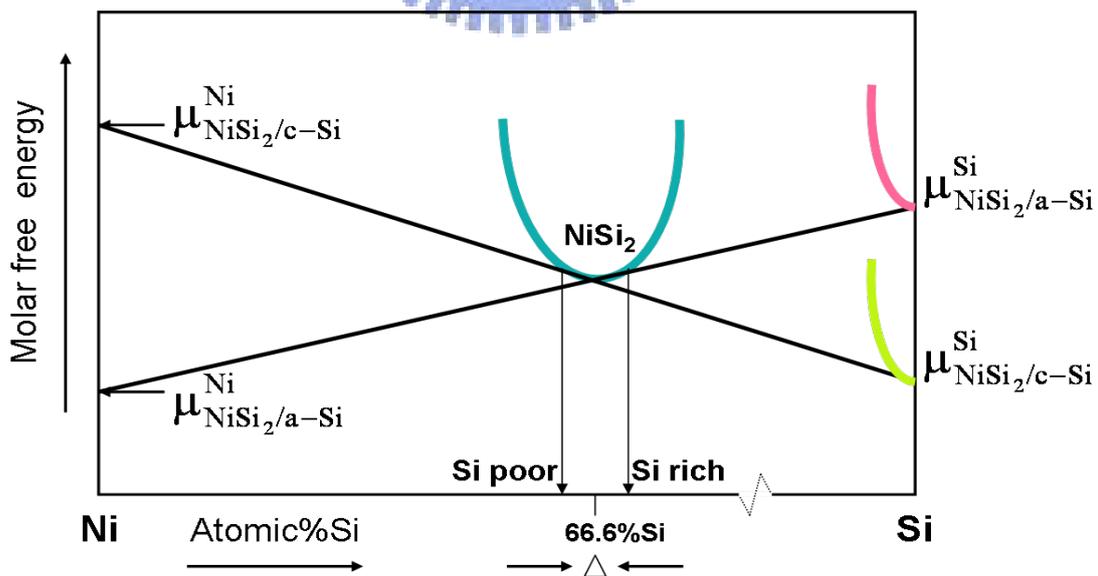


圖 1-3 Ni-Si 反應自由能圖

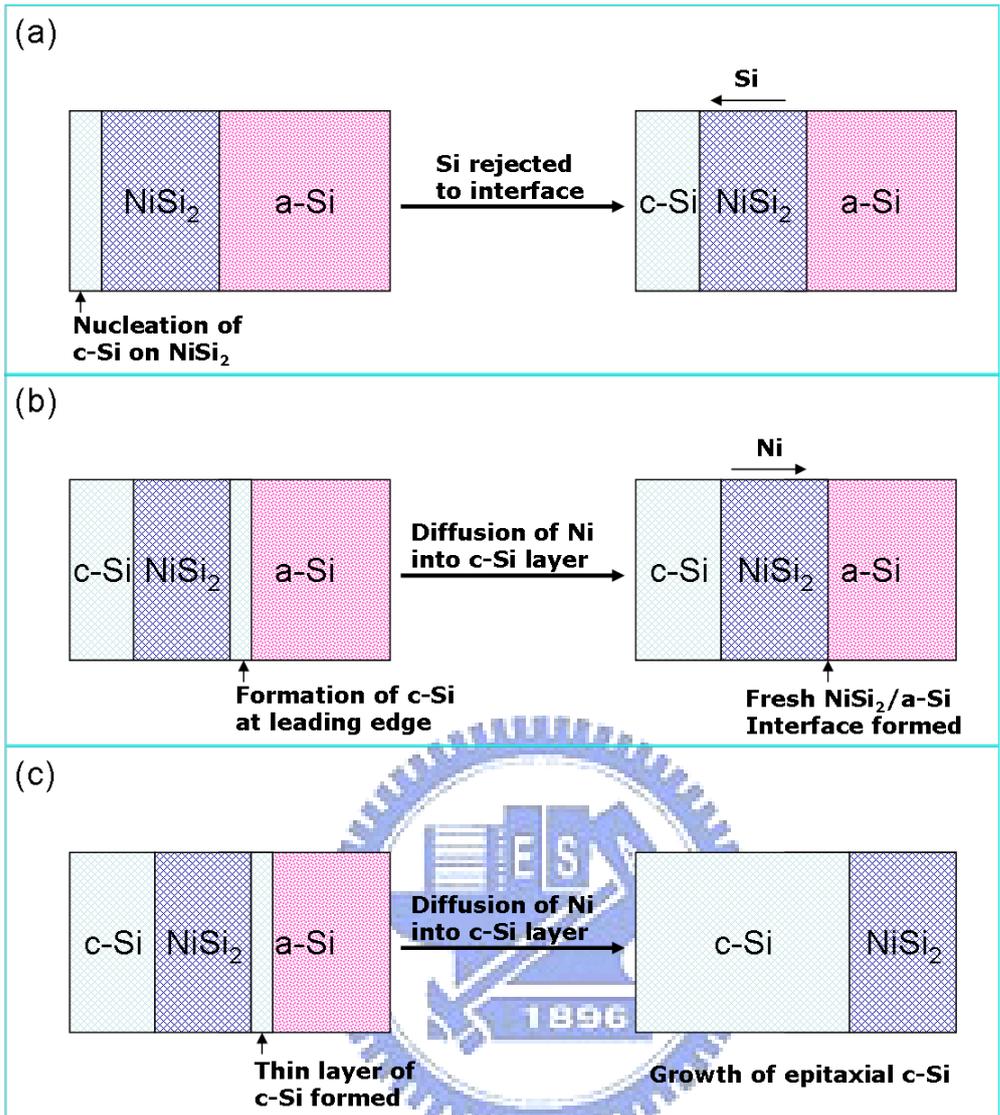


圖 1-4 c-Si 在 NiSi₂/a-Si 介面形成的結晶成長機制

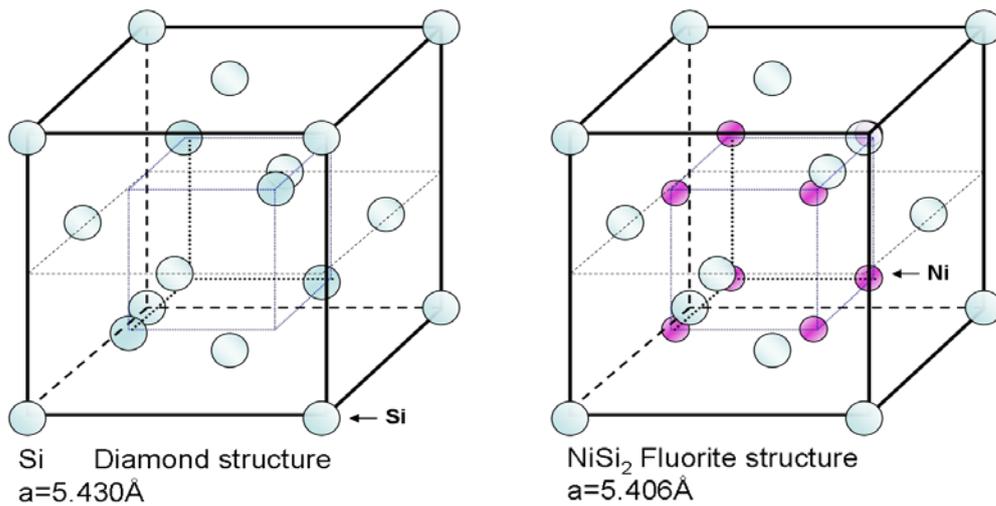


圖 1-5 Si 與 NiSi₂ 晶體結構

圖 1-5 為 Si 與 NiSi₂ 的晶體結構。Si 為鑽石(Diamond)結構、晶格常數為 5.430Å；NiSi₂ 屬於螢石(Fluorite)結構、晶格常數為 5.406Å，兩者因晶格常數不同所產生的晶格不匹配(Lattice Mismatch)僅有 0.44%。在眾多金屬矽化物中 NiSi₂ 擁有與矽最相似的結構及最接近的晶格常數，因此相當適合做為誘發結晶的核。故我們在實驗中將以 Ni 為誘發結晶的金屬。

Ni 在元素週期表中屬於過渡金屬，在結晶或非晶矽中都屬於快速擴散源，由於 Ni 較小的原子尺寸與矽為較鬆散的鑽石結構，因此 Ni 在矽中主要是藉著間隙式擴散(Interstitial Diffusion)來快速移動。在此機制中，擴散係數(D)會遵守 Arrhenius 方程式：

$$D_i = D_{i,0} \exp\left(-\frac{H_i^M}{kT}\right) \quad (1-1)$$

其中 H_i^M 為焓的變化量， $D_{i,0}$ 為指數係數， T 為溫度。以 Ni 而言，在非晶矽中的擴散係數大概是 $2.9 \times 10^{-3} \exp[-1.3(\text{eV})/kT] \text{ cm}^2/\text{s}$ [18]，在 400°C 下，這約為在結晶矽中擴散的十萬分之一，這擴散被抑制的原因來自於非晶矽內部的本質缺陷(intrinsic defect)，Ni 在非晶矽中擴散係數可由下式表示

$$D_{Ni}(a-Si) = D_{Ni}(a-Si) / \left[1 + \alpha C^t \exp\left(H_{Ni}^B / kT\right)\right] \quad (1-2)$$

其中 $\alpha = Z_{Ni}(\theta^0/\theta^*) \exp(S_{Ni}^B/kT)$ ， C^t 為被捕陷的原子(traps)比例、 $H^B(S^B)$ 為釋放一個被捕陷的間隙原子所需的焓(熵)， Z_{Ni} 為一個捕限陷阱周圍的捕捉間隙數以及 θ^0 (θ^*) 代表間隙原子(被捕陷的間隙原子)的頻率。由於非晶矽有高濃度的本質捕捉陷阱(intrinsic traps)以及較大的 H^B ，這 Ni 在非晶矽中的擴散被大幅度的抑制[18]。

而在 Ni-Si 的反應中，主要是藉由 Ni 原子在 Si 中擴散來進行。在 200°C 時 Ni 與 Si 首先產生 $\delta\text{-Ni}_2\text{Si}$ ，之後隨著退火溫度的提高，在 350°C 時 Ni_2Si 逐漸被 NiSi 相所取代，這兩階段的相變化皆是由擴散機制所控制。而在 750°C 左右的高溫 NiSi 慢慢形成 NiSi₂。此時 NiSi₂ 的形成主要是由成核機制所控制的，需要在高溫下才能形成[17]。一般，退火過程中 Ni 並不會直接與矽反應形成 NiSi₂，而會先反應形成 NiSi 的介穩定相，再由 NiSi 與 Si 反應而得到 NiSi₂。在 NiSi 與 Si 的反應機制裡，NiSi 與 a-Si 反應形成 NiSi₂ 是屬於擴散控制，也就是 a-Si 反應形成 NiSi₂ 是很容易很快的，只需在 350°C 左右就可以形成 NiSi₂；而 NiSi 與 c-Si 反應形成 NiSi₂ 則是屬於成核控制，c-Si 反應形成 NiSi₂ 是比較不容易的，所以需要在高溫下才能達成。因此就金屬誘發結晶而言，Ni 與 a-Si 反應形成 NiSi₂ 來誘發結晶並不需要很高的溫度。圖 1-6(a)(b)列出了鎳金屬薄膜在非晶矽與複晶矽中對應不同溫度下所形成的矽化物相[19]。

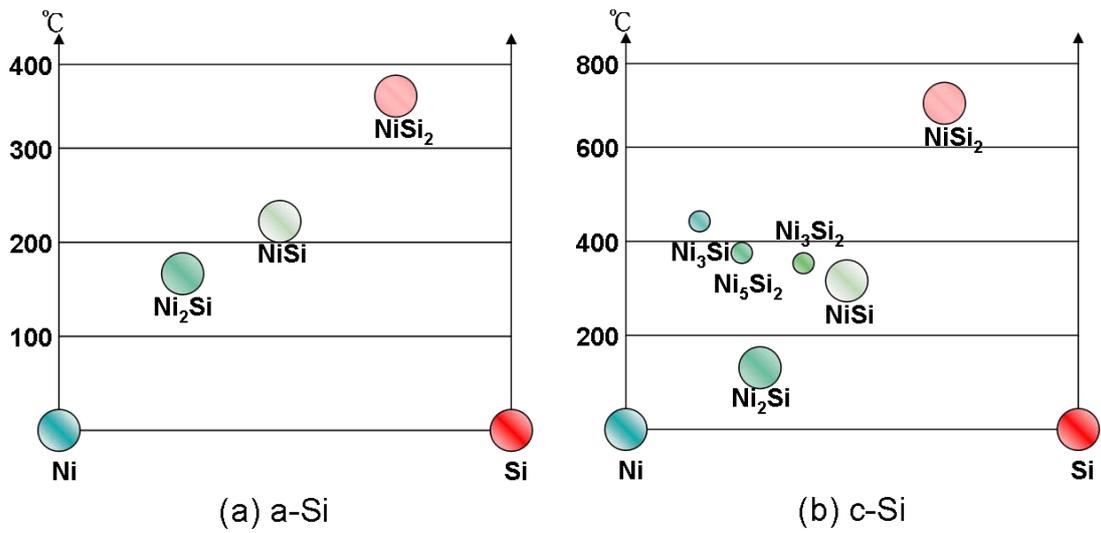


圖 1-6 鎳金屬薄膜對應不同溫度下之矽化物相[19]

Ni 與 a-Si 反應形成了 NiSi_2 ，接著由於熱力學上的驅動力，使得 NiSi_2 往前移動，如前述的結晶成長機制，形成金屬誘發結晶（MIC）。若整個反應是發生在薄膜之中，則 NiSi_2 的移動受限於表面與基板底部，迫使 NiSi_2 向只能向薄膜的水平方向移動，則形成金屬誘發側向結晶（MILC），如圖 1-7。

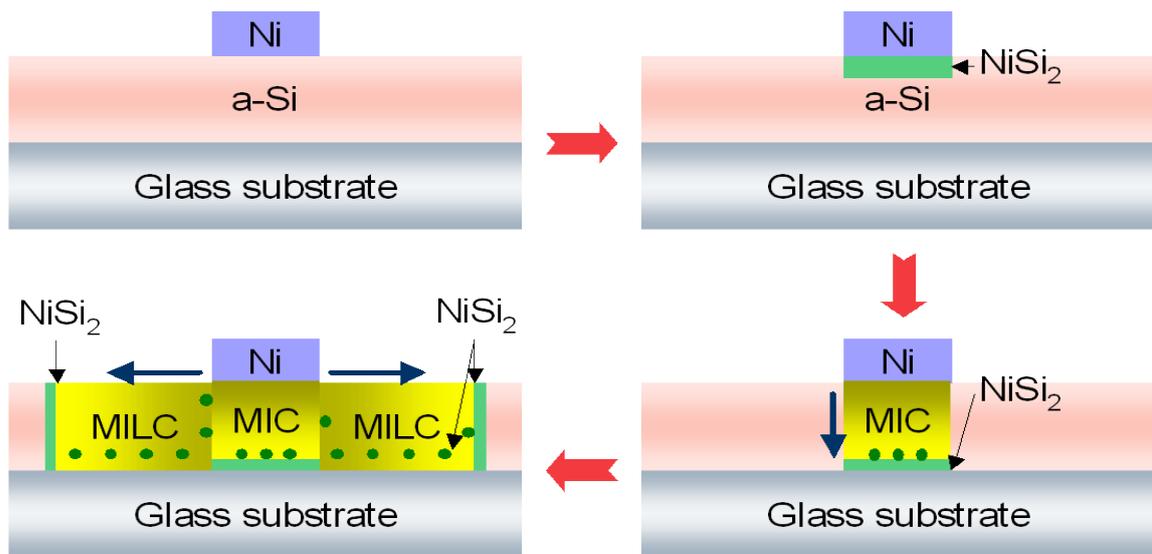


圖 1-7 鎳金屬誘發側向結晶成長機制

MILC 成長方向有其優選性，如前所述 NiSi_2 (111) 平面跟 Si (111) 平面的晶格常數只有 0.44% 的不匹配。當 c-Si 在 NiSi_2 {111} 平面上產生磊晶時，並不會有介面差排的出現。所以在 MILC 的過程中，{111} 為其 c-Si 的優選方向[17]。圖 1-8 為 3 個不同軸向的 NiSi_2 核，在軸向為 $\langle 110 \rangle$ 的情況下， NiSi_2 八面體結構的四個 {111} 方向將會平行薄膜的上下表面。但是如果軸向為 $\langle 100 \rangle$ 或 $\langle 111 \rangle$ 的情況下，{111} 方向並不會平行薄膜表面。所以 c-Si 的成長將會被薄膜上下表面所限制。所以 c-Si 的成長的優選軸向為 $\langle 110 \rangle$ 而優選成長方向為 {111}。由於 MILC 有上述的優選性，所以以此方法成長的複晶矽會有其方向性，這也成為 MILC 方法最大的優點。

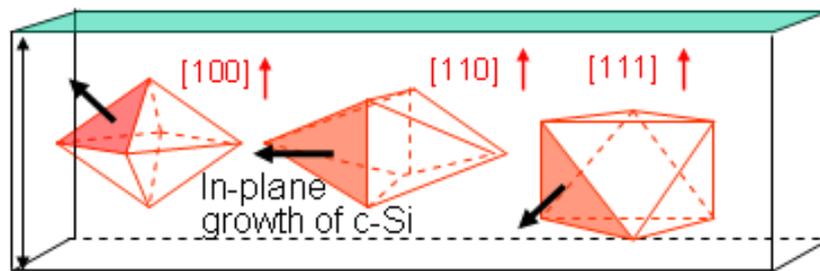


圖 1-8 MILC 的優選成長方向

1.6 電性影響因素

1.6.1 晶界能障與晶界載子補陷(carrier traps at grain boundary)

在基本的載子捕陷的模式中假設晶界本身是非常窄的（與晶粒相比）他們唯一的效應是去改變有效的摻雜物原子及在晶粒中的自由載子數目。晶界本身即當作摻雜物偏析及載子捕陷的位置，因此晶界的存在會影響載子移動進而影響元件的特性。如圖 1-9 所示，當電荷被晶界所捕陷時，為了去補償被晶界所捕陷的電荷，所以在晶界周圍形成一個空乏區域，根據 Poisson's equation，在空乏區的電荷造成能帶彎曲，而且會形成能障而阻礙剩下的主要載子在晶粒間移動[20]。能障高度 (V_B) 能用摻雜濃度 N 及空乏區寬度 x_d 以 Poisson's equation 表示：

$$\frac{d^2V}{dx^2} = \frac{qN}{\epsilon} \quad (1-3)$$

q:一個電子的電荷大小

ϵ :矽的介電常數

只考慮一維的空間，解方程式得到 V_B

$$V_B = \frac{qN}{2\epsilon} x_d^2 \quad (1-4)$$

由 V_B 的解可以了解能障大小和置換型雜質濃度、捕陷密度及能量有很大的關係。

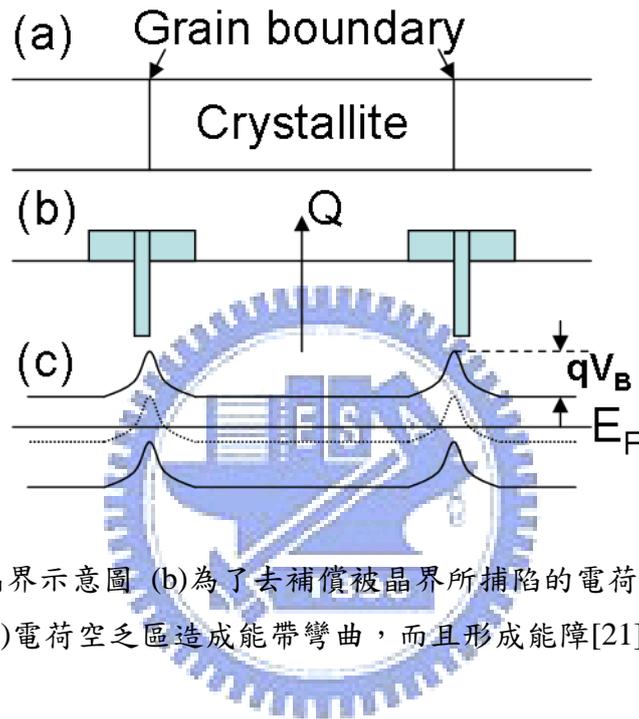


圖 1-9 (a) 晶粒與晶界示意圖 (b)為了去補償被晶界所捕陷的電荷在晶粒周圍的晶界處形成空乏區域 (c)電荷空乏區造成能帶彎曲，而且形成能障[21]

由於電子的傳導行為由載子的數目多寡所決定，要決定自由載子在多晶矽中的數目，必須先考慮置換型的雜質濃度，雜質原子會偏析在晶界中造成損失，而且在電性上不發生作用；但即使將此損失考慮進去，多晶矽的電導度仍然比具有相同摻雜濃度的單晶矽低，因為單晶矽中自由載子直接由在晶粒中的置換型摻雜原子所貢獻至價帶及導電帶，而多晶矽因為有晶界的關係，大部分的自由載子會被捕陷(trap)在低能量的晶界位置，因而無法貢獻到傳導帶[22], [23]，示意圖如圖 1-10 所示。

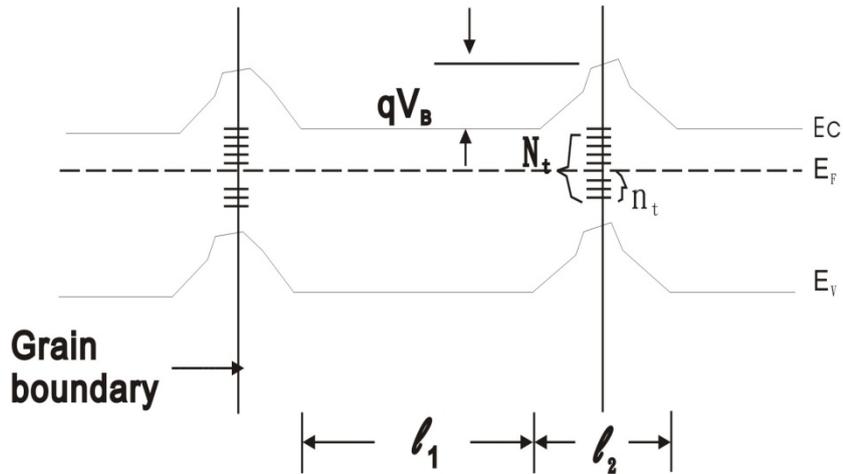


圖 1-10 很多在晶粒中的置換型摻雜原子所貢獻的自由載子很快速的就被固定在晶界處的捕陷位置 N_t 每單位面積的能量不超過能隙 (Bandgap) [24]

1.6.2 晶界與晶粒缺陷

在晶界處的懸鍵 (dangling bonds) 及晶粒中的缺陷兩者都會引出一個在多晶矽中的允許的態位 (allowed state)，如圖 1-11 所示。其中和懸鍵有關的深態位 (deep state) 擁有大約禁止能隙 (forbidden energy gap) 一半的能量 [22]，此深態位對載子傳輸的最大影響就是允許載子產生 (generation) 與再結合 (recombination)。除了在中間能隙 (mid-gap) 附近的態位是由斷鍵 (broken bonds) 造成之外，應變鍵 (strained bonds) 也會產生的一個高密度的在能帶邊的淺拖曳態位 (shallow tail state)。這些態位都會捕捉載子而造成載子傳導率下降。

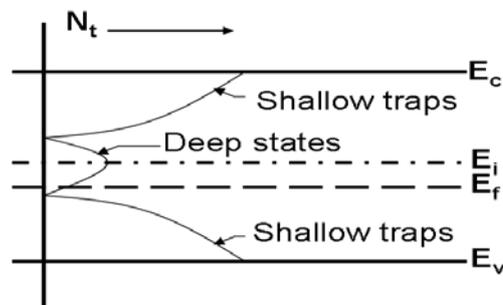


圖 1-11 捕陷 (Traps) 主要集中在晶界處，然而在晶粒中的缺陷也有建立起一些態位。淺拖曳態位 (Shallow tail state) 與應變鍵 (Strained bonds) 有關，而在中間能隙的深態位 (Deep state) 是由斷鍵 (Broken bonds) 造成的 [25]

1.6.3 過渡金屬雜質

在晶圓製程階段，由於成長環境的雜質污染及熱應力造成之缺陷均留於晶圓當中，且無可避免的會引入第三類過渡金屬原子(鉬、鐵、銅、鎳等)，這些金屬原子在矽中均屬於快速擴散源，其高擴散性會更進一步的減損元件特性，同時後續之加工所造成之缺陷亦存於其中，在 IC 製造過程中，這些缺陷均會影響元件之良率及電性品質。這些金屬雜質會在 MOS 結構的 Gate Oxide 中成為矽化物析出，導致電性崩潰，且在半導體中產生的能隙深層能階(deep levels in the band gap)會強烈的影響少數載子(minority carrier)的壽命。而對於以鎳金屬誘發側向結晶方式製作的薄膜電晶體，同樣的鎳金屬以及其矽化物所造成的能隙深層能階亦會影響電晶體的導通特性。

1.7 電性改善方法

晶界能障、晶界補陷、晶界與晶粒缺陷以及金屬雜質的存在會大大的減損複晶矽元件的電性。因此為了提升電性，減少晶界的數量、減少晶界中的有效的捕陷位置、減少晶界與晶粒缺陷以及降低金屬雜質濃度，有以下幾種方式

1.7.1 後退火 (post-annealing)

晶界本身是個能障，晶界的存在將會阻礙載子移動，因而減少電子移動率，而減損 TFT 元件的效能，因此如何減少晶界的數量對改善 TFT 元件特性來說也是一個很重要的課題。另外，晶粒內缺陷的消除對提升元件特性也有很大的幫助。因此很多研究相繼的提出如何減少晶界及消除晶粒缺陷，其中最有效的方式就是利用後退火的方式 [24]-[26]，即在非晶矽膜結晶完後，再利用高溫退火的方式或準分子雷射退火的方式進行結晶，通常可以得到尺寸較大，缺陷較少的晶粒，因而改善多晶矽膜的品質。

1.7.2 電漿鈍化 (plasma passivation)

由於缺陷被鈍化所以禁止能隙的態位不會被活化，因此不會再捕陷載子。晶界中的懸鍵的形成是由於不同指向的晶粒的接和點的晶格排列不連續所引起的，因而這些懸鍵形成了很多的捕陷位置。在 Si/SiO₂ 界面的懸鍵一般常用 H 原子將懸鍵中斷，所以利用 H 原子可以將晶界中的懸鍵鈍化以減少晶界中的有效捕陷數目。當捕陷載子的數目減少晶界的能障也跟著減少 [27]。一般可利用電漿(plasma)來進行晶界鈍化改善元件的執行效果，常用來進行晶界鈍化的電漿有 H₂、N₂O 及 H₂/N₂ 混和型電漿 [28]-[30]，根據文獻中 [30] 報導 H₂/N₂ 混和型電漿會比 H₂ 電漿有更好的鈍化效果，這是由於 H₂/N₂ 混和型電漿除了有氮離子 (N⁺) 的鈍化作用外，同時提高原子間的撞擊機會，因而提高鈍化的離子數目，可以加強鈍化的效果，另外 NH₃ 電漿也有不錯的鈍化效果，跟 H₂ 電漿相比可

以讓熱載子(hot carrier)有更好的穩定性，同時可以讓匣極氧化層有更低的漏電流及更高的崩潰電壓[31],[32]。

1.7.3 捉聚 (gettering)

為了降低金屬雜質原子在電性上所造成的傷害，一般使用捉聚(gettering)方式將雜質原子移除或降低其濃度。捉聚方法根據其作用機制可分成五類[33]: 金屬矽化物析出(Metal-silicide precipitation)、偏析(Segregation into second phases)、缺陷補陷(Atomic trapping by defects)、與摻雜原子作用(Interaction with electronic dopants)以及磷擴散捉聚與非平衡過程(Phosphorus-diffusion gettering and nonequilibrium processes)。而捉聚的技術則有下列三種: 內部捉聚法(internal gettering)、化學捉聚法(chemical gettering)，以及外部捉聚法(external gettering) [34]，如圖 1-12 所示。捉聚的方法必須根據電子元件的結構以及特性需求來做選擇。對於薄膜電晶體，目前只有夏普的 CGS 技術，利用離子植入將磷離子植入主動層中通道區域的兩端，在退火過程因為植入磷離子區域有缺陷的出現，造成此區域的金屬雜質溶解度提高而將通道區域的金屬雜質吸附到離子植入區，達到捉聚的效果[35]。

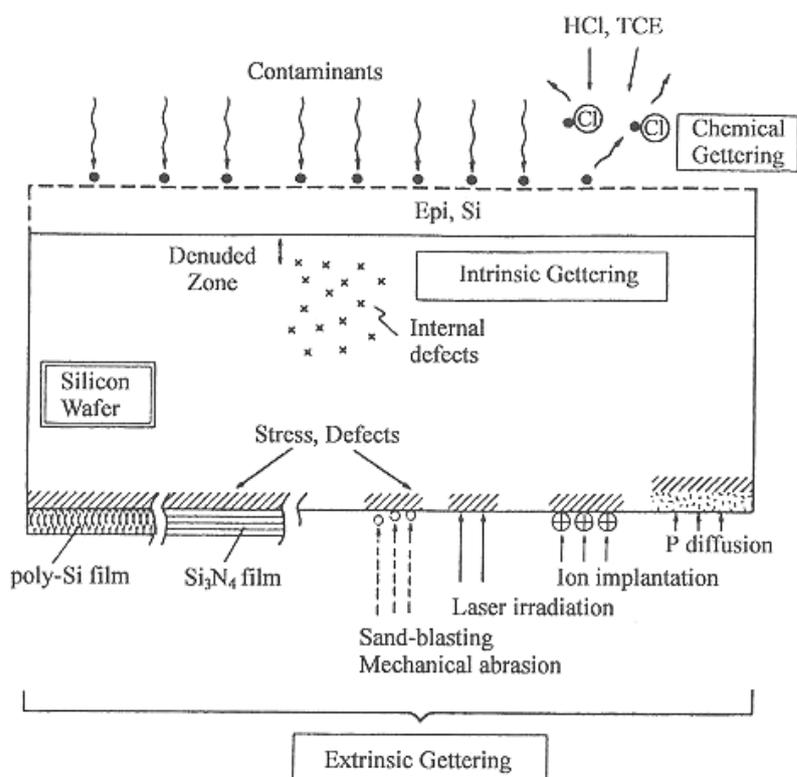


圖 1-12 (1)內部捉聚法(Intrinsic Gettering) (2)外部捉聚法(Extrinsic Gettering) (3)化學捉聚法(Chemical Gettering) [36]

1.8 論文的研究動機與分段架構

1.8.1 論文的研究動機

鎳金屬誘發側向結晶(Nickel Induced Lateral Crystallization)的優勢，可在低於 600°C 的製程溫度下，在玻璃基板上製造出高效能的薄膜電晶體。但伴隨而來的鎳金屬雜質的殘留問題，以及晶界能障、晶界補陷、晶界與晶粒缺陷的存在，會減損複晶矽元件的電性，並進而產生漏電流的路徑。在薄膜電晶體中，漏電流會伴隨著汲極增加而呈現指數型的上升，對元件效能產生莫大的影響。因此為了提升電性，降低金屬雜質濃度、減少晶界的數量、減少晶界中的有效的捕陷位置及減少晶界與晶粒缺陷的研究，更形重要。

本研究主要是提供一個簡易而有效的分析方法，透過不同製程手法改善電晶體效能的試片，來探討 NILC-LTPS TFT 漏電流產生的來源，及其改善的效果，並進一步觀察元件的可靠度。

大致上將薄膜電晶體的漏電流路徑分為四個部份，如圖 1-13 所示[37]。(1)閘極氧化層漏電流(Gate oxide leakage)。來自於不良的閘極氧化層蝕刻，所形成的缺陷；或較差的閘極氧化層成長品質。(2)閘極引發汲極漏電流(Gate induced drain leakage)[38]。來自於施加在閘極與汲極間的高電場，引發汲極的漏電流產生。(3)接面漏電流 (Junction leakage)[39]。來自接面熱電子的放射；或熱電子場效放射；或電子的穿隧效應。(4)通道漏電流(Channel leakage)。來自通道因電場擊穿效應[38]；汲極施加電壓引發晶格能障下降[40]，而產生漏電流增加；金屬殘留所產生的漏電流路徑。再利用電性量測的分析手法，進一步了解各路徑的貢獻及主因為何。

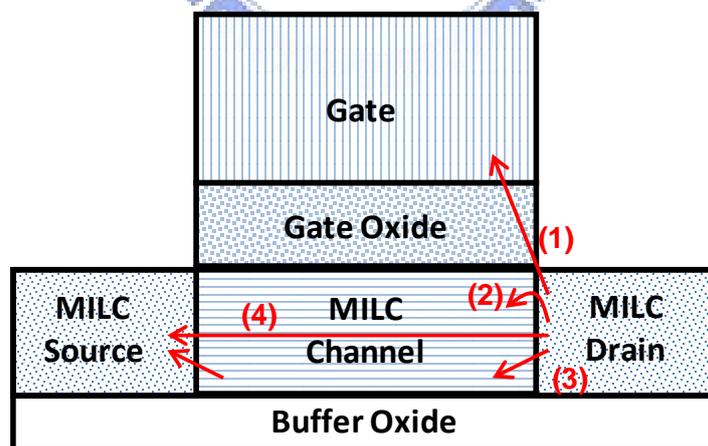


圖 1-13 (1)閘極氧化層漏電流(Gate oxide leakage) (2)閘極引發汲極漏電流(Gate induced drain leakage) (3)接面漏電流 (Junction leakage) (4)通道漏電流(Channel leakage)

薄膜電晶體在頻繁地操作下，因電場及溫度效應，會對元件產生程度不一的劣化，會導致電晶體的開啟電流(On current)下降、起始電壓上升及漏電流的增加，造成元件操作效能降低，如圖 1-14。於此，將元件可靠度部份，分為兩個方面來探討。

一個是對元件施加偏壓及溫度效應的不穩定性(Bias temperature instability) [41]，如圖 1-15，主要來自於閘極施加一電場時，在溫度效應下，閘極氧化層與 Poly-Si 界面處的 Si-H 鍵會被打斷，並形成氫氣，經由擴散效應而帶離閘極氧化層。進而在界面處產生懸鍵，使元件產生劣化的效應。

另一個是熱載子效應(Hot carriers effect) [42-43]，如圖 1-16，主要來自於電晶體在開啟狀態下，汲極所施加的電壓會產生一強大的電場，使得加速載子衝擊中性原子，而形成解離現象，產生電子與電洞對。此時被激化電子或電洞會再衝擊閘極氧化層，造成層面處的缺陷捕捉(interface trap states)；或陷入層極氧化層中，使元件產生劣化的效應。

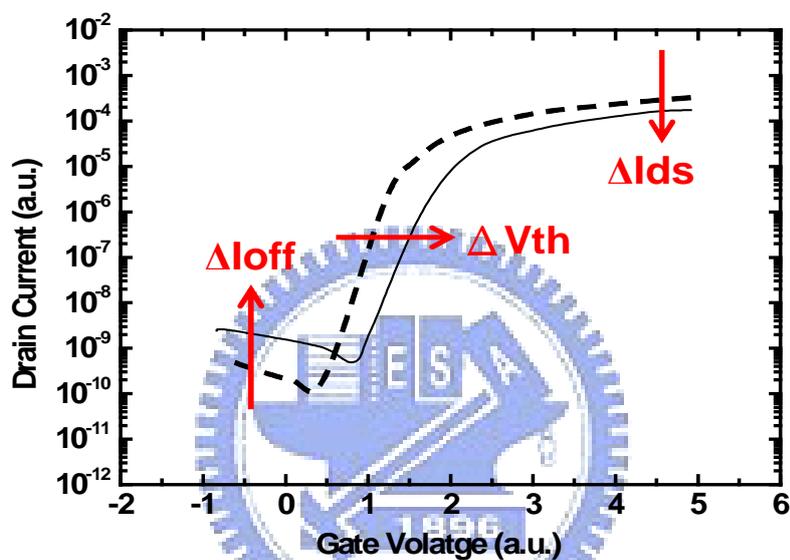


圖 1-14 薄膜電晶體劣化示意圖

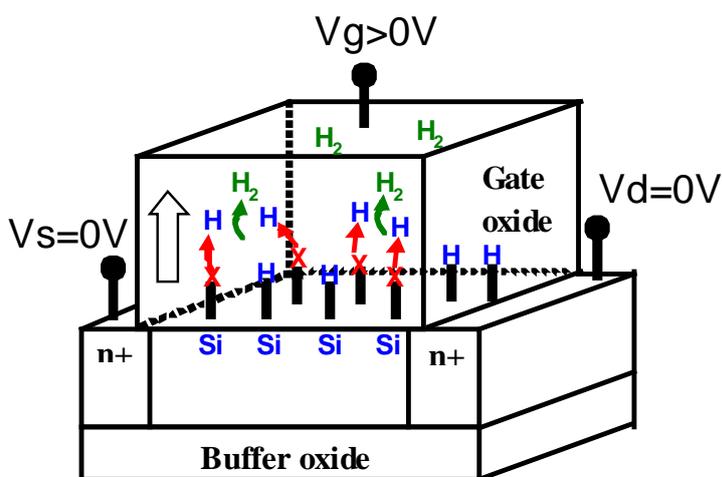


圖 1-15 施加偏壓及溫度效應的不穩定性(Bias temperature instability)

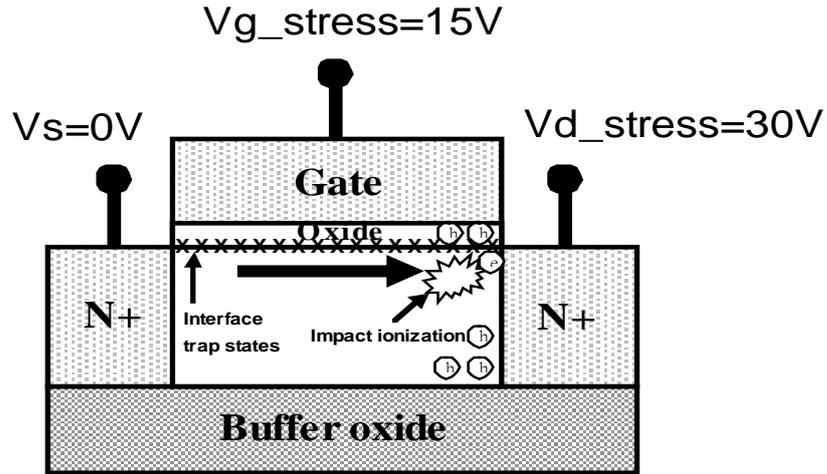


圖 1-16 熱載子效應(Hot carriers effect injection)

試片的準備分為兩個部份。第一個是 NILC-LTPS TFT 製造過程中，在 NILC Poly-Si 的表面上，施加混合 CF_4 電漿的蝕刻氣體，來進行表面處理。一方面透過輕微的轟擊蝕刻，可以減少表面的鎳金屬雜質的殘留，另一方面藉由氟與矽原子的鍵結，來鈍化晶界的懸鍵以減少晶界中的有效捕陷數目，進而改善元件效能。第二個是製造過程中，在元件的金屬配線接觸窗開啟時，鍍上一層非晶矽薄膜，來進行鎳金屬的捉聚，進而降低鎳金屬在電晶體通道中的含量，來提升元件效能。

1.8.2 論文的分段架構

此論文共分為四個章節，第一章是序論，主要介紹顯示器的發展沿革、結晶技術的簡介與實驗動機；第二章主要是探討 CF_4 電漿對 NILC Poly-Si 進行表面處理，來提升電晶體效能，與元件漏電流及可靠度之影響；第三章探討的是利用非晶矽薄膜經由接觸窗捉聚改善薄膜電晶體效能，與元件漏電流及可靠度之影響；第四章為總結及未來展望。

第二章 透過四氟化碳電漿進行主動區表面處理之薄膜電晶體元件的漏電流與可靠度探討

2.1 研究背景回顧

2.1.1 晶界捕陷密度對電性的影響

當電荷被晶界所捕陷時，為了去補償被晶界所捕陷的電荷，所以在晶界周圍形成一個空乏區域，在空乏區的電荷造成能帶彎曲，而且會形成能障而阻礙剩下的主要載子在晶粒間移動。單晶矽中自由載子直接由在晶粒中的置換型摻雜原子所貢獻至價帶及導電帶，而多晶矽因為有晶界的關係，大部分的自由載子會被捕陷(Trap)在低能量的晶界位置，因而無法貢獻到傳導帶。因此，晶界能障、晶界捕陷、晶界與晶粒缺陷的存在，會減損複晶矽元件的電性，並進而產生漏電流的路徑。對於以鎳金屬誘發側向結晶方式製作的薄膜電晶體，其形成多晶矽所造成的晶界捕陷密度亦會影響電晶體的導通特性、漏電流的產生，與元件可靠度的問題。

2.1.2 電漿鈍化(Plasma passivation)機制

由於缺陷被鈍化所以禁止能隙的態位不會被活化，因此不會再捕陷載子。晶界中的懸鍵的形成是由於不同指向的晶粒的接和點的晶格排列不連續所引起的，因而這些懸鍵形成了很多的捕陷位置。在 Si/SiO₂ 界面的懸鍵一般常用氫原子將懸鍵中斷，所以利用氫原子可以將晶界中的懸鍵鈍化以減少晶界中的有效捕陷數目。當捕陷載子的數目減少晶界的能障也跟著減少。一般可藉由電漿(Plasma)來進行晶界鈍化改善元件的執行效果，常用來進行晶界鈍化的電漿有 H₂、N₂O 及 H₂/N₂ 混和型電漿。

2.1.3 金屬誘發複晶矽電漿鈍化方法

對於鎳金屬誘發結晶複晶矽的電漿鈍化方法，本實驗是透過複晶矽形成時，加入一道四氟化碳電漿(CF₄ plasma)來進行元件主動區的表面處理及晶界鈍化作用，以降低晶界中的懸鍵來改善晶界中的有效捕陷數目。

2.2 研究動機

一般在鎳金屬誘發結晶複晶矽的過程中，因複晶矽的形成會在元件的主動區產生大量的晶界懸鍵或缺陷，而影響了元件操作的效能。可藉由 CF₄ plasma 進行主動區表面處理，來改善上述缺點。本研究希望藉由漏電流及可靠度的分析，來探討此電漿鈍化效果

對薄膜電晶體的影響。

2.3 研究方法

2.3.1 薄膜電晶體製作

以 NILC Poly-Si 與 CF₄ Plasma Poly-Si 兩組複晶矽試片製作薄膜電晶體，來比較其元件的特性差異，製作流程如下，圖 2-1 為薄膜電晶體製作流程圖：

1. 首先(100)的四吋矽晶圓上利用濕式氧化成長 5000Å 的 SiO₂ 層。
2. 成長完氧化層之後，利用低壓化學沉積系統(LPVC D)，成長 1000 Å 的非晶矽。
3. 鍍上鎳金屬墊並在 540°C 下加溫 18hrs，以形成 NILC poly 薄膜。
4. CF₄ plasma Poly-Si 試片：利用 CF₄ plasma 在 350°C，200m torr 的環境下，進行表面處理 3min。
5. 利用黃光微影系統定義出主動層。
6. 使用 Poly-RIE 蝕刻出主動層。
7. RCA Clean。
8. 利用 PECVD 沉積一層厚度為 1000Å 的 SiH₄/N₂O oxide 作為 gate oxide。
9. 利用 LPCVD 沉積一層厚度為 2000Å 的 Poly-Si 膜作為 gate。
10. 利用黃光微影系統定義出 gate。
11. 利用 Poly-RIE 將 Poly-gate 定義出來。
12. 利用 BOE 將 gate oxide 蝕刻出來。
13. 離子佈植: PH₃ 能量: 35kev；濃度: 5×10^{15} ions/cm²。
14. 利用 PECVD 沉積 passivation oxide 4000Å。
15. 利用黃光微影系統定義出接觸窗(contact hole)。
16. 在 600°C 進行 12 小時的退火(活化)。
17. 利用 thermal coater 蒸鍍厚度為 5000Å 的 Al 電極。
18. 利用黃光微影系統定義出 source、 drain 及 gate 的接觸電極。
19. 利用 Al 的蝕刻液進行 source、 drain 及 gate 的 Al 電極蝕刻。
20. Al sintering : 400°C，30min。
21. NH₃ plasma 鈍化處理 30 分鐘。

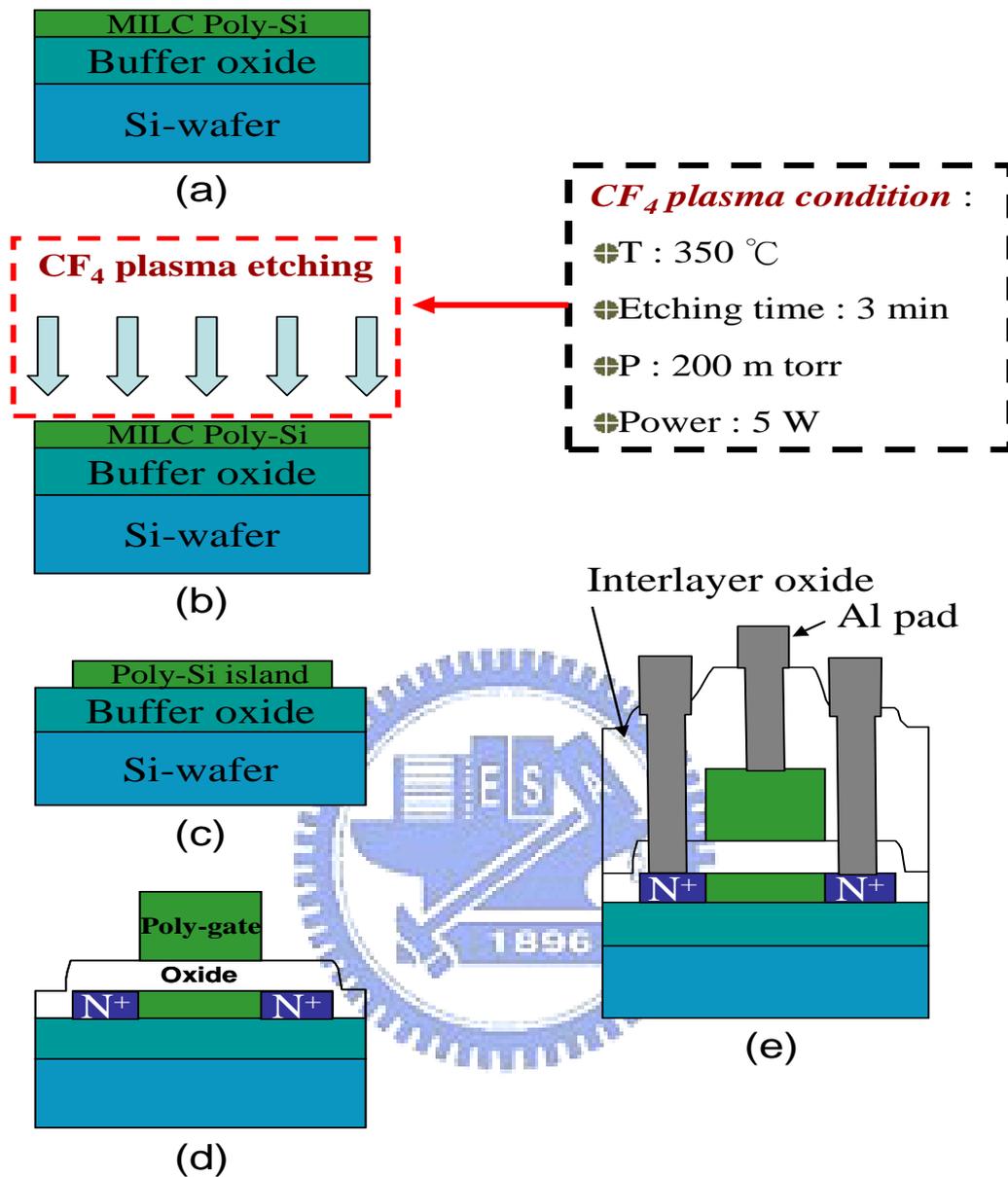


圖 2-1 CF_4 plasma TFT 製作流程圖

2.3.2 電性量測

以 NILC Poly-Si 與 CF_4 plasma Poly-Si 兩組複晶矽試片製作薄膜電晶體，用電性分析的方法，來比較其薄膜電晶體的特性，量測步驟如下：

1. 首先，在兩組試片上做基礎的電性分析，量測的項目有汲極電流對閘極電壓曲線 (Id-Vg curve) 及汲極電流對汲極電壓曲線 (Id-Vd curve)，以確認元件特性的差異及優劣。Id-Vg curve 的量測環境溫度為 25°C 、 50°C 、 75°C 、 100°C ，量測範圍為 Vd

從 0.1V 到 5.1V、 V_g 從 -10V 到 30V、 V_s 則為 0V，並在量測過程中，觀測 I_d 、 I_g 、 I_s 的結果。 I_d - V_d curve 的量測環境溫度只在常溫 25°C 下，量測範圍 V_g 及 V_s 均為 0V、 V_d 從 0V 到 50V，在量測過程中，觀測 I_d 、 I_g 、 I_s 的結果。

2. 在施加偏壓及溫度效應的不穩定性(Bias temperature instability)檢測方面，量測環境溫度在 100°C 下，先選定合適的施加電壓來加速其反應，施加電壓為 V_g 為 70V、 V_d 及 V_s 均為 0V，並對元件加壓長達 1000 秒的時間，在加壓其間，同時觀測 I_d - V_g curve 來檢視元件的劣化效應。
3. 在熱載子效應(Hot carriers effect)檢測方面，量測環境溫度在常溫 25°C 下，先選定合適的施加電壓來加速熱載子效應，施加電壓為 V_d 為 30V、 V_g 為 15V、 V_s 為 0V，並對元件加壓長達 1000 秒的時間，在加壓其間，同時觀測 I_d - V_g curve 來檢視元件的劣化效應。

2.4 結果與討論

2.4.1 四氟化碳電漿對於主動區表面之影響

圖 2-2 為 NILC poly 表面粗糙度觀察。圖 2-2(a)為未經 CF_4 plasma 處理，其表面粗糙度 $R_q = 0.389$ nm，圖 2-2(b) 經過 CF_4 plasma 處理，表面粗糙度 $R_q = 0.596$ nm。可以觀測出經過 CF_4 plasma 處理過後，有輕微蝕刻的現象，被蝕刻厚度約為 6nm。可由圖 2-3 CF_4 plasma 表面處理的示意圖來說明，其 NILC poly 上層的界面，經由表面處理蝕刻，亦可減低鎳金屬的含量。另外觀測主動區氟原子含量濃度分佈，如圖 2-4 所示，可以發現 CF_4 plasma 處理過後的試片，在與閘極氧化層界面處附近，有較高濃度的含量，所以對主動區的懸鍵鈍化，產生了不少作用。

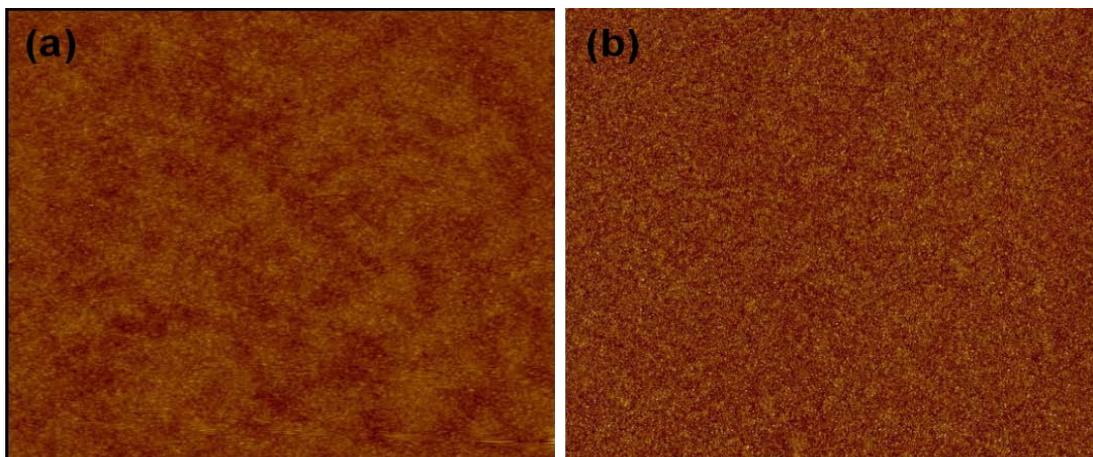


圖 2-2 NILC poly 表面粗糙度觀察

(a)未經 CF_4 plasma 處理 [$R_q = 0.389$ nm] (b)經過 CF_4 plasma 處理 [$R_q = 0.596$ nm]

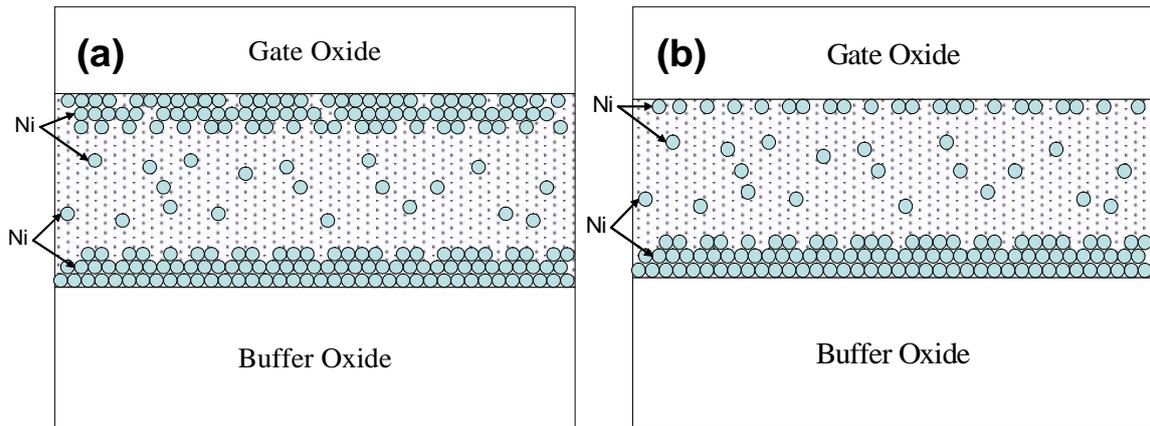


圖 2-3 四氟化碳電漿表面處理的示意圖

(a)未經 CF₄ plasma 處理 (b)經過 CF₄ plasma 處理，表面蝕刻 6nm 厚度

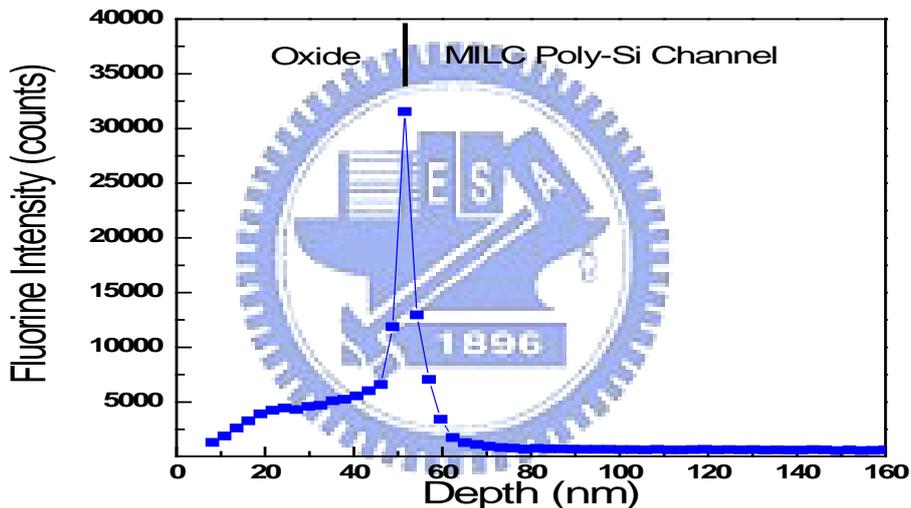


圖 2-4 氟原子含量濃度分佈圖

2.4.2 薄膜電晶體效能之比較

圖 2-5 為兩組元件汲極電流對閘極電壓曲線(I_d - V_g curve)，元件尺寸為 $W=15\mu\text{m}$ 、 $L=10\mu\text{m}$ ，表 2-1 為兩組試片所製備之元件電性上的比較。電子遷移率(Mobility)、次臨界斜率(Subthreshold Slope)及臨界電壓(Threshold Voltage)是在操作電壓 ($V_d=0.1\text{V}$) 的狀態下做量測，而開/關電流比(On Off ratio)和最小電流/通道寬度(Minimum leakage current/channel width)是在 $V_d=5\text{V}$ 的狀態下量測，另外還有晶界捕捉缺陷濃度(Grain boundary trap density) N_t 的比較。其中電子遷移率由公式(2-1)導出：

$$\mu_{fe} = \frac{L}{W} \times \frac{g_m}{C_{oxide} \cdot V_d} \quad (2-1)$$

1. μ_{fe} 為電子遷移率，L 為通道長度，W 為通道寬度， g_m 為轉移電導 (Transconductance)， C_{oxide} 為閘極氧化層電容，Vd 為操作電壓。
2. 次臨界斜率則是以 Id-Vg 特性曲線之斜率的倒數決定。
3. 臨界電壓的計算方法是使用定電流法，在 Vd=0.1V 的狀況下，額訂一 Id 值，其 Id 值計算由公式(2-2)決定，而將此 Id 值對應到其相對的 Vg，此對應的 Vg 即所謂的 Vth。

$$I_d = \frac{W}{L} \times 10nA \quad (2-2)$$

4. 開/關電流比的部分，Ion 是取決於 Vd=5V 的最大電流值，而 Ioff 部分是看最小電流值。
5. 最小電流/通道寬度則是 Vd=5V 下最小電流值除以通道寬度所得。
6. 晶界捕捉缺陷濃度(Grain boundary trap density) N_t 。

從圖 2-5 與表 2-1 我們可以發現 CF₄ plasma TFT 整體來說有較好的元件特性，主要原因為前述提到，透過四氟化碳電漿表面處理的 CF₄ plasma TFT，可以有效的減低表面鎳金屬雜質的含量及主動區懸鍵的密度。其中電子遷移率的提升增加了 7.6%，次臨界斜率減少了 0.6V/dec，臨界電壓減少了 3.6V，開/關電流比上升了 116%，最小電流/通道寬度下降了 36%，捕捉缺陷密度則是下降了 $2.87 \times 10^{11}/\text{cm}^2$ 。

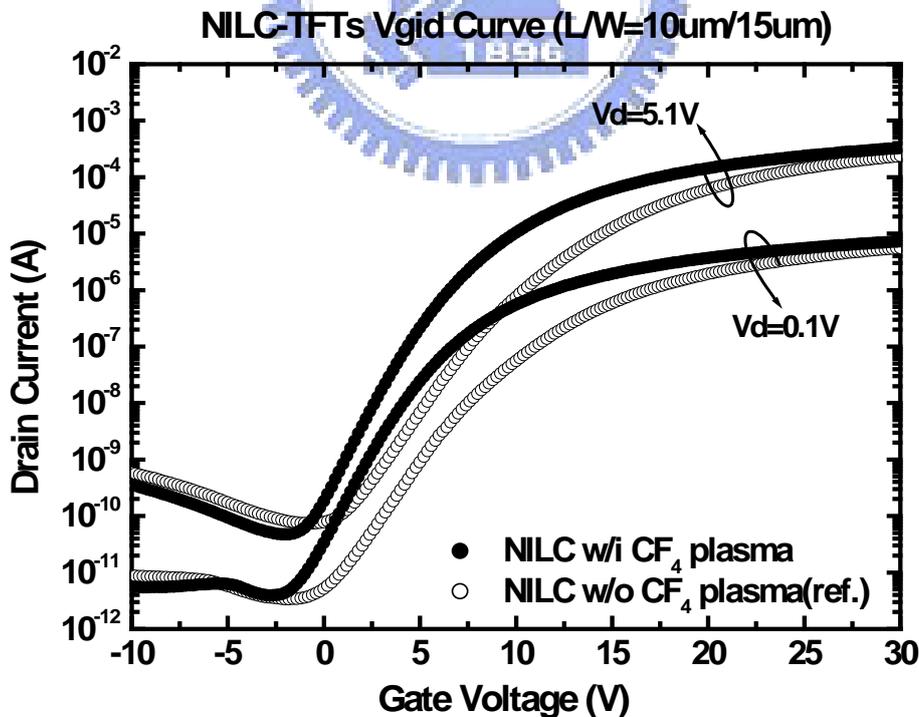


圖 2-5 汲極電流對閘極電壓曲線圖(Id-Vg curve)

表 2-1 NILC TFT 與 CF₄ plasma TFT 之元件電性效能的比較

Device Parameters	Unit	NILC w/o CF ₄ plasma(ref.)	NILC w/i CF ₄ plasma	Characteristic improved
Field-effect mobility μ_{fe}	cm ² /V.s	66.8	71.8	↑ 7.6%
Subthreshold slope S.S	V/dec	2.1	1.5	↓ 0.6
Threshold volatge V _{th}	V	8.0	4.4	↓ 3.6
On/Off current ratio I _{on} /I _{off}	10 ⁶	3.21	6.93	↑ 116%
Minimum off current I _{off.min}	10 ⁻¹² A/um	73.8	47.3	↓ 36%
Trape-state density N _t	10 ¹¹ /cm ²	8.40	5.53	↓ 2.87

2.4.3 薄膜電晶體漏電流來源之探討

從薄膜電晶體漏電流可能的來源，透過電性的量測及分析的手法，來進行釐清與討論。其漏電流路徑的機制已在第一章節說明，可分為四大部份。(1)閘極氧化層漏電流(Gate oxide leakage)。(2)閘極引發汲極漏電流(Gate induced drain leakage)。(3)接面漏電流(Junction leakage)。(4)通道漏電流(Channel leakage)。將在其下進行一一檢視及探討。

1. 閘極氧化層漏電流(Gate oxide leakage)

如圖 2-6 閘極漏電流的比較曲線圖所示，元件尺寸為 W=15 μ m、L=10 μ m。兩組的元件的汲極電流(I_d)完全等於源極電流(I_s)，而且伴隨著的閘極電流相當的小，幾乎是機台背景的雜訊值。由此可以說明漏電流應該來自上述的其餘三個原因。

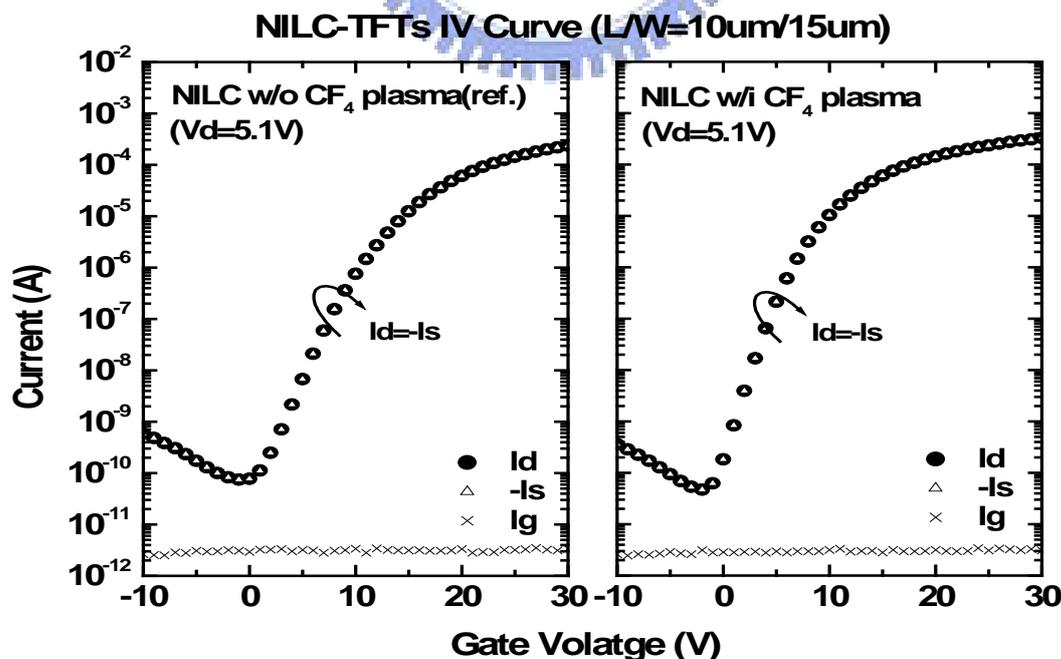


圖 2-6 閘極漏電流比較曲線圖

2. 閘極引發汲極漏電流(Gate induced drain leakage)

將不同通道長度元件的特性曲線圖，重疊在一張圖上，通道長度分別為2 μ m/3 μ m/5 μ m/7 μ m/10 μ m/15 μ m/20 μ m，汲極量測電壓包含了0.1V與5.1V，如圖 2-7 閘極引發汲極漏電流比較曲線圖所示。其中漏電流差值(dI_{off})，是在 $V_g=-10V$ 、 $V_d=0.1V$ 與 $V_d=5V$ 下，汲極電流的差值。最小漏電流($I_{off.min}$)，則為在 $V_d=5.1V$ 下，汲極電流的最小值。

隨著閘極電壓不斷地往負電壓增加時，可以觀察到在不同通道長度的汲極電流幾乎沒有明顯變化，如圖 2-8 所示，其值與通道長度無關，因此可以判定在這個區域的漏電流來自閘極引發汲極漏電流(Gate induced drain leakage)機制。而最小漏電流($I_{off.min}$)的比較圖，如圖 2-9，與通道長度呈現一定比例關係，通道長度愈短漏電流愈大，其漏電流應該來自其餘二個原因。兩組元件均呈現相同的現象。

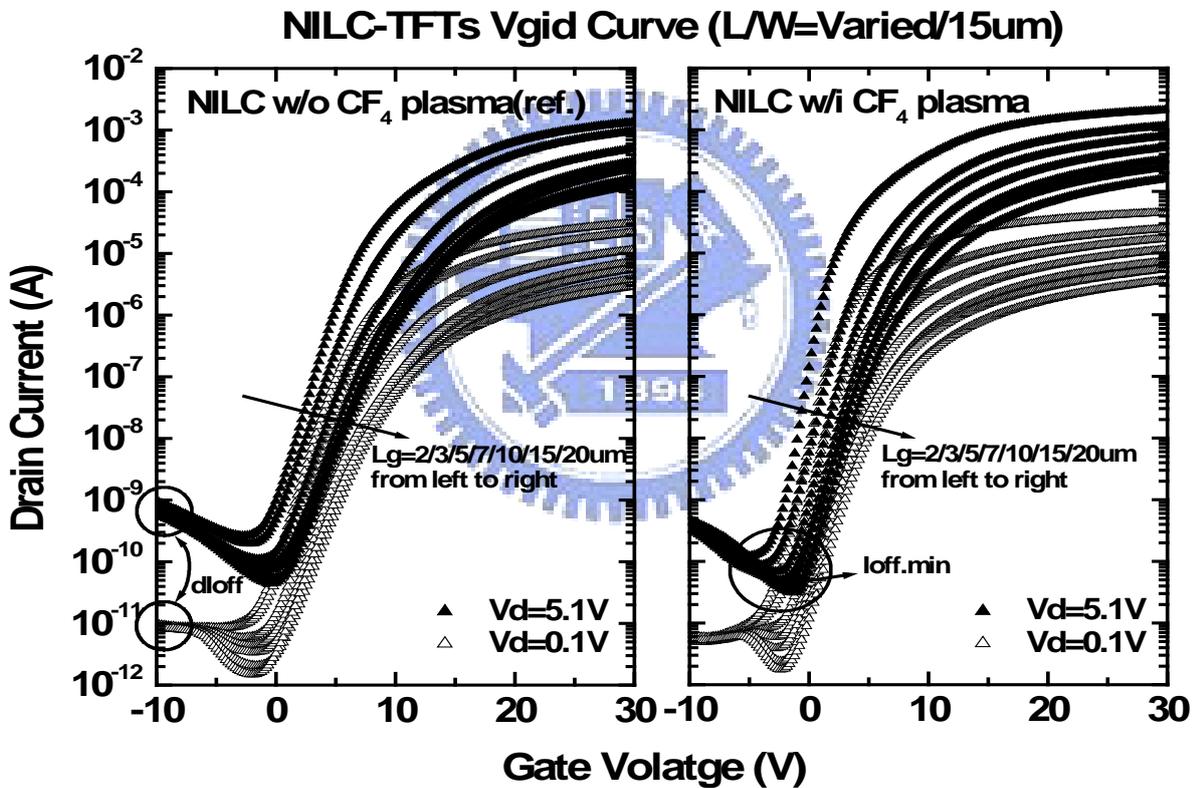


圖 2-7 閘極引發汲極漏電流比較曲線圖

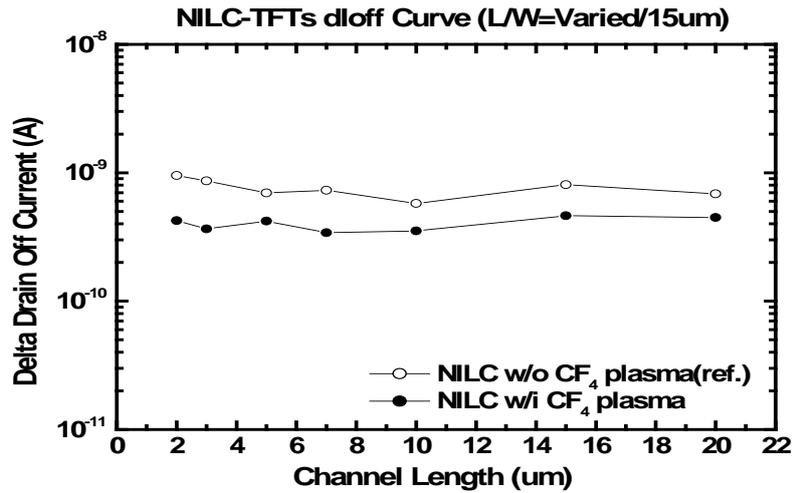


圖 2-8 漏電流差值(dIoff)比較圖

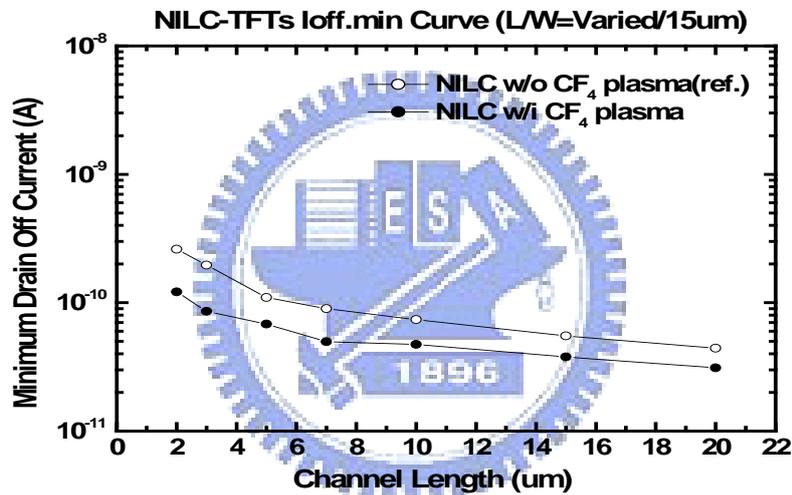


圖 2-9 最小漏電流(Ioff.min)比較圖

3. 接面漏電流 (Junction leakage)

主要利用活化能(Ea)在固定汲極電壓差下，來檢視及比較接面漏電流的大小。活化能值的計算來自於在不同溫度下最小漏電流的變化，如公式(2-3)決定[39]。

$$I_{off} = I_0 \times \exp\left(-\frac{E_a}{KT}\right) \quad (2-3)$$

將不同開極電壓下的活化能計算出來，並對固定汲極電壓差下的活化能差值(dEa)也一併算出，如圖 2-10 所示。在觀測負開極電壓下的活化能差值時，可以發現兩組的活化能差值幾乎一樣，因此說明了對於接面漏電流抑制能力差不多，即相對的接面漏電流值應該是相似的。

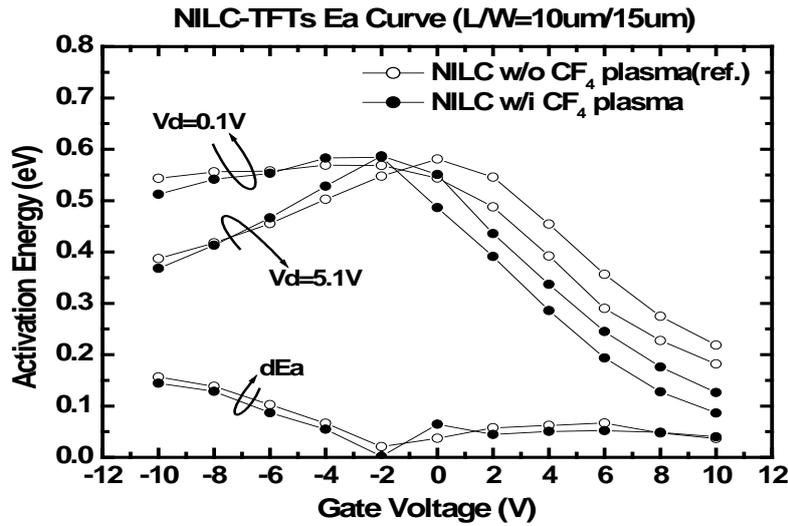


圖 2-10 活化能及其差值比較圖

4. 通道漏電流(Channel leakage)

通道漏電流可分成三個部份，主要來自(1)通道電場擊穿效應；(2)汲極施加電壓引發晶格能障下降，而產生漏電流增加；(3)金屬殘留所產生的漏電流路徑。

通道電場擊穿效應將由幾個參數來檢視，首先為觀察通道擊穿電壓在不同的通道長度下的值，如圖 2-11 所示，選定分析的元件尺寸為 L/W=10um/15um，其通道長度 10um 為安全操作範圍，其操作電壓可以大於 30V 以上。同時，臨界電壓與次臨界斜率在此尺寸下也沒有短通道效應(short channel effect)，如圖 2-12。所以，可以說明在此實驗的分析尺寸在兩組元件上都沒有通道擊穿的問題。

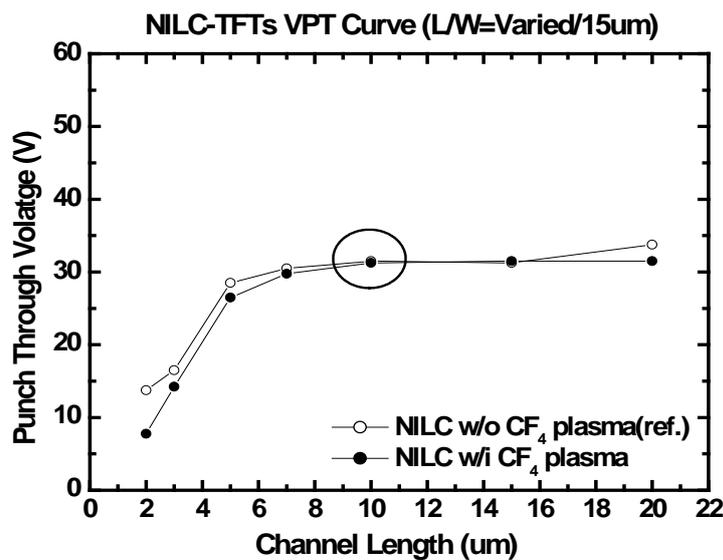


圖 2-11 通道擊穿電壓與通道長度關係圖

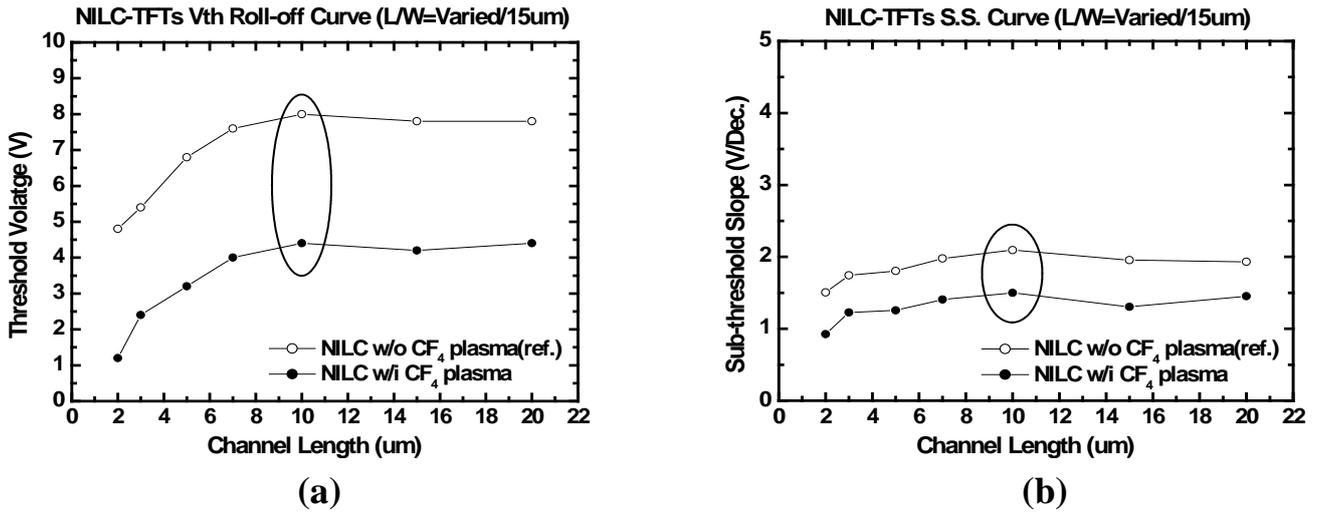


圖 2-12 短通道效應(Short channel effect)曲線圖
 (a)臨界電壓與通道長度關係圖圖 (b)次臨界斜率與通道長度關係圖

汲極施加電壓引發晶格能障下降的檢視，可由捕捉缺陷密度 N_t (trap state density) 來檢視，利用 Levinson's equation 計算出捕陷密度的計算，如公式(2-4)[44]，藉由在低 V_d 與高 V_g 的條件下，以 $\ln[Id/((V_{gs}-V_{th}) \cdot V_d)]$ versus $1/(V_{gs}-V_{th})^2$ 作圖求其斜率，再由公式(2-5)計算出捕陷密度 N_t 。圖 2-13 為捕陷密度與通道長度關係圖，可以看到 CF_4 plasma TFT 有較低的捕陷密度。

$$\ln \left[\frac{I_d}{(V_{gs}-V_{th}) \cdot V_d} \right] = \ln \left(\frac{W}{L} \cdot \mu_{b0} \cdot C_{ox} \right) - \left(\frac{\sqrt{\epsilon_r \cdot q^2 \cdot N_t^2 \cdot t_{oxide}}}{\epsilon_0 \cdot \epsilon_{si} \cdot C_{oxide}} \right) \times \frac{1}{(V_{gs}-V_{th})^2} \quad (2-4)$$

$$N_t = \sqrt{\frac{(-slope) \cdot \epsilon_0 \cdot \epsilon_{si} \cdot C_{oxide}}{\sqrt{\epsilon_r} \cdot q^2 \cdot t_{oxide}}} \quad (2-5)$$

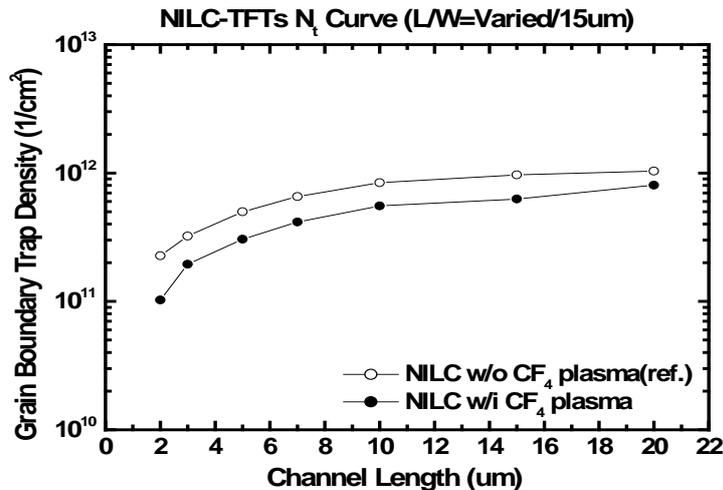


圖 2-13 捕陷密度與通道長度關係圖

金屬殘留所引發漏電流路徑探討，在上述章節 2.4.1 證明了經過四氟化碳電漿表面處理的方法後，確實可以藉由氟與矽原子形成鍵結來降低捕陷密度，並可透過 CF₄ plasma 對主動區輕微地表面蝕刻，來減低鎳金屬雜質在閘極氧化層界面處的含量，並大幅度地改善了元件的操作特性。雖然在接面漏電流抑制沒有明顯地改善，但因主動區捕陷密度及閘極氧化層界面附近的鎳金屬雜質，均有效的降低，故仍然有較佳的最小漏流改善幅度。

2.4.4 薄膜電晶體元件可靠度之探討

在薄膜電晶體元件可靠度的探討，主要由下列二方面來進行。(1)施加偏壓及溫度效應的不穩定性(Bias temperature instability)。(2) 熱載子效應(Hot carriers effect)。將在其下一一進行探討。

1. 施加偏壓及溫度效應的不穩定性(Bias temperature instability)

在施加偏壓及溫度效應的不穩定性(BTI)測試的過程中，將時間切割幾個觀測點，來觀察元件 BTI 的劣化情形，如圖 2-14(a)所示，為線性區汲極電壓 0.1V 時，元件 BTI 的劣化曲線圖，由此圖比較結果，可以看出 CF₄ plasma TFT 元件經過 BTI 的可靠度測試後，其劣化的幅度優於 NILC TFT。圖 2-14(b)為飽和區汲極電壓 5.1V 下，元件 BTI 的劣化曲線圖，也顯示與線性區一樣的結果。其劣化的程度可由各參數劣化曲線圖來表示，如圖 2-15，包含了有臨界電壓、捕陷密度、線性區汲極電流及飽和區汲極電流劣化圖等，均可看出 CF₄ plasma TFT 元件的劣化幅度較小。

原因的探討，要從 BTI 量測的機制談起，其劣化幅度較大者，代表在閘極氧化層與主動區 Poly Si 界面處的 Si-H 鍵結強度較弱所致，所以在施加大電壓與高溫度的情況下，較易產生斷鍵效應，而導致元件劣化情形較為嚴重。推測 CF₄ plasma TFT 在經過氟與矽原子鍵結鈍化作用後，大幅降低了懸鍵密度，並強化了鍵結強度在主動區的氧化層界面處。所以在 BTI 可靠度有大幅度的改善，而且在元件操作表現上也有較佳的表現。

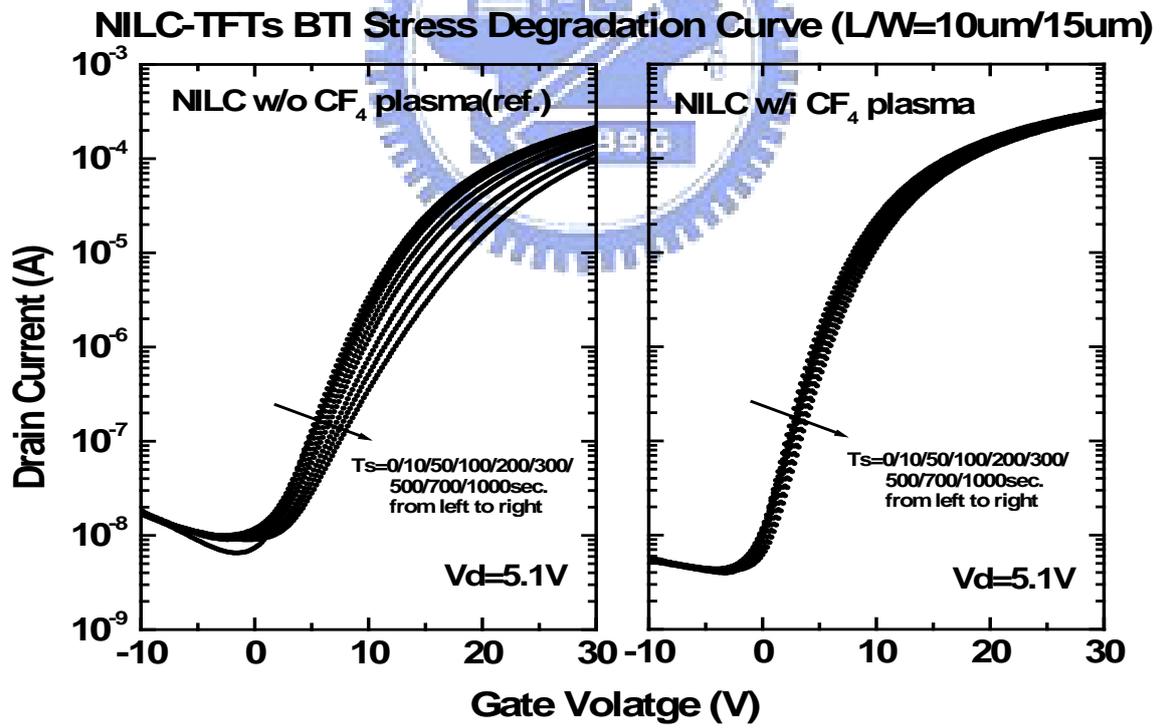
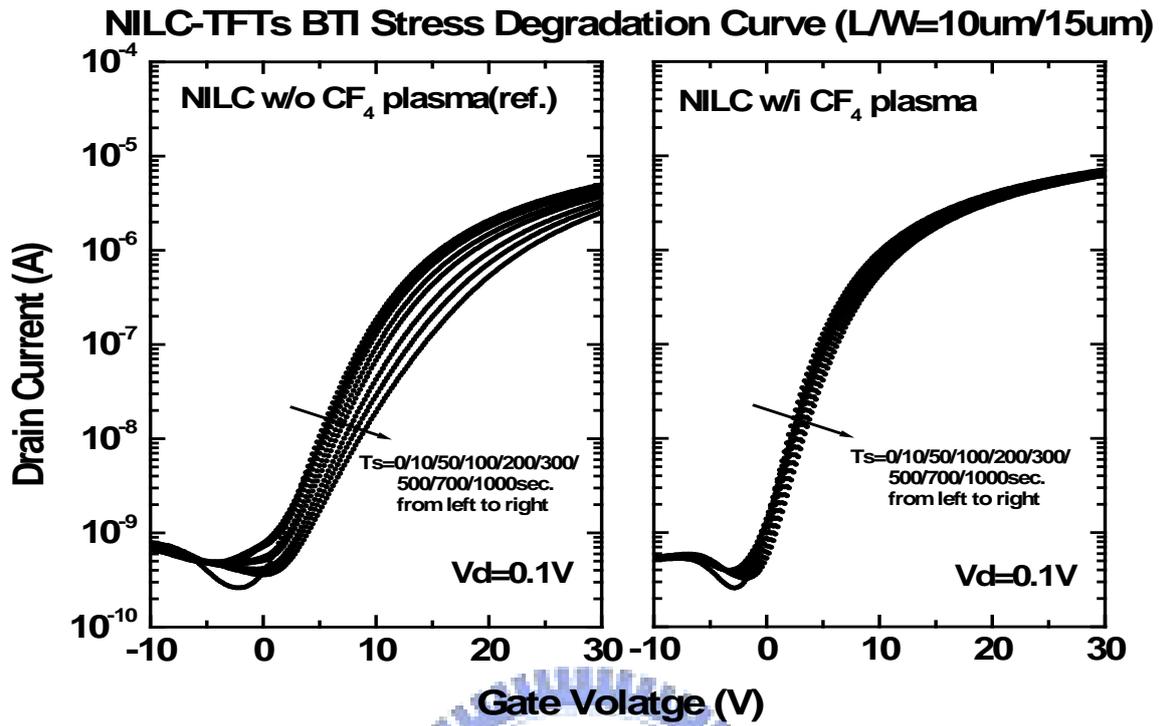


圖 2-14 元件 BTI 劣化曲線圖 (a)在線性區($V_d=0.1V$) (b)在飽和區($V_d=5.1V$)

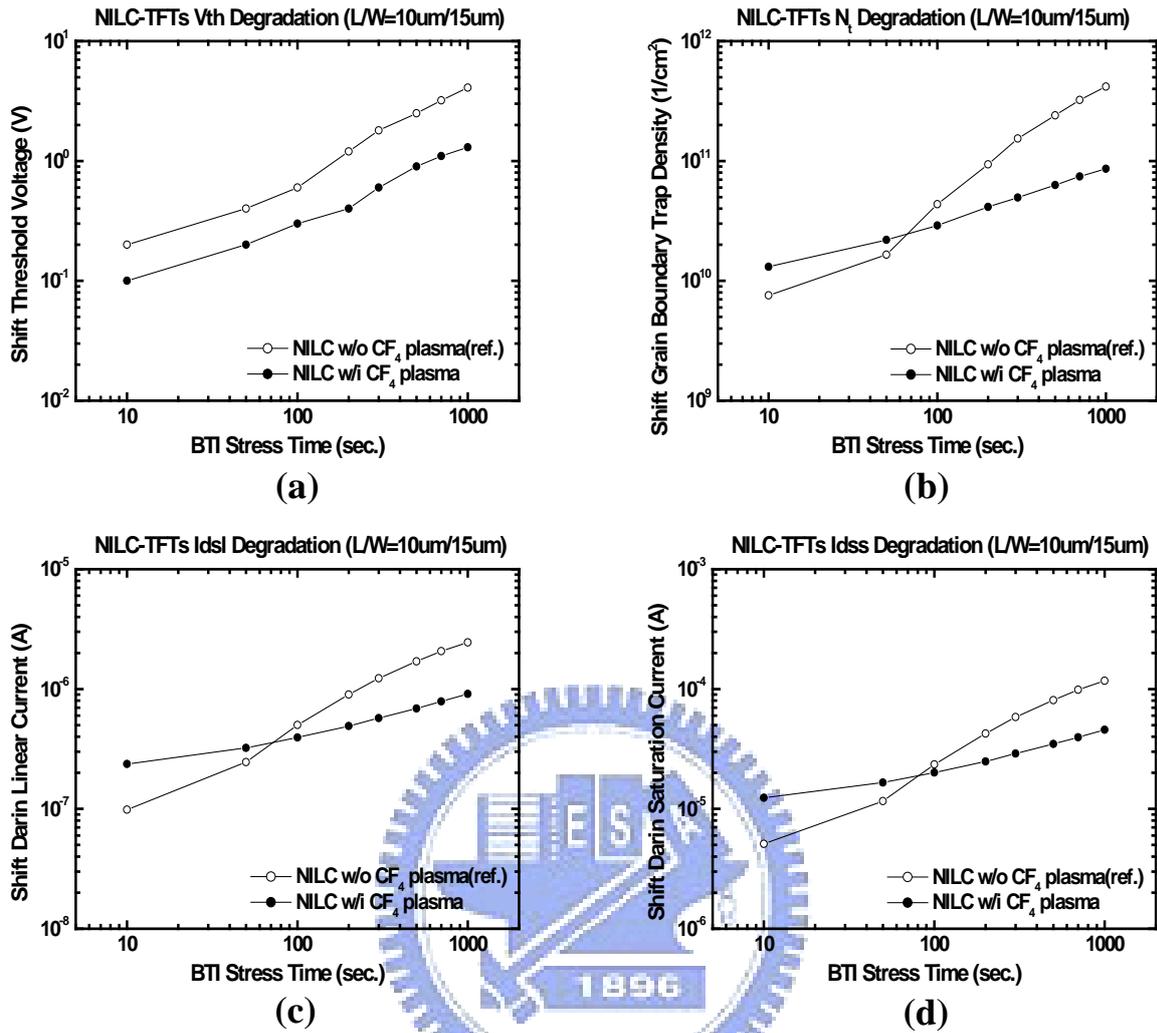


圖 2-15 各參數 BTI 劣化曲線圖 (a)臨界電壓劣化圖 (b)捕陷密度劣化圖
(c)線性區汲極電流劣化圖 (d)飽和區汲極電流劣化圖

2. 熱載子效應(Hot carriers effect)

圖 2-16(a)所示，為線性區汲極電壓 0.1V 時，元件熱載子效應的劣化曲線圖，由此圖比較結果，可以看出 CF₄ plasma TFT 元件經過 Hot carriers effect 的可靠度測試後，其劣化的幅度稍大於 NILC TFT。圖 2-16(b)為飽和區汲極電壓 5.1V 下，也顯示與線性區一樣的結果。其劣化的程度可由各參數劣化曲線圖來表示，如圖 2-17，包含了有臨界電壓、捕陷密度、線性區汲極電流及飽和區汲極電流劣化圖等，均可看出 CF₄ plasma TFT 元件的劣化幅度較大。而其捕陷密度的產生，主要在汲極區的氧化層界面處，因次臨界起始區幾乎沒有劣化，只有在元件開啟狀態下才有。推測 CF₄ plasma TFT 元件的劣化幅度較大的原因，應來自電子遷移率的大幅提升有關，使熱載子加速而產生較大破壞能量所致。

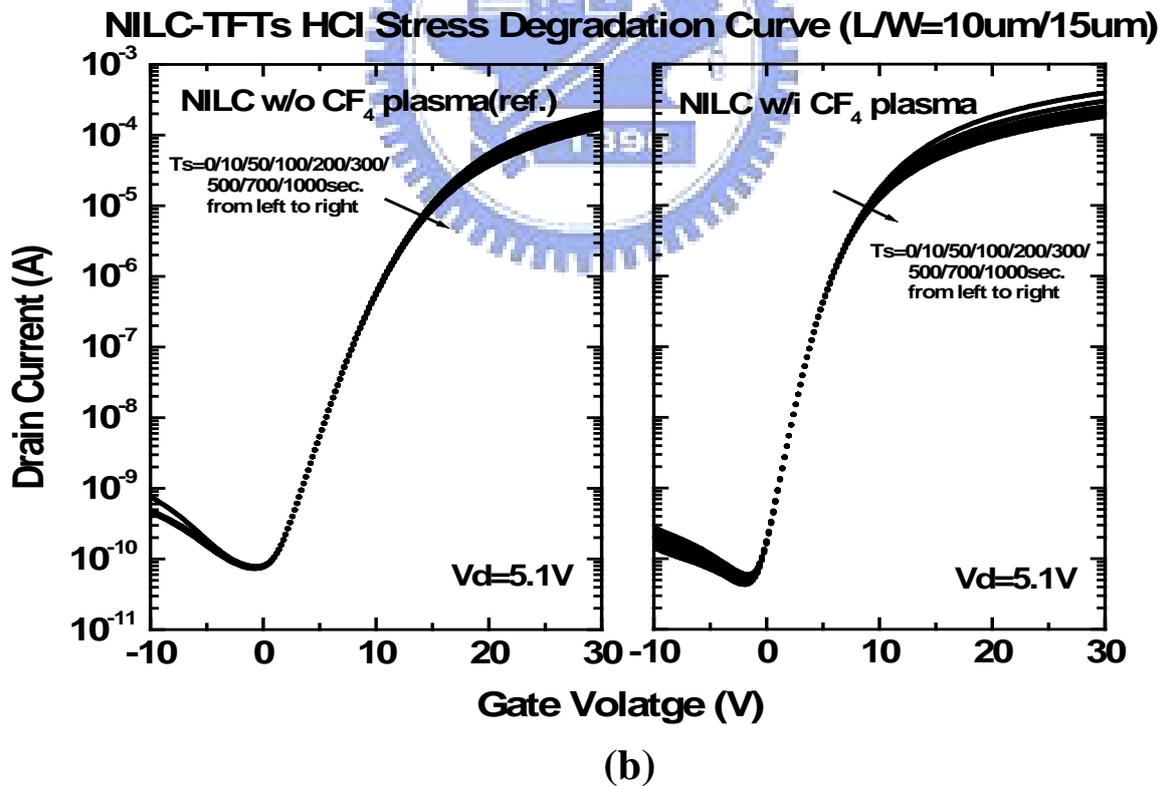
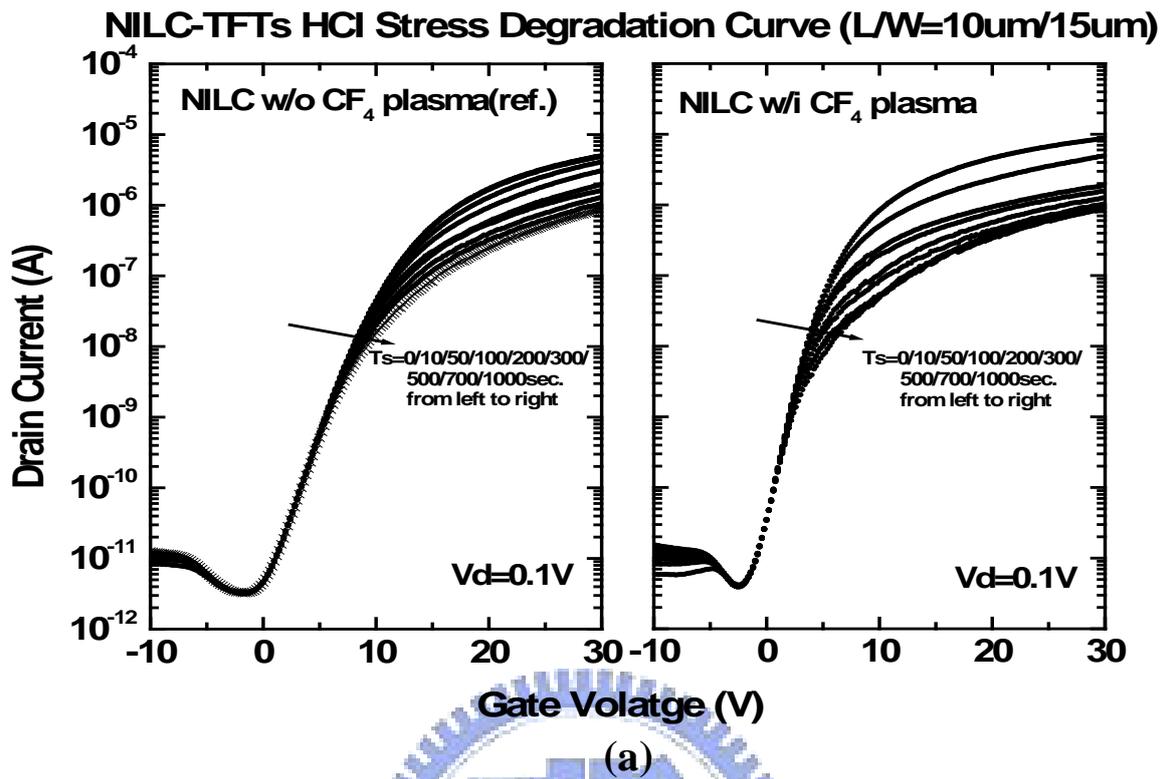


圖 2-16 元件熱載子效應劣化曲線圖 (a)在線性區($V_d=0.1V$) (b)在飽和區($V_d=5.1V$)

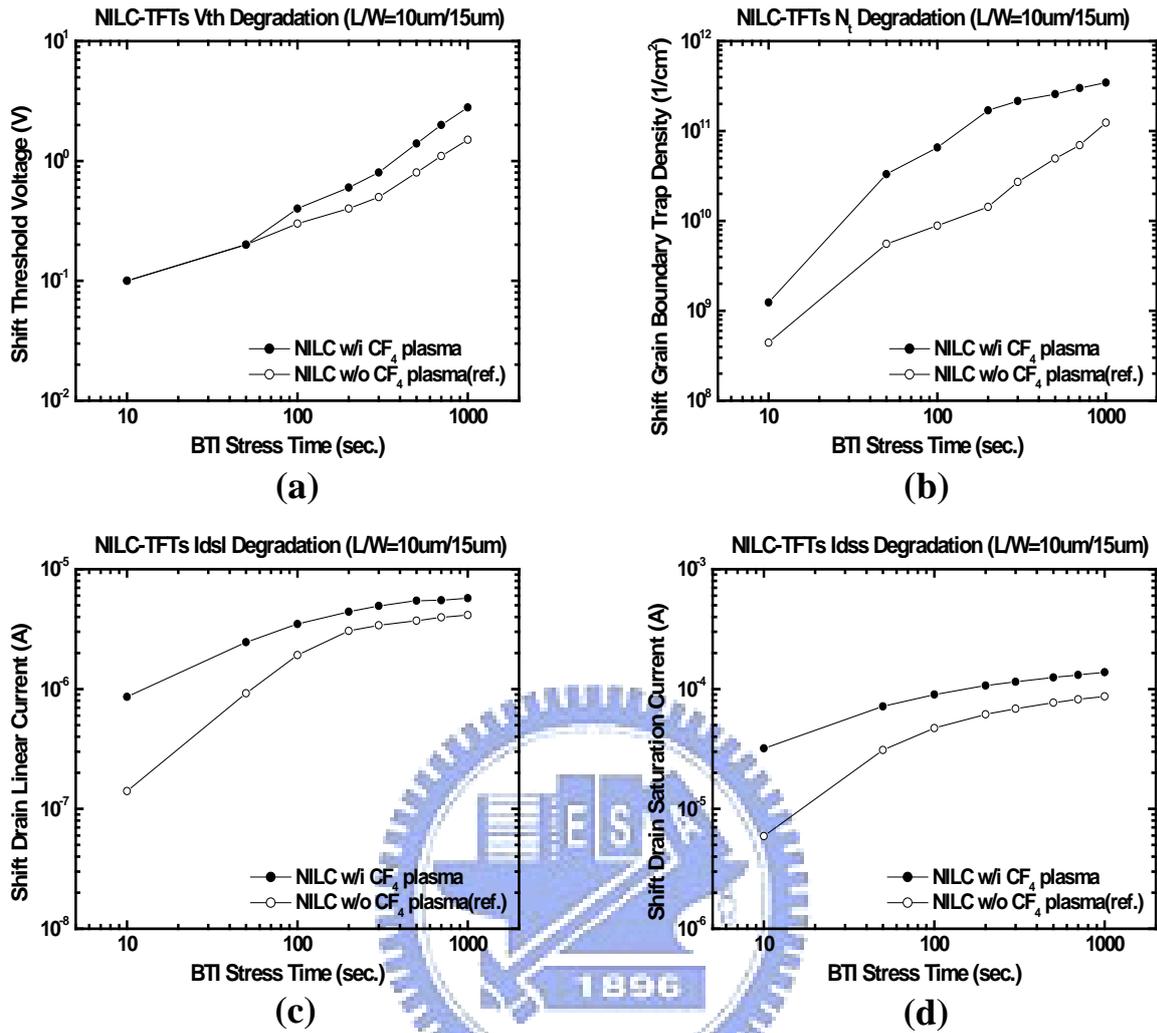


圖 2-17 各參數熱載子效應劣化曲線圖 (a)臨界電壓劣化圖 (b)捕陷密度劣化圖 (c)線性區汲極電流劣化圖 (d)飽和區汲極電流劣化圖

2.5 結論

透過四氟化碳電漿表面處理的方式，的確可以成功地降低元件主動區懸鍵的密度與鎳金屬雜質在閘極氧化層附近的濃度，進而使得元件電性獲得大幅度地提升，其中包括電子遷移率、臨界電壓、次臨界斜率、以及開關電流比及捕陷密度等。

在漏電流的方面， CF_4 plasma TFT 也有顯著的改善。主要的原因藉由氟與矽原子形成鍵結來降低捕陷密度，並可透過 CF_4 plasma 對主動區輕微地表面蝕刻，來減低鎳金屬雜質在閘極氧化層界面處的含量。雖然在接面漏電流抑制沒有明顯地改善，但因主動區捕陷密度及閘極氧化層界面附近的鎳金屬雜質，均有效的降低，故仍然有較佳的最小漏流改善幅度。

元件可靠度分析方面，CF₄ plasma TFT 的 BTI 劣化幅度較小，主要在經過四氟化碳電漿表面處理過程中，大幅降低了懸鍵密度，並強化了鍵結強度在主動區的氧化層界面處，所以在 BTI 可靠度有大幅度的改善。另外，其熱載子效應比較不佳，主要為 CF₄ plasma TFT 元件的電子遷移率的提升有關，使熱載子加速而產生較大破壞能量所致。



第三章 利用非晶矽薄膜經由接觸窗捉聚之薄膜電晶體元件的漏電流與可靠度探討

3.1 研究背景回顧

3.1.1 金屬雜質對電性的影響

第三類過渡金屬原子(鉬、鐵、銅、鎳等)，這些金屬原子在矽中均屬快速擴散源，其高擴散性會更進一步的減損元件特性，同時後續之加工所造成之缺陷亦存於其中，在 IC 製造過程中，這些缺陷均會影響元件之良率及電性品質。這些金屬雜質會在 MOS 結構的閘極氧化層中成為矽化物析出，導致電性崩潰，且在半導體中產生的能隙深層能階(Deep levels in the band gap)會強烈的影響少數載子(Minority carrier)的壽命。對於以鎳金屬誘發側向結晶方式製作的薄膜電晶體，鎳金屬以及其矽化物所造成的能隙深層能階亦會影響電晶體的導通特性、漏電流的產生，與元件可靠度的問題。

3.1.2 捉聚機制

為了降低金屬雜質原子在電性上所造成的傷害，一般使用捉聚(Gettering)方式將雜質原子移除或降低其濃度。捉聚方法根據其作用機制可分成五類：金屬矽化物析出(Metal-silicide precipitation)、偏析在第二相(Segregation into second phases)、缺陷補陷(Atomic trapping by defects)、與摻雜原子作用(Interaction with electronic dopants)以及磷擴散捉聚與非平衡過程(Phosphorus-diffusion gettering and nonequilibrium processes)。

金屬矽化物析出機制主要是應用在晶圓背面鍍上一層複晶矽或這是以機械方式或離子轟擊方式造成晶圓背面損傷，如此在晶圓背面產生高能量的缺陷區域，藉由高溫的擴散使得金屬雜質析出在晶圓背面。

偏析在第二相的機制也類似於前者，但不同的是是在晶圓背面鍍上鋁或是佈植硼原子，而產生 Al-Si 或 B-Si 的第二相化合物，讓金屬原子偏析在第二相之中。

缺陷補陷機制則是直接藉由高能離子佈植方式使得晶圓內部產生缺陷，透過這些缺陷來補陷金屬原子。

與摻雜原子作用指的是由於摻雜原子改變了費米能階而使得帶電的金屬離子在矽中的溶解度提高，因此摻雜原子的引進可以在局部提高金屬的溶解度而使得金屬原子偏析在摻雜區域。

磷擴散捉聚與非平衡過程包含了磷原子與間隙空位的擴散，這使得擴散區域對金屬的溶解度大為提高，因此達到相當好的捉聚效果。

3.1.3 金屬誘發複晶矽捉聚方法

對於鎳金屬誘發結晶複晶矽的捉聚方法，本實驗是透過汲極與源極接觸窗以非晶矽薄膜進行捉聚，其優點為移除捉聚層時不會損害主動層，以及只需利用活化時的退火步驟來進行捉聚不需要額外的退火步驟，如圖 3-1 所示。

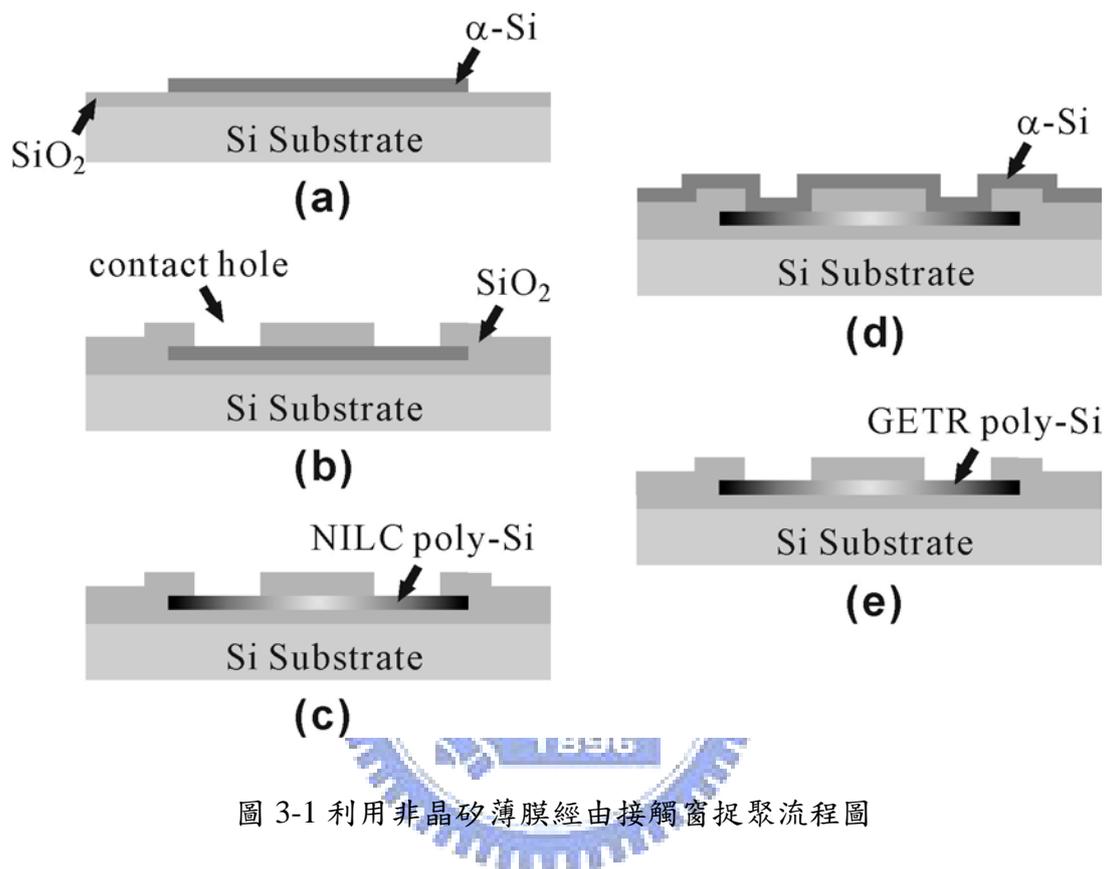


圖 3-1 利用非晶矽薄膜經由接觸窗捉聚流程圖

3.2 研究動機

一般在捉聚的過程中，皆需要在將主動層上方的捉聚基板或是捉聚層移除，而在移除的過程中主動層會因為蝕刻溶液的過蝕刻而受到損害。因此透過汲極與源極接觸窗以非晶矽薄膜進行捉聚，來改善上述缺點；另外，其製程步驟亦不複雜，只需利用活化時的退火步驟來進行捉聚，不需要額外的退火步驟。本研究希望藉由漏電流及可靠度的分析，來探討此捉聚效果對薄膜電晶體的影響。

3.3 研究方法

3.3.1 薄膜電晶體製作

以 NILC Poly-Si 與 SD GETR Poly-Si 兩組複晶矽試片製作薄膜電晶體，來比較其元件的特性差異，製作流程如下，圖 3-2 為薄膜電晶體製作流程圖：

1. 首先(100)的四吋矽晶圓上利用濕式氧化成長 5000Å 的 SiO_2 層。
2. 成長完氧化層之後，利用低壓化學沉積系統(LPVCVD)，成長 1000 Å 的非晶矽。
3. 鍍上鎳金屬墊並在 540°C 下加溫 18hrs，以形成 NILC poly 薄膜。
4. 利用黃光微影系統定義出主動層。
5. 使用 Poly-RIE 蝕刻出主動層。
6. RCA Clean。
7. 利用 PECVD 沉積一層厚度為 1000Å 的 $\text{SiH}_4/\text{N}_2\text{O}$ oxide 作為 gate oxide。
8. 利用 LPCVD 沉積一層厚度為 2000Å 的 Poly-Si 膜作為 gate。
9. 利用黃光微影系統定義出 gate。
10. 利用 Poly-RIE 將 Poly-gate 定義出來。
11. 利用 BOE 將 gate oxide 蝕刻出來。
12. 離子佈植: PH_3 能量: 35kev; 濃度: 5×10^{15} ions/cm²。
13. 利用 PECVD 沉積 passivation oxide 4000Å。
14. 利用黃光微影系統定義出接觸窗(contact hole)。
15. SD GETR TFT 試片:利用 LPVCVD 成長 1000 Å 的非晶矽，並在 600°C 進行 12 小時的退火(活化與捉聚)。利用 Poly-RIE 將上層的非晶矽薄膜移除。
16. NILC TFT 試片:在 600°C 進行 12 小時的退火(活化)。
17. 利用 thermal coater 蒸鍍厚度為 5000Å 的 Al 電極。
18. 利用黃光微影系統定義出 source、 drain 及 gate 的接觸電極。
19. 利用 Al 的蝕刻液進行 source、 drain 及 gate 的 Al 電極蝕刻。
20. Al sintering : 400°C，30min。
21. NH_3 plasma 鈍化處理 30 分鐘。

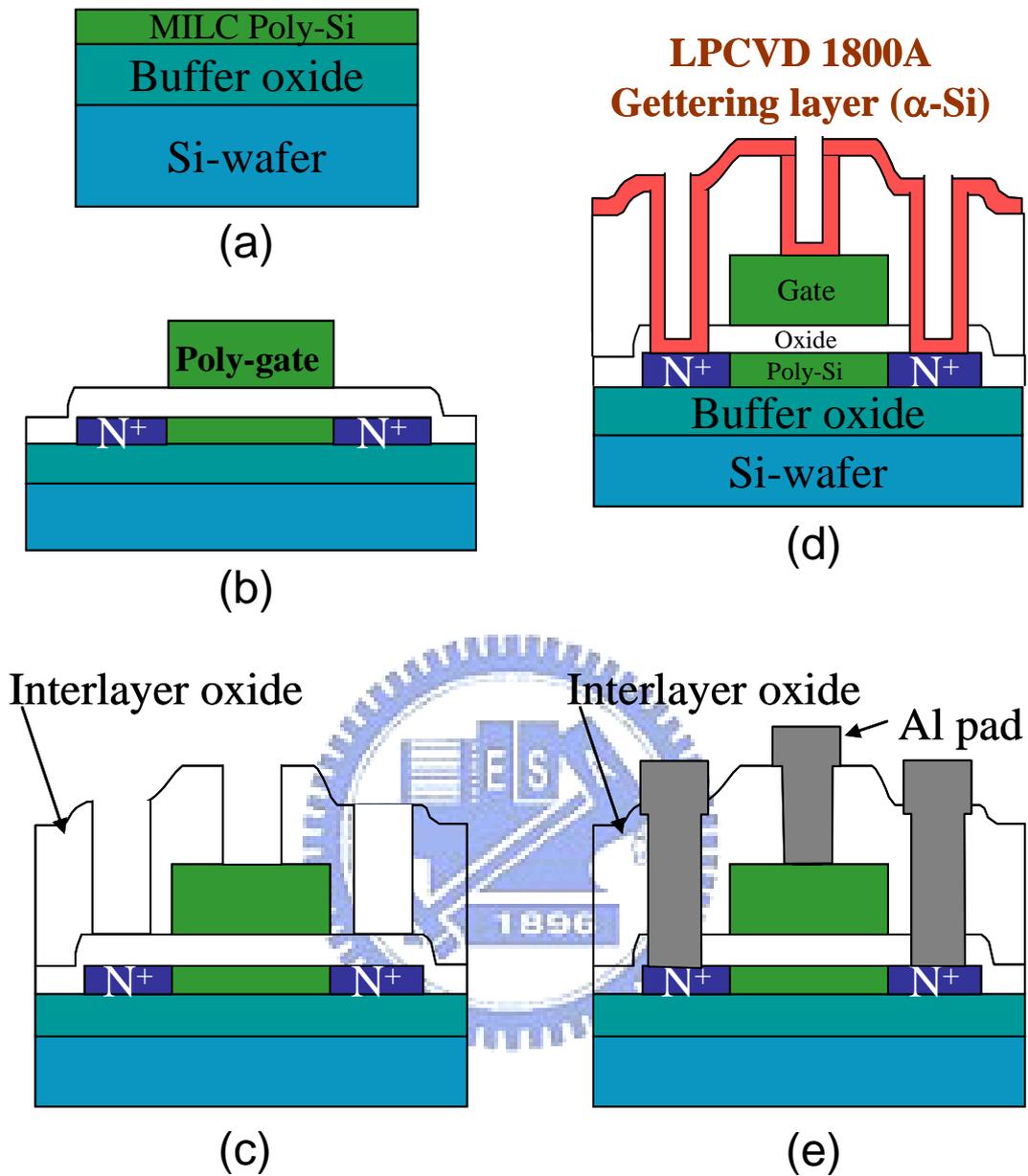


圖 3-2 SD GETR TFT 製作流程圖

3.3.2 電性量測

以 NILC Poly-Si 與 GETR Poly-Si 兩組複晶矽試片製作薄膜電晶體，用電性分析的方法，來比較其薄膜電晶體的特性，量測步驟如下：

1. 首先，在兩組試片上做基礎的電性分析，量測的項目有汲極電流對閘極電壓曲線 (I_d - V_g curve) 及汲極電流對汲極電壓曲線 (I_d - V_d curve)，以確認元件特性的差異及

優劣。Id-Vg curve 的量測環境溫度為 25°C、50°C、75°C、100°C，量測範圍為 Vd 從 0.1V 到 5.1V、Vg 從 -10V 到 30V、Vs 則為 0V，並在量測過程中，觀測 Id、Ig、Is 的結果。Id-Vd curve 的量測環境溫度只在常溫 25°C 下，量測範圍 Vg 及 Vs 均為 0V、Vd 從 0V 到 50V，在量測過程中，觀測 Id、Ig、Is 的結果。

2. 在施加偏壓及溫度效應的不穩定性(Bias temperature instability)檢測方面，量測環境溫度在 100°C 下，先選定合適的施加電壓來加速其反應，施加電壓為 Vg 為 70V、Vd 及 Vs 均為 0V，並對元件加壓長達 1000 秒的時間，在加壓其間，同時觀測 Id-Vg curve 來檢視元件的劣化效應。
3. 在熱載子效應(Hot carriers effect)檢測方面，量測環境溫度在常溫 25°C 下，先選定合適的施加電壓來加速熱載子效應，施加電壓為 Vd 為 30V、Vg 為 15V、Vs 為 0V，並對元件加壓長達 1000 秒的時間，在加壓其間，同時觀測 Id-Vg curve 來檢視元件的劣化效應。

3.4 結果與討論

3.4.1 捉聚步驟對於鎳含量之影響

圖 3-3 為上層捉聚層的 OM 觀察。圖 3-3(a)為捉聚前，圖 3-3(b)為經過 550°C 6 小時捉聚後。在圖 3-3(b)深色區域為非晶矽而接觸窗周圍淺色部份為 NILC 的複晶矽區域。我們可由圖 3-4 的 SEM 觀察看出上層捉聚層在經過 550°C 6 小時的退火之後，確實產生了 NILC 的針狀結晶。這針狀 NILC 結晶的生成是由於底下主動層中所殘留的鎳透過接觸窗而擴散至上層的非晶矽捉聚層，而使得非晶矽與鎳反應生成 NILC 的結晶。

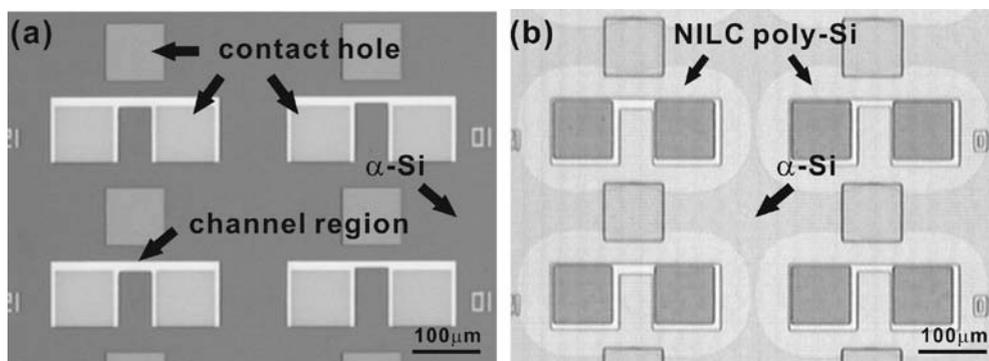


圖 3-3 上層捉聚層的 OM 觀察 (a)為捉聚前 (b)為經過 550°C 6 小時捉聚後

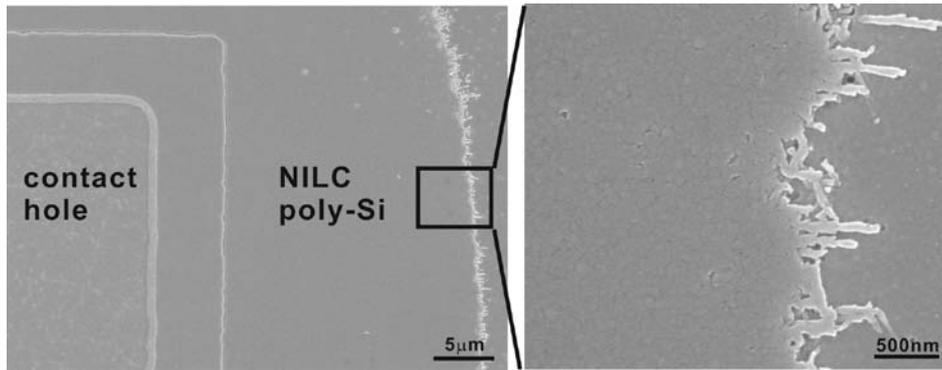


圖 3-4 上層捉聚層經 550°C 6 小時退火之後的 SEM 觀察

鎳原子藉由濃度梯度效應擴散至上層的捉聚層。其擴散路徑如圖 3-5 所示可分成兩階段，第一階段為鎳原子在 NILC 複晶矽中擴散至接觸窗，第二階段為由接觸窗藉由 NILC 反應往前擴散，擴散速率由較慢的步驟所決定。550°C 下鎳在結晶矽中的擴散係數為 $2.67 \times 10^{-6} \text{cm}^2/\text{s}$ [45]，則鎳原子從主動層中心通過 NILC 複晶矽中擴散至接觸窗的時間可由 $l = \sqrt{Dt}$ 來計算得到， $t=3$ 秒，只需 3 秒鎳原子便能擴散至接觸窗，而第一階段的擴散速率約為 $10 \mu\text{m}/\text{s}$ ，而第二階段鎳原子的擴散速率也就是 NILC 的成長速率，約為 $0.002 \mu\text{m}/\text{s}$ ，因此鎳原子藉由濃度梯度效應擴散至上層的捉聚層的速率控制步驟為 NILC 的成長速率。

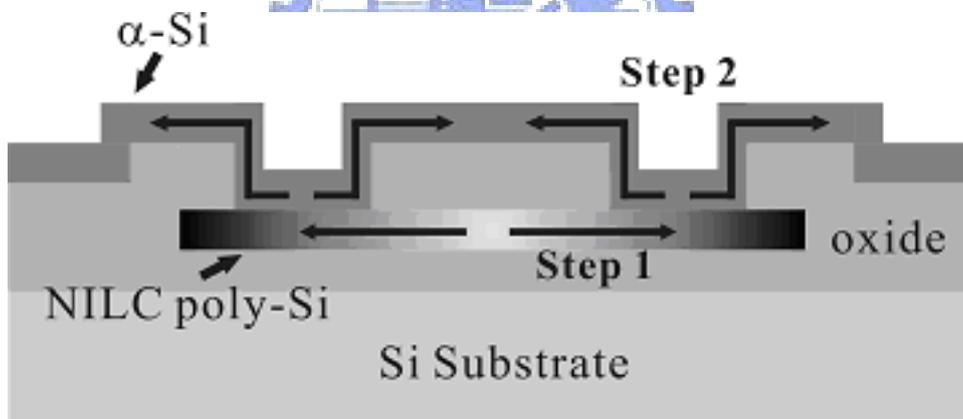


圖 3-5 鎳擴散路徑示意圖

3.4.2 薄膜電晶體效能之比較

圖 3-6 為兩組元件汲極電流對閘極電壓曲線 (I_d - V_g curve)，元件尺寸為 $W=15 \mu\text{m}$ 、 $L=10 \mu\text{m}$ ，表 3-1 為兩組試片所製備之元件電性上的比較。電子遷移率 (Mobility)、次臨界斜率 (Subthreshold Slope) 及臨界電壓 (Threshold Voltage) 是在操作電壓 ($V_d=0.1 \text{V}$) 的狀態下做量測，而開/關電流比 (On Off ratio) 和最小電流/通道寬度 (Minimum leakage current/channel width) 是在 $V_d=5 \text{V}$ 的狀態下量測，另外還有晶界捕捉缺陷濃度 (Grain boundary trap density) N_t 的比較。其中電子遷移率由公式(3-1)導出：

$$\mu_{fe} = \frac{L}{W} \times \frac{g_m}{C_{oxide} \cdot V_d} \quad (3-1)$$

1. μ_{fe} 為電子遷移率，L 為通道長度，W 為通道寬度， g_m 為轉移電導 (Transconductance)， C_{oxide} 為閘極氧化層電容， V_d 為操作電壓。
2. 次臨界斜率則是以 I_d - V_g 特性曲線之斜率的倒數決定。
3. 臨界電壓的計算方法是使用定電流法，在 $V_d=0.1V$ 的狀況下，額訂一 I_d 值，其 I_d 值計算由公式(3-2)決定，而將此 I_d 值對應到其相對的 V_g ，此對應的 V_g 即所謂的 V_{th} 。

$$I_d = \frac{W}{L} \times 10nA \quad (3-2)$$

4. 開/關電流比的部分， I_{on} 是取決於 $V_d=5V$ 的最大電流值，而 I_{off} 部分是看最小電流值。
5. 最小電流/通道寬度則是 $V_d=5V$ 下最小電流值除以通道寬度所得。
6. 晶界捕捉缺陷濃度(Grain boundary trap density) N_t 。

從圖 3-6 與表 3-1 我們可以發現 SD GETR TFT 整體來說有較好的元件特性，主要原因為前述提到，透過汲極與源極接觸窗以非晶矽薄膜進行捉聚的 SD GETR TFT，可以有效的減低鎳金屬雜質的含量。其中電子遷移率有顯著的提升而增加了 45%，次臨界斜率減少了 0.6V/dec，臨界電壓減少了 2V，開/關電流比上升了 138%，最小電流/通道寬度下降了 19%，捕捉缺陷密度則是下降了 $2.41 \times 10^{11}/cm^2$ 。

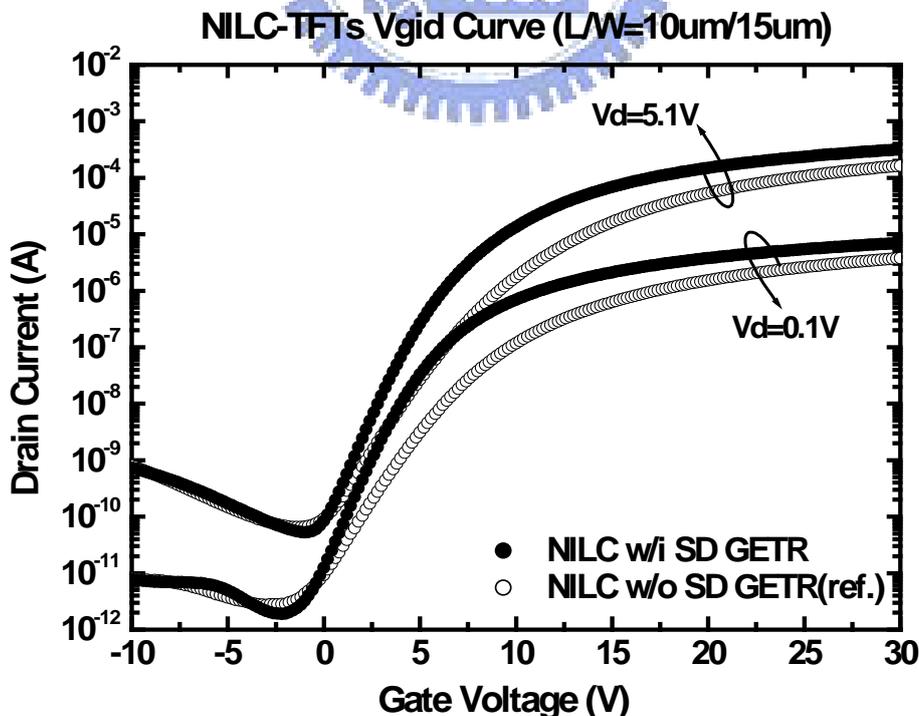


圖 3-6 汲極電流對閘極電壓曲線圖(I_d - V_g curve)

表 3-1 NILC TFT 與 SD GETR TFT 之元件電性效能的比較

Device Parameters	Unit	NILC w/o SD GETR(ref.)	NILC w/i SD GETR	Characteristic improved
Filed-effect mobility μ_{fe}	$cm^2/V.s$	45.7	66.2	↑ 45%
Subthreshold slope S.S	V/dec	1.9	1.3	↓ 0.6
Threshold volatge V_{th}	V	6.4	4.4	↓ 2
On/Off current ratio I_{on}/I_{off}	10^6	2.53	6.01	↑ 138%
Minimum off current $I_{off.min}$	$10^{-12}A/\mu m$	65	52.9	↓ 19%
Trape-state density N_t	$10^{11}/cm^2$	7.45	5.04	↓ 2.41

3.4.3 薄膜電晶體漏電流來源之探討

從薄膜電晶體漏電流可能的來源，透過電性的量測及分析的手法，來進行釐清與討論。其漏電流路徑的機制已在第一章節說明，可分為四大部份。(1)閘極氧化層漏電流(Gate oxide leakage)。(2)閘極引發汲極漏電流(Gate induced drain leakage)。(3)接面漏電流(Junction leakage)。(4)通道漏電流(Channel leakage)。將在其下進行一一檢視及探討。

1. 閘極氧化層漏電流(Gate oxide leakage)

如圖 3-7 閘極漏電流的比較曲線圖所示，元件尺寸為 $W=15\mu m$ 、 $L=10\mu m$ 。兩組的元件的汲極電流(I_d)完全等於源極電流(I_s)，而且伴隨著的閘極電流相當的小，幾乎是機台背景的雜訊值。由此可以說明漏電流應該來自上述的其餘三個原因。

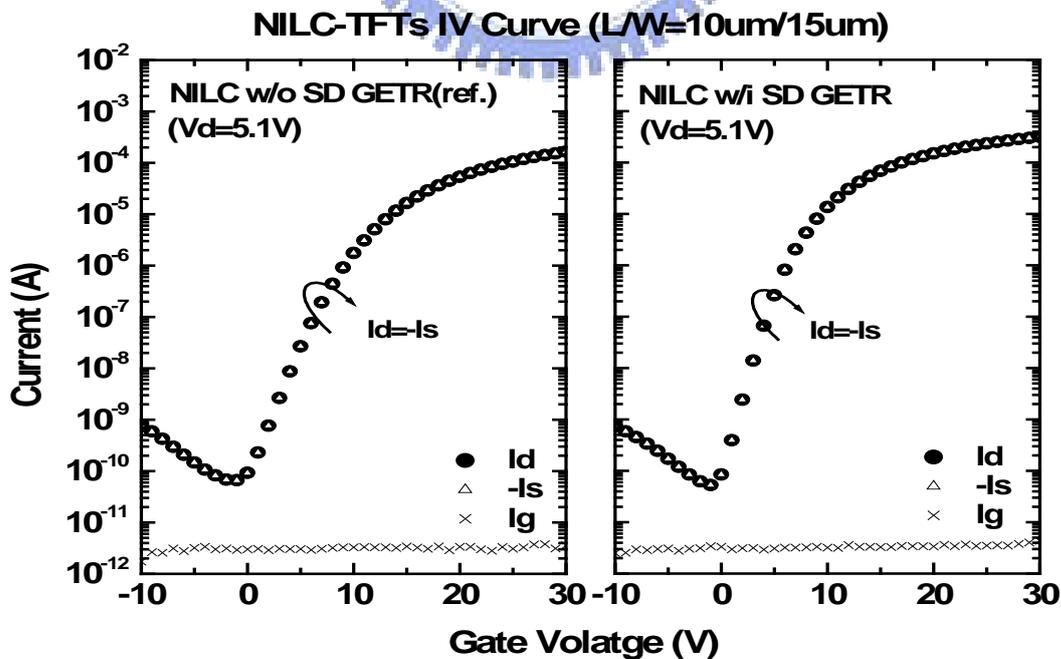


圖 3-7 閘極漏電流比較曲線圖

2. 閘極引發汲極漏電流(Gate induced drain leakage)

將不同通道長度元件的特性曲線圖，重疊在一張圖上，通道長度分別為 2 μ m/3 μ m/5 μ m/7 μ m/10 μ m/15 μ m/20 μ m，汲極量測電壓包含了 0.1V 與 5.1V，如圖 3-8 閘極引發汲極漏電流比較曲線圖所示。其中漏電流差值(dI_{off})，是在 $V_g=-10V$ 、 $V_d=0.1V$ 與 $V_d=5V$ 下，汲極電流的差值。最小漏電流($I_{off.min}$)，則為在 $V_d=5.1V$ 下，汲極電流的最小值。

隨著閘極電壓不斷地往負電壓增加時，可以觀察到在不同通道長度的汲極電流會逐漸收斂在一起，如圖 3-9 所示，其值與通道長度無關，因此可以判定在這個區域的漏電流來自閘極引發汲極漏電流(Gate induced drain leakage)機制。而最小漏電流($I_{off.min}$)的比較圖，如圖 3-10，與通道長度呈現一定比例關係，通道長度愈短漏電流愈大，其漏電流應該來自其餘二個原因。兩組元件均呈現相同的現象。

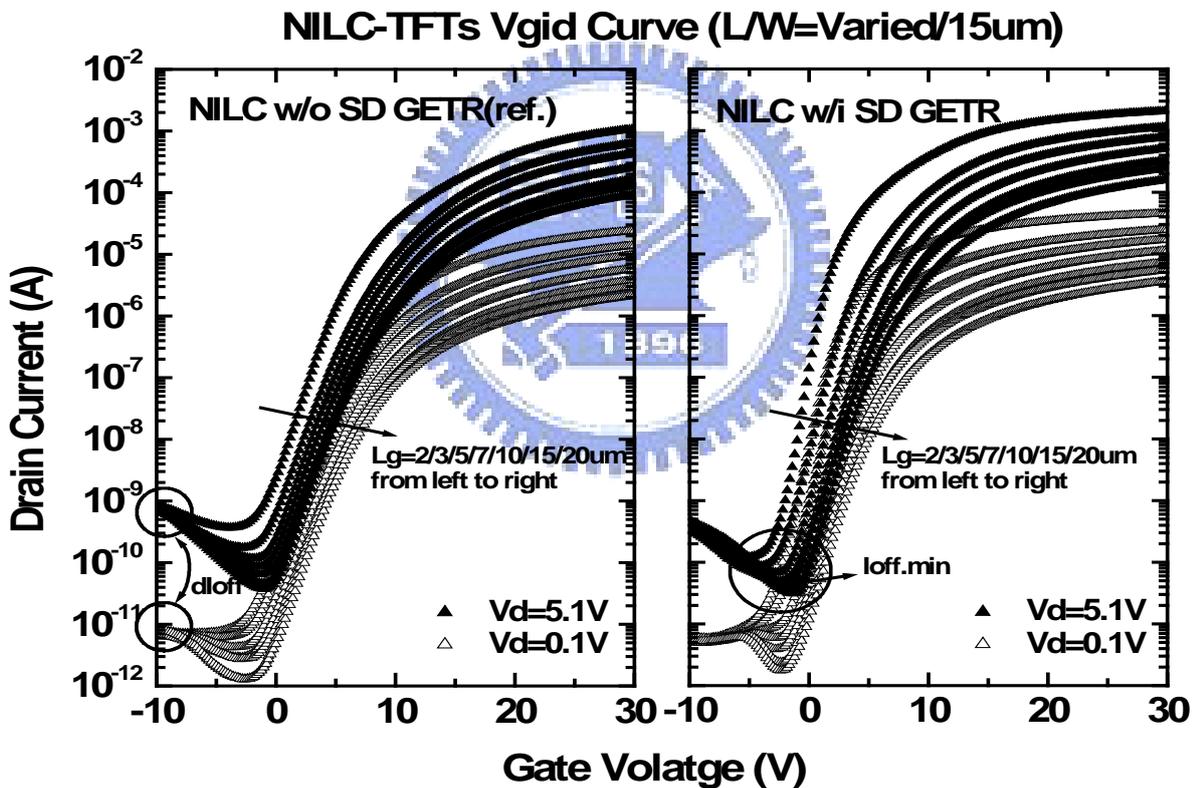


圖 3-8 閘極引發汲極漏電流比較曲線圖

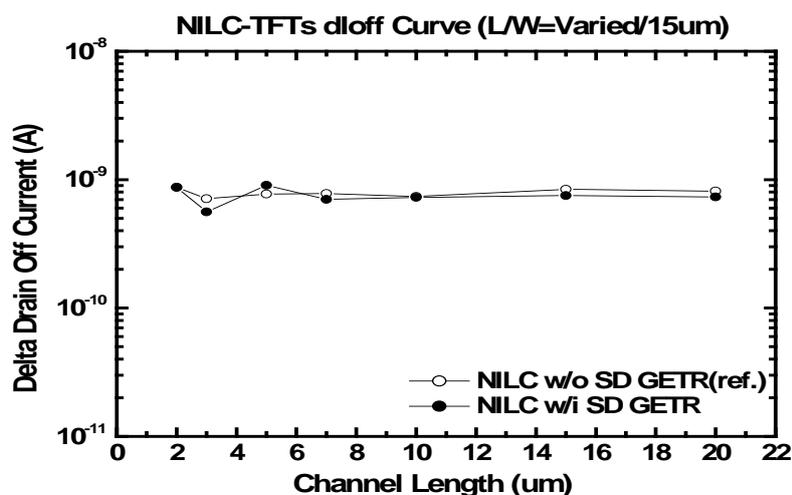


圖 3-9 漏電流差值(dIoff)比較圖

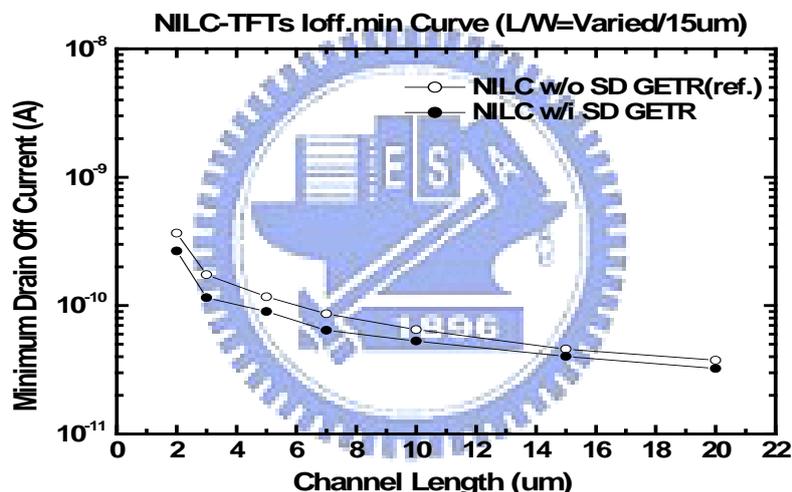


圖 3-10 最小漏電流(Ioff.min)比較圖

3. 接面漏電流 (Junction leakage)

主要利用活化能(Ea)在固定汲極電壓差下，來檢視及比較接面漏電流的大小。活化能值的計算來自於在不同溫度下最小漏電流的變化，如公式(3-3)決定。

$$I_{off} = I_0 \times \exp\left(-\frac{E_a}{KT}\right) \quad (3-3)$$

將不同閘極電壓下的活化能計算出來，並對固定汲極電壓差下的活化能差值(dEa)也一併算出，如圖 3-11 所示。在觀測負閘極電壓下的活化能差值時，可以發現 SD GETR TFT 有較高的活化能差值，因此說明了其有較佳的接面漏電流抑制能力，即相對的接面漏電流值較小。

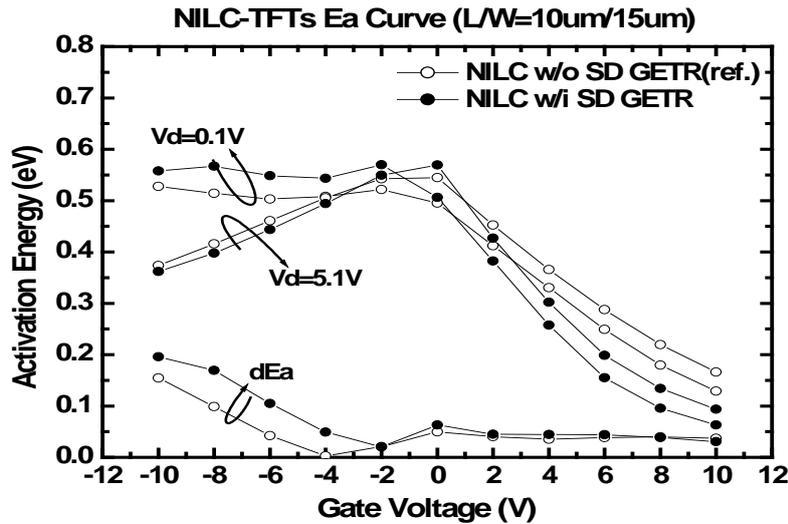


圖 3-11 活化能及其差值比較圖

4. 通道漏電流(Channel leakage)

通道漏電流可分成三個部份，主要來自(1)通道電場擊穿效應；(2)汲極施加電壓引發晶格能障下降，而產生漏電流增加；(3)金屬殘留所產生的漏電流路徑。

通道電場擊穿效應將由幾個參數來檢視，首先為觀察通道擊穿電壓在不同的通道長度下的值，如圖 3-12 所示，選定分析的元件尺寸為 L/W=10um/15um，其通道長度 10um 為安全操作範圍，其操作電壓可以大於 30V 以上。同時，臨界電壓與次臨界斜率在此尺寸下也沒有短通道效應(short channel effect)，如圖 3-13。所以，可以說明在此實驗的分析尺寸在兩組元件上都沒有通道擊穿的問題。

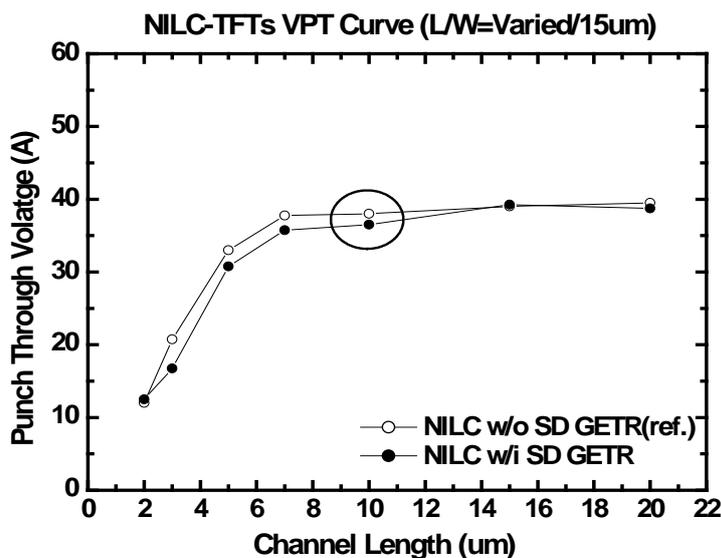


圖 3-12 通道擊穿電壓與通道長度關係圖

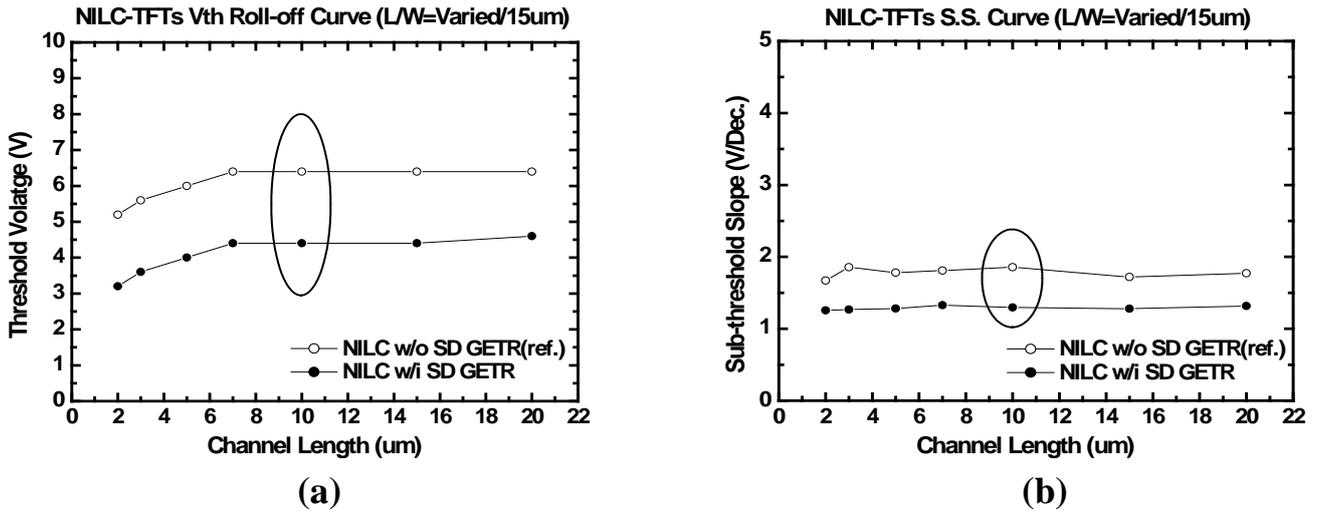


圖 3-13 短通道效應(Short channel effect)曲線圖
(a)臨界電壓與通道長度關係圖 (b)次臨界斜率與通道長度關係圖

汲極施加電壓引發晶格能障下降的檢視，可由捕捉缺陷密度 N_t (trap state density) 來檢視，利用 Levinson's equation 計算出捕陷密度的計算，如公式(3-4)，藉由在低 V_d 與高 V_g 的條件下，以 $\ln[Id/((V_{gs}-V_{th}) \cdot V_d)]$ versus $1/(V_{gs}-V_{th})^2$ 作圖求其斜率，再由公式(3-5)計算出捕陷密度 N_t 。圖 3-14 為捕陷密度與通道長度關係圖，可以看到 SD GETR TFT 有較低的捕陷密度。

$$\ln \left[\frac{I_d}{(V_{gs}-V_{th}) \cdot V_d} \right] = \ln \left(\frac{W}{L} \cdot \mu_{b0} \cdot C_{ox} \right) - \left(\frac{\sqrt{\epsilon_r \cdot q^2 \cdot N_t^2 \cdot t_{oxide}}}{\epsilon_0 \cdot \epsilon_{si} \cdot C_{oxide}} \right) \times \frac{1}{(V_{gs}-V_{th})^2} \quad (3-4)$$

$$N_t = \sqrt{\frac{(-slope) \cdot \epsilon_0 \cdot \epsilon_{si} \cdot C_{oxide}}{\sqrt{\epsilon_r} \cdot q^2 \cdot t_{oxide}}} \quad (3-5)$$

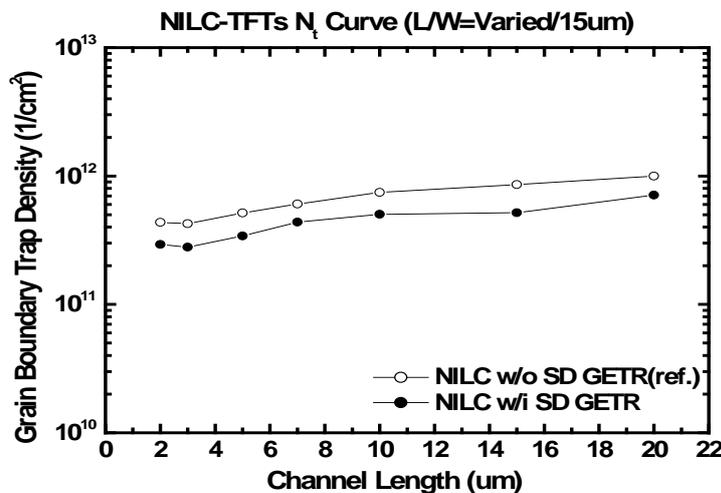


圖 3-14 捕陷密度與通道長度關係圖

金屬殘留所引發漏電流路徑探討，在上述章節 3.4.1 證明了經過汲極與源極接觸窗捉聚的方法後，確實可以將鎳金屬雜質由元件的主動區，捉聚出來降低其濃度，並大幅度地改善了元件的操作特性。而且在接面漏電流抑制與主動區捕陷密度，均有較好的表現，但其最小漏流改善的幅度並不大。最主要的原因，推測為鎳金屬在汲極與源極接觸窗捉聚作用過程中，雖然可以帶走大部份主動區內的鎳金屬雜質，但是閘極及緩衝氧化層與主動區 Poly Si 的界面上，有較深層的捕捉位階，不易將鎳金屬雜質經由接觸窗帶離，如圖 3-15 所示。所以，汲極與源極接觸窗捉聚的方法，主要可大幅度地改善元件在開啟狀態下的特性，對於漏電流的方面，只有些微的改善。

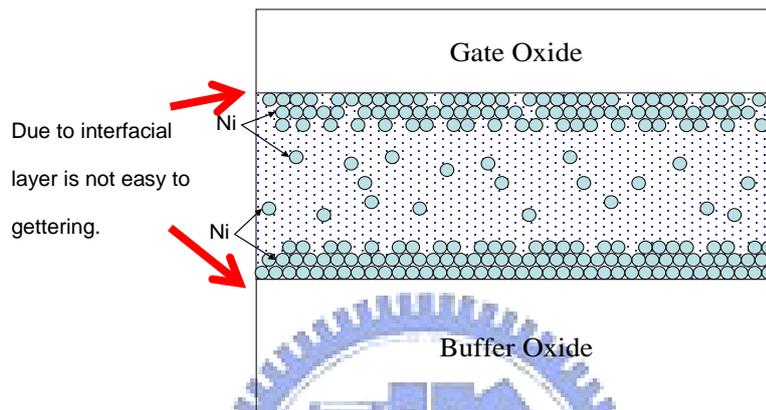


圖 3-15 捉聚後鎳金屬雜質濃度示意圖

3.4.4 薄膜電晶體元件可靠度之探討

在薄膜電晶體元件可靠度的探討，主要由下列二方面來進行。(1)施加偏壓及溫度效應的不穩定性(Bias temperature instability)。(2) 熱載子效應(Hot carriers effect)。將在其下一一進行探討。

1. 施加偏壓及溫度效應的不穩定性(Bias temperature instability)

在施加偏壓及溫度效應的不穩定性(BTI)測試的過程中，將時間切割幾個觀測點，來觀察元件 BTI 的劣化情形，如圖 3-16(a)所示，為線性區汲極電壓 0.1V 時，元件 BTI 的劣化曲線圖，由此圖比較結果，可以看出 SD GETR TFT 元件經過 BTI 的可靠度測試後，其劣化的幅度遠大於 NILC TFT。圖 3-16(b)為飽和區汲極電壓 5.1V 下，元件 BTI 的劣化曲線圖，也顯示與線性區一樣的結果。其劣化的程度可由各參數劣化曲線圖來表示，如圖 3-17，包含了有臨界電壓、捕陷密度、線性區汲極電流及飽和區汲極電流劣化圖等，均可看出 SD GETR TFT 元件的劣化幅度較大。

原因的探討，要從 BTI 量測的機制談起，其劣化幅度較大者，代表在閘極氧化層與主動區 Poly Si 界面處的 Si-H 鍵結強度較弱所致，所以在施加大電壓與高溫度的情況下，

較易產生斷鍵效應，而導致元件劣化情形較為嚴重。推測 SD GETR TFT 在經過接觸窗捉聚過程中，在界面處因鎳金屬被帶離或移動而導致其鍵結被損壞。雖然在元件操作表現上有較佳的表現，但其所產生 BTI 可靠度的問題卻不可被忽略。

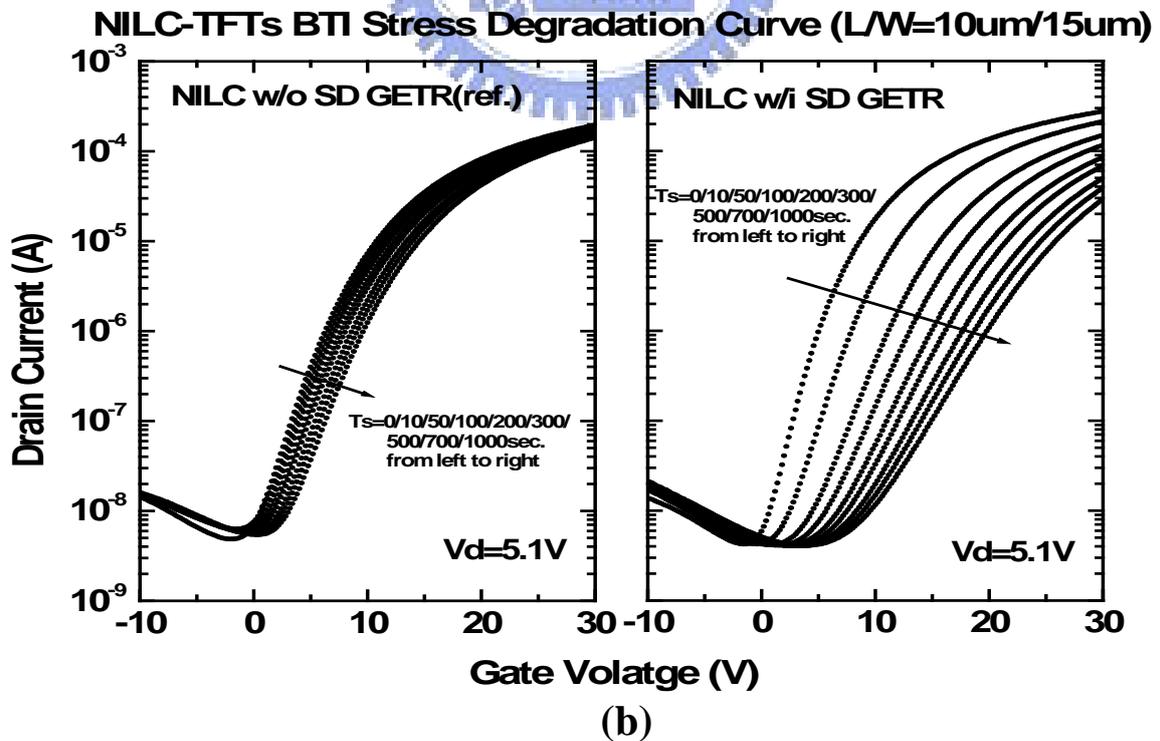
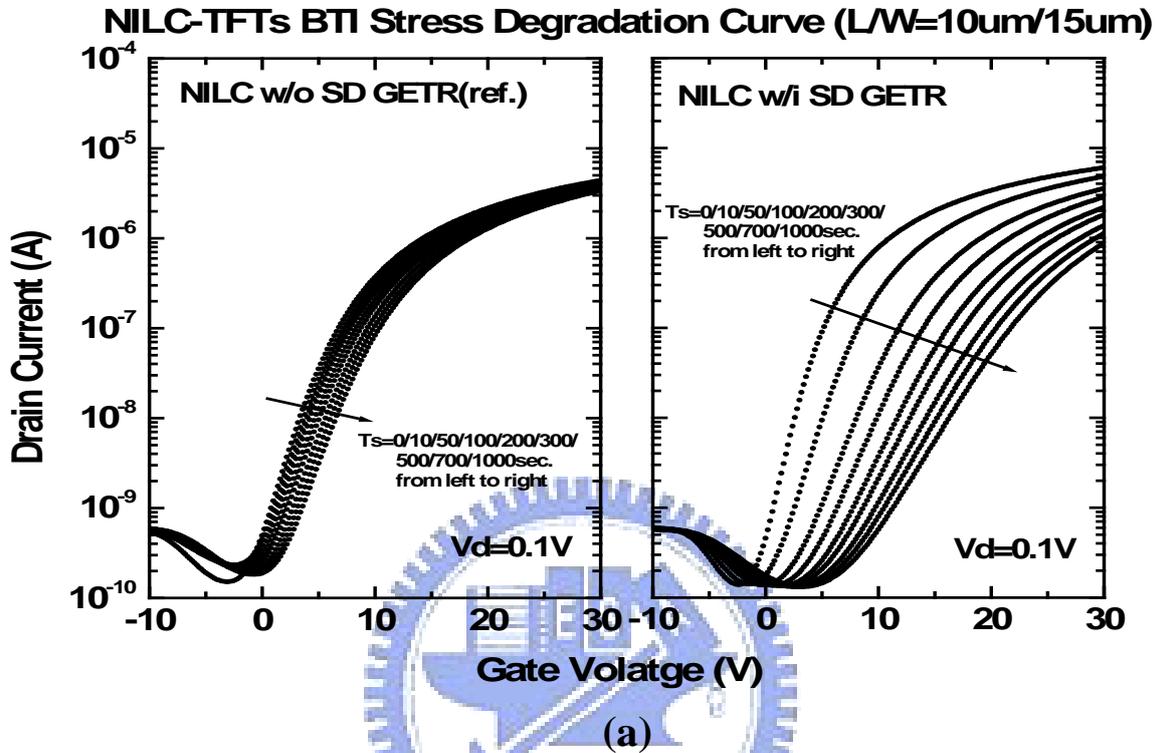


圖 3-16 元件 BTI 劣化曲線圖 (a)在線性區($V_d=0.1\text{V}$) (b)在飽和區($V_d=5.1\text{V}$)

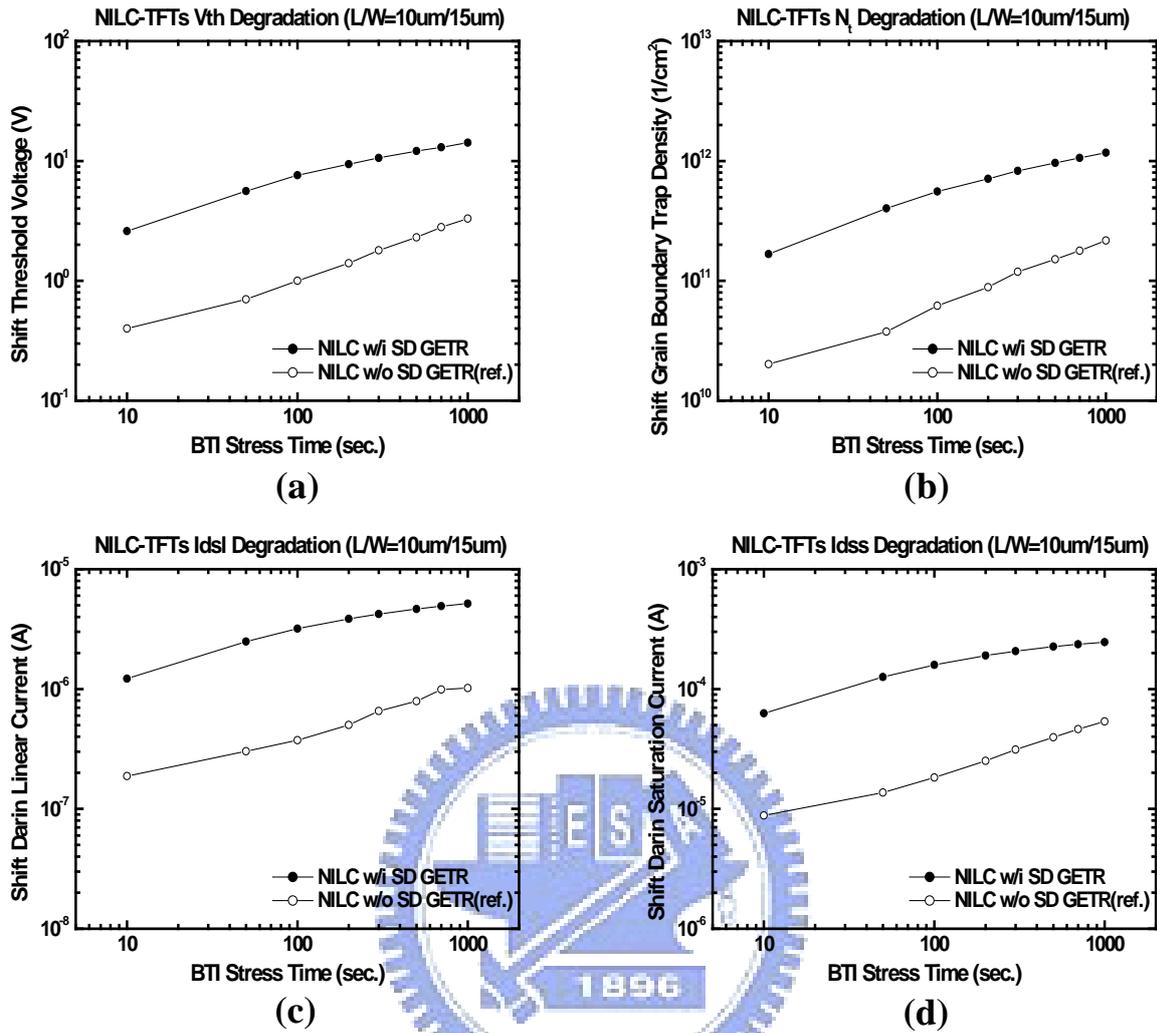


圖 3-17 各參數 BTI 劣化曲線圖 (a)臨界電壓劣化圖 (b)捕陷密度劣化圖 (c)線性區汲極電流劣化圖 (d)飽和區汲極電流劣化圖

2. 熱載子效應(Hot carriers effect)

圖 3-18(a)所示，為線性區汲極電壓 0.1V 時，元件熱載子效應的劣化曲線圖，由此圖比較結果，可以看出 SD GETR TFT 元件經過 Hot carriers effect 的可靠度測試後，其劣化的幅度稍大於 NILC TFT。圖 3-18(b)為飽和區汲極電壓 5.1V 下，也顯示與線性區一樣的結果。其劣化的程度可由各參數劣化曲線圖來表示，如圖 3-19，包含了有臨界電壓、捕陷密度、線性區汲極電流及飽和區汲極電流劣化圖等，均可看出 SD GETR TFT 元件的劣化幅度較大。而其捕陷密度的產生，主要在汲極區的氧化層界面處，因次臨界起始區幾乎沒有劣化，只有在元件開啟狀態下才有。推測 SD GETR TFT 元件的劣化幅度較大的原因，應來自電子遷移率的大幅提升有關，使熱載子加速而產生較大破壞能量所致。

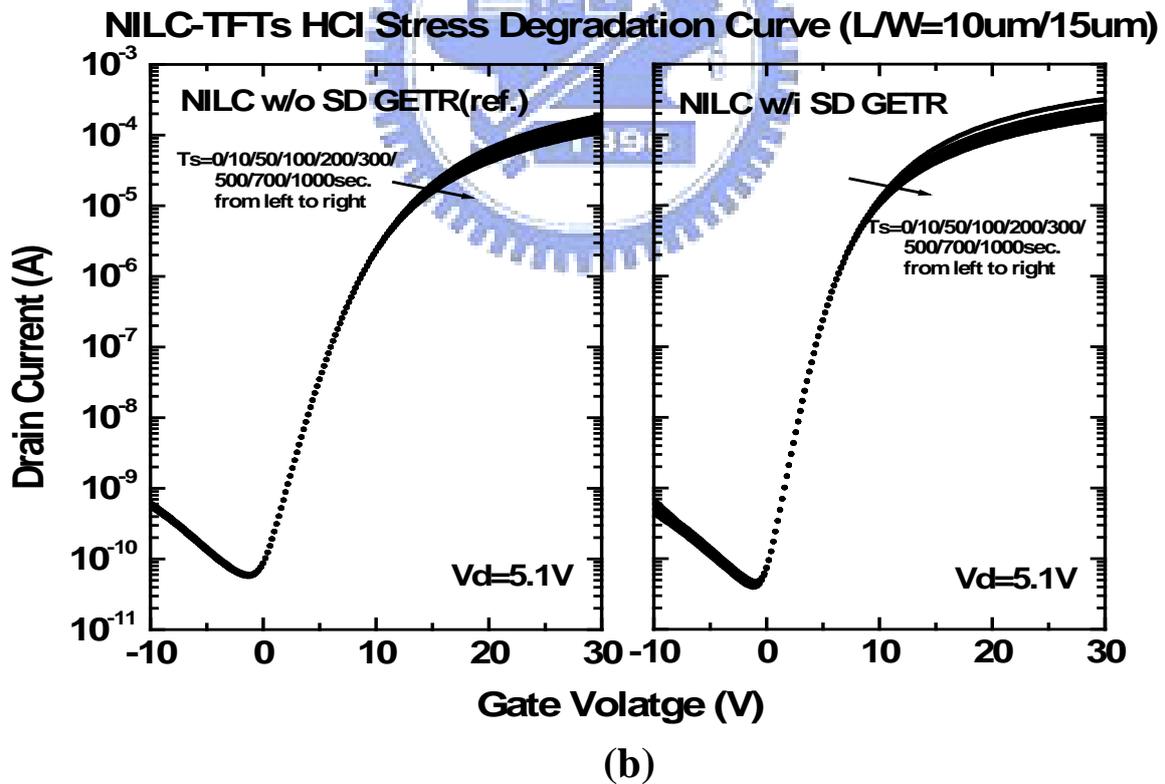
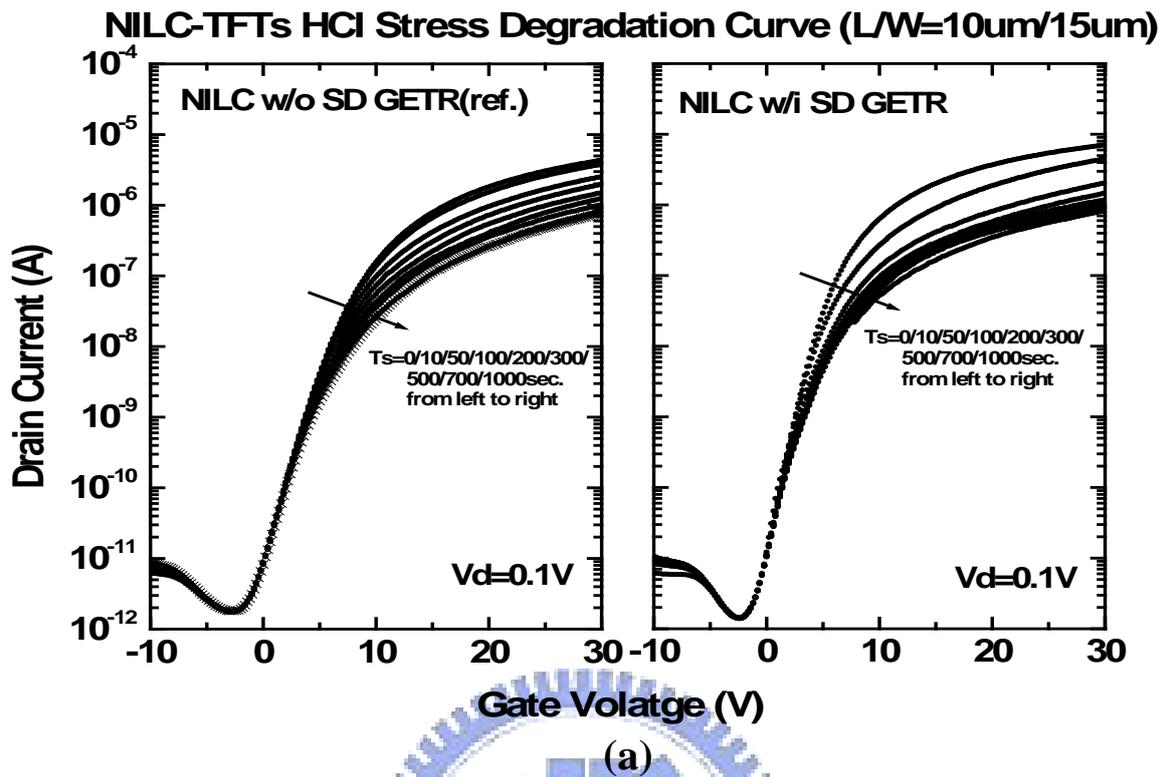


圖 3-18 元件熱載子效應劣化曲線圖 (a)在線性區($V_d=0.1V$) (b)在飽和區($V_d=5.1V$)

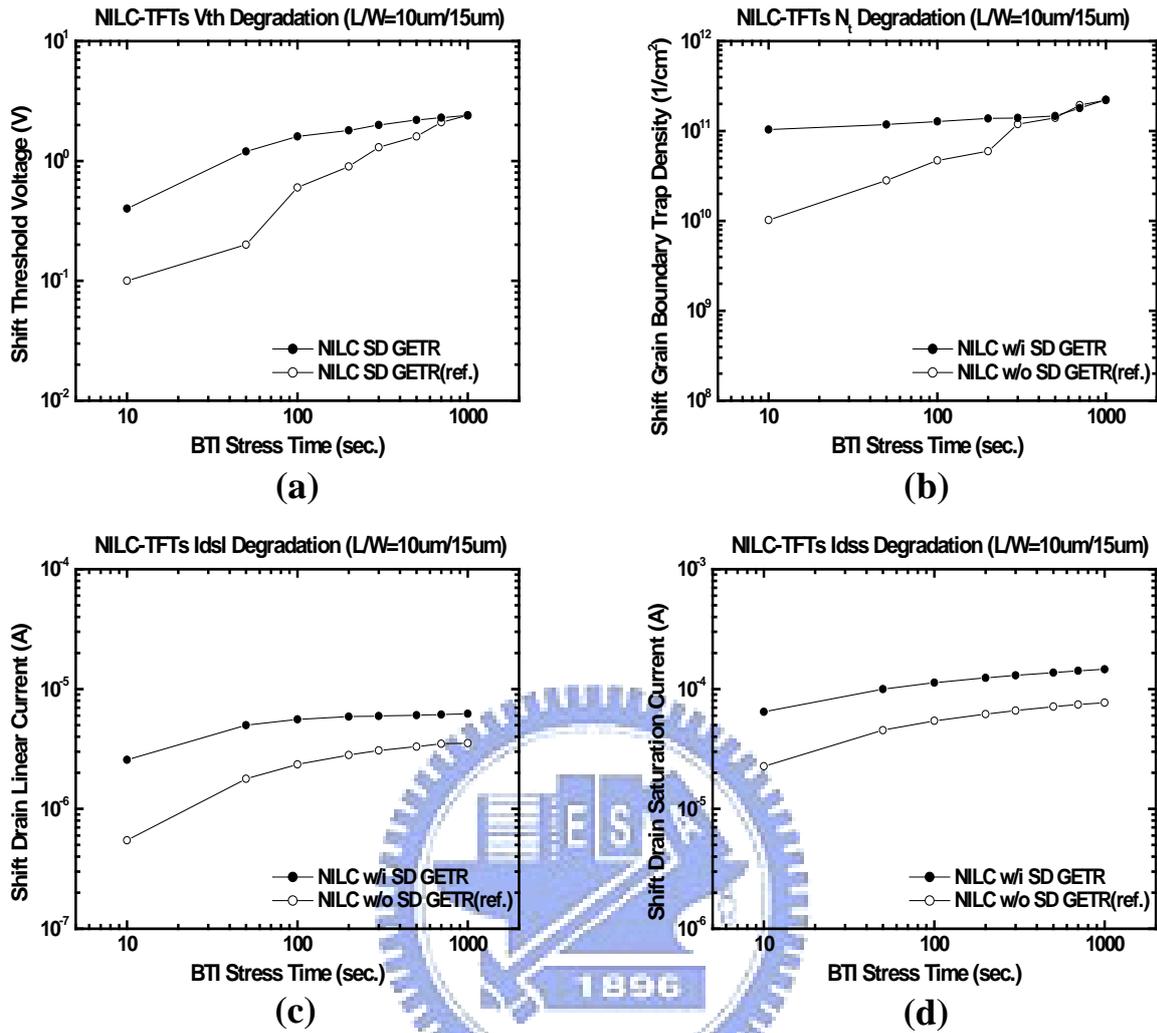


圖 3-19 各參數熱載子效應劣化曲線圖。(a)臨界電壓劣化圖 (b)捕陷密度劣化圖
(c)線性區汲極電流劣化圖 (d)飽和區汲極電流劣化圖

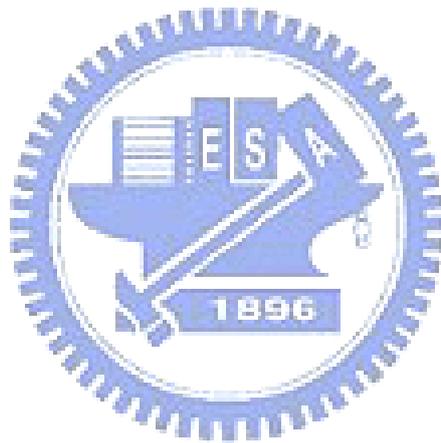
3.5 結論

透過汲極與源極接觸窗以非晶矽薄膜進行捉聚的方式，的確可以成功的降低鎳金屬雜質在主動區 Poly Si 的濃度，進而使得元件電性獲得大幅度地提升，其中包括電子遷移率、臨界電壓、次臨界斜率、以及開關電流比及捕陷密度等。

在漏電流的方面，SD GETR TFT 只有些微的改善。主要的原因為鎳金屬在汲極與源極接觸窗捉聚作用過程中，雖然可以帶走大部份主動區內的鎳金屬雜質，但是閘極及緩衝氧化層與主動區 Poly Si 的界面上，有較深層的捕捉位階，不易將鎳金屬雜質經由接觸窗帶離所致。

元件可靠度分析方面，SD GETR TFT 的 BTI 劣化幅度較大，主要在經過接觸窗捉聚過程中，在界面處因鎳金屬被帶離或移動而導致其鍵結被損壞。雖然在元件操作表現

上有較佳的表現，但其所產生 BTI 可靠度的問題卻不可被忽略。另外，其熱載子效應也比較差，主要為 SD GETR TFT 元件的電子遷移率的大幅提升有關，使熱載子加速而產生較大破壞能量所致。



第四章 總結與未來工作

4.1 總結

本實驗成功地利用電性量測及分析的手法，有效地分辨出不同製程環境下薄膜電晶體的漏電流路徑，可明確地提供元件效能改善的方向。並藉由元件可靠度的分析，來探討因製程參數改變所產生影響元件劣化的程度。實驗的試片分為兩個部份。第一個是利用四氟化碳電漿對 NILC Poly-Si 進行表面處理。第二個則是利用非晶矽薄膜在金屬配線接觸窗來進行鎳金屬的捉聚。

透過四氟化碳電漿對 NILC poly 所進行表面的處理，可藉由表面輕微地蝕刻，減低在閘極氧化層界面處鎳金屬的含量，另外電漿中所含的氟離子與元件主動區的懸鍵及缺陷，產生鍵結的鈍化作用，進而使得元件電性獲得大幅度地提升。其中包括電子遷移率、臨界電壓、次臨界斜率、以及開關電流比及捕陷密度等。在漏電流的方面，CF₄ plasma TFT 也因此而有顯著的改善，因主動區捕陷密度及閘極氧化層界面附近的鎳金屬雜質，均有效的降低，所以有較佳的最小漏流改善幅度。元件可靠度分析方面，CF₄ plasma TFT 的 BTI 劣化幅度較小，主要在經過四氟化碳電漿表面處理過程中，因氟與矽鍵結而大幅降低了懸鍵及缺陷密度，並進一步強化了在主動區氧化層界面處的鍵結強度，所以在 BTI 可靠度有大幅度的改善。但是，其熱載子效應可靠度比較不佳，主要為 CF₄ plasma TFT 元件的電子遷移率的提升有關，使熱載子加速而產生較大破壞能量所致。

透過汲極與源極接觸窗以非晶矽薄膜進行捉聚的方式，的確可以成功的降低鎳金屬雜質在主動區 Poly Si 的濃度，進而使得元件電性獲得大幅度地提升，其中包括電子遷移率、臨界電壓、次臨界斜率、以及開關電流比及捕陷密度等。在漏電流的方面，SD GETR TFT 只有些微的改善。主要的原因為捉聚作用過程中，雖然可以帶走大部份主動區內的鎳金屬雜質，但是閘極及緩衝氧化層與主動區 Poly Si 的界面上，有較深層的捕捉位階，不易將鎳金屬雜質經由接觸窗帶離所致。元件可靠度分析方面，SD GETR TFT 的 BTI 劣化幅度較大，主要在經過接觸窗捉聚過程中，在界面處因鎳金屬被帶離或移動而導致其鍵結被損壞。雖然在元件操作表現上有較佳的表現，但其所產生 BTI 可靠度的問題卻不可被忽略。其熱載子效應可靠度也比較差，原因為 SD GETR TFT 元件的電子遷移率被大幅度地提升，使熱載子加速而產生較大破壞能量。

整體而言，如表 4-1 所示，在開啟電流效能改善的方面，SD GETR TFT 有最優異的表現，CF₄ plasma TFT 則次之。在漏電流改善的部份，則是 CF₄ plasma TFT 為最佳，SD GETR TFT 次之。在 BTI 可靠度方面，因 CF₄ plasma TFT 強化了其鍵結強度而有最佳的抑制能力，SD plasma 則因捉聚過程中損傷了閘極氧化層鍵結，而有較差的結果。另外，這兩組試片在熱載子效應可靠度的表現，均比標準試片差，主因來自於元件效能改善且電子遷移率也大幅度提升，進而使熱載子被加速產生較大破壞能量。

表 4-1 在各製程環境下薄膜電晶體效能比較

NILC-TFTs characteristic comparison table

Comparison Items	NILC (standard)	NILC w/i CF ₄ plasma	NILC w/i SD GETR
On-state performance	Normal	Better	Best
Off-state performance	Normal	Best	Better
BTI reliability	Normal	Best	Worst
HCI reliability	Normal	Worst	Worst

4.2 未來工作

1. 總合上述 CF₄ plasma TFT 及 SD GETR TFT 的優點，可以將這兩種製程合併在一起，應用在 NILC-LTPS TFT 的製作上。如此一來，不但可以利用 SD GETR 大幅度地改善元件開啟電流的效能，而且藉由 CF₄ plasma 來降低懸鍵及缺陷密度，並強化閘極氧化層界面的鍵結強度，使得漏電流抑制有更好的表現，同時也可以改善因 SD GETR 在製程中所帶來鍵結的損傷，而有較佳的 BTI 可靠度。

2. 對於熱載子效應可靠度較差的問題，則可以利用較低濃度汲極離子摻雜(Lightly Doped Drain)降低在汲極區的操作電場強度[42]，使得熱載子效應的損害程度減低。此一方法，也同時可以改善因閘極與汲極間電場增加而產生的 GIDL 漏電流[46]，而得到較佳的元件操作效能。

參考文獻

- [1] http://cn.fpdisplay.com/Technology/Tech_Shtml/4_200631792239126.shtml
- [2] 紀國鐘, 鄭晃忠, “液晶顯示器技術手冊”, pp.15-16, 226, 台灣電子材料與元件協會, 2002.
- [3] 林敬偉, “低溫多晶矽薄膜電晶體液晶顯示器技術”, 電子月刊, 第十卷, 第八期, pp.135-145, 2004.
- [4] <http://cn.fpdisplay.com/Technology/>
- [5] <http://www.itis.org.tw/FreePDF/5656/全球主要光電技術發展現況與趨勢.pdf>
- [6] L. Haji, P. Joubert, J. Stoemenos, and N. A. Economou, “Mode of growth and microstructure of polycrystalline silicon obtained by solid-phase crystallization of an amorphous silicon film”, J. Appl. Phys., vol. **75**, pp.3944-3952, 1994.
- [7] http://csot.acesuppliers.com/meg/meg_1_1281142720051736466340692_3719.html
- [8] M. S. Haque, H. A. Naseem, and W. D. Brown, “Aluminum-induced crystallization and counter-doping of phosphorous-doped hydrogenated amorphous silicon at low temperatures”, J. Appl. Phys., vol. **79**, pp. 7529-7536, 1996.
- [9] L. Hultman, A. Robertsson, H. T. G. Hentzell, I. Engström, and P. A. Psaras, “Crystallization of amorphous silicon during thin-film gold reaction”, J. Appl. Phys., vol. **62**, pp. 3647-3655, 1987.
- [10] S. Y. Yoon, K. H. Kim, C. O. Kim, J.Y . Oh and J. Jang, “Low temperature metal induced crystallization of amorphous silicon using a Ni solution”, J. Appl. Phys., vol. **82**, pp. 5865-5867, 1997.
- [11] F. A. Quli and J. Singh, “Transmission electron microscopy studies of metal-induced crystallization of amorphous silicon”, Materials Science and Engineering, vol. **B67**, pp. 139-144 , 1999.

- [12] Z. Jin, G. A. Bhay, M. Yeung, H. S. Kwok and M. Wong, "Nickel induced crystallization of amorphous silicon thin films", J. Appl. Phys., vol. **84**, pp.194-200, 1998.
- [13] T. Hempel and O. Schoefeld, "Needle-like crystallization of Ni doped amorphous silicon thin films", Solid State Commun., vol. **85**, no. 11, pp.921-924, 1993.
- [14] S. W. Lee, Y. C. Jeon and S. K. Joo, "Pd induced lateral crystallization of amorphous Si thin films", Appl. Phys. Lett., vol. **66**, pp. 1671-1673, 1995.
- [15] S. W. Lee, B. I. Lee, T. K. Kim ,and S. K. Joo, "Pd₂Si-assisted crystallization of amorphous silicon thin films at low temperature", J. Appl. Phys., vol. **85**, pp. 7180-7184, 1999
- [16] E. A. Guliants, W. A. Anderson, L. P. Guo, V. V. Guliants, "Transmission electron microscopy study of Ni silicides formed during metal-induced silicon growth", Thin Solid Films, vol. **385**, pp. 74-80, 2001.
- [17] C. Hayzelden, J. L. Batstone, "Silicide formation and silicide-mediated crystallization of nickel-implanted amorphous silicon thin films", J. Appl. Phys., vol. **73**, pp. 8280-8289 , 1993.
- [18] A. Yu. Kuznetsov, and B. G. Svensson, "Nickel atomic diffusion in amorphous silicon", Appl. Phys. Lett., vol. **66**, pp. 2229-2231, 1995.
- [19] Yue Kuo, "THIN FILM TRANSISTORS-Materials and Processes – Volume 2-Polycrystalline Silicon Thin Film Transistors", pp. 236, 2004 by Boston : Kluwer Academic Publishers.
- [20] M. Cao, T. King, and K. Saraswat, "Determination of the densities of gap states in hydrogenated polycrystalline Si and Si_{0.8}Ge_{0.2} films," Appl. Phys. Lett., vol. **61**, pp.672-674, 1992.
- [21] M. MIYASAKA, T. SHIMODA, K. MAKIHIRA, T. ASANO, Be la PECZ and J. STOEMENOS, "Structural Properties of Nickel Metal-Induced Laterally Crystallized Silicon Films and Their Improvement UsingExcimer Laser Annealing" Jpn. J. Appl. Phys., vol. **42**, pp.2592-2599, 2003.

- [22] M. M. Mandurah, K. C. Saraswat, C. R. Helms and T. I. Kamins, "Dopant segregation in polycrystalline silicon", J. Appl. Phys., vol. **51**, pp. 5575-5763, 1980.
- [23] A. L. Fripp, "Dependence of resistivity on the doping level of polycrystalline silicon", J. Appl. Phys., vol. **46**, pp. 1240-1244, 1975.
- [24] T. I. kamins, "Hall mobility in chemically deposited polycrystalline silicon", J. Appl. Phys., vol. **42**, pp. 4357-4365, 1971.
- [25] S. Y. Yoon, N. Young, P. J. van der Zaag, and D. McCulloch, "High-Performance Poly-Si TFTs Made by Ni-Mediated Crystallization Through Low-Shot Laser Annealing", IEEE Electron Device Lett., vol. **24**, pp. 22-24, 2003.
- [26] S. Jagar, H. Wang, and M. Chan, "Design Methodology of the High Performance Large-Grain Polysilicon MOSFET", IEEE Trans. Electron Devices, vol. **49**, pp. 795-801, 2002.
- [27] S. D. S. Malhi, H. Shichijo, and H. W. Lam, "Characteristics and three-dimensional integration of MOSFETs in small-grain LPCVD polycrystalline silicon," IEEE Trans. Electron Devices, vol. **32**, pp. 258-281, 1985.
- [28] Wu, I-Wei, Huang, Tiao-Yuan, Jackson, Warren B., Lewis, Alan G., and Chiang, Anne, "Passivation kinetics of two types of defects in polysilicon TFT by plasma hydrogenation", IEEE Electron Device Lett., vol. **12**, pp. 181-183, 1991.
- [29] F. S. Wang, C. Y. Huang, H. C. Cheng, "Novel N₂O plasma passivation on polycrystalline silicon thin-film transistors", Materials Research Society Symposium - Proceedings, 424, Flat Panel Display Materials, pp 177-181, 1996.
- [30] M. J. Tsai, F. s. Wang, K. L. Cheng, , S. Y. Wang, M. S. Feng, and H. C. Cheng, "Characterization of H₂/N₂ plasma passivation process for poly-Si thin film transistors (TFTs)", Solid-State Electronics, vol. **38**, pp. 1233-1238, 1995.
- [31] C. M. Yu, H. C. Lin, T. Y. Huang, and T. F. Lei, "H₂ and NH₃ Plasma Passivation on Poly-Si TFTs with Bottom-Sub-Gate Induced Electrical Junction," J. Electrochem. Soc., vol. **150**, pp. G843-G848, 2003.

- [32] H. C. Cheng, F. S. Wang, and C. Y. Huang, "Effects of NH₃ plasma passivation on N-channel polycrystalline silicon thin-film transistors," IEEE Trans. Electron Devices, vol. **44**, pp 64-68, 1997.
- [33] S. M. Myers, M. Seibt, and W. Schröter, "Mechanisms of transition-metal gettering in silicon", J. Appl. Phys., vol. **88**, p. 3795-3819, 2000.
- [34] N. Gay and S. Martinuzzi, "Comparison of external gettering efficiency of phosphorus diffusion, aluminium-silicon alloying and helium implantation in silicon wafers", Solid St. Phenom., vol. **57-58**, pp.115-122, 1997.
- [35] Toshio Mizuki, Junko Shibata Matsuda, Yoshinobu Nakamura, Junkoh Takagi, and Toyonobu Yoshida, " Large Domains of Continuous Grain Silicon on Glass Substrate for High-Performance TFTs " , IEEE Trans. Electron Devices, vol. **51**, pp. 204-211, 2004.
- [36] http://www.arconet.com.tw/ssttpro/tech/tech_1.asp?idxid=119
- [37] Kaushik Roy, Saibal Mukhopadhyay, and Hamid Mahmoodi-meimand, "Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits", Proceedings of the IEEE, vol. 91, No. 2, pp.305-327, 2003.
- [38] Stanley Wolf, "Silicon Processing For The VLSI ERA, Volume 3: The Submicron MOSFET", pp. 198-200, 232-247, 1995 by Sunset Beach, Calif. : Lattice Press, c1995.
- [39] K. R. Olasupo and M. K. Hatalis, "Leakage Current Mechanism in sub-Micron Polysilicon Thin-Film Transistors", IEEE Transactions on Electron Devices, vol. 43, No. 8, pp.1218-1223, 1996.
- [40] Gururaj A. Bhat, Zhonghe Jin, Hoi S. Kwok, and Man Wong, "Effects of Longitudinal Grain Boundaries on the Performance of MILC-TFT's", IEEE Electron Device Letters, vol. 20, No. 2, pp.97-99, 1999.
- [41] A.E. Islam, G. Gupta, S. Mahapatra, A.T. Krishnan, K. Ahmed, F. Nouri, A. Oates, and M.A. Alam, "Gate Leakage vs. NBTI in Plasma Nitrided Oxides: Characterization, Physical Principles, and Optimization", International Electron Devices Meeting, Session 12, Program 4, 2006.

- [42] Eiji Takeda, Cary Yang, and Akemi Miura-Hamada, “Hot-Carrier Effects in MOS Devices”, pp.43-90, 147-172, 1995 by San Diego : Academic Press, c1995.
- [43] Kow Ming Chang, Yuan Hung Chung, and Gin Ming Lin, “Anomalous variations of OFF-State leakage current in poly-si TFT under static stress”, IEEE Electron Device Letters, vol. 23, No. 5, pp.255-257, 2002.
- [44] Mark A. Crowder, A. Tolis Voutas, Steven R. Dries, Masao Moriguchi, and Yasuhiro Mitani, “Sequential Lateral Solidification Processing for Polycrystalline Si TFTs”, IEEE Transactions on Electron Devices, vol. 51, No. 4, pp.560-568, 2004.
- [45] A. M. Myasnik, M. C. Poon, P. C. Chan, K. L. Ng, M. S. Chan, W. Y. Chan, S. Singla, and C. Y. Yuen, “On mechanism of nickel diffusion during metal induced lateral crystallization of amorphous silicon,” Mater. Res. Soc. Symp. Proc., 715, pp. A22.11.1–A22.11.4, 2002.
- [46] Masatoshi Yazaki, Satoshi Takenaka, and Hiroyuki Ohshima, “Conduction Mechanism of Leakage Current Observed in Metal-Oxide-Semiconductor Transistors and Poly-Si Thin-Film Transistors”, Jpn. J. Appl. Phys., vol. 31, pp. 206-209, February 1992.

