

ATM 網路訊務管理及信號系統之子計畫一： ATM 網路 VBR 訊務控制系統之研究設計 Design and Implementation of VBR Traffic Controllers for ATM Networks

計畫編號：NSC 89-2213-E-009-105

執行期限：88 年 8 月 1 日至 89 年 7 月 31 日

主持人：張仲儒教授 國立交通大學電信工程學系暨研究所

計畫參與人員：林立峰、任芳慶、林宗益、陳尚逸、丁崇光（交大電信所）

一、中文摘要

由於人們對於多元化、多樣式服務的需求以及近年來技術的發展，一個能提供各式各樣通訊服務的高速寬頻網路需求漸趨迫切。非同步傳輸模式 (ATM, Asynchronous Transfer Mode)，則是實現設計此高速網路的選擇技術之一。其利用非同步分時多工 (ATDM, Asynchronous Time Division Multiplexing) 的技術來增加網路資源的使用效率；並且可以提供不同傳輸速率、不同服務品質需求 (QoS, Quality of Service) 以及不同頻寬需求等各式各樣訊務特性 (Traffic Characteristics) 的高速度多媒體服務。但要達成此標，滿足多媒體服務的高速率性與變異性，則必須要有一套精緻且有效的訊務控制法則 (Traffic Control) 及其傳遞控制訊息的信號方式 (Signaling)。本整合型研究計劃的目的，就是希望建立 ATM 網路訊務控制與信號系統的離型架構，以累積我國在這方面的實際設計以及實作的經驗，並培育國內相關產業日後所需之人才。

本研究子計畫主要是依據目前可變動速率 (VBR, Variable Bit Rate) 訊務控制發展趨勢，並參考 ITU-T 及 ATM Forum 所制訂的相關標準，針對本總計畫擬設計及製作的 ATM 網路訊務管理及信號系統，提出一套適用於 VBR 訊務的訊務以及資源控制法則。本年度 (第三年度) 的工作即是在延續之前第一與第二年度的知識與經驗，除了繼續追蹤非同步傳輸模式標準制訂組織如 ITU-T、ATM Forum 等所制定與訊務控制以及資源管理方面相關的最新標準之外，並針對前兩年所發展出來的時間軸或頻率軸之訊務控制法則做細部的調整和進一步的改進，以增進系統的功能和強健度 (Robustness) 而達到系統的最佳化，並根據較新的相關規格標準或論文進行必要的修改。同時，擬多方面地來驗證所獲得研究成果的正確性，包含採用真實的訊務 (Real Traffic) 輸入。最後擬透過模糊邏輯控制器發展系統軟體，將前二年所發展出來的時間軸或頻率軸控制法則燒錄到商用化的模糊邏輯控制晶片中，希望能完成硬體架構的實際設計，在設計完成之後，將儘可能完成本子計畫的模組測試、各子計畫模組間的系統整合，以及最後的系統測試。也就是說，本子計畫擬將所得到的控制法則利用軟體模組程式整合在總計畫的軟體系統上，如果 ATM 交換系統相關設備可以配合的話，還希望能使用模糊邏輯控制晶片 (FLC, Fuzzy Logic Chip) 或類神經網路控制晶片 (Neural-net Chip) 製作成控制引擎 (Control Engine)，以完成硬體架構的實際設計。藉由這樣的製作，可以更進一步的驗證以往所得到的研究成果實際應用的正確性。

關鍵字：非同步傳輸模式網路、模糊邏輯控制晶片、類神經模糊控制器、訊務控制、呼叫允諾控制、使用參數控制、擁塞控制、資源管理。

英文摘要

In this project, we intend to design a traffic control algorithm based on the trend of VBR traffic source modeling and ATM related specifications.

In the year, besides keeping studying important issues of traffic control mechanism specified by ITU-T and ATM Forum, we will give a fine tune of the proposed time-based and power-spectrum-based fuzzy traffic control algorithm, and the performance of these algorithms will be evaluated. Also, fuzzy logic and/or neural-net chips will be used to implement a better one from these proposed fuzzy traffic control algorithms, and hopefully, they can be used as control engines. Furthermore, we will integrate the proposed software modules and hardware structures with other modules of the ATM network to accomplish the integration test. This project provides a chance to apply the proposed fuzzy traffic control modules and their fuzzy logic chips implementation to develop a prototype of an ATM system, and the validity of the control algorithms could also be verified.

Keyword: ATM, fuzzy logic controller, neural fuzzy controller, traffic control, call admission control (CAC), congestion control, usage parameters control (UPC), resource management.

二、計畫緣由及目的

今天世界各國的通訊服務朝向多元化、高速化、以及智慧化發展，用戶對於高速度寬頻網路的需求，亦隨之日益增加。提供此等服務的高速網路是未來網路發展的趨勢。其中非同步傳輸模式 (ATM; Asynchronous Transfer Mode) 是高速網路技術發展的關鍵所在：在 ATM 網路上，它可提供用戶端各式各樣不同速率、不同服務品質 (QoS; Quality of Service) 等的多媒體服務。雖然 ATM 網路可以滿足這些多樣化的服務，但是因為多媒體服務的高速率性及變異性，必須要有一套精緻且有效的訊務控制法則 (Traffic Control)，才能使非同步傳輸模式網路經濟地提供符合服務品質需求 (QoS) 的服務，並且維持網路有效率的輸出量，根據 ITU-T 的建議，訊務控制包含了呼叫允諾控制 (Call Admission Control)、使用參數控制 (Usage Parameter Control)、擁塞控制

(Congestion Control) 和優先權控制 (Priority Control)。ATM 網路設備必須做適當的訊務控制才可以確保 ATM 網路的服務品質。本整合型研究計劃的目的，就是希望設計製作 ATM 網路所不可或缺的訊務管理及信號系統，提出適合的解決方案，以累積我國在這方面的實際設計以及實作的經驗，並培育國內相關產業系統設計之人才。

三、研究方法與成果

本子計畫在本年度(第三年度)的研究目的，主要在前二年所發展出來的時間軸參數 VBR 訊務控制法做進一步的校調，修改以及多方面的測試、驗證，並進行硬體架構的實際設計。為了達成此目的，其研究方法及進行步驟分別描述如下：

● 訊務模型之研究

- ◆ 根據目前學界所提出的，對真實訊務 (Real Traffic) 的研究和其實際應用在系統模擬程式上的相關論文進行研究。
- ◆ 選擇適當的真實訊務源及其取樣，並將此取樣的真實訊務以軟體整合入所發展出來的訊務控制法模擬系統中。

● 呼叫允諾控制法之研究設計

- ◆ 延續上年度對封包延遲變異 (CDV) 的研究，進一步將 CDV 此因素加入原有時間軸或頻率軸的呼叫允諾控制法中，提出幾種可行的方案，並利用程式模擬評估出各種方案的效能，希望能選出最適合的解決方式。
- ◆ 針對前二年所發展出來的時間軸與頻率軸參數呼叫允諾控制法做進一步的校調、修改與最佳化，並增進系統之強健度 (Robustness)。

- ◆ 採用真實的訊務 (Real Traffic) 輸入並多方面地來測試、驗證所獲得研究成果的正確性。

● 使用參數控制法之研究設計

- ◆ 針對所發展出來的使用參數控制法則，做細部的調整以及最佳化修改，以增進其效能。
- ◆ 採用真實的訊務 (Real Traffic) 輸入並多方面地來測試、驗證所獲得研究成果的正確性。

● 撰寫系統模擬程式並以電腦模擬。

● 硬體實做與整合

- ◆ 選擇適當的模糊邏輯或類神經網路控制系統發展軟體，並選擇適當且技術成熟的商用模糊邏輯控制晶片和相關硬體設備。
- ◆ 研讀並熟悉模糊邏輯或類神經網路控制系統發展系統軟體、模糊邏輯控制晶片與硬體設備之功能及操作方式。
- ◆ 將所設計發展的最佳類神經模糊允諾控制器在此模糊邏輯或類神經網路控制系統發

展設備中實現，配合所選擇的商用模糊邏輯控制晶片和硬體，將此控制法則燒錄至控制晶片中，成為一呼叫允諾控制引擎。

本子計畫已完成之工作項目有：

● 在訊務源模型的建立方面：

- ◆ 完成真實訊務源之選取，並整合入所發展出來的訊務控制法模擬系統中進行驗證。

● 在呼叫允諾控制法的設計方面：

- ◆ 已完成考慮 CDV 之類神經與類神經模糊允諾控制器之設計，可以在保障使用者之封包遺失率之外，同時確保其封包延遲變異。
- ◆ 採用學習速度較快之輻射基底函數類神經網路 (Radial Basis Function Neural Network, RBFN) 來實現智慧型計算，完成類神經網路即時線上學習之機制，增強系統之強健度 (Robustness)。
- ◆ 進一步採用預測 (Prediction) 機制，使系統能更適切地反應環境的變動因素。
- ◆ 根據設計過程中所獲得的知識及經驗，完成所發展出來的時間軸與頻率軸參數呼叫允諾控制法之校調、修改與最佳化。

● 在使用參數控制法的設計方面：

- ◆ 針對所發展出來的使用參數控制法則，完成其細部的校調以及最佳化修改。
- ◆ 完成採用適應性動態量測區間 (Dynamic Window) 之平均封包速率 (SCR) 取樣法，進一步增進所設計的類神經模糊漏水桶使用參數控制法之效能表現。
- ◆ 完成真實訊務 (Real Traffic) 輸入之測試與驗證。

● 硬體實做與整合

- ◆ 成功地將所設計發展的最佳類神經模糊允諾控制器以 fuzzyTECH 模糊邏輯控制發展系統實現，並將此控制法則下載至一含有商用控制晶片之硬體平台中，成為一類神經模糊呼叫允諾控制引擎。

四、結論與討論

本研究子計畫主要是依據目前訊務控制發展趨勢，並參考 ITU-T 及 ATM Forum 所制訂的相關標準，針對本總計畫擬設計及製作的非同步傳輸模式網路之訊務控制與信號系統，提出一套適用於多媒體服務的 VBR 訊務以及資源控制法則。在本研究子計畫中，今年度我們在與前二年度相同的系統架構 (如圖一) 下，設計一 ATM Node/Switch 的模擬程式，針對我們所設計之時間軸或 (功率) 頻譜軸參數設計的類神經或模糊架構的呼叫允諾控制器，及其相關的智慧型多層漏水桶使用參數控制器、模糊回饋式速率壅塞控制器和佇列長度臨界值資源管理法則進行模擬，並延續前二年累積的知識和經驗，做進一步的校調、修改使其最佳化，同時也嘗試多方面的測試、

驗證，並進行硬體架構的實際設計。

在呼叫允諾控制方面(如圖二所示)，更新原有的控制架構，在既有可保障封包遺失率(CLR)的呼叫允諾控制法設計中，進一步考慮確保其封包延遲變異(CDV)之服務品質；同時，為因應真實世界中訊務特性乃具有多樣性以及隨時間變異之特點，系統必須能快速地反應以維持最佳之效能表現。所以我們也採用學習速度較快之輻射基底函數類神經網路(Radial Basis Function Neural Network, RBFN)來實現智慧型計算，藉由其快速且簡易學習的優點，完成類神經網路即時線上學習之機制，以便在訊務特性有所變動的環境中仍能夠追蹤訊務特性，維持最佳水準的表現，增強系統之穩定與強健度(Robustness)。從圖三、四的模擬結果顯示，具 CDV 保障之允諾控制機制(CDV CAC)雖較原有之機制(non-CDV CAC)有略低之系統頻寬使用率，但是其在封包延遲變異上的表現卻有大幅的提升。此外，實驗數據也顯示，具 CDV 保障之允諾控制機制本身即有較佳之強健度，可應付訊務特性之小幅變動。在增加線上即時學習功能之後(Online CDV CAC)則可以適應於更大幅度的訊務特性變動環境中，維持既有的服務品質與系統頻寬使用率。

在使用參數控制方面，我們延續既有的訊務塑型器(TS)-使用參數控制器(UPC)對偶的架構，以及針對其中平均封包速率(SCR)控制方面，利用連線的長期平均封包速率和短期平均封包速率輸入類神經模糊控制器來完成適應性使用參數控制法的設計(如圖五)，但進一步針對所需的短期平均封包速率之量測，藉由模糊邏輯的智慧型控制系統，達到適應性動態量測區間(Dynamic Window)之平均封包速率(SCR)取樣法，以期能使透過量測取得的短期平均封包速率更能反應實際的狀況。從圖六的結果顯示，我們所設計的增強型類神經模糊漏水桶法使用參數控制器(Enhanced Neural Fuzzy TS-UPC)儘管在準確性方面較傳統以及其他智慧型控制方式的漏水桶法改進幅度不大，但在反應性與平均佇列延遲方面都獲得很顯著的改善，對於違法的連線有更小的反應時間以及更短的佇列延遲。所以我們的增強型類神經模糊使用參數控制器比起傳統以及其他智慧型控制的方式，對連線的訊務可以提供更精確、快速反應的監測控制，維持系統良好的運作。

針對上述的諸項研究成果，我們皆已整理並投稿發表於國際期刊論文中[3]，同時也將陸續在數個國際會議中發表。而在硬體實做方面，我們採用 fuzzyTECH 此一商用之模糊邏輯控制發展系統，成功地將所設計發展的最佳類神經模糊允諾控制器以硬體方式實做，將此控制法則下載至一含有商用控制晶片之硬體平台中，成為一類神經模糊呼叫允諾控制引擎。同時，我們也完成一模擬測試架構(如圖七)與程式，不僅可對此硬體實做的允諾控制引擎進行效能評估，並且也提供了一友善的使用者界面(GUI)可以做為系統成果展示之用(如圖八)。此部分之初步成果，也已發表於國際會議(ICCE'98)及其相關期刊中[4]。

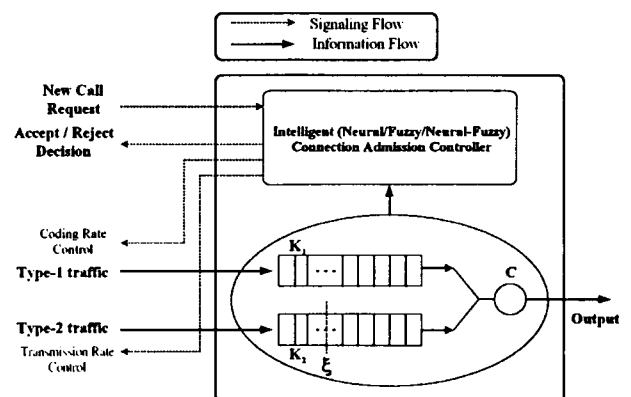
本子計畫已於本年度執行完畢。展望未來，網

際網路因著多元化的應用而逐漸興盛之際，IP 網路將逐漸成為未來通訊網路的主角。然而因其原本設計上的特性即不適用於即時訊務的傳遞，故新一代的 IP 網路也將 QoS 列為重要的研究項目，以期能夠包含多媒體的訊務通訊並提供服務品質保證。因此，未來我們可藉由本計畫的執行成果，將在 ATM 網路上提供具服務品質保證的訊務控制法之研究所累積的知識和經驗，用以發展 IP 網路上具服務品質保證的訊務控制機制，以期能使本計畫執行所累積的知識和經驗可以繼續傳承、延續下去，並可以快速地發展 IP 網路上相關的關鍵技術，培育國內相關產業系統設計之人才，維持國際競爭力。

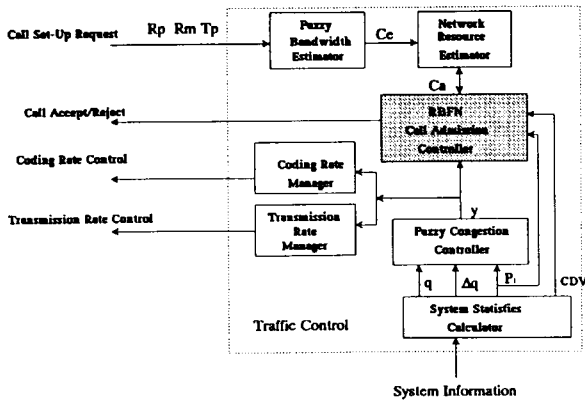
五、參考文獻

- [1] C. T. Lin and C. S. G. Lee, "Neural-network-based fuzzy logic control and decision system," *IEEE Trans. on Computers*, pp. 1320-1336, Dec. 1991.
- [2] S. Q. Li and C. L. Hwang, "Queue response to input correlation function: continuous spectral analysis," *IEEE/ACM Trans. Networking*, Vol.1, no. 6, pp. 678-692, Dec. 1993.
- [3] R. G. Cheng, C. J. Chang, and L. F. Lin, "A QoS-Provisioning Neural Fuzzy Connection Admission Control for Multimedia High-Speed Networks," *IEEE/ACM Transactions on Networking*, Vol. 7, No. 1, pp. 111-121, Feb. 1999.
- [4] L. F. Lin, Z. S. Eul, R. G. Cheng, and C. J. Chang, "Implementation of an Admission Controller for High-Speed Multimedia Networks," *Proc. of IEEE ICCE '98*, Los Anglos, CA, pp. 254-255.
- [5] Erwin P. Rathgeb, "Modeling and performance comparison of policing mechanisms for ATM network," *IEEE J. Select. Areas Commun.*, vol. 9, no. 3, pp. 325-334, April 1991.
- [6] Butto', E. Cavallero, and A. Tonietti, "Effectiveness of the 'Leaky Bucket' policing mechanism in ATM networks," *IEEE J. Select. Areas Commun.*, vol. 9, no. 3, pp. 325-334, April 1991.

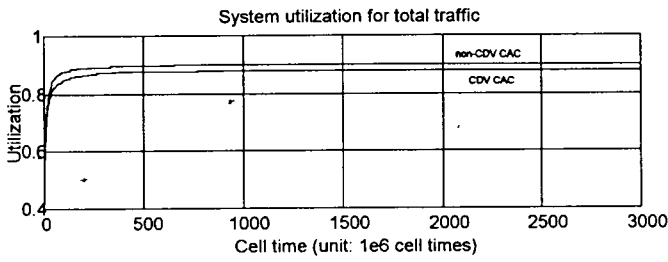
六、附圖



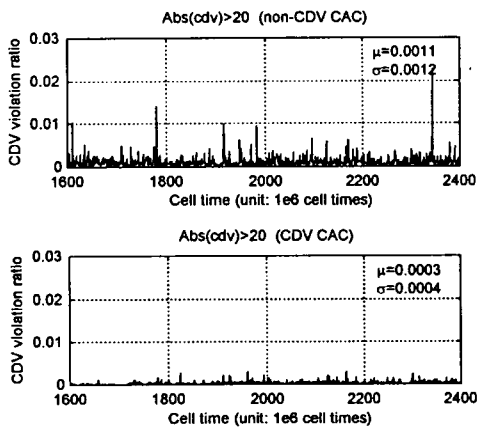
圖一、ATM node/switch 系統架構模型



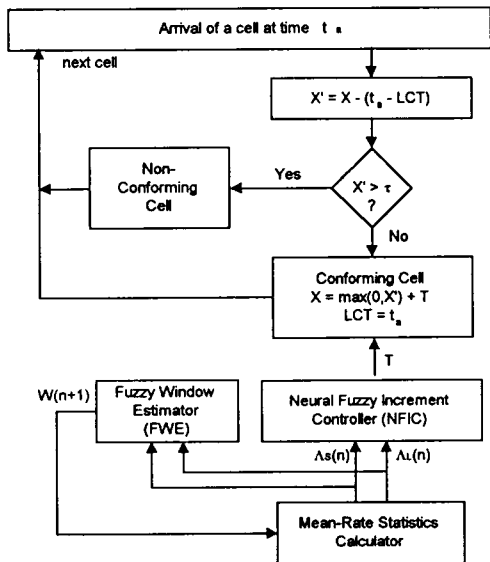
圖二、ATM 訊務控制器



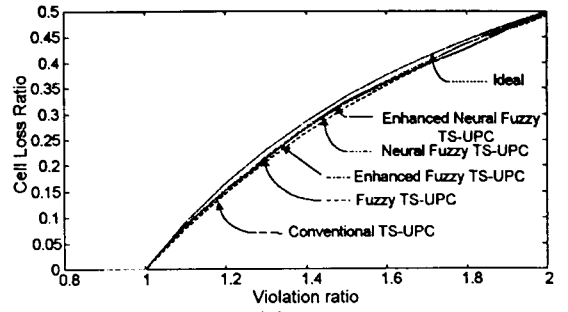
圖三、呼叫允諾控制法之系統效能比較



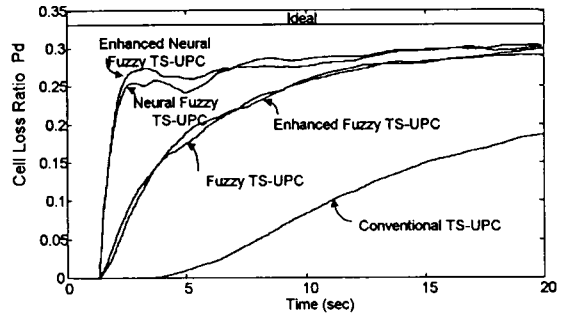
圖四、呼叫允諾控制法之比較：封包延遲變異



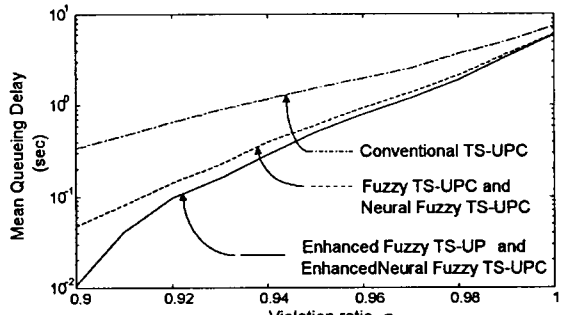
圖五、增強型類神經模糊使用參數控制器



(a)

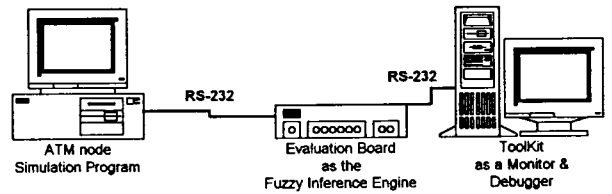


(b)

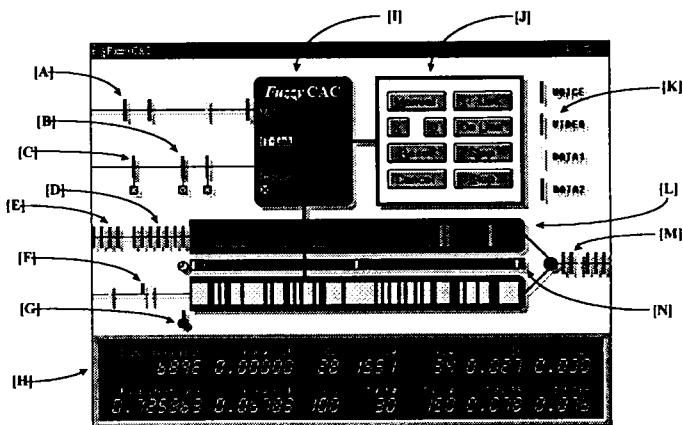


(c)

圖六、增強型類神經模糊使用參數控制器與傳統及其他智慧型漏水桶法使用參數控制器之比較：(a) Selectivity (Accuracy). (b) Responsiveness. (c) Mean queueing delay.



圖七、硬體實做之模擬測試架構



圖八、硬體實做模擬測試軟體之使用者界面(GUI)