

行政院國家科學委員會專題研究計畫成果報告

顯示器用氧化鋅薄膜電晶體研發

Study of ZnO-Based Thin Film Transistors for Displays

計畫編號：

執行期限：96年8月1日至97年7月31日

主持人：林鵬 國立交通大學材料科學與工程學系

一、 中文摘要

本計畫以溶膠-凝膠法製備銩離子摻雜之氧化鋅薄膜電晶體，並以高介電之鈦酸鋇鋇薄膜作為薄膜電晶體之閘極絕緣層以提升薄膜電晶體之電性。銩離子之摻雜使氧化鋅薄膜之晶粒縮小，提高氧化鋅之價帶-傳導帶間的能隙差，故降低了氧化鋅薄膜之載子濃度，改善電晶體之關閉電流，大幅提昇了元件之開關比。另外，由於鈦酸鋇鋇薄膜之高介電特性，可降低銩離子摻雜之氧化鋅薄膜電晶體之操作電壓，且其較佳之介面陷阱密度使電晶體之遷移率、臨限電壓以及次臨限斜率等電性亦獲得提升。

關鍵詞：溶膠-凝膠法、氧化鋅、薄膜電晶體、鈦酸鋇鋇

Abstract

Sol-gel derived Zr-doped ZnO thin-film transistors were fabricated in this project. High-k (Ba,Sr)TiO₃ gate insulators were utilized to improve performance of the thin-film transistors. The Zr-doping leads to small-grain-sized ZnO thin films, which showed a higher energy gap between conduction and valence band, and a lower carrier concentration of the semiconductors. The lower carrier concentration suppresses the off-state current of the transistors, and enhances on/off ratio significantly. Furthermore, the reduction of operation voltages of Zn_(1-x)Zr_xO thin-film transistors was due to the high dielectric properties of (Ba,Sr)TiO₃ gate insulators. Mobility, threshold

voltage, and sub-threshold slope of transistors were also further improved through the lower interface trap density of (Ba,Sr)TiO₃.

Keywords: Sol-gel method, ZnO, thin film transistors, and (Ba,Sr)TiO₃

二、 背景及目的

由於光電顯示產業在近年來的蓬勃發展，顯示器之關鍵技術-薄膜電晶體技術亦有一日千里之進展。傳統薄膜電晶體之製程技術多以濺鍍 (sputtering) 或化學氣相沈積 (chemical vapor deposition) 等真空技術來製作，然隨著顯示器面積之增加，以真空製程製作薄膜電晶體之成本將會急遽增加。本計畫上年度曾以溶膠-凝膠法之溶液製程技術成功製備出銩離子摻雜之氧化鋅薄膜電晶體，並探討銩離子之摻雜對氧化鋅薄膜及薄膜電晶體材料及電性之影響。以溶膠-凝膠法所製備之氧化鋅薄膜電晶體雖具備極高之開關比 (>10⁶)，但其元件載子遷移率卻偏低 (<1 cm²/Vs)，此一遷移率對於需要使用電流驅動之顯示技術如有機發光二極體而言是不足的。故本年度本計畫之目的在於改善溶膠-凝膠法之製程技術以及薄膜電晶體之材料特性，以提升氧化鋅薄膜電晶體之電性。

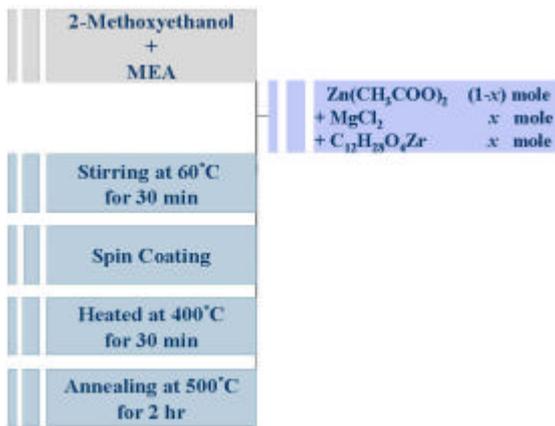
氧化鋅由於具備優良之光電特性，近年來更有許多研究著墨於探討摻雜對氧化鋅薄膜特性之影響。相較於非晶矽與多晶矽，氧化鋅在可見光波長範圍具備較高之穿透性，且其製程溫度亦較低。本年度計畫將分為兩部分，第一部份為探討銩離子之摻雜對氧化鋅薄膜及薄膜電晶體之影響；第二部分以鈦酸鋇鋇[(Ba,Sr)TiO₃, BST]作

為薄膜電晶體之閘極絕緣層，探討高介電閘極絕緣層對於銦離子摻雜之氧化鋅薄膜電晶體電性之提升。

三、 實驗方法與步驟

1. 先驅液之配製與薄膜之沈積

本計畫以醋酸鋅 [zinc acetate 2-hydrate, $Zn(CH_3COO)_2 \cdot 2H_2O$]及異丙醇鋯[$C_{12}H_{28}O_4Zr$]溶解於 2-甲氧基乙醇[2-methoxyethanol]與單乙醇胺[monoethanolamine (MEA)]之混合溶液中，在 60 下攪拌 30 分鐘，先驅液之配製流程如圖一所示。配製完成之先驅溶液以旋轉塗佈將先驅液



圖一 $Zn_{(1-x)}Zr_xO$ 先驅溶液配製流程

沈積於玻璃等基版上，旋塗完成之薄膜以 400 烘烤，最後薄膜在 500 下以氧氣退火 2 小時。

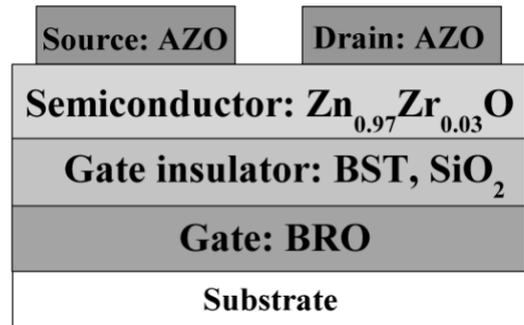
2. SiO_2 閘極絕緣層之薄膜電晶體製作流程

首先以濺鍍(sputtering)沈積金屬 Cr 作為元件之閘極電極，接著以電漿輔助化學氣相沈積 (Plasma Enhanced Chemical Vapor Deposition, PECVD)沈積厚度為 3000Å 之 SiO_2 作為元件之閘極絕緣層。沈積完畢之後蝕刻出閘極電極之接觸洞口(contact hole)，接著再以濺鍍法沈積氧化銦錫(Indium Tin Oxide, ITO)作為元件之源極與汲極電極，元件之寬長比(channel width/length, W/L) 為 500/10。最後將先驅液依前述旋轉塗佈之製程條件將銦離子摻雜之氧化鋅薄膜沈積於元件上。

3. BST 閘極絕緣層之薄膜電晶體製程

首先以射頻磁控濺鍍(rf-sputtering)沈積鈣酸鋇[$BaRuO_3$, BRO]作為元件之閘極電極，氬/氧氣流量比為 19.5/0.5，工作壓力為 10 mTorr，製程溫度為 500 。接著以射頻磁控濺鍍沈積厚度為

3000Å 之 BST 作為元件之閘極絕緣層，沈積溫度自常溫至 500 。為了消除 BST/BRO 間之介面缺陷，沈積完 BST 後薄膜需在 400 氧氣下退火 30 分鐘。接著依 1 之製程條件將銦離子摻雜之氧化鋅薄膜旋塗於 BST 上，在氧氣氣氛下以 400 退火 30 分鐘。最後以射頻磁控濺鍍法沈積銦離子摻雜之氧化鋅[$Zn_{(1-x)}Al_xO$, AZO]導電薄膜作為元件之源極與汲極，元件之寬長比為 500/100。元件示意圖如圖二所示。

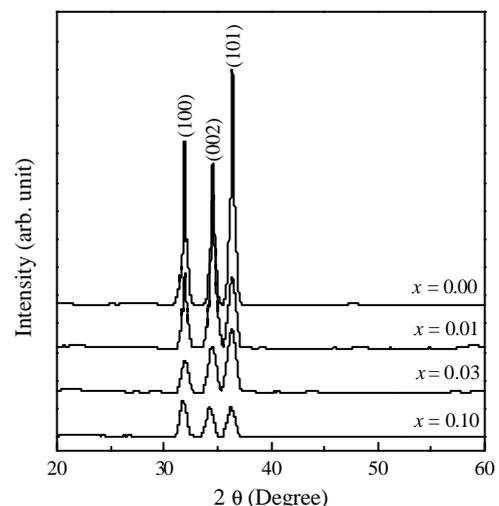


圖二 $Zn_{(1-x)}Zr_xO$ 薄膜電晶體元件示意圖

四、 實驗結果與討論

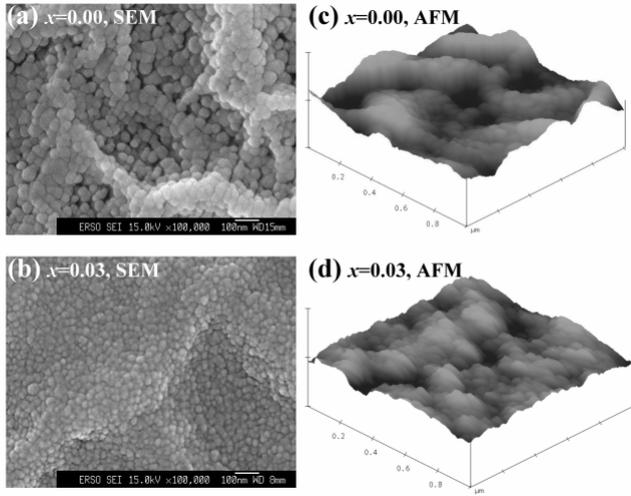
1. 銦離子摻雜之氧化鋅薄膜材料分析與薄膜電晶體電性分析：

圖三為不同銦離子摻雜之 $Zn_{(1-x)}Zr_xO$ 薄膜之 X-ray 繞射圖譜。由圖三可發現氧化鋅薄膜之 (100)、(002)以及(101)等結晶方向均隨著銦離子摻雜濃度增加而減弱，此一結果表示氧化鋅之結



圖三 不同銦離子摻雜之 $Zn_{(1-x)}Zr_xO$ 薄膜 XRD 繞射圖譜

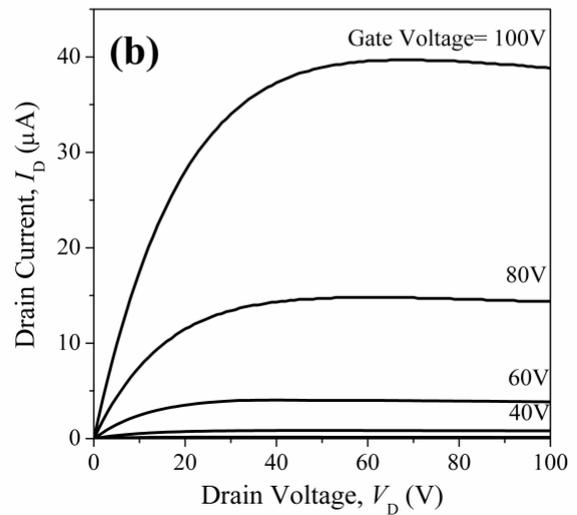
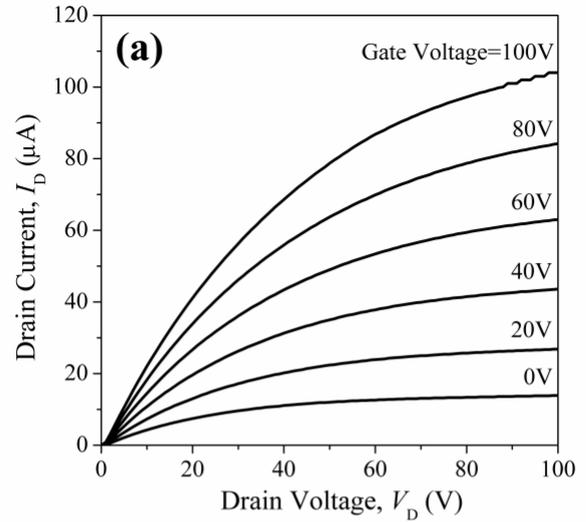
晶性因銦離子之摻雜而變差，且在銦離子摻雜量 10 mol% 以內， $Zn_{(1-x)}Zr_xO$ 薄膜中並無 ZrO_2 結晶相產生。圖四為銦離子摻雜之 $Zn_{(1-x)}Zr_xO$ 薄膜表面微觀分析(SEM 與 AFM)，可發現摻雜銦離子



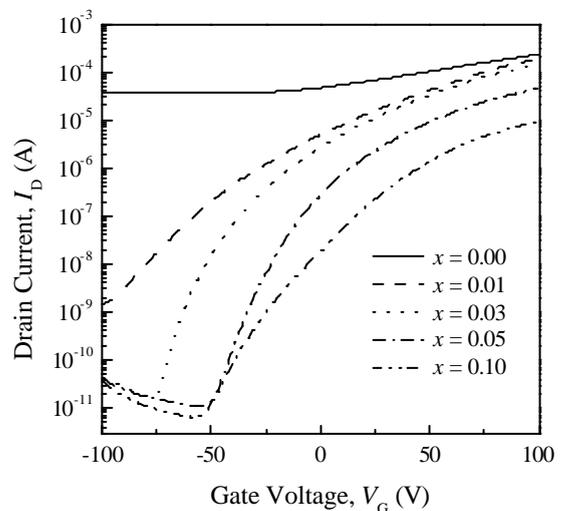
圖四 不同銦離子摻雜之 $Zn_{(1-x)}Zr_xO$ 薄膜微觀 (SEM 與 AFM) 分析

後，氧化鋅薄膜之縐折狀結構逐漸消失，但薄膜之晶粒大小亦隨著銦離子摻雜而縮小。另外，摻雜 3 mol% 銦離子之 $Zn_{(1-x)}Zr_xO$ 薄膜之表面粗糙度($R_{rms} = 6$ nm)亦較未摻雜銦離子之純氧化鋅薄膜為小($R_{rms} = 44$ nm)。

圖五(a)為未摻雜銦離子之氧化鋅薄膜電晶體汲極電流-汲極電壓(drain current-drain voltage, I_D-V_D)電性圖形，可發現其飽和汲極電流並不明顯，且在閘極電壓為 0V 時元件尚有極高之汲極電流。但銦離子摻雜量為 3 mol% 之氧化鋅薄膜電晶體之飽和汲極電流以及關閉電流(off-state current, I_{OFF})有極大改善，如圖五(b)所示。圖六為銦離子摻雜之氧化鋅薄膜電晶體之汲極電流-閘極電壓(drain current-gate voltage, I_D-V_G)電性圖形，可發現元件之關閉電流隨銦離子摻雜量增加而有顯著下降，雖然開啟電流(on-state current, I_{ON})亦隨銦離子摻雜量而略微降低，但元件之開關比卻因此而大幅提昇。在銦離子摻雜量為 3 mol% 時氧化鋅薄膜電晶體具有最高之開關比 (8.89×10^6)。銦離子摻雜之氧化鋅薄膜電晶體電性摘要於表一。表一中可發現銦離子摻雜之氧化鋅薄膜電晶體之載子遷移率隨銦離子摻雜量而降低，這是因為銦離子的摻雜會在電晶體通道中形



圖五 (a) 未摻雜銦離子之氧化鋅薄膜電晶體 I_D-V_D 電性圖形 (b) $x=0.03$ 之 $Zn_{(1-x)}Zr_xO$ 薄膜電晶體 I_D-V_D 電性圖形



圖六 銦離子摻雜之氧化鋅薄膜電晶體 I_D-V_G 電性圖形

x in $Zn_{(1-x)}Zr_xO$	μ_{sat} (cm ² /Vs)	V_{th} (V)	I_{off} (A/ μ m)	I_{on}/I_{off}
0.00	0.40	-31.9	7.20×10^{-7}	<10
0.01	0.34	-9.90	2.86×10^{-11}	1.34×10^5
0.03	0.28	4.72	3.24×10^{-13}	8.89×10^6
0.05	0.10	10.4	2.14×10^{-13}	4.28×10^6
0.10	0.03	20.5	1.28×10^{-13}	1.52×10^6

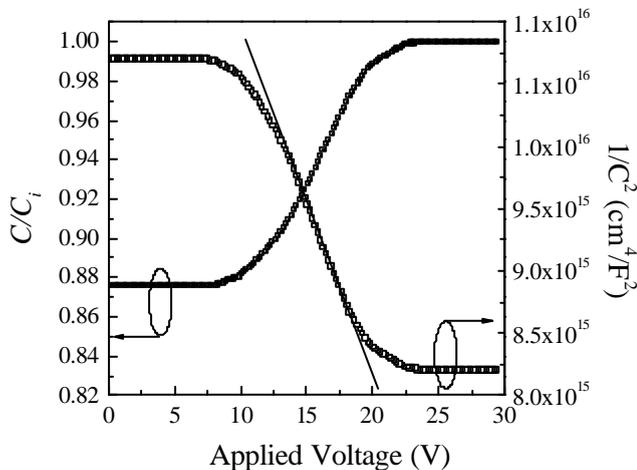
表一 銦離子摻雜之氧化鋅薄膜電晶體電性整理

成散射中心(scattering center),因而降低元件的遷移率。另外,元件遷移率的降低也可能肇因於摻雜了銦離子之氧化鋅薄膜結晶性變差所致。

為探討銦離子的摻雜對氧化鋅薄膜半導體特性的影響,本計畫將銦離子摻雜之氧化鋅薄膜製成金屬-二氧化矽-半導體(metal-oxide-semiconductor, MOS)結構,以電容-電壓(capacitance-voltage, C-V)量測可計算半導體薄膜中之載子濃度(carrier concentration)。半導體中載子濃度可由(1)求得：

$$n = -2[qe_s (dC^{-2} / dV)]^{-1} \quad (1)$$

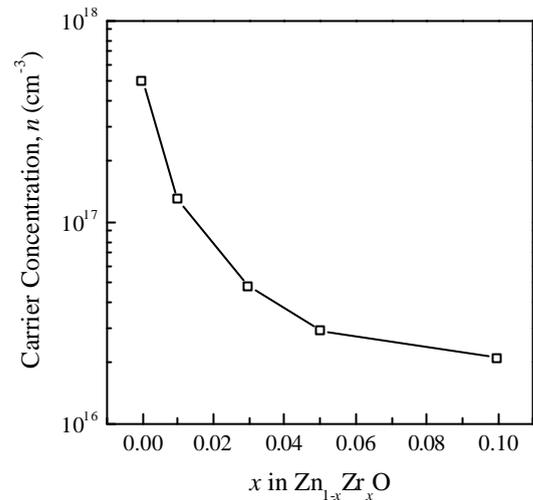
其中 e_s 為半導體之介電常數。在頻率為 1 MHz 下之電容-電壓特性如圖七所示,而薄膜之載子濃



圖七 MOS 結構之銦離子摻雜氧化鋅半導體電壓-電容特性

度與銦離子摻雜量之關係如圖八所示。由圖八中可發現薄膜之載子濃度隨銦離子摻雜量而降低。此一現象可解釋電晶體之關閉電流隨銦離子摻雜量而降低。而氧化鋅半導體之載子濃度隨銦離子摻雜量下降的原因則可能是起因於摻雜銦離子後伴隨之晶粒縮小。Hossain 等人曾提出氧化鋅薄膜電晶體之物理模型,依據他們所提出之

模型,當通道中氧化鋅之晶粒縮小時,傳導帶



圖八 銦離子摻雜之氧化鋅薄膜載子濃度與銦離子摻雜濃度之關係

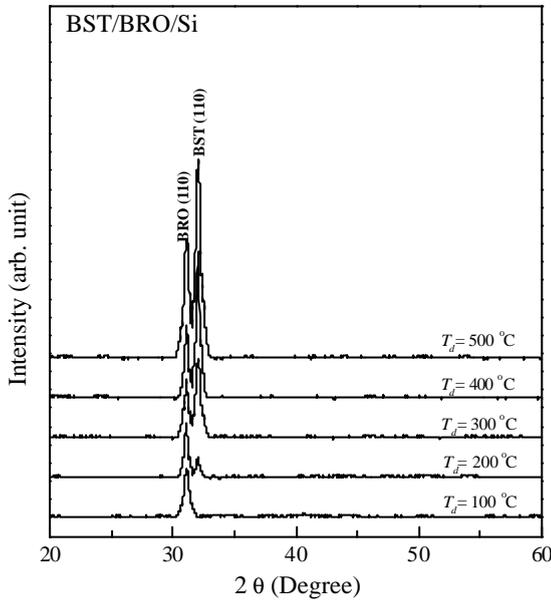
(conduction band, E_C)與費米能階(Fermi level, E_F)間之能隙便會增加;另外由於氧化鋅之晶界屬於雙蕭特基能障(double Schottky barrier),較小的晶粒會使傳導帶上之電子濃度受到晶界上蕭特基能障的空乏,使傳導帶上的電子濃度降低。在未摻雜銦離子的氧化鋅薄膜中,電子濃度大於 10^{17} cm⁻³。而銦離子摻雜濃度為 3 mol%之氧化鋅薄膜電子濃度約可降低至 10^{16} cm⁻³。由於電晶體通道中電子濃度的降低,電晶體的操作模式便可由空乏模式(depletion mode)改變為增強模式(enhancement mode),大大增加了電晶體之開關比。

2. 以鈦酸鋇鋇薄膜作為銦離子摻雜之氧化鋅薄膜電晶體閘極絕緣層電性分析：

雖然本計畫以摻雜銦離子之氧化鋅薄膜成功製備出高開關比之薄膜電晶體,但銦離子摻雜之氧化鋅薄膜電晶體之載子遷移率仍太低,且其操作電壓過高(100V)。故本計畫第二部分以高介電之鈦酸鋇鋇薄膜作為氧化鋅薄膜電晶體閘極絕

緣層，以提升薄膜電晶體之電性。

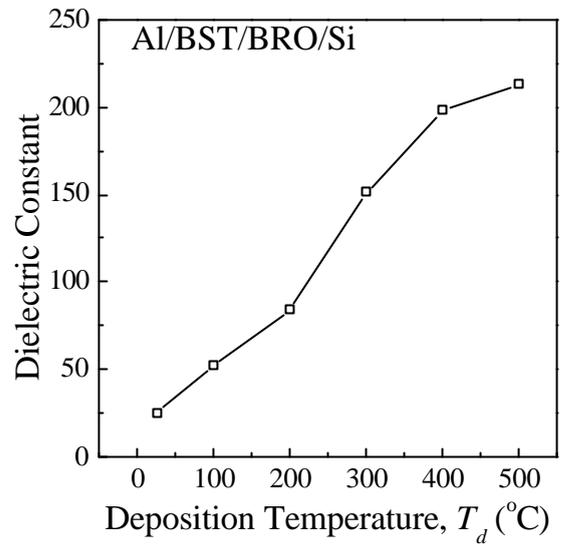
由於鈦酸鋇與鈦酸鋇鋇具有相同之晶體結構以及近似之晶格常數，故文獻中已驗證在鈦酸鋇電極上沈積鈦酸鋇鋇高介電薄膜有助於降低鈦酸鋇鋇薄膜之結晶溫度並提升其介電常數。圖九為在不同沈積溫度下，鈦酸鋇鋇/鈦酸鋇薄膜之



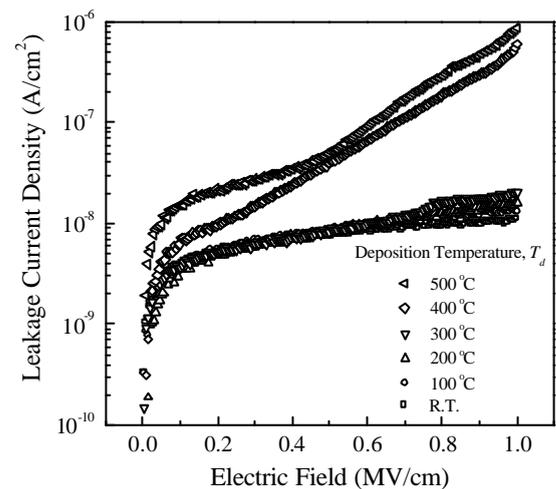
圖九 不同沈積溫度下，BST/BRO 薄膜之 XRD 繞射圖譜

X-ray 繞射圖譜。由圖九可知，鈦酸鋇鋇(110)方向之繞射峰出現在沈積溫度 200 左右。此一結晶溫度遠低於以 Pt 作為底電極之結晶溫度，原因在於鈦酸鋇電極提供鈦酸鋇鋇薄膜優選方向 (preferred orientation)，因而降低了鈦酸鋇鋇薄膜之結晶溫度。圖十為不同沈積溫度下鈦酸鋇鋇薄膜之介電常數。可發現鈦酸鋇鋇薄膜之介電常數隨沈積溫度上升而提高，這是因為在較高的沈積溫度下鈦酸鋇鋇薄膜具有較佳之結晶性所致。值得注意的是，以鈦酸鋇為底電極沈積溫度為 300 時，鈦酸鋇鋇薄膜之介電常數為 151，遠高於以 Pt 為底電極之介電常數 ($T_d \sim 300$ ， $\epsilon_r \sim 50$)。

圖十一為鈦酸鋇鋇/鈦酸鋇在不同沈積溫度下之漏電流特性。由圖十一可發現，鈦酸鋇鋇之漏電流特性在介於常溫至 300 間相當接近，且在相同電場下，以鈦酸鋇為底電極之漏電流遠低於以 Pt 為底電極之漏電流。這是由於鈦酸鋇提供了良好之晶格匹配，故鈦酸鋇鋇/鈦酸鋇介面間之缺



圖十 不同沈積溫度下，BST/BRO 薄膜之介電常數



圖十一 不同沈積溫度下，BST/BRO 之漏電流特性

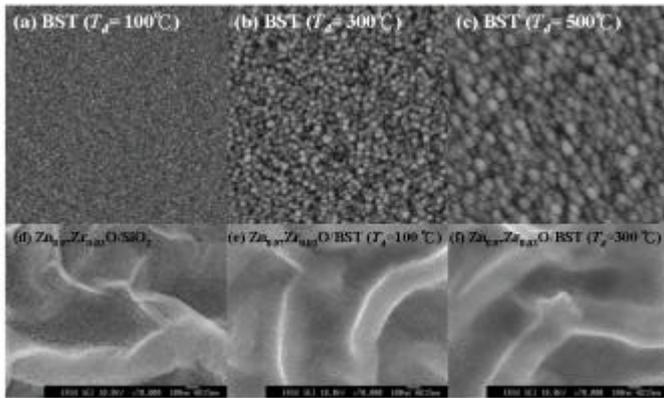
陷也較以 Pt 為底電極來的少，故具有較低之漏電流。然而，沈積溫度在 400 至 500 時，鈦酸鋇鋇薄膜漏電流數值較沈積溫度在 300 以下高了兩個數量級以上。儘管沈積溫度在 400 至 500 時鈦酸鋇鋇具有更高之介電常數，但高漏電流並不適合用於電晶體之閘極絕緣層。故鈦酸鋇鋇閘極絕緣層之理想沈積溫度應介於常溫至 300 間。

圖十二(a)至(c)為鈦酸鋇鋇薄膜在不同沈積溫度下之 AFM 表面影像，可發現鈦酸鋇鋇薄膜在越高之沈積溫度具有越大之晶粒大小，此一結果

Gate insulators	ϵ_r	D_{it} ($\text{cm}^{-2}\text{eV}^{-1}$)	m_{sat} (cm^2/Vs)	V_{th} (V)	S (V/dec)	I_{ON}/I_{OFF}
SiO ₂	3.9	8.14×10^{12}	0.24	3.92	10.3	5.26×10^6
BST ($T_d = \text{R. T.}$)	25	5.03×10^{12}	0.35	3.53	1.47	2.45×10^5
BST ($T_d = 100$)	52	1.47×10^{12}	0.79	3.03	1.07	1.16×10^6
BST ($T_d = 200$)	84	8.97×10^{11}	1.11	1.98	0.99	3.65×10^6
BST ($T_d = 300$)	151	5.44×10^{11}	1.40	1.45	0.61	7.04×10^6

表二 不同閘極絕緣層之 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜電晶體電性整理

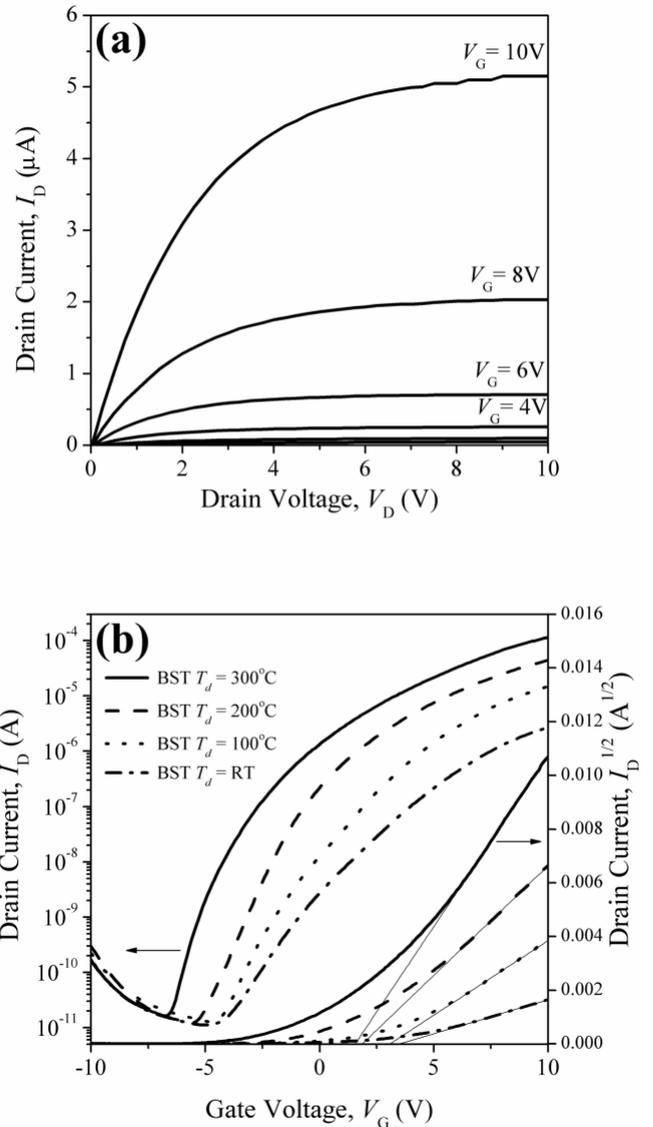
與圖九之 X-ray 繞射圖譜吻合。圖十二(d)-(f)分別為 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜沈積在 SiO₂，鈦酸鋇鋇 ($T_d = 100$) 以及鈦酸鋇鋇 ($T_d = 300$) 之 SEM 表面影像。可發現沈積在此三種介電薄膜上之 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜表面結構並無太大變化。



圖十二 (a)-(c) 不同沈積溫度之 BST 薄膜表面 AFM 影像; (d)-(f) $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜沈積在 SiO₂，鈦酸鋇鋇 ($T_d = 100$) 以及鈦酸鋇鋇 ($T_d = 300$) 之 SEM 表面影像

圖十三(a)為以常溫下沈積之鈦酸鋇鋇薄膜為 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜電晶體閘極絕緣層之汲極電流-汲極電壓電性圖形。可發現相較於 SiO₂，以鈦酸鋇鋇為閘極絕緣層之薄膜電晶體之操作電壓由 100V 降為 10V。由於高介電閘極絕緣層可提高閘極之電容值，閘極電極與半導體層間之耦合亦隨之提高，故可降低元件之操作電壓。圖十三(b)為以沈積溫度為常溫至 300 之鈦酸鋇鋇薄膜為 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜電晶體閘極絕緣層之汲極電流-閘極電壓電性圖形。以 SiO₂ 以及沈積於常溫至 300 之鈦酸鋇鋇閘極絕緣層之 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜電晶體特性摘要列於表二。

為探討不同之閘極絕緣層對 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜電晶體電性之影響，本計畫使用準低頻 (quasistatic) 以及高頻 (100 kHz) 之電容-電壓量測



圖十三 (a) 以常溫沈積之 BST 為 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜電晶體閘極絕緣層之 I_D - V_D 電性圖形; (b) 沈積溫度為常溫至 300 之鈦酸鋇鋇薄膜為 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜電晶體閘極絕緣層之 I_D - V_G 電性圖形

電晶體之介面陷阱密度 (interface trap density, D_{it})，並摘要於表二。以 SiO₂ 為閘極絕緣層具有極高之介面陷阱密度 ($8.14 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$)，而鈦酸鋇鋇閘極絕緣層則可改善介面陷阱密度。由表

二所示，介面陷阱密度隨鈦酸鋇鋇薄膜沈積溫度而降低，沈積溫度為 300 之鈦酸鋇鋇閘極絕緣層其陷阱密度可改善至 $5.44 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 。由於沈積溫度較高之鈦酸鋇鋇薄膜具有較佳之結晶性，薄膜表面特性也可因此改善，故可改善介面陷阱密度。另外，本計畫亦以電容-電壓量測計算 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 之載子濃度。沈積於 SiO_2 及不同沈積溫度鈦酸鋇鋇閘極絕緣層之 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 半導體，其載子濃度介於 3.97 至 $4.04 \times 10^{16} \text{ cm}^{-3}$ ，這表示 $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 半導體之載子濃度不隨著閘極絕緣層的不同而改變。由表二可知， $\text{Zn}_{0.97}\text{Zr}_{0.03}\text{O}$ 薄膜電晶體之載子遷移率、臨限電壓以及次臨限斜率等元件特性均隨鈦酸鋇鋇薄膜沈積溫度而改善，應是由於鈦酸鋇鋇介面陷阱密度改善所致。

五、 結論

本研究以鋅離子摻雜氧化鋅半導體製作薄膜電晶體，藉由鋅離子之摻雜縮小氧化鋅薄膜之晶粒大小，因而降低薄膜之載子濃度，而改善薄膜電晶體之關閉電流，使元件開關比有大幅度之提升。另外使用高介電之鈦酸鋇鋇薄膜取代 SiO_2 作為元件之閘極絕緣層，由於鈦酸鋇鋇之高介電特性，使元件之操作電壓由 100V 降低至 10V，且鈦酸鋇鋇閘極絕緣層並改善薄膜電晶體之介面陷阱密度，因而使薄膜電晶體之遷移率、臨線電壓以及次臨線斜率等電性均獲得大幅度改善。

六、 參考文獻

- [1] T. Minami: Mater. Res. Bull. **25** (2000) 38.
- [2] T. J. Coutts, D. L. Young, and X. Li: Mater. Res. Bull. **25** (2000) 58.
- [3] R. F. Service: Science **276** (1997) 895.
- [4] P. Yu, Z. H. Tang, G. K. Wong, M. Kawasaki, A. Ohtomo, H. Koinuma, and Y. Segawa: Solid State Commun. **103** (1997) 459.
- [5] S. Masuda, K. Kitamura, Y. Okumura, S. Miyatake, H. Tabata, and T. Kawai: J. Appl. Phys. **93** (2003) 1624.
- [6] J. Nishii, F. M. Hossain, S. Takagi, T. Aita, K. Saikusa, Y. Ohmaki, I. Ohkubo, S. Kishimoto, A. Ohtomo, T. Fukumura, F. Matsukura, Y. Ohno, H. Koinuma, H. Ohno and M. Kawasaki: Jpn. J. Appl. Phys. **42** (2003) L347.
- [7] R. L. Hoffman, B. J. Norris and J. F. Wager:

- Appl. Phys. Lett. **82** (2003) 733.
- [8] P. F. Carcia, R. S. McLean, M. H. Reilly and G. Nunes, Jr: Appl. Phys. Lett. **82** (2003) 1117.
- [9] Y. Ohya, T. Niwa, T. Ban, and Y. Takahashi: Jpn. J. Appl. Phys. **40** (2001) 297.
- [10] B. J. Norris, J. Anderson, J. F. Wagner, and D. A. Keszler: J. Phys. D: Applied Phys. **36** (2003) L107.
- [11] F. M. Hossain, J. Nishii, S. Takagi, A. Ohtomo, T. Fukumura, H. Fujioka, H. Ohno, H. Koinuma, and M. Kawasaki: J. Appl. Phys. **94** (2003) 7768.
- [12] J. Levinson, F. R. Shepherd, P. J. Scanlon, W. D. Westwood, G. Este, and M. Rider: J. Appl. Phys. **53** (1982) 1193.
- [13] A. Ohtomo, M. Kawasaki, T. Koida, K. Masubuchi, H. Koinuma, Y. Sakurai, Y. Yoshida, T. Yasuda, and Y. Segawa: Appl. Phys. Lett. **72**, (1998) 2466.
- [14] D. Zhao, Y. Liu, D. Shen, Y. Lu, J. Zhang, and X. Fan: J. Appl. Phys. **90** (2001) 5561.