

行政院國家科學委員會補助專題研究計畫成果報告

深次微米 MOSFET 穿遂漏電流, 鎖定及靜電放電之研究 (II)

計畫類別： 個別型計畫 整合型計畫
計畫編號：NSC 88 - 2215 - E - 009 - 049
執行期間：88 年 8 月 1 日至 89 年 7 月 31 日

計畫主持人：陳明哲

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學電子工程學系

中 華 民 國 89 年 8 月 24 日

行政院國家科學委員會 專題研究計畫成果報告

深次微米 MOSFET 穿隧漏電流，鎖定及靜電放電之研究(II)

Tunneling Leakage, Latch-up, and ESD in Deep Submicron MOSFETs(II)

計畫編號：NSC 88-2215-E-009-049

執行期限：88 年 8 月 1 日至 89 年 7 月 31 日

主持人：陳明哲教授 國立交通大學電子工程學系

一、中文摘要

本計劃深入研究深次微米 MOSFET's 可靠性的三項重要課題：穿隧漏電流，靜電放電及電路鎖定，在穿隧漏電流方面，進行(1)建立物理解析式陷井輔助穿隧模式以解釋並重現不同溫度下實驗數據；(2)將口袋型及反穿透離子佈植最佳化以控制基座穿隧漏電流；及(3)利用三維蒙特卡羅模擬軟體亂數產生薄氧化層內部陷井分佈以與穿隧所引致漏電流增加和介電破壞做一連結並重現實驗結果。鎖定和靜電放電方面則(1)建立物理解析模式以重現高溫磊晶式 CMOS 鎖定實驗數據；及(2)將靜電放電保護結構人體及機器模式故障電壓、過高應力電流脈衝故障實驗以及電熱故障模式加以整合做一密切關聯。

關鍵詞：穿隧漏電流 氧化層崩潰 深次微米 靜電放電 鎖定 超大型積體電路

Abstract

The project will extensively investigate the three important topics concerning the deep submicron MOSFET's reliability: Tunneling Leakage, ESD, and Latch-up. To be performed for the tunneling leakage issue are (1) Construct a physically-based analytic trap-assisted tunneling model in order to explain and reproduce the experimental data at different

temperatures; (2) Optimize the pocket and anti-punchthrough implant dosage/energy and angle in processes aiming to control the bulk tunneling leakage, and (3) Use a three-dimensional Monte-Carlo simulator to generate randomly the trap distribution in ultra-thin oxides and make a linking to the stress induced-leakage current SILC and the dielectric breakdown in processes. For the remaining two topics, we will (1) establish a new physically-based model to reproduce the high-temperature latch-up data in epi-CMOS; and (2) make a concise linking between the ESD HBM and MM mode failure voltages, the EOS current pulse failure experiment and the electro-thermal failure model.

Keywords: Tunneling Leakage, Oxide breakdown, Deep Submicron, ESD, Latch-up, VLSI

二、緣由與目的

我國的半導體工業正穩健的向深次微米之路邁進，現階段已漸次具備 0.18 μm 級的量產能力，今年底可將技術層次推向預定的 0.13 μm 或更為保守的 0.15 μm 製程。然現階段可靠性問題如應力引致漏電流 (SILC)，軟崩潰 (Soft Breakdown)，直接穿透 (Direct Tunneling) 等嚴重困擾國內半導體工業界，且隨著製程技術的 scaling，上述議題越來越重要。

三、研究方法與成果

(1) 機率路徑(percolation path):

由於因時變化的介電崩壞是一個包含隨機產生陷阱與路徑形成的行為，要建立完整的模型也必須包含說明陷阱產生機制的物理模型以及描述隨機行為的統計模型。文獻中兩套經常被引用的模型、因為分別採用不同的物理與不同的統計模型，這使得兩者之間的實驗數據無法進行比較。對此、我們針對統計模型部分進行參數相關性的研究，發現解析式統計模型與蒙地卡羅透析模型參數間有明顯的相關性，說明參數值的選擇應該將此相關性列入考慮以保證不同模型間的一致性。蒙地卡羅透析模型雖然在解釋本質崩壞統計結果的面積及厚度效應上有不錯的表現，然而，需要很長的計算時間則是其缺點，有鑑於此，建立一個解析式的經驗公式有其實際應用上的需要。同時、以此本質經驗公式為基礎，配合“等效厚度薄化”與兩區域競爭觀念，更可將公式進一步推廣應用至異質崩壞的部分，除了原本的計算快速特性之外，經由配適實驗數據萃取所得的參數，可用以評估介電層品質的優劣、製程中所受到的傷害程度等。至此，一套完整而實用並可同時應用於本質與異質崩壞區的統計模型已然成功地被建立。加入“等效厚度薄化”觀念的蒙地卡羅透析模型被用來驗證前述模型，在驗證過程中，由模擬的結果發現，解釋統計數據還需要注意樣本的數量，特別是在異質崩壞的部分，有限的樣本數限制之下，在累進損壞率圖中的最小資料點的解釋也要審慎、保守，也就是說，這(些)資料可能並不具有統計上的意義。

(2) 應力引致漏電流(SILC):

本實驗室研究群已成功完成以照光技巧得到 $N_T \propto t^{0.5}$ 關係式，此加速劣化因素之應統一“unique”可提列為一大議題。此方法將刊在 8 月 IEEE TED 2000 年，並延伸 $N_T \propto t^{0.5}$ 關

係式應用在 SILC 及 TDDDB 上，同時，我們在 8 月將此想法完成 paper 提至 IEEE TED。

(3) 軟崩潰(Soft Breakdown):

目前本研究群在軟崩潰的議題上，對其根本之物理機制已深入了解，已具有相當豐富成果與研究經驗，並已發表一篇 paper 在 7 月 APL 2000 年，被評定為“a nice paper”以及深受國際肯定。

(4) 直接穿透(Direct Tunneling):

在量子穿透漏電流的部分，雖然將之列入可靠性議題的範疇可能引發爭議，但由於介電層的電流傳導主要藉由量子穿透效應，即使有高電場加速劣化產生的陷阱輔助，其導通模型的建立，仍需側重對量子物理的了解。因此，建立穿透漏電流的解析公式可視為對任何劣化下的介電層導通機制探討的基礎。首先、針對{P}型複晶矽閘{P}通道金氧半電晶體中的電洞進行解析公式的推導。透過解析公式可以清楚了解電洞分布在各量化後次能帶的比例以及各次能帶電洞對穿透漏電流的貢獻。這部分的研究旨在補足文獻中僅針對電子所做的類似分析。在{P}型複晶矽閘{P}通道金氧半電晶體中，當閘極氧化層厚度降至大約 3 毫微米或更薄時，電洞穿透漏電流在沒有導帶電子穿透漏電流的情形下、將超過價帶電子穿透漏電流成為主要的穿透漏電流。另一方面、將前述解析公式稍作修改，可進一步應用於閘-汲極重疊區域的穿透漏電流分析，當閘極氧化層厚度降至 2 毫微米，這部分的漏電流將因為平帶電壓的差別造成邊緣漏電流大於通道區域漏電流以及閘極引致汲極漏電流，成為關態下電晶體的主要漏電流成分。透過解析公式萃取出邊緣漏電流發生區域的寬度大約是 60 埃。

(5) ESD/Latch-up:

在 EOS/ESD 及 Latch-up 方面，完成了高

溫 latch-up 研究 (以 5 個不同 epi 厚度及 4 個不同 n-p 間距為參數的 testkey)。最近漸次完成 EOS/ESD 保護結構之高電流暫態量測、故障量測及物理機制導出解釋實驗結果。

四、結論與討論

1.2000 IEDM 接受發表一篇 Edge Hole Tunneling 論文。

2.1999 年 9 月迄目前,共發表九篇論文。

五、參考文獻

[1] Huan-Tsung Huang, Ming-Jer Chen, Jyh-Huei Chen, Chi-Wen Su, Chin-Shan Hou, and Mong-Song Liang, "Monte-Carlo sphere model for "effective oxide thinning" induced extrinsic breakdown," *International Conference on Solid State Devices and Materials*, Ext. Abs., pp. 320-321, September 1999(Tokyo).

[2] Ming-Jer Chen, Huan-Tsung Huang, Jyh-Huei Chen, Chi-Wen Su, Chin-Shan Hou, and Mong-Song Liang, "Cell-based analytic statistical model with correlated parameters for intrinsic breakdown of ultra-thin oxides," *IEEE Electron Device Letters*, vol.20, pp. 523-525, October 1999.

[3] Huan-Tsung Huang, Ming-Jer Chen, Jyh-Huei Chen, Chi-Wen Su, Chin-Shan Hou, and Mong-Song Liang, "Monte Carlo sphere model for "effective oxide thinning" induced extrinsic breakdown," *JJAP*, pp. 2026-2029, April 2000.

[4] Ming-Jer Chen, Ting-Kuo Kang, Chuan-His Liu, Yih J. Chang, Kuan-Yu Fu, "Oxide thinning percolation statistical model for soft breakdown in ultrathin gate oxides," *Applied Physics Letters*, pp. 555- 557, July 2000.

[5] Ming-Jer Chen, Ting-Kuo Kang, Chuan-His Liu, Yih J. Chang, Kuan-Yu Fu, "Forward gated-diode measurement of filled traps in high-field stressed thin oxides," *IEEE Trans. Electron Devices*, pp. 1682-1683, August 2000.

[6] K. N. Yang, H. T. Huang, M. J. Chang, C. M. Chu, Y. S. Chen, M. J. Chen, Y. M. Lin, M. H. Yu, S. M. Jang, C. H. Yu, M. S. Liang, "A physical model for hole direct tunneling current in p+ poly-gate pMOSFETs with ultrathin gate oxides," *IEEE Trans. Electron Devices* November 2000 (accepted).

[7] K. N. Yang, H. T. Huang, M. J. Chang, C. M. Chu, Y. S. Chen, M. J. Chen, Y. M. Lin, M. H. Yu, S. M. Jang, C. H. Yu, M. S. Liang, "Edge direct tunneling (EDT) induced drain and gate leakage in ultrathin gate oxide MOSFETs," *SSDM*(Sendai, Japan), August 2000(accepted).

[8] Huan-Tsung Huang, Ming-Jer Chen, "A novel sphere-based statistical model for local oxide thinning induced gate oxide breakdown," *SSDM*(Sendai, Japan), August 2000(accepted).

[9] K. N. Yang, H. T. Huang, M. J. Chen, Y. M. Lin, M. H. Yu, S. M. Jang, C. H. Yu, M. S. Liang, "Edge hole direct tunneling in off-state ultrathin gate oxide p-channel MOSFETs," *IEDM*, 2000 (accepted).

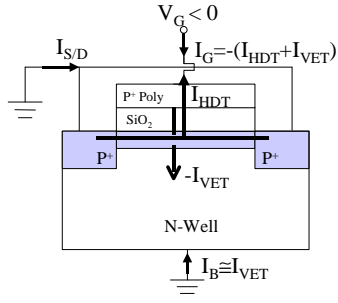


Fig.1

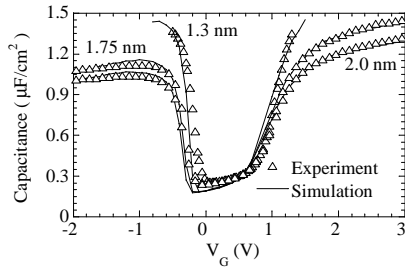


Fig.2

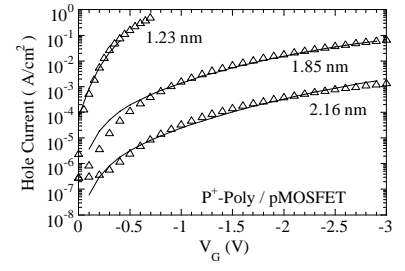


Fig.3

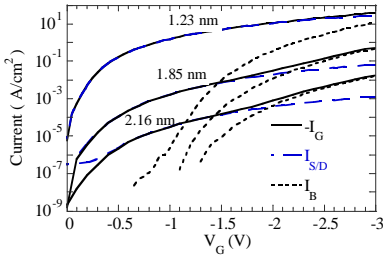


Fig.4

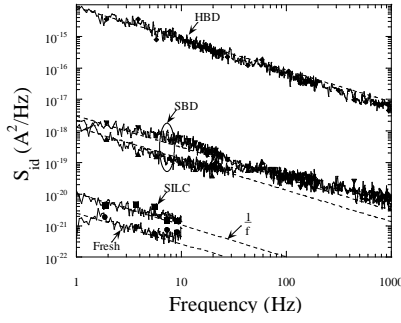


Fig.5

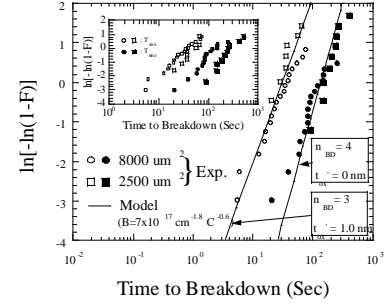


Fig.6

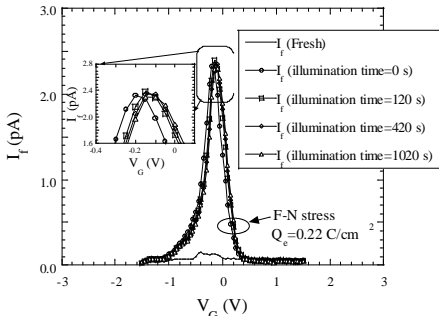


Fig.7

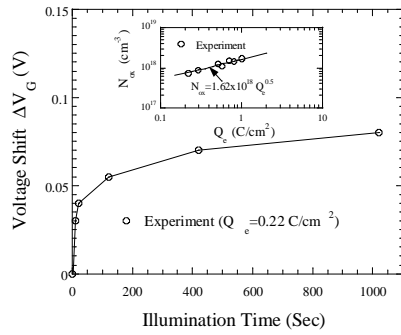


Fig.8

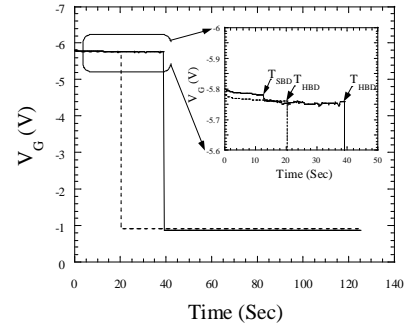


Fig.9

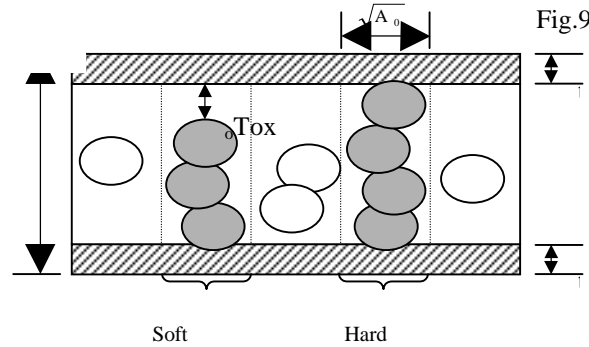


Fig.11

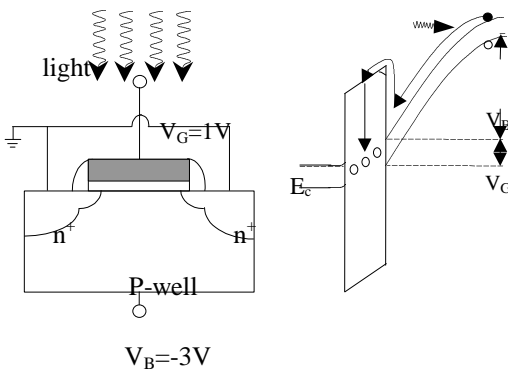


Fig.10