

行政院國家科學委員會補助專題研究計畫成果報告

RF CMOS 特性量測，模式建立與可靠性研究

計畫類別：個別型計畫

計畫編號：NSC - 89 - 2215 - E - 009 - 034

執行期間：88 年 8 月 1 日至 89 年 7 月 31 日

計畫主持人：汪大暉

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：交通大學電子工程學系

中 華 民 國 88 年 10 月 20 日

RF CMOS 特性量測，模式建立與可靠性研究

RF CMOS Characterization, Modeling and Reliability Study

計畫編號：NSC 89-2215-E-009-034

執行期限：88 年 8 月 1 日至 89 年 7 月 31 日

主持人：汪大暉 國立交通大學電子工程學系

一、中文摘要

由於無線通訊的發展，RF CMOS 已成為一極具前瞻性之研究領域。在本計劃中，吾人首先測量元件高頻 S-參數與雜訊特性，並建立與 BSIM3 相容之高頻電路模式及完成模式參數萃取流程。在雜訊特性方面，吾人由所建立的 RF CMOS 電路模式估計閘極與基極電阻對雜訊的影響，並進而模擬雜訊參數。

關鍵詞：RF CMOS，S-參數，雜訊，電路模式，基極電阻。

Abstract

RF CMOS has been considered to be a very promising technology in wireless communication due to its low cost, low power operation and VLSI capability. In this project, the device high frequency S-parameters and noise properties have been characterized. Then, we develop a BSIM3 compatible RF CMOS model and establish a model parameter extraction procedure. In addition, we estimate the gate and substrate resistances effect on the noise properties and calculate noise parameters from the high frequency RF CMOS model.

Keywords: RF CMOS, S-parameters, noise, RF CMOS model, substrate resistance.

二、計劃緣由與目的

由於無線通訊的蓬勃發展以及廣大潛力，RF CMOS 已成為一極具前瞻性之研究領域。相較於 GaAs 或 Bipolar 技術，CMOS 具有低成本，低功率消耗以及 VLSI 製作能力等優勢。隨著 CMOS 元件尺寸繼續縮小，gm 上升，以及元件技術的創新(例如 SiGe)，預估當閘極長度低於 0.15 μm

時，CMOS 將較 BiCMOS 更具競爭優勢 [1]。近年來，無論學術界或工業界對於 RF CMOS 之研究，均相當積極。每年 IEDM、VLSI，均有相關論文發表。目前利用 0.25 μm CMOS 元件製作之電路，其操作頻率已可達 10GHz 以上 [2]。由於 RF 電路之設計，必須考量元件間阻抗匹配，準確的元件高頻模式，模式參數萃取以及元件雜訊(noise)特性等可靠因素，將成為技術發展之重要關鍵。

在 RF CMOS 電路模式方面，由於現有小訊號模式大部分皆建立於低頻觀點上，當元件操作於高頻時(>1GHz)，額外之雜散電容，電感與電阻效應將逐漸呈現，傳統之低頻模式將不在適用。另一方面，BSIM3 之 CMOS 模式已漸成為數位電路設計所共通使用之電路模式，而建立完整的元件參數萃取流程與建立 BSIM3 相容之 RF 電路模式，為目前眾多研究機構之努力目標 [3,4]。

三、結果與討論

在高頻的操作模式之下，原有的 MOS 小訊號等效電路已不符使用。經由 S-參數的量測，我們可觀察出必須把閘極與基極電阻效應考慮進去；這是因為高頻訊號可分別經由閘極電容(C_{ox})與源極及汲極之接面電容而行成通路。其示意圖如圖一所示。

圖二為 S_{11} 量測結果。在低頻處，我們可以估算出大約 750 Ω 的純電阻，這是因為我們使用的元件在閘極有一 leakage path；而在高頻處， S_{11} 跟隨著一個電阻約為 10 Ω 的 contour，且呈現電容性。綜合以上資料，我們可得到由閘極端看入的輸入阻抗等效電路，如圖二右方所示。

圖三為 S_{22} 量測結果。同理我們可以約略看出由汲極端看入的輸入阻抗等效電路，如圖三右方所示。

經由 S-參數的觀察，我們可以建立完整的 RF CMOS model，如圖四所示，我們將根據此 model，並利用 IC-CAP 來作 DC 與 AC 的參數萃取。圖五到圖八為我們模擬的結果，與量測值相吻合。由 DC 參數的萃取，我們可以得到 BSIM3 MOS model 的標準參數；而由 S_{11} 可萃取出 R_g 與 R_L ，由 S_{22} 可萃取出 R_{sub} ，由 S_{12} 則可萃取出 C_{GDO} ，其結果並列於圖五之中。

有了完整的 RF CMOS model 之後，我們將利用 noise-two-port 的概念來估算閘極電阻與基極電阻對雜訊特性的影響。首先我們必須先排除先前提到的 leakage path ($R_L=750\Omega$) 所產生的 thermal noise，經由雜訊等效電路 de-embedding 的結果，我們可扣除此部分所產生的雜訊，如圖九之曲線 B 所示。

為了估算方便，我們將 substrate network 簡化成單純的一個電阻 R_B ，其示意圖如圖十所示，經由 IC-CAP 的參數萃取流程我們可得到 $R_B \approx 25\Omega$ ， $C_{DB} = C_{SB} \approx 566\text{fF}$ 。小訊號模型如圖十一所示，根據此模型，我們可以推導出雜訊參數的 analytical form，如下所示：

$$\begin{aligned}
 In &\approx \frac{jwC_{GS}(I_{dn} + I_B)}{g_m} \\
 Vn &\approx V_G + \frac{1 + jwR_G C_{GS}}{g_m} (I_{dn} + I_B) \\
 \Rightarrow \\
 Gn &= \frac{\overline{In}^2}{4KTB} = \frac{w^2 C_{GS}^2 \chi_{g,d0}}{g_m^2} + \frac{w^4 R_B C_{GS}^2 C_{DB}^2}{[1 + (wR_B C_{DB})^2] g_m^2} \\
 Ru &= \frac{\overline{Vu}^2}{4KTB} = R_G \quad (\overline{V_G}^2 = 4KTR_G B) \\
 Zc &= Rc + jXc = R_G + \frac{1}{jwC_{GS}} \\
 R_{opt} &= \sqrt{\frac{R_G}{Gn} + R_G^2} \\
 X_{opt} &= \frac{1}{wC_{GS}} \\
 F_{min} &= 1 + 2Gn(R_G + R_{opt})
 \end{aligned}$$

根據雜訊等效電路 de-embedding 的方法與雜訊參數的 analytic form，我們將估計閘極電阻與基極電阻對雜訊參數的影響，如圖十二所示。由圖中我們可以觀察出在

頻率為 2GHz 處， R_B 與 R_G 均分別有 0.3dB 的影響；除此之外，我們還可看出在較低頻時， R_B 所造成的雜訊效應相對上來說較 R_G 為大，而 R_G 所造成的雜訊效應隨著頻率的增加而增加。

由 Gn 的 analytic form 我們可以看出，當 R_B 趨近於 0 或趨近於無限大時，最後一項所造成的效應越不明顯。這告訴我們如能將 MOS 的 R_B 降到最低，或是如 SOI 結構一樣將 R_B 提升到無限大，均可降低基極電阻所造成的雜訊效應。

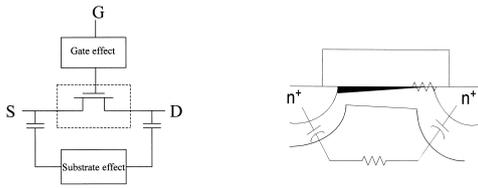
接下來，我們可由小訊號模型來模擬雜訊參數。在我們的量測結果中， F_{min} 是沒有 leakage path 的元件所量到的結果。首先，由量測的 S 參數萃取出 R_G 、 C_{GS} 、 g_m 等參數，再加上先前萃取出來的 R_B 與 C_{DB} 、 C_{SB} ，將這些參數帶入 noise analytical model，即可模擬雜訊參數。如圖十三到十六所示，均與量測結果吻合。

四、結論

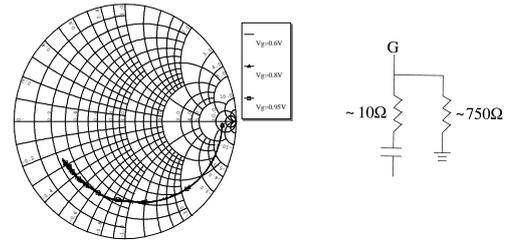
本研究建立了完整的 RF CMOS model 與參數萃取之流程，其主要關鍵在於 substrate network 的模式建立。在雜訊分析方面，我們估算出在頻率為 2GHz 處， R_B 與 R_G 均分別有 0.3dB 的影響，所以，如何降低 R_B 與 R_G 所造成的雜訊，將為降低雜訊的關鍵。

五、參考文獻

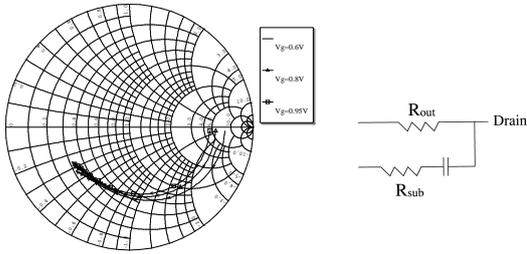
- [1] Private communication (with Lucent Technology)
- [2] B. Razavi et al, *IEEE International Solid-State Circuits Conference*, p.176, 1994
- [3] W. Liu et al, *IEDM Tech. Dig.*, p.309, 1997
- [4] J. J. Ou et al, *VLSI Symp. Dig.*, p.94, 1998



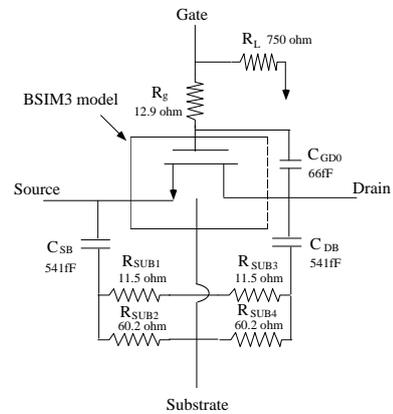
圖一 閘極與基極電阻效應示意圖



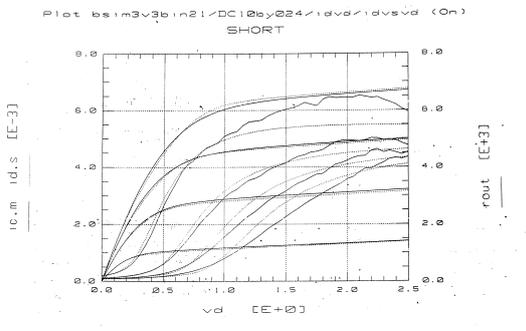
圖二 S_{11} 量測結果與閘極輸入端等效電路



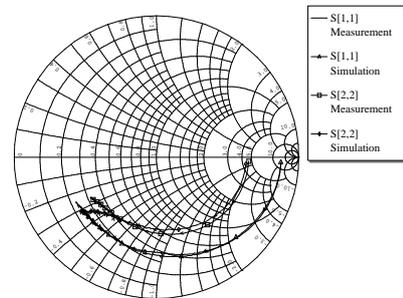
圖三 S_{22} 量測結果與汲極輸出端等效電路



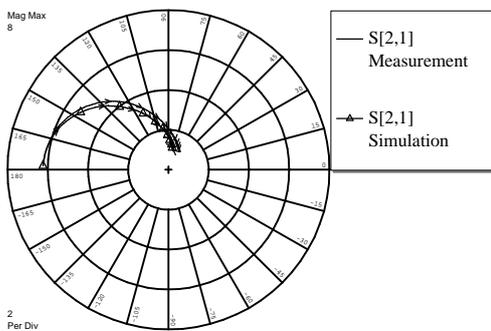
圖四 完整 RF CMOS 模型



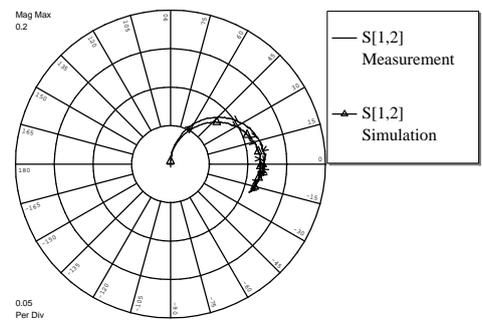
圖五 DC 特性量測與模擬結果



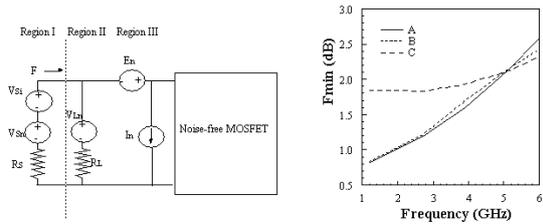
圖六 S_{11}, S_{22} 量測與模擬結果



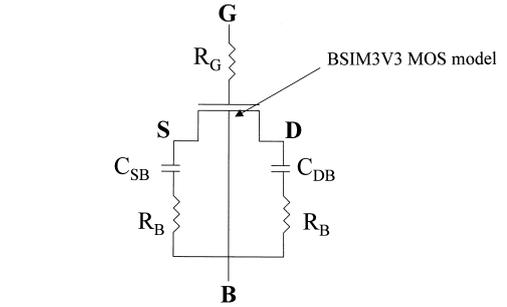
圖七 S_{21} 量測與模擬結果



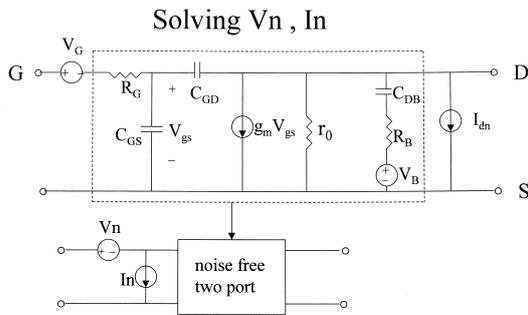
圖八 S_{12} 量測與模擬結果



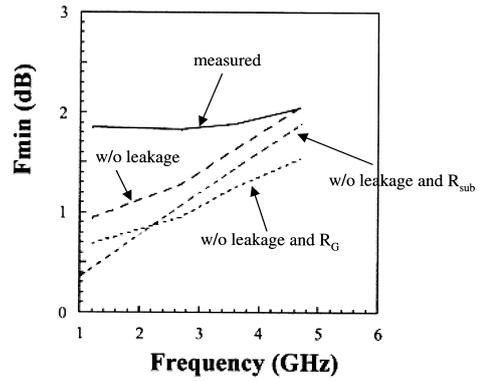
圖九 A : w/ leakage path B : de-embedding leakage path C : w/o leakage path



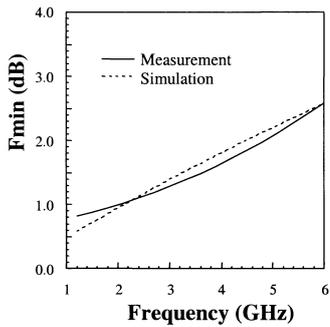
圖十 簡化 substrate network 後之等效電路



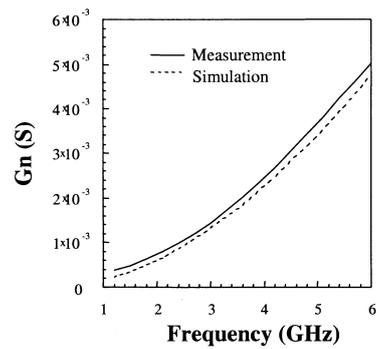
圖十一 雜訊小訊號模型



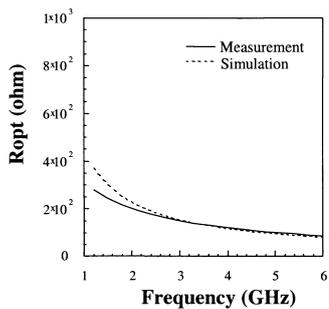
圖十二 閘極與基極電阻效應



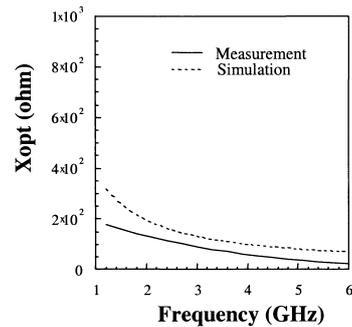
圖十三 F_{min} 量測與模擬結果



圖十四 G_n 量測與模擬結果



圖十五 R_{opt} 量測與模擬結果



圖十六 X_{opt} 量測與模擬結果