

# 行政院國家科學委員會補助專題研究計畫期末報告

寬頻分碼多重進接無線通訊上鏈傳收系統之設計與製作 (2/3)

- 子計畫三

寬頻分碼多重進接無線通訊之同步與耙狀接收機研究及設計 (2/3)

**Rake Receiver Research and Design for WCDMA**

**Wireless Communication**

計畫類別： 個別型計畫          整合型計畫

計畫編號：NSC89 - 2219 - E - 009 - 033

執行期間： 89 年 8 月 1 日至 90 年 7 月 31 日

計畫主持人：陳紹基

共同主持人：

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學

中 華 民 國 90 年 6 月 26 日

# 行政院國家科學委員會補助專題研究計畫期末報告

## 寬頻分碼多重進接無線通訊上鏈傳收系統之設計與製作(2/3)

### -子計畫三

## 寬頻分碼多重進接無線通訊之同步與耙狀接收機研究及設計

### (2/3)

## Rake Receiver Research and Design for WCDMA Wireless Communication

計畫編號：NSC 89-2219-E-009-033

執行期限：89年8月1日至90年7月31日

主持人：陳紹基，教授，國立交通大學電子研究所

計畫參與人員：郭顯豐、羅友成、張朝凱、楊智凱、曲建全、陳吉昌

### 一、中文摘要

本計畫全程共三年為總計畫“寬頻分碼多重進接(WCDMA)無線通訊上鏈(Uplink)傳收系統之設計與製作”之第三子計畫,主要在於研究下一世代(第三世代)寬頻分碼多重進接無線通訊系統之通道估測(Channel estimation)問題及耙狀接收器(Rake receiver)之設計,本年為第二年計畫。在這篇摘要中,我們完成了數項成果:(1)通道估測與耙狀接收器之DSP實現 (2)低功率相關器之設計

關鍵詞：通道估測，耙狀接收器，低功率相關器

### Abstract

This project is the third subproject of the project entitled "Uplink Transceiver Design for WCDMA wireless communication", which spans for three years. The subproject is aimed to study and develop channel estimation and rake receiver for the next-generation (the 3rd generation) wireless communication system. In particular, the key technology is based on the wide-band CDMA. This is the second-year project. This project accomplishes several results including: (1) DSP realization of channel estimation and Rake receiver, and (2) Low-power correlator design.

**Keywords:** Channel estimation, Rake receiver, Low-power correlator.

### 二、計畫緣由與目的

近一、二十年來數位無線通訊技術及數位電路技術之相輔相成與快速進展,開啟人類通訊史之新紀元,隨身行動、無遠弗屆、幾無限制之個人通訊不再是夢,傳送之資訊不止於傳統語音信號,更增加了如視訊信號及數據信號豐富之訊息內容,使個人通信之層面更加寬廣,由於網際網路之繁衍更開啟全球對個人無線通信之未來充滿了無限之憧憬。由於通訊功能及頻寬需求不斷增加,國際通信聯盟ITU乃提議IMT-2000第三代行動通信標準之訂定,本計畫考慮以W-CDMA技術為主。本子計畫為總計畫“WCDMA無線通訊上鏈傳收機之設計與製作”之子計畫三有關接收機之同步及耙狀接收機之

研究與設計,其中耙狀接收機為一高效能之抗多重路徑(Multi-path fading)效應及估測接收信號之技術,特別適用於分碼進接通信(WCDMA),並為UMTS-2000標準所建議採用,其主要原理為利用分碼本身在有時間差之狀況下會相互垂直性,而將接收到之信號做許多不同之延遲再與本身的碼做相關函數運算,如此便可萃取出每個經由不同延遲路徑之傳送信號,而得到多份被傳送信號,這些假定之相同信號在經過組合而期盼得到最準確之原始傳送信號。另外,由於功率消耗之問題在設計上扮演非常大的角色,本子計畫將一併考慮下鏈手機耙狀接收機之設計,此時低功率是設計上之一大問題。

### 三、結果與討論

#### (1) 通道估測與耙狀接收機之 DSP 實現

通道估測與耙狀接收機如圖1所示。其中通道估測器在做通道估測後送入耙狀接收機,作通道補償。在第三代通訊系統上鏈中,其實體通道中包含了控制通道及資料通道。控制通道中時間多工(time-multiplexed)了導引通道(pilot channel),其中導引通道可以用來做初步的同步通道估測。我們將採用滑動式窗形(sliding window)通道估測法及類似最大可能性(maximum likelihood)來做DSP實現,如圖2所示,並與線性內插法做比較。

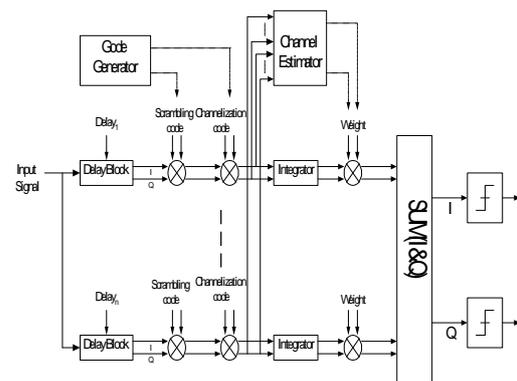


圖 1. 耙狀接收機

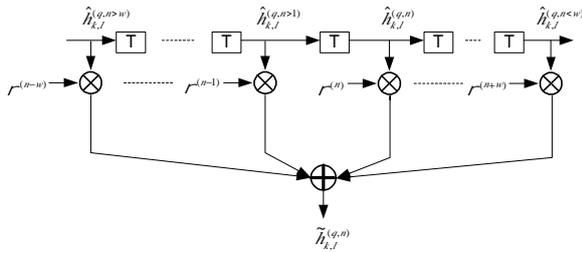


圖 2. 滑動式窗形通道估測法

在大多數的通訊系統中，多路徑傳輸是一個使人困擾的問題，在傳送端和接收端之間經過了許多路徑，以致於接收器收到了許多不同大小和延遲的回音，此現象在展頻通訊系統中尤其嚴重。

許多對抗多路徑傳輸的有效方法被提出來，其中之一用來對抗選擇性衰減的方法是分別偵測回音訊號，採用自相關法，然後以代數的方式加起來，而碼際干擾則是用插入不同的延遲到各個偵測到的回音當中，使得它們能夠同步，這個方法叫做耙狀接收機系統。我們將使用 Precombining LMMSE 接收機來做 DSP 實現，其好處為可輕易附加(add-on)於傳統的耙狀接收機之上，如圖 3 所示。

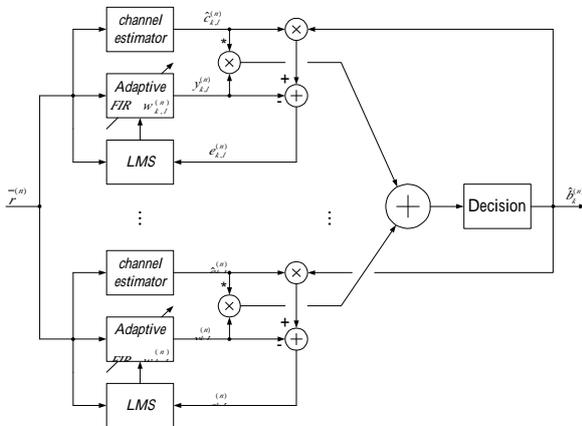


圖 3. 適應性 LMMSE 耙狀接收機

另外，由於我們實作上採用定點運算的方式來完成，而模擬時採用的是浮點運算，因此我們亦做了定點運算與浮點運算效能方面的比較。而為了在整數暫存器內存放含小數的浮點數，我們將 32-bit 的暫存器定義成如圖 4 的資料型式。

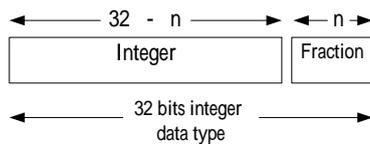


圖 4. 定點表示法

其中我們將最小位的  $n$  位元定義成小數部分，在乘法與除法運算時需要額外使用位移運算子 (<<和>>)來處理小數部分。

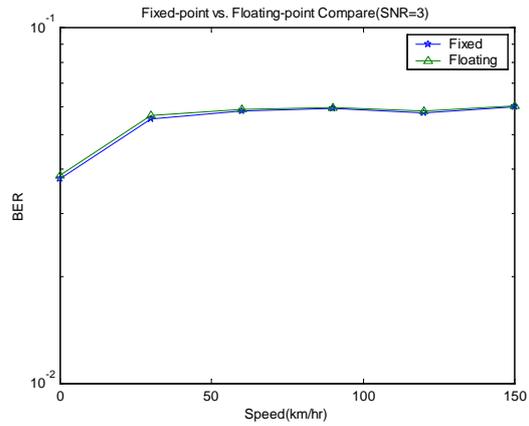


圖 5. 定點與浮點運算比較(1)

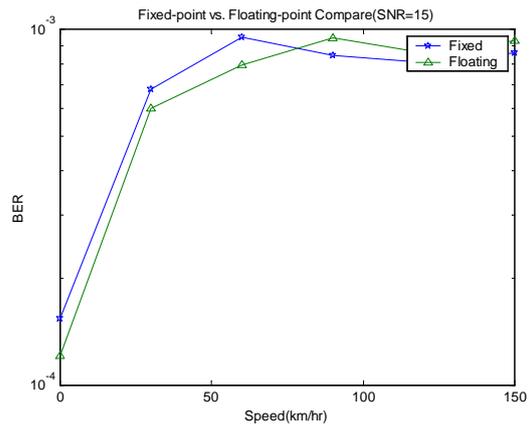


圖 6. 定點與浮點運算比較(2)

圖 5、6 為耙狀接收機在定點運算與浮點運算下之比較。圖 5 為 SNR=3、Spreading factor=8 時之 BER vs. Speed 比較圖，而圖 6 為 SNR=15 Spreading factor=8 時之 BER vs. Speed 比較圖。由這兩個圖我們可以發現在 SNR 較低的情況下，定點運算與浮點運算並不會有太大的差別，而在 SNR 高的情況之下，兩者才會有較大的差異出現，整體來說定點運算將使得效能降低一點點，但是並不大。

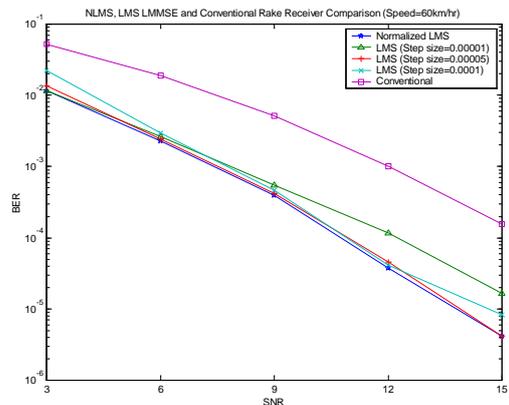


圖 7. LMMSE 耙狀接收機效能比較

圖 7 中我們比較了 LMS 演算法、正規化 LMS 演算法與傳統耙狀接收機的 BER vs. SNR 比較圖。我們可以發現正規化 LMS 演算法有最好的效能，而在適當的選擇 step 的大小後，LMS 演算法也有非常接近正規化 LMS 演算法的效能。另外，我們也可以注意到，LMMSE 耙狀接收機大大的提高了傳統耙狀接收機的效能。

表 1. DSP 實現之效能

	Average	Max (cycle)	Min (cycle)	CPS(chips/s)
Con. Rake & Linear	689.1	991	509	240.894K
Con. Rake & Sliding	813.8	1735	821	203.981K
NLMS Rake & Linear	1442.5	77119	616	115.078K
LMS Rake & Linear	1021.3	82553	624	162.538K

表 1 為使用 TMS320C6201/6701，在 166Mhz 之下所得到的數據。其中耙狀接收機的分支數為四個。我們可看到採用傳統耙狀接收機與線性內插通道估測有最大的 CPS，240.894Kcps，與標準所需的 3.84Mcps 尚有 15.9 倍的差距，也就是差不多需要 2639.4MHz 的處理器。而採用 LMMSE 耙狀接收機雖然有較好的 BER 效能，但需付出運算量較大的代價。因此，未來作更多的最佳化來改善 CPS 將是目標。

(2) 低功率相關器之設計

在耙狀接收機中，無論是作解展頻、碼追蹤、碼擷取都需要用到相關器(correlator)。在整個系統當中，它的功率消耗占據很大的部分，因此如何設計一個低功率的相關器就成了一個很重要的課題。

我們設計了一個用於碼擷取的低功率相關器。在 WCDMA 下鏈標準內，Synchronization Channel 內的 PSC 與 SSC 用來作為基地台搜尋之用，由於碼的結構特殊，我們可採用 hierarchical 結構的方式來完成 256 長的碼擷取。如下圖：

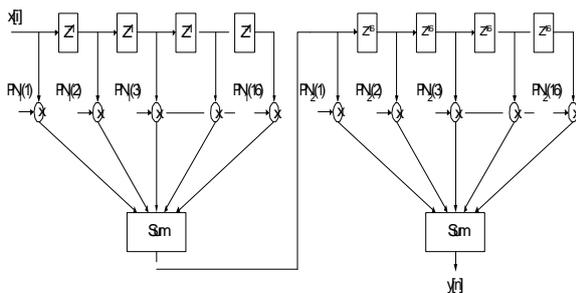


圖 8. 相關器

為了將圖 8 的相關器的消耗功率降低，我們提出兩種架構來降低功率消耗。首先我們觀察到每

一個 cycle，輸入取樣都需要在暫存器內作位移的動作，如此將消耗很多功率，因此我們改而去位移作為係數的 PN 碼，因為 PN 碼只佔一個位元，而通常輸入取樣為四或八位元，至於輸入暫存器我們將它切成多個 stage，每一個 cycle 只去改變某一個 stage 的暫存器，如此改變之下，功率消耗將較為減少，如圖 9 以四個 taps 來表示，分別切成二個 stage 與四個 stage。

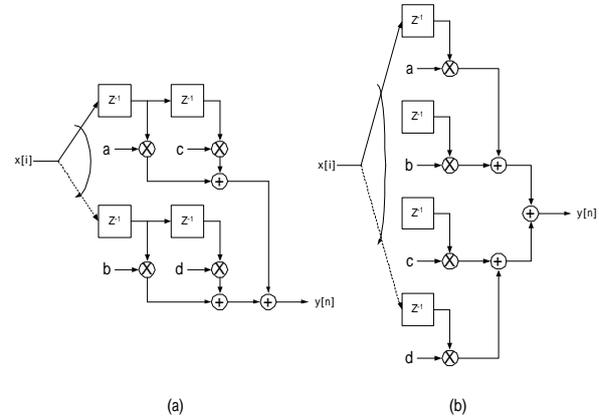


圖 9. Multi-stage 低功率相關器

另外一種方法是將 PN 碼做些轉換，而產生出一些係數為零的 tap，如此之下將可以減少這些 tap 的耗電量。如圖 10 所示。

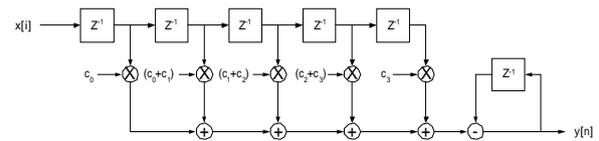


圖 10. Code-transformed 低功率相關器

表 2 我們使用 EPIC 的 PowerMill 來作功率消耗的分析，用 Synopsys 做合成與 Cadence 的 Silicon Ensemble 作自動的繞線與佈局，採用 Avanti 0.35 CMOS 製程的 cell library。我們分別模擬了 8、16 與 32 個 taps 在操作頻率為 20MHz 時的情況，其中的輸入採用亂數產生，而 PN 碼採用 WCDMA 標準裏的 PSC。

表 2. 功率消耗之比較

	8	16	32	
Direct-form	4124.61	8710.54	18913.74	
Multistage	2	4057.61 (1.62%)	9081.19 (-4.26%)	21473.89 (-13.54%)
	4	3763.88 (8.75%)	7986.44 (8.31%)	18831.56 (0.43%)
	8	3649.31 (11.52%)	7312.28 (16.05%)	17056.82 (9.82%)
	16		7183.89 (17.53%)	16624.30 (12.10%)
	32			16574.38 (12.37%)

Code-transformed	3816.34 (7.47%)	7598.95 (12.76%)	16849.71 (10.91%)
------------------	--------------------	---------------------	----------------------

由表 2 可知，採用這兩種低功率的架構，在功率消耗方面將減少大約 10~17% 左右的消耗。

#### 四、計畫結果自評

我們完成通道估測方法與傳統耙狀接收機和適應性之 LMMSE 耙狀接收機的 DSP 實現，並完成了初估的定點效能分析，作為與標準需求效能的比較。另外我們亦設計二種低功率的相關器並與傳統的相關器做比較，可作為未來系統設計的參考。

#### 五、參考文獻

- [1] *Special Issue, IMT-2000: Standards Efforts of the ITU, IEEE Pers. Commun.*, vol. 4, Aug. 1997.
- [2] M. Latva-aho, "Advanced Receivers for Wideband CDMA Systems," 1998.
- [3] I. Oppermann and M. Latva-aho, "Adaptive LMMSE Receiver for Wideband CDMA Systems," in *Proc. IEEE Communications Theory Mini-Conf. (GLOBECOM)*, Phoenix, AZ, Nov.2-7, 1997, pp. 133-138.
- [4] S.C. Swales, T. Busby, M.A. Beach and J.P. McGEEHAN, "Downlink Design for a Wide band DS-CDMA Demonstrator," *Wireless Personal Communications*, vol. 7, pp.275-301, 1998.
- [5] H. Andoh, M. Sawahashi, and F. Adachi "Channel Estimation Filter Using Time multiplexed Pilot Symbols for Coherent Rake Combining in DS-CDMA Mobile Radio," *IEICE Trans. Commun.*, vol. E81-B, no. 7, July 1998, pp. 1517-1526.
- [6] S. Sheng and R. Brodersen, *Low-power CMOS Wireless Communications – A Wideband CDMA System Design*, Kluwer Academic, 1998.
- [7] S. Sriam, K. Brown, and A. Dabak, "Low-power Correlator Architectures for Wideband CDMA Code Acquisition", *IEEE Int. Conf. On Signals, Systems, and Computers*, Vol. 1, pp. 125-129, 1999.
- [8] A. Chandrakasan and R. Brodersen, "Minimizing Power Consumption in Digital CMOS Circuits", *Proc. of the IEEE*, Vol. 83, No.4, pp. 498-523, April 1995.