

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 子計畫三：整合型低操作功率元件製程設計(2/3)

計畫類別：整合型計畫

計畫編號：NSC94-2218-E-009-025-

執行期間：94年08月01日至95年07月31日

執行單位：國立交通大學光電工程學系(所)

計畫主持人：冉曉雯

共同主持人：李柏聰

計畫參與人員：高士欽 鄭庭軒 黃章祐 吳貞儀

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 95 年 6 月 2 日

行政院國家科學委員會補助專題研究計畫  成果報告  
 期中進度報告

高效率智慧型面板之研究-子計畫三：

整合型低操作功率元件製程設計(1/3)

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC-93-2215-E-009-074

執行期間：2005年 08月 01日至 2006年 07月 31日

計畫主持人：冉曉雯 助理教授

共同主持人：李柏聰 助理教授

計畫參與人員：高士欽 鄭庭軒 黃章祐 吳貞儀

成果報告類型(依經費核定清單規定繳交)：精簡報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、  
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年  二年後可公開查詢

執行單位：

中 華 民 國                      年                      月                      日

## (一) 計畫中文摘要。

本計畫目的是開發低操作電壓 (3.3V) 互補型複晶矽薄膜電晶體製程，並設計新穎低功率自我基板偏壓複晶矽薄膜電晶體 (Self-Biased Body Poly-Si TFTs, SBB TFTs)。第二年度希望研究使用於薄膜電晶體上的 high-k 材料。且延續第一年度矽鍺薄膜的沉積與材料分析、並製作及分析低串聯電阻的薄膜電晶體元件。在期中報告中，我們目前已完成以下的分析：低溫 high-k 材料的電容(金/氮化鋁/矽)分析以及該介電層的漏電控制、非晶矽鍺薄膜在超高真空氣相沉積系統下的成長條件以及該薄膜於雷射再結晶後的分析、電晶體元件的製作與薄膜跟串聯電阻的分析。本計劃針對上述已掌握的材料特性，進一步運用在計畫中的低壓操作元件上。

## (二) 計畫英文摘要。

In this project, we tried to develop the process of low-operating-voltage (3.3V) compensated-poly-Si thin film transistor and designed the self-biased body poly-Si thin film transistors (TFTs). In secondary year, we investigated the high-k material as the gate insulator for TFTs. Extending from first year, we continued depositing and analyzing the Si-Ge film. Finally, we fabricated the low series-resistance thin film transistors and analyzed their resistance. In the report, we have accomplished the analysis of low temperature high-k capacitance (Au/Alumina Nitride/Si) and its control of dielectric leakage; the deposition condition for amorphous Si-Ge film in ultra high vacuum chemical phase deposition system (UHVCVD) and excimer-laser-annealing (ELA) re-crystallized Si-Ge thin film; fabricated the low series-resistance thin film transistors and analyzed the thin film ( $R_F$ ) and series resistance ( $R_S$ ). Further studies will be focused on the integration of these controlled material properties on low-operating-voltage devices.

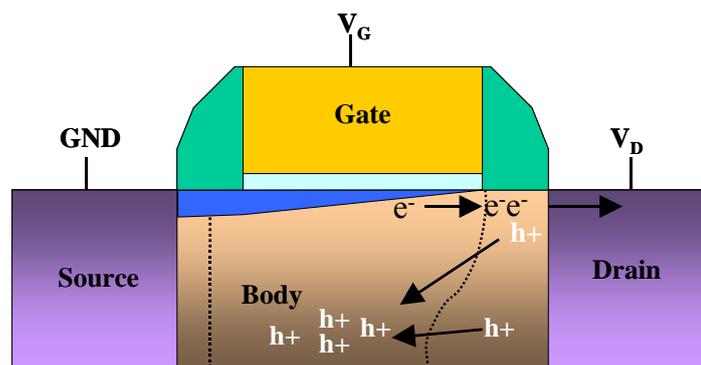
## 報告內容:

### A 研究目的

本子計畫主要目的在開發低壓操作的複晶矽薄膜電晶體製程技術，希望利用複晶矽薄膜電晶體較大的載子遷移率、較大的驅動電流、以及較小的臨界電壓等特性，發展應用在顯示器週邊驅動電路的能力。同時引入 high-K 材料作為閘極介電層，以增加閘極控制能力，並降低元件的操作電壓。要進一步提升複晶薄膜電晶體的元件特性，藉由矽鍺元件來提升元件載子漂移率的方式已在傳統 MOS 元件實現，而我們利用相同的觀念，將矽鍺元件實現在低溫多晶的薄膜元件上。並改善現有的製程技術，實現低串聯電阻的薄膜電晶體。

### B 文獻探討

由於薄膜電晶體製作在絕緣的玻璃基板上，所以和 SOI 元件一樣，會有如同圖一所示的浮動基板效應產生，這是由於汲極空乏區產生的電荷或高電場撞擊游離效應產生的電荷會累積在中性的基板區域和汲極源極形成寄生的雙極性電晶體 BJT，當浮動基板所累積的電荷造成基板電位提升時，元件的臨界電壓會隨著基板電壓的上升而下降，這在 MOSFET 相關元件中是熟知的基板效應(Body Effect)的表現，然而，在 poly-Si TFT 中，發現由於基板缺陷捕捉電荷的原因，使基板電位會隨缺陷密度上升而提高，而更進一步的造成臨界電壓的下降，亦即基板累積的電荷密度可以有效降低元件的臨界電壓，目前相關 poly-Si TFT 基板效應的詳細研究並未見到，本計畫希望先從元件物理機制上著手研究其效應，同時應用此效應來有效降低臨界電壓。



浮動基板效應中，基板會累積由 Drain 端產生的電洞。

作為週邊驅動電路，CMOS 製程的開發是必要的，現今做出的 CMOS 主要有下列問題：(1) CMOS TFT Inverter 的特性曲線在 Noise margin 的表現差（如 NMH 與 NML 差距過大）。其原因有可能出在，在低溫製程中所做出的閘極氧化層品質太差，以致於過多的正離子（Na 離子...）存在氧化層之中，使得 PMOS 在形成通道時，會消耗過多的負電壓在正

離子上，進而使得  $V_{tn}$  與  $|V_{tp}|$  差異增加。可利用 W/L 調整  $K_n$ 、 $K_p$  的比值，將其最佳化。但是 PMOS 的面積可能會比 NMOS 大數倍以上。(2) Threshold Voltage，由 PTFT 和 NTFT 製成的 inverter 輸出電壓無法剛好是  $1/2V_{DD}$ ，這是因為 P 型元件和 N 型元件的輸出特性無法對稱所造成的，尤其是 PMOS 由於載子遷移率較低，元件的臨界電壓也較大。本計畫的元件製作將針對這些問題作改善，一則研發 high-K 閘極絕緣層的製程，提高閘極氧化層品質，一則採用離子佈置方式，調整 N 型元件和 P 型元件 getting layer 的品質，以期使兩種元件的臨界電壓對稱，得到真正低電壓操作的 CMOS TFT 電路。

本計畫的元件製作也將針對閘極控制能力加以改善，希望研發 high-K 閘極絕緣層的製程，提高閘極介電層品質，尤其希望發展低溫製程之 high-K 材料，以高電容低漏電為研究的目標。為進一步提升元件驅動能力，利用傳統 MOS 元件上以矽鍺元件提升載子漂移率的觀念，我們開發可供雷射結晶的非晶矽鍺薄膜。而為有降低元件的與接點間的電阻效應，我們也將在計畫中發展低串聯電阻的薄膜電晶體元件。

#### References:

- [1] Marina Valdinoci, Luigi Colalongo, Giorgio Bacarani, Guflielmo Fortunato, A. Pecora, and I. Policicchio, "Floating Body Effects in Polysilicon Thin-Film Transistors", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 44, NO. 12, DECEMBER 1997
- [2] Makoto Takamiya and Toshiro Hiramoto, "High drive-current electrically induced body dynamic threshold SOI MOSFET (EIB-DTMOS) with large body effect and low threshold voltage", IEEE Transactions on Electron Devices, vol.48, pp.1633-1639, 2001
- [3] John.Y.W.Seto "The electrical properties of polycrystalline silicon films", Journal of applied Physics, vol.46, NO.12, pp.5247-5253, 1975
- [4] Tsu-Jae King, James P. McVittie, Krishna C. Saraswat, James R. Priester, "Electrical Properties of heavily Doped Polycrystalline Silicon-Germanium Films" IEEE Transactions on Electron Devices, vol.41., NO.2, pp. 228-232, 1994
- [5] Ji Sim Jung, Jang Yeon Kwon, Wenxu Xianyu, Seong Hoon Jeong, Seok Won. Jeong, Yong Han Roh, and Takashi Noguchi, "Study of HfO<sub>2</sub> high-K gate oxide for low temperature poly-Si TFT", The proceeding of the 1st International TFT Conference (ITC), Seoul, Korea, March 14-15 2005

## C 研究方法

### (1) 低溫 High-K 材料的漏電控制與分析

- (a) 在基板上成長氮化鋁(Alumina Nitride)作為低溫薄膜介電層
- (b) 利用 AFM 來分析薄膜品質，觀察不同製程條件介電層的狀態
- (c) 調變介電層沉積溫度，控制漏電

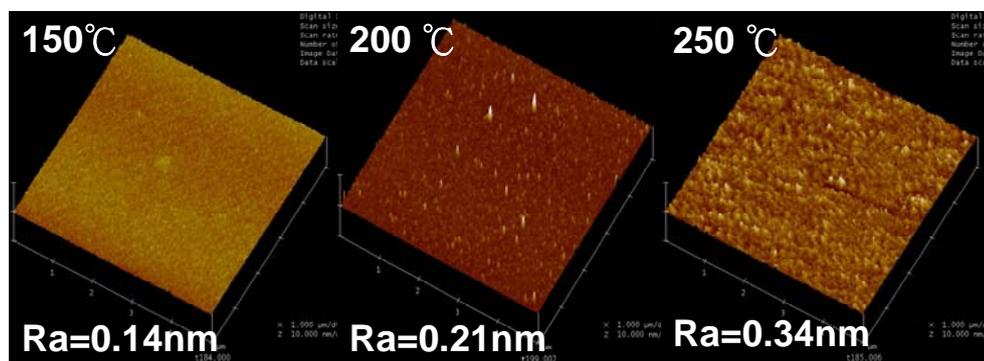
### (2) 矽鍺薄膜於雷射再結晶上的分析

- (a) 利用 UHV-CVD 沉積非晶的矽鍺薄膜
  - (b) 調變沉積溫度，分析矽鍺薄膜的晶相
  - (c) 分析雷射再結晶的矽鍺薄膜
- (3) 薄膜電晶體的串聯電阻分析
- (a) 製作薄膜電晶體元件
  - (b) 量測元件輸出特性
  - (c) 改變元件通道長度，分析元件通道及串聯電阻

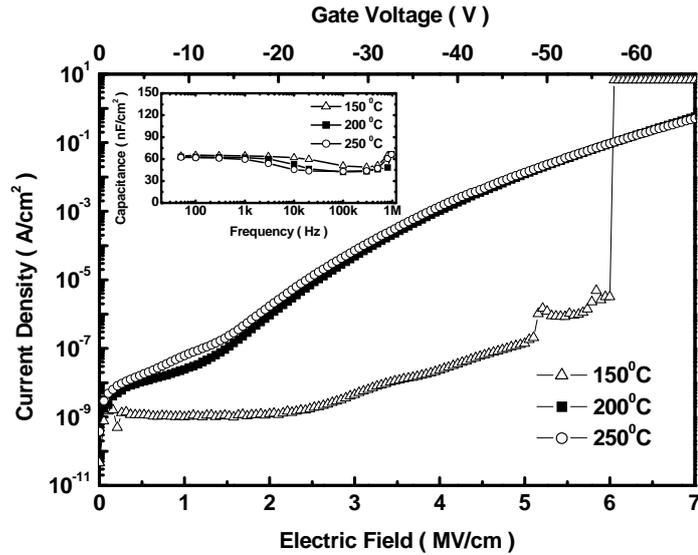
## D 結果與討論

### 1. High-K 材料的漏電控制與分析:

為整合玻璃基板的製程，在計畫中我們進行低溫介電層的研究開發。首先利用 RF-Sputtering 系統成長三種不同溫度之 AlN(Alumina Nitride) 薄膜，。所成長薄膜如圖一所示，三種薄膜的表面平整度將隨沉基溫度的降低而改善。表面的 roughness 在基板溫度設定為 250°C, 200°C, 150°C 時，表面的平整度將分別從 0.3nm 下降到 0.2nm 及 0.14nm。由於介電層表面的不平整可能造成區域性的大電場，並引起尖端放電，成為介電層的漏電途徑。以目前結果而言，降低溫度不但有利於薄膜電晶體的製程整合，而且可以降低表面的平整度，有利後續的薄膜沉積。



[圖一] 不同基板溫度所沉積的低溫氮化鋁薄膜以及其相對的表面平整度  
接著我們分析不同溫度下的介電層漏電分析，如圖二所示：

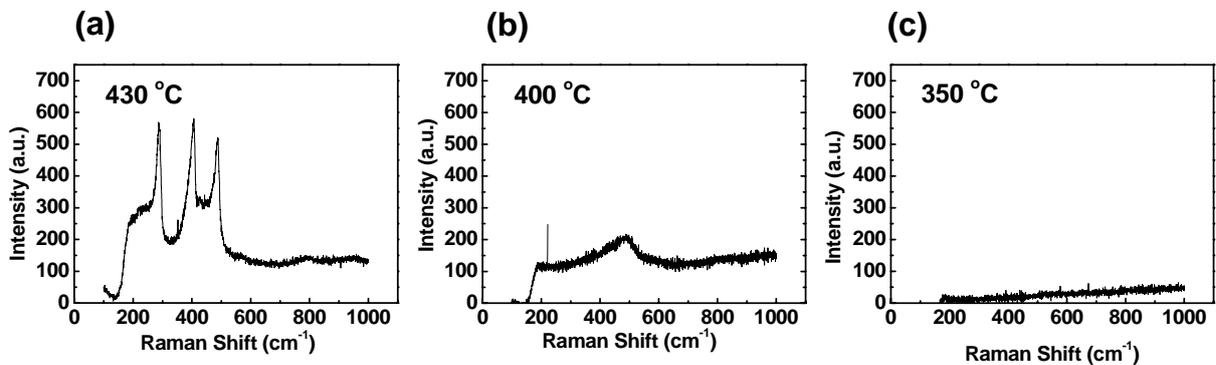


[圖二]不同基板溫度所沉積的低溫氮化鋁薄膜以及其相對的電場與介電層漏電流分析，內插圖為各金-氮化鋁-矽的電容結構分析

在漏電分析中，我們可以觀察到降低介電層的沉積溫度，有利於抑制介電層的漏電，而根據變頻率的電容分析，在準直流分析（低頻）下的電容值約為  $64 \text{ nF/cm}^2$ ，而推算出低溫氮化鋁的相對介電係數約為“7”，而與傳統的高溫  $\text{SiO}_2$  介電層相比，介電係數約提升了兩倍，如果將低溫氮化鋁運用在薄膜電晶體上，將有助於操作電壓的改善。

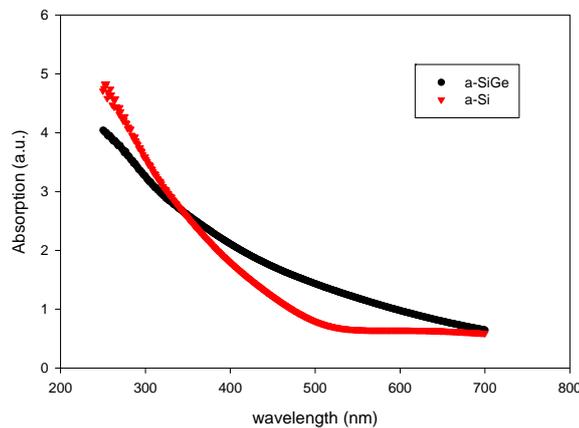
## 2. 矽鍺薄膜於雷射再結晶上的分析：

延續去年的研究，我們開發適合雷射再結晶的矽鍺薄膜。在今年度了研究中，我們更進一步利用超高真空化學氣相沉積系統（Ultra High Vacuum Chemical Vapor Deposition System）來成長非晶矽鍺薄膜。有別於 HDPCVD(High Density Plasma Chemical Vapor Deposition)系統所成長的矽鍺薄膜，僅能沉積高鍺含量的微晶矽鍺薄膜；我們利用兩階段成長與基板溫度調變，可成長出非晶矽鍺薄膜。由下圖三的拉曼光譜可知，當基板的沉積溫度由  $430^\circ\text{C}$  下降到  $400^\circ\text{C}$  時，位於  $285 \text{ cm}^{-1}$ 、 $405 \text{ cm}^{-1}$  及  $489 \text{ cm}^{-1}$  的複晶矽鍺膜訊號將開始消失，而當沉積溫度下降到  $350^\circ\text{C}$  時，則觀察不到複晶矽鍺的訊號，這代表了降低沉積溫度則可以沉積出我們雷射再結晶所需要的非晶矽鍺薄膜。



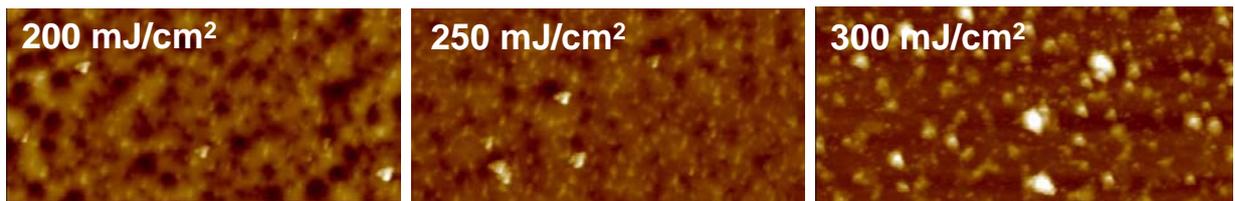
[圖三]不同溫度下沉積的矽鍺薄膜拉曼光譜

要將雷射退火再結晶的技術發展到薄膜元件上，我們需要相當對於光吸收相當好的主動層材料。我們所使用的雷射機台工作波長為 532nm，但是對於傳統的非晶矽薄膜而言，並不具有最佳的吸收特性，為了增進主動薄膜的吸收特性，我們引入了非晶矽鍺薄膜作為我們的主動層材料，以增加對綠光雷射的吸收轉換效率。為驗證矽鍺薄膜對光吸收的改善，我們分析了非晶矽與非晶矽鍺薄膜的吸收特性。如下圖四所示，在可見光波段(400–700nm)，非晶矽鍺薄膜具有較高的吸收率，就 532nm 而言，約有 50%的提昇。這將有助於該薄膜在雷射退火階段的吸收轉換效率。



[圖四]非晶矽鍺薄膜與非晶矽薄膜在不同波長下的吸收效率

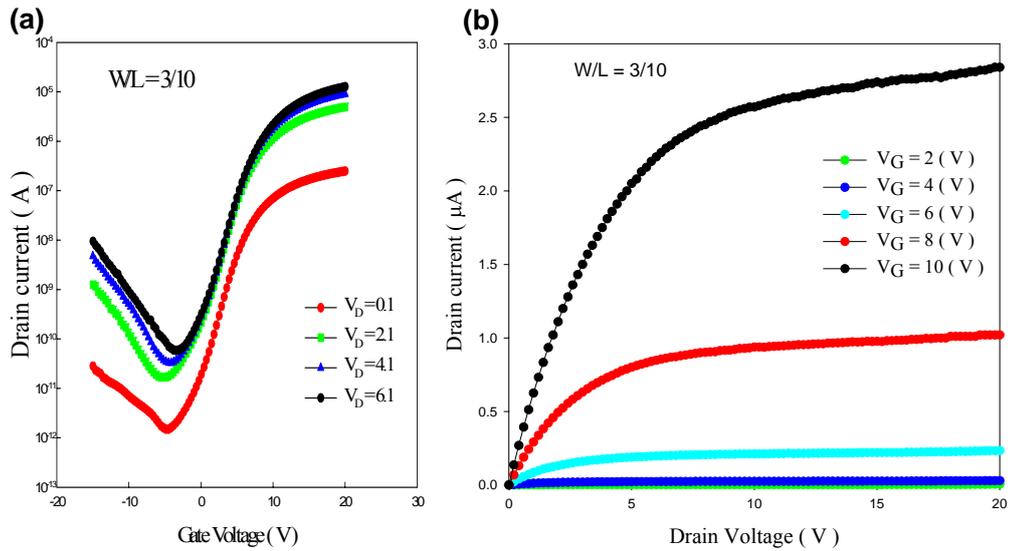
我們接著利用準分子雷射退火技術(Excimer Laser Annealing)對UHVCVD所成長出來的矽鍺薄膜進行再結晶，根據下圖五的原子力顯微鏡(Atomic Force Microscopy)影像可觀察到，當我們提高雷射的投射能量，可觀察到表面有晶粒的析出，推測可能是薄膜內矽與鍺的熔點不同，經過雷射的侷域加熱再結晶後，於降溫過程中矽與鍺出現了相分離的現象。根據這樣的結果，我們便可以藉由操控雷射的投射能量，控制矽鍺薄膜的元素析出，以製作我們元件所需要的矽鍺薄膜主動層。



[圖五]不同雷射能量退火過後的矽鍺薄膜原子力顯微鏡影像

### 3. 薄膜電晶體的串聯電阻分析

目前已完成低溫多晶矽的薄膜電晶體元件，而我們所量測的傳輸(Transfer)以及輸出(Output)特性如下圖六(a)及(b):

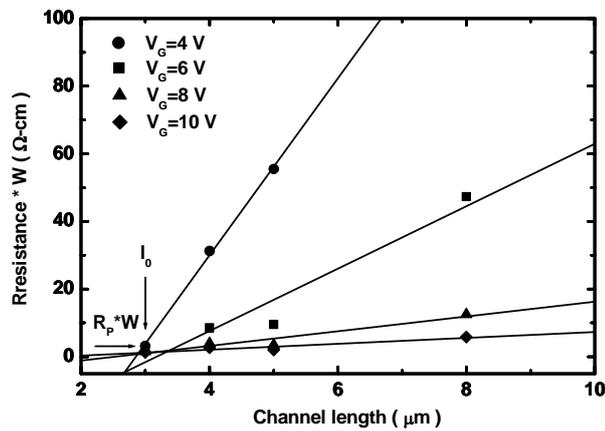


[圖六]低溫多晶矽薄膜電晶體的(a)傳輸與(b)輸出特性曲線

根據薄膜電晶體的電阻分析理論可知，在低汲極偏壓下( $V_D \ll V_G$ )，從輸出的汲極電流( $I_D$ )可求出開關電阻( $R_{on}$ )，若進一步調變元件通道長度( $L$ )，則可萃取出通道電阻( $R_{ch}$ )以及串聯電阻( $R_p$ )，分析的方式如下方程式所示：

$$R_{on} = \left. \frac{\partial V_D}{\partial I_D} \right|_{V_D \ll V_G} = R_{ch} + R_p = \frac{L}{W\mu C_{ox}(V_G - V_{th})} + R_p$$

其中  $W$  為元件通道寬度， $\mu$  為元件載子的漂移率， $C_{ox}$  為元件電容密度， $V_G$  為閘極電壓， $V_{th}$  為元件臨界電壓。在實驗中，我們分別選取了通道長度為  $3\mu m$ 、 $4\mu m$ 、 $5\mu m$ 、 $8\mu m$  的薄膜電晶體進行串聯電阻分析，萃取出來的電阻對通道長度關係如下圖七：



[圖七]不同閘極偏壓下的開關電阻( $R_{on}$ )與通道長度( $L$ )的關係圖

由分析的資料可知，該元件的串聯電阻( $R_p \times W$ )與通道電阻( $R_{ch} \times W$ )分別約為  $1.5\text{-}2.0$  ( $\Omega\text{-cm}$ )及  $1\text{-}53$  ( $\Omega\text{-cm}$ )，而元件通道寬度( $W$ )為  $3\mu m$ ，推算出的真實串聯電阻為  $5\text{-}6.6$   $k\Omega$ 。該元件的串聯電阻值與其它已知的相關研究相當，利用該元件製程即可開發出高效能低功率的薄膜電晶體。

## E. 成果自評

在低溫介電層方面，我們已經成功的開發氮化鋁薄膜做為一新穎低溫介電層。藉由降低基板的沉積溫度，可明顯的改善介電層的平整度，減少表面的不規則，並大幅度的改善該介電材料的閘極漏電。而元件所需的非晶矽鍺主動層，也成功的利用基板溫度以及二階段沉積的方法成長出可供雷射退火再結晶的非晶矽鍺薄膜，並提高了該薄膜對雷射光的吸收效率，並觀察到矽鍺薄膜在雷射的退火後的相分離行為，以上的研究成果皆可以成功的運用在下一年度開發的互補式薄膜電晶體(CTFT)上。而從通道以及串聯電阻分析可知，我們也實現了低串聯電阻的低溫複晶矽薄膜電晶體。在新一年度的計劃裡，即可運用上述開發出的製程技術，實現低操作電壓互補型複晶矽薄膜電晶體。