

行政院國家科學委員會專題研究計畫成果報告

寬頻分碼多重進接無線通訊上鏈傳收系統之設計與製作(2/3) (總計畫) Transceiver System Design and Implementation for WCDMA Uplink Communication (2/3)

計畫編號：NSC 89-2219-E-009-030

執行期限：89年8月1日至90年7月31日

主持人：林大衛 交通大學電子工程學系 教授

共同主持人：杭學鳴、陳紹基、魏哲和 交通大學電子工程學系 教授

王聖智

交通大學電子工程學系 副教授

張仲儒

交通大學電信工程學系 教授

一、摘要

我們研究 3GPP 第三代行動通訊系統標準適用之傳收技術，特別是上鏈傳輸技術。共分六個子計畫，探討無線傳輸用之訊源(音視訊)與通道編解碼、加解密處理、同步技術、信號檢測、及媒介擷取與連線允諾控制。在信號檢測技術方面，我們考慮幾種不同複雜度的途徑，即耙狀接收機、多用戶檢測、及時空域信號處理。除個別技術項目之研究外，並以數位訊號處理器為平台，進行各傳收器模組之軟體實現與整合。本第二年之研究，各子計畫均有個別之進展。我們並透過隔週一次的討論會，作子計畫間的交流，亦討論上述軟體實現之有關事宜。

關鍵詞：寬頻分碼多重進接、視訊編碼、音訊編碼、通道編碼、密碼學、同步、耙狀接收機、多用戶檢測、時空域信號處理、媒介擷取控制、連線允諾控制、數位訊號處理器實現

Abstract

We consider transceiver technologies for the 3GPP third-generation mobile communication systems standard, especially the uplink transmission. The project contains 6 subprojects, wherein we deal with source (video and audio) and channel coding and decoding for wireless transmission, crypto-processing, synchronization, signal detection, and medium access control and call admission control. For signal detection, we consider several approaches differing in complexity, which are rake receiver, multiuser detection, and space-time signal processing. Besides research into individual technology items, we also conduct a software

realization of the transceiver modules using digital signal processors (DSPs) and an integration of the modules. In this second year's work, all the subprojects have their individual advances. Biweekly meetings are held which facilitate communication among the subprojects and discussions concerning the above-mentioned software realization.

Keywords: Wideband CDMA (WCDMA), Video Coding, Audio Coding, Channel Coding, Cryptography, Synchronization, Rake Receiver, Multiuser Detection, Space-Time Signal Processing, Medium Access Control, Call Admission Control, DSP Implementation

二、計畫緣由與目的

本計畫研究 3GPP (Third-Generation Partnership Project) 第三代行動通訊系統標準適用之傳收技術。此標準採用寬頻分碼多重進接，chip rate 為 3.84 Mc/s，展頻比為 4 至 256 (因此每一通道之位元率為 15 至 960 kb/s)。鑒於人力等因素，我們著重上鏈傳輸技術。共分六個子計畫，分別探討無線傳輸用之訊源(音視訊)與通道編解碼、加解密處理、同步技術、信號檢測技術、及媒介擷取與連線允諾控制。在信號檢測技術方面，我們考慮幾種不同複雜度的途徑，即耙狀接收機、多用戶檢測、及時空域信號處理。除個別技術項目之研究外，並以數位訊號處理器(DSP)為平台，進行各傳收器模組之軟體實現與整合。計畫之架構如圖一所示。

三、結果與討論

以下分別簡述總計畫及各子計畫的進行狀況。

A. 總計畫

透過隔週一次的討論會，我們除了了解進度、作子計畫間的交流，亦討論上述軟體實現的有關事宜。

我們採用的 DSP 是德州儀器公司的 TMS320C6000 系列，含 C62xx 定點(fixed point)運算及 C67xx 浮點(floating point)運算二種晶片。之前使用的 DSP 處理平台是 Blue Wave Systems 公司(BWS)的 PCI6600 個人電腦插板，其上裝置定點或浮點晶片二顆。其中定點 DSP 我們有 160 及 200 MIPS 二個版本，浮點 DSP 則為 166 MHz。由於單一顆晶片無法提供足夠的計算量以滿足整個計畫的需求，因此須將各子計畫所發展出的軟體，分到不同的晶片上分工執行。由各子計畫依其演算的需求，自行選用定點或浮點的晶片。

經了解 BWS 的板際資料傳輸功能並實際測試其與 PC 間之資料傳遞速度，發現若要單用它來完成本計畫之軟體實現，將不容易。故我們已採購 Innovative Integration 公司(II)的 DSP 板。該板亦有二種版本，分別裝置四顆 C62xx 或四顆 C67xx，而跨板傳輸之速度則較快。另外，此板子與 BWS 的板子都可使用同一種真時作業系統。上鏈傳收系統的傳輸端與接收端預期將各需用一塊 BWS 板子及兩塊 II 板子。這兩端的板子將分別裝置在二台 PC 上，而通道模擬器則放在傳輸端。兩端之間則用 II 板子所提供的高速跨板傳輸鏈路來連接。

B. 子計畫一：無線傳輸之訊源及通道編碼

本計畫第二年達成的三項課題為：(1) 適應性多重位元率(AMR, adaptive multi rate)語音編碼之研究、模擬與 DSP 實作，並與第一年成果之比較，(2) H.263+視訊編碼器之改進，並與第一年成果之比較，以及(3)通道編解碼之研究、模擬與 DSP 實現。

語音編碼之研究可分兩部分：(1)研究一個第三代行動通訊系統所考慮的新的語音壓縮標準，即 AMR，並與去年所研究的 G.723.1 做功能上的比較，及(2)其 DSP 實現。AMR 提供八個位元率，分別是 12.2, 10.2, 7.95, 7.4, 6.7, 5.9, 5.15, 和 4.75 kb/s，運算複雜度中等，語音品質也不錯。在 DSP 實現方面，我們取用一個既有的高階語言編解碼模擬程式碼，加以修改以適用於 DSP 真時執行。目前對一段 20 ms 的語音框，編碼需 2.6 MIPS，解碼需 0.35 MIPS，為原程式的 60%，已達真時執行所需速

度。程式碼大小亦大幅減少，但編碼與解碼部分總和仍大於一個 DSP 的 on-chip 程式記憶體容量。

在 H.263+視訊編碼方面，我們引進了 H.263+標準 Annex W 的定點 DCT，使編碼 PSNR 比起之前用的 DIF DCT 上升了 0.2 dB，且在有大量運動向量的連續 P 畫面時不會如第一年的結果中有明顯的模糊效應。不過編碼速度變慢，由原來的每秒 35 張 I 畫面或 16 張 P 畫面(sub-QCIF 影像)降為每秒 11 張 I 畫面或 10 張 P 畫面。

在通道編碼方面，我們考慮 3GPP 規範的迴旋碼，含 1/2 及 1/3 兩種碼率，都是使用 8 位元的位移暫存器。目前在 DSP 上實現的編碼器可達大於 500 kb/s，解碼器則近於 10 kb/s。因此編碼器已可達即時之要求，解碼器則還有一段距離，待改良。

C. 子計畫二：寬頻分碼多重進接無線通訊之加解密系統

本年度的研究包含三部分：elliptic curve 密碼系統演算法之硬體架構設計、RSA 密碼系統的 DSP 實現設計、以及一個結合公匙與私匙密碼系統的影像傳輸保密方式。

在 elliptic curve 硬體架構設計部分，我們嘗試運用 systolic array 之架構。此架構中主要的運算是乘法冪。我們利用 partitioning 及 pairing-off 兩種架構來加速乘法冪的運算。模擬測試結果顯示，此二架構在速度及硬體面積上，都較現有其他架構為佳。

在 RSA 密碼系統的 DSP 實現部分，DSP 中最大的字元長度是 32 bits，而 RSA 密碼系統往往需要 512-bit 以上的運算，才能提供足夠的保密性。所以我們考慮兩種做 512-bit 運算的架構，分別是 bit-wise 和 long-integer 乘法架構。若採用 bit-wise 架構，以 32-bit 的私鑰來對 512-bit 的資料加密，估計需 51 M cycles，bit rate 約為 2.01 kb/s。若使用 long-integer 架構，則估計約 35.3 M cycles，而 bit rate 約為 2.9 kb/s。因此兩個架構都無法達到即時處理。減少公匙長度或縮短資料長度都可以加速加解密運算，但保密性也會降低。我們正在研討可如何在即時傳輸的條件下，保持相當的資料保密性。

公匙密碼系統保密性高而私匙系統加解密速度快。已有人考慮在影像傳輸中只對部分重要內容做公匙加密，而其他部分則用私匙。我們正研究如何選取資料作加

密，以增加保密性，又不失加密速度。另外，我們也想出一個獨特的加密方法，就是定時更改視訊編碼所用的變長碼(VLC)簿。實驗證實，如果接收端不知道換過的碼簿，就會解出高度受損的視訊。碼簿的改變，可透過公匙加密傳遞。

D. 子計畫三：寬頻分碼多重進接無線通訊之同步與靶狀接收機研究及設計

本計畫原研究 WCDMA 之碼同步與靶狀接收機。現將同步部分轉由子計畫四進行，本計畫專注靶狀接收機研究。本第二年研究重點為：(1)通道估測與靶狀接收器之 DSP 實現，及(2)相關器之低功率設計。

通道估測的目的，是要用來設定靶狀接收器的係數。在 WCDMA 規格中，上鏈實體通道中包含了控制通道及資料通道，而控制通道中包含了導航信號及其他控制信號。其中導航信號可以用來做初步的同步通道估測。我們考慮採用一個滑動窗形(sliding window)通道估測法及一個類似最大可能性(maximum likelihood)估測法來做 DSP 實現。在靶狀接收器方面，我們考慮使用 precombining LMMSE 的結構。在研究中發現，使用 32-bit 定點運算比使用浮點運算的效能稍低，但差距不大。我們用 DSP 實現的結果，在不同的演算法之下，得到的速度在約 0.115-0.241 kcps (kilo chips per second)之間，離標準的 3.84 Mcps 還有很大的差距，需做相當改善。

在靶狀接收器中，無論是解展頻、碼追蹤、碼擷取，都需要用到相關器。在整個系統中，它的功率消耗占很大的部分。因此我們考慮其低功率設計。我們設計了一個用於碼擷取的相關器。分析發其在 8、16、與 32 taps 時的功率消耗，發現可較直接之設計減少約 10-17%。

E. 子計畫四：寬頻分碼多重進接通訊多用戶信號檢測器設計和實現

本計畫除多用戶信號檢測外，現亦納入由子計畫三轉來之碼同步課題，其中包含碼擷取(acquisition)與碼追蹤(tracking)。

3GPP 上鏈可作非連續傳輸，因此快速的碼擷取相當重要。其目的是要偵測傳送端是否開始傳送，並且使接收端產生的疑似亂碼時序與傳送端相差在一個 chip 之內。碼擷取必須在一段時間內產生不同時序的疑似亂碼，逐一與接收到的訊號做比對，以找出正確的時序。顧及即時處理的要求，我們考慮用匹配濾波的方式來作比

對。由於在系統剛啟動時無法得知控制通道的傳送內容，故此時僅能使用非同調演算法。我們利用觀察多個符元(symbols)來提高碼擷取的準確度。在 DSP 實現方面，目前用 C6201 定點晶片。在未對程式碼作最佳化的狀況下，目前碼擷取需時 300 ms。

碼追蹤方面，由於資料調變和通道變動等因素，使得訊雜比低時，載波較不易估測，所以我們也採用非同調方式。我們使用一種 early-late 形式的碼追蹤迴路，模擬顯示其在 AWGN 及時變通道下可獲不錯的效能。使用 C6201 定點 DSP 實現的結果，在沒有對程式碼作最佳化的狀況下，目前碼追蹤器的速度為 1.75 kb/s，仍需改進。

在多用戶信號檢測方面，因顧到 DSP 的序列處理特性，我們考慮序列式(或譯連續式)干擾消除(SIC)。其工作原理是每次找出一個接收到功率最強的使用者，檢視出該訊號後減去它對整體接收訊號的影響，接著再減去接收功率次強的使用者訊號之影響，如此重複以解出所有的使用者訊號。我們將上一年所提出，結合通道估測的改良型平行部分雜訊干擾消除器(MPPIC)，延伸修改成為 MSIC 架構。其特點是接收訊號在進入匹配濾波器其干擾消除之前，就先作導航通道訊號的估測並減去之，以去除導航通道訊號對其他使用者的干擾而改善系統性能。至於 SIC 的功率排列，可以只在開始時做一次，或是在每一個使用者訊號刪減動作之後都做一次。模擬顯示只做一次功率排列的 MSIC 性能優於一級的 MPPIC 和二級的 PPIC，而每次都做功率排列的 MSIC 則優於所有的 PPIC 和 MPPIC。其 DSP 實現的結果，在展頻比為 32，使用者為 10 人，DSP 程式碼沒有最佳化的狀況下，可達約 1 kbps，離理想的 120 kbps 還有很大差距，需改進。

F. 子計畫五：無線通訊之時空域信號處理

本計畫研究有效地使用無線通道之技術，含一般時空域信號處理、WCDMA 上鏈傳輸之時空域信號處理、及使用 DSP 遂行實現之方法。

在一般時空域信號處理方面，我們研究有關時空域維特比等化器之設計與效能。在前一年我們曾探討訓練數列的設計以及傳輸信號的結構設計。今年我們提出一個類似牛頓法的快速搜尋方式，以有效的獲取良好的訓練數列。也導出了理論上的極限值，可獲知所找到的數列之效能與此極

限的差距。此外，我們也提出一個結合時空域濾波與時空域維特比等化器的混合式接收器架構。模擬結果顯示：其在不同的同頻干擾與白色雜訊功率比之下，均有不錯的效能，所以相當強健(robust)。

在 WCDMA 上鏈傳輸之時空域信號處理方面，我們考慮平行式干擾消除(PIC)與連續式干擾消除(SIC)，及其與天線陣列信號處理之結合。首先，在 PIC 及其與天線陣列之結合方面，我們研究各種不同之決策機制對檢測品質的影響。此一接收器係利用天線陣列所提供的空間自由度來提高初始接收的正確率，再以 PIC 增加接收器輸出的正確率。其次，我們亦試分析採硬式決策(hard decision)之 PIC 的性能。這種 PIC 較簡單實用，但未曾有人做完整的分析。最後，在 SIC 方面，由於其架構會使得系統中的用戶面臨大小不等的干擾量，因此，傳統的等功率分配對其並非最佳的功率分配機制。基於最小化平均錯誤率和最小化最大錯誤率的原則，我們研究合適的功率分配機制。

在 DSP 實現方面，我們用晶片板試做無線通道模擬及使用天線陣列之平行式干擾消除。我們並研究傳輸端資訊碼框組合之實現及傳輸端與接收端之方根升餘弦(SRRC)濾波器之定點(fixed-point)實現。目前已完成簡單的展頻運作、基頻無線通道模擬器、以及含天線陣列處理功能的 PIC 接收器(時空 PIC 接收器)。展頻和通道模擬部分使用一顆 DSP，而 PIC 接收器則使用另一顆。在展頻與通道模擬方面的速度方面，現階段我們的軟體在單一天線及一路徑的狀況下，可達 4.1 Mcps，超過規格中的 3.84 Mcps，但仍應繼續提昇其速度，以能處理較複雜的通道。在 PIC 接收器部分，為求減低運算量，目前僅在其 initial stage (即 rake receiver 的部分)用簡單的指數平均法做通道估計，在 PIC 部分則沿用之。目前做到的處理速度，也是在一天線一路徑的情況下達到 4.1 Mcps，也應繼續研究提高其速度。

G. 子計畫六：寬頻分碼多重進接系統中之媒介擷取控制與連線允諾控制研究與設計

第三代蜂巢無線通訊系統必須具備有彈性的頻寬擷取、傳送、以及允諾控制能力，以因應多媒體通訊服務之需。一個設計良好的網路必須要能針對服務的類型，依據網路資源的使用狀況，決定是否接受

或接受多少用戶進入系統。當用戶被允許進入之後，網路必須隨時決定每一用戶何時可傳送多少訊務、使用多少網路資源、並送出多少功率。

在第三代無線通訊系統中，多用戶檢測(MUD)是一項相當熱門的主題，因為它對系統容量具有顯著提升的能力。然而使用多用戶檢測器時仍然需要一套呼叫允諾控制的機制來控制使用者的數目。因此我們考慮在系統的上鏈路之中，配合連續式干擾消除(SIC)之多用戶檢測器的使用，而提出一套清晰允諾控制器。此種多用戶檢測器具有較低的複雜度，並且較適合在衰褪效應(fading)頻道以及非最佳化功率控制(imperfect power control)的環境中使用。此項清晰允諾控制器並且同時考慮到分碼多重進接之蜂巢式系統中，蜂巢內(intra-cell)與蜂巢間(inter-cell)的多重進接干擾，藉此提供比傳統SIR型(SIR-based)的允諾控制更為有效的系統容量管理。

在第三代無線通訊系統中，使用分封交換的傳輸方式來傳送所需要的服務，可更有效利用無線介面的資源，但如何根據使用者訊務的特性參數、服務的品質要求，並根據媒介接取控制的方式與無線介面的特性，來有效評估使用者所需要的無線資源，則是無線資源管理的各項功能的關鍵問題。由於未來分封交換所提供的服務種類十分多樣化，因此如何根據任意使用者參數來估計，則是這項工作最大的挑戰。針對這個問題，我們根據無線傳輸介面的特性，提出了一個無線傳輸的數學分析模型，並透過大變異法則(Large Deviation Principle)的理論分析來求得使用者參數與無線資源指數(Radio Resource Index)的映射函數，如此可提供允諾控制與其他無線資源管理控制作為資源使用管理的依據。

在功率控制機制方面，我們提出了新的功率控制方式：暫停式閉迴路功率控制 truncated closed-loop power control (TCPC)，其方式是當通道狀況良好時(即通道增益大於預設閾值 X_0 時)，發送端調整發射功率使得接收端功率為一定值；相反地，當通道狀況不好時，發送端則暫時停止傳輸。我們之前已經針對在功率可以隨時、任意值調整的理想情形下，結論出 TCPC 機制在系統容量上大幅優於其它傳統的機制，如：理想功率控制(perfect power control)、複合功率/速率控制(combined

power/rate control)等。本階段研究則進一步考量實際系統運作參數，設計出TCPC的系統方塊圖，並分析、模擬其效能。

四、計畫成果自評(總計畫部分)

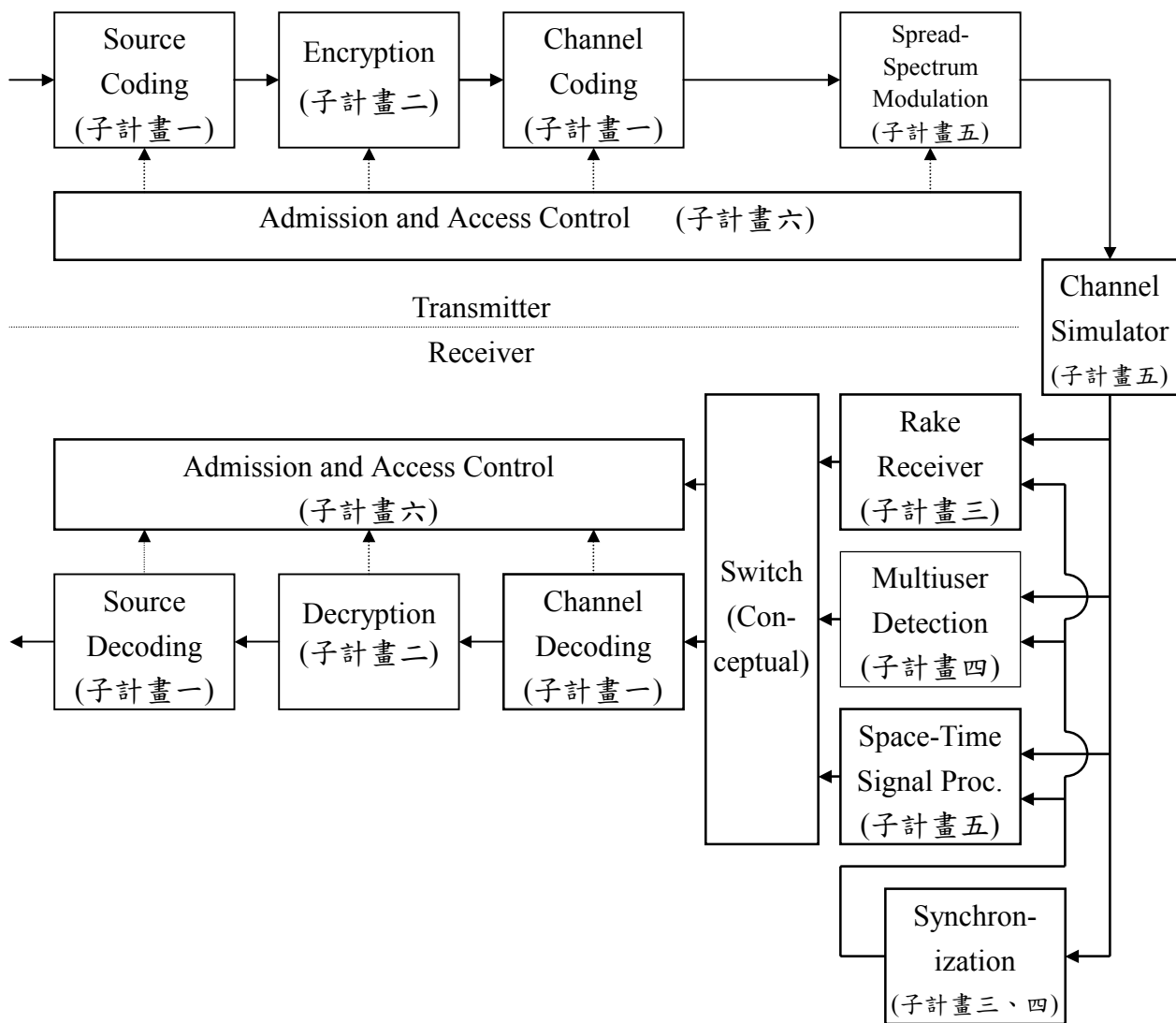
研究內容與原計畫相符程度：本計畫一個主要標的是 DSP 實現。在這方面，雖然在進行，但因程式往往沒有最佳化，以致執行速度離需求還有一段距離，需要改進。

達成預期目標情況：實驗系統之初步建立、人才培育。

成果之學術與應用價值等：總計畫本身之價值，在計畫進行中所累積的經驗以及其標的系統實現完成後之學術與應用價值。目前工作尚在進行中。

綜合評估：本總計畫協調各子計畫之進行，建立了初步之實驗系統，並達成人才培育之效。唯 DSP 實現之結果尚不理想，故自評為「中上」。

五、圖表



圖一：計畫架構