

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫三：奈米 CMOS 技術之 20-60GHz 射頻前端關鍵性積體 電路之研究與設計(1/3)

計畫類別：整合型計畫

計畫編號：NSC94-2215-E-009-043-

執行期間：94 年 08 月 01 日至 95 年 07 月 31 日

執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：吳重雨

計畫參與人員：王文傑、虞繼堯、蘇烜毅、陳旻琰、Fadi、Ismail、黃祖德

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 95 年 5 月 30 日

行政院國家科學委員會專題研究計畫期中報告

奈米 CMOS 之前瞻射頻類比電路設計 — 子計畫三(1/3)： 奈米 CMOS 技術之 20-60GHz 射頻前端關鍵性積體電路之 研究與設計

計畫編號：NSC 95-2215-E-009-024

執行期限：95 年 8 月 1 日至 96 年 7 月 31 日

主持人：吳重雨 國立交通大學電子工程學系暨電子研究所

E-mail: cywu@alab.ee.nctu.edu.tw

計畫參與人員：王文傑、虞繼堯、蘇烜毅、陳旻琰、Fadi、Ismail、黃祖德

摘要

近年來，許多操作於 2.4GHz 及 5GHz 等免付費頻段的無限區域網路系統已一一被實現出來，資料的傳輸速度也提升至每秒 54 百萬位元或更高。由於應用上對更高速度傳輸的需求，更高及更寬頻段的系統已開始被制訂以及開發，例如操作於 3.1GHz~10.6GHz 應用之 802.15.3a (UWB)，在 528MHz 的頻寬下，可使資料在 10 公尺距離內傳輸達到 480 百萬位元。不久的將來，應用於傳遞高品質視訊影像的家用無線網路將變的普及，如此將需要更高資料量的傳送。因此，如何設計應用於更高操作頻段的無線傳輸系統，如 20GHz 或甚至高至 60GHz 以上，將會是一個重要的研究主題。

隨著 CMOS 製程由深次微米 (deep submicron) 進步到奈米 (nanometer)，電晶體的最高操作頻率 (ft) 已超過 100GHz，因而使用奈米 CMOS 製程，設計操作頻率大於 20GHz 的射頻電路已經可以實現。

本計畫將以 130nm ~ 90nm 之奈米 CMOS 技術來研究並設計操作頻率在 20GHz ~ 60GHz 的高頻段無線通訊收發器之前端主要電路元件。首先將以 130nm CMOS 製程技術，設計操作頻率於 24GHz 的收發器前端電路；延續設計 24GHz 前端電路元件的知識，並同時使用由子計畫(一)所建立之運用於 90nm 製程之

元件模型，設計操作頻率於 60GHz 之射頻前端電路。除此之外，本計畫也將針對所設計的 24GHz 及 60GHz 電路做功率的改善，使電路除了能在高頻下正確操作外，亦能具有低電壓低功率消耗的特性。此外，亦將進行前瞻性研究，以創新的觀念設計電路，期能將特性推至極限。

在實現及量測驗證過此計畫中之各元件的功能後，將進一步與其他子計畫成果整合，以應用於無線通訊之收發器系統，並同時改善各電路元件的特性。

Abstract

The wireless local network systems operating in 2.4GHz or 5GHz have been realized recently. Data rates of these systems have been improved and approached to 54Mbps. Due to the requirement of higher data rate, the wireless system with higher and broader frequency band is establishing, such as the IEEE 802.15.3a (UWB), which operates from 3.1GHz to 10.6GHz and can achieve 480Mbps with 528MHz bandwidth within the distance of 10 meters theoretically. In the future, for the application of home RF, wireless video transmission for example, much higher data rate will be demanded. Therefore, it will become a significant research topic to design a wireless

system operating in much higher frequency, such as 24GHz or over 60GHz, so that high data rates can be achieved.

With the development of the CMOS technology which moves from deep sub-micron to nanometer scale, the maximum operating frequency, f_t , of the MOS transistor has gone beyond 100GHz. Consequently, it is realizable to implement the CMOS RF front-end circuits operating over 20GHz by nanometer CMOS process.

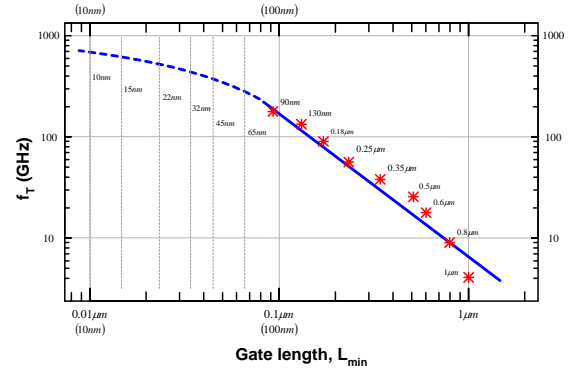
The purpose of this project is to develop the key components in wireless transceiver front-end circuits by 130~90nm nanometer CMOS process for the frequency band from 20GHz to 60GHz. In the beginning, the key components of 24GHz transceiver front-end circuits will be designed by 130nm CMOS process. Based on the concepts of the designed 24GHz circuits and the device models of 90nm CMOS process that established by Sub-Project I, the circuits operating in the frequency of 60GHz will be designed and implemented. Besides, the circuit will not only be designed for high frequency but be improved to dissipate lower power. In addition, novel concepts of circuit designs will be investigated to drive the circuits to their utmost. In this project, the front-end circuits to be accomplished are LNA, PA, Mixer, VCO, Poly-phase Filter and AGC.

After realized, measured and verified each function block in this project, these components are going to be integrated with other achievements of the sub-projects to demo a system of wireless communication. Meanwhile, the performance of each circuit will be improved further.

一、簡介

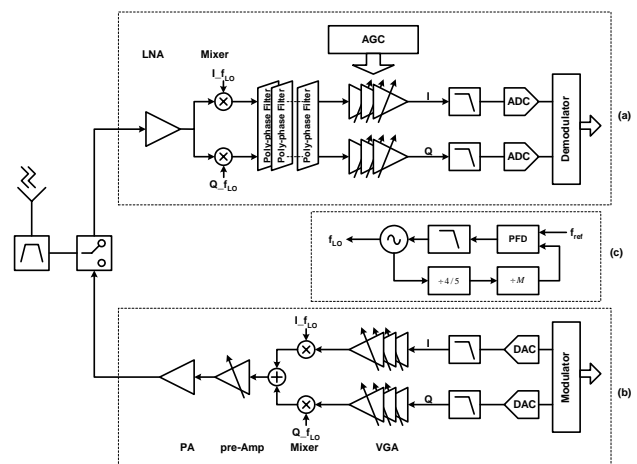
隨著 CMOS 製程由深次微米 (Deep submicron) 進步到奈米 (Nanometer), 如圖(一)[1]

所示, 電晶體的最高操作頻率(f_t), 在 0.13 μm 或更先進的製程下, 已遠遠超過 100GHz; 因而, 使用奈米 CMOS 製程, 設計操作頻率大於 20GHz 的射頻電路已經可以實現。



圖一、CMOS 製程技術與電晶體最高操作頻率(f_t)之趨勢圖[1]

一般而言, 如圖(二)所示, 射頻前端系統 (RF front-end) 主要可以分為接收器 (Receiver)、發射器 (Transmitter) 以及頻率合成器 (Frequency synthesizer) 三個主要大架構。本子計畫三主要著重在接收器以及發射器兩個系統方塊, 頻率合成器的設計則包含在子計畫四當中。以下將針對目前已完成模擬或量測驗證的主要電路做基本的說明。



圖二、射頻前端系統。(a) 接收器, (b) 發射器, (c) 頻率合成器

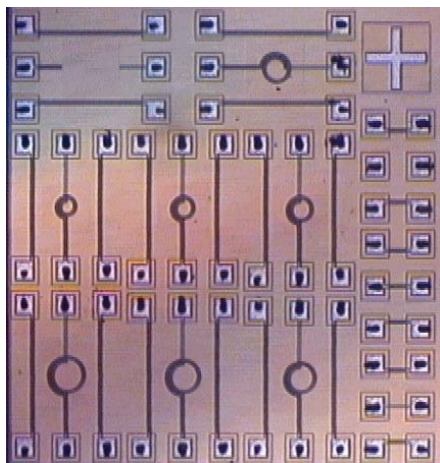
目前本研究群已完成下列主要電路：

1. 高頻電感元件設計與模型建立
2. 高頻雙推式電壓控制振盪器(VCO)設計
3. 類比至數位資料轉換器 (ADC)設計
4. 24GHz 單級電流模式低雜訊放大器設計
5. 24-GHz 電流模式接收器(Rx)設計

二、電路設計

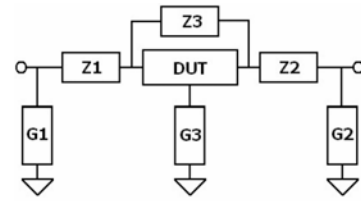
1. 高頻電感元件設計與模型建立

目前 2.4-GHz 或 5-GHz 頻段之射頻積體電路發展愈趨成熟，在此計畫中，我們預備要建立一組能夠適用於更高頻的電路設計使用之電感，例如超過 10GHz 電路。本計畫中，所設定的電感值介於 0.3nH~0.8nH 之間，並將品質因素(Quality Factor)的最佳值設定在 15GHz 或 24GHz 處。小電感的設計方式有兩種，第一種方是就是把內徑縮到非常小，但仍維持電感的圈數，此種電感受外面金屬拉線的影響較輕微，但是因為圈數過多，使得串聯寄生電阻值高，電感的品質因素下降。另外一種方是就是減少電感的圈數，此種方式可得到較高的電感品質因素，但是對於外面其他金屬的拉線影響相當嚴重。在此次設計中，以後者的電感為主要設計對象。下圖三為此電感測試元件的晶片照相圖，其中包含了電感測試元件、De-Embed 時所需之 Open PAD 以及 Through。

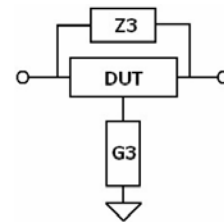


圖三 電感測試元件晶片照相圖

本設計採二階式的de-embedded用以移除不必要的寄生效應，圖四說明de-embedded前與de-embedded後的等效電路圖：

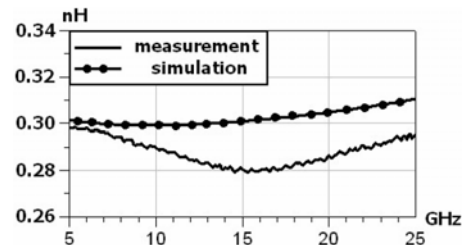


圖四(a) de-embedded 前

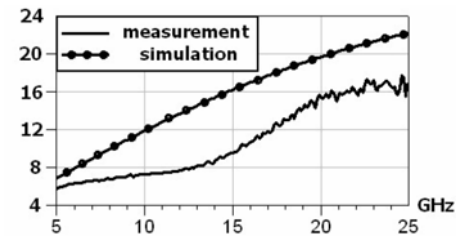


圖四(b) de-embedded 後

此測試元件是以 ADS Momentum 模擬，經過參數校準與 de-embedded 後誤差最大的為內徑最小的電感，下圖即為此電感最後量測與模擬的結果。



圖五(a) 電感值模擬與量測結果



圖五(a) Q 值模擬與量測結果

經過量測後，此次電感模型的建立將對於往後 24-GHz 電路的設計有極大的幫助。

2. 高頻雙推式電壓控制振盪器(VCO)設計

本設計所提出的 VCO 的電路如圖六。由圖中可發現，M3(或 M4)、L、C、C_{buff} 與 C_x 將形成一 Colpitts 振盪器，但為了維持電路的穩定度，避免倍頻 X 點自身振盪，M3 與 M4 將被操作在 cut off 區域的邊緣。

為了更清楚的說明此電路的工作原理，可將 M3 與 M4 看成 class C 的放大器，且 I₃+I₄ 振幅的大小將可藉由控制 M3 與 M4 的 width 而被控制。為了方便解說，圖六為 VCO 的共模等效電路，其中 C_{total} 為差模工作時 LC tank 的所有電容，包含了 varactor 產生的可變電容、NMOS 負電阻的寄生電容、電流源寄生電容與下級(量測用 buffer)所有的寄生電容；R 則為金屬與 poly 的寄生電阻。由圖中可以看出，I₃+I₄ 將流經 X 點，因此僅需設計合適的 C_x 電容值即可讓 X 點的倍頻訊號有足夠的輸出功率。圖五中的 Z_x 值可計算如下：

$$\frac{1}{Z_x} = \frac{j\omega(C_x + 2C_{total} - \omega^2 C_{total} C_x L) - \omega^2 C_{total} C_x R}{1 - \omega^2 C_{total} L + 2j\omega C_{total} R}$$

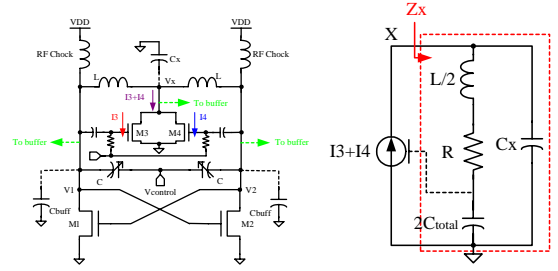
當 $\omega = 2/\sqrt{C_{total}L}$ (兩倍基頻) 且 $\omega C_{total}R \gg 1$ 時：

$$\frac{1}{Z_x} = \frac{j \frac{2}{\sqrt{LC_{total}}} (2C_{total} - 3C_x) - \frac{4}{L} C_x R}{-3}$$

由上式可知當 $C_x = 2C_{total}/3$ 時：

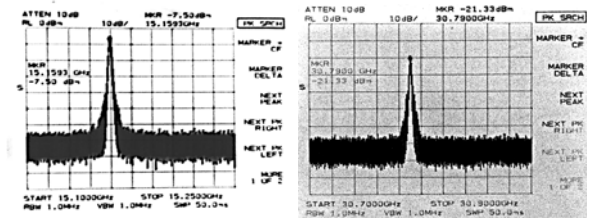
$$Z_x = \frac{3L}{4C_x R} = \frac{9\omega^2 L^2}{32R} = \frac{9}{32} Q^2 R$$

其中 $Q = \omega L/R$ 。而 $V_x = (I_3 + I_4) \cdot Z_x$ ，由此可知，當 Q 值良好時，僅需設計合適的 C_x 電容值無需任何額外的電感或是傳輸線即可使倍頻點 X 輸出足夠大的功率。



圖六(a) VCO 電路圖 (b) 共模電路圖

本電路已量測完成，圖七為量測頻譜，表一為量測結果，操作頻率約在 15/30GHz。



圖七 量測頻譜

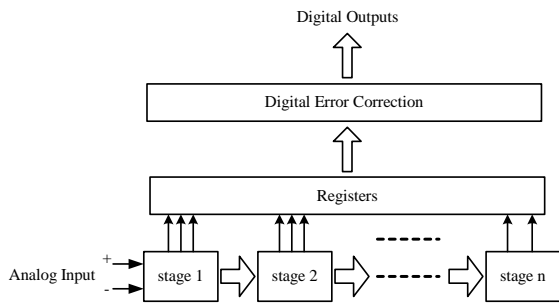
表一 VCO 模擬與量測結果

	Simulation	Measurement		
電源供應電壓	1V	0.9V	1.2V	1.5V
中心電路電流	15mA	7.82mA	15.04mA	20.45mA
頻率調整範圍 (GHz)	16.51/33.02 ~ 17.1/34.2	15.1/30.2 ~ 15.8/31.58	14.8/29.6 ~ 15.5/31	14.8/29.6 ~ 15.2/30.4
Phase Noise @ 1MHz offset	-116dBc/Hz -110dBc/Hz	-97dBc/Hz -91Bc/Hz	-103dBc/Hz -97dBc/Hz	--

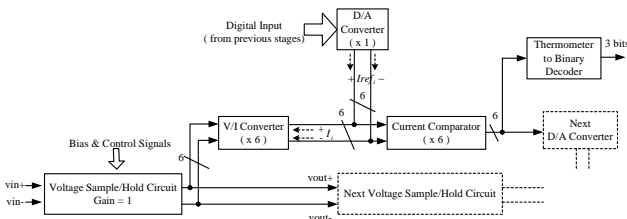
3. 類比至數位資料轉換器(ADC)

圖七為所設計的 ADC 架構方塊圖。整個 ADC 中包含了管線化的每一級、暫存器及數位錯誤修正等電路。此種架構中的每一級所處理的解析度為 $\log_2(2^n - 1)$ 位元，其中 n 為每一級所產生的數位輸出。在此次設計中 n 為 3，故其每一級所能處理的解析度為 2.8 位元，而最後一級為 2 位元。總共需要四級來完成全部八位元的解析度。在經過每一級的訊號處理之後所有的數位輸出將同時送往暫存器及之後的數位錯誤修正電路中，最後八位元的數位輸出將平行地被送出。

每一級的詳細電路架構如圖八所示，其包含了一組取樣保持電路(sample-and-hold)、六組電壓轉電流電路(VIC)、一顆電流汲取式數位類比轉換器(current steering DAC)、六組電流比較器及一組 thermometer-to-binary 編碼器，最後同時產生三位元 Binary 碼及六位元的 Thermometer 碼。然而最後一級只需要產生 2 位元 Binary 碼，所以只需要三組 VICs 及電流比較器即可。圖中電壓取樣保持電路(SHC)是用來傳遞及保持輸入訊號準位，其輸出將送至 VIC 電路讓它產生相對應的電流，同時也將輸入電壓以增益為一的大小送往下一級。為了改善其速度的特性，此 SHC 電路將採用開放式架構。因為開放式架構很難實現電壓相減的功能，故此設計透過 VIC 將電壓轉成電流，使得相減的動作能夠在電流模式下輕易的被完成。



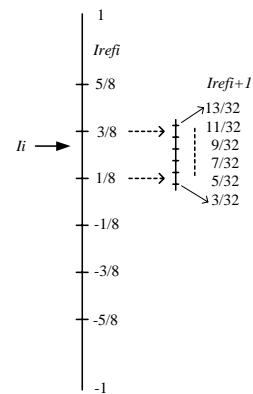
圖八 ADC 架構方塊圖



圖九 第 i 級詳細架構圖

因為許多高速的 DAC 都是利用電流模式架構來完成[2][3]，所以此次設計亦利用此種方法來設計 sub-DAC 並產生相對應的參考電流。每一級 sub-DAC 的輸入皆為前一級的數位輸出而輸出的六組電流 $Iref_i$ 將和 VIC 的輸出 I_i 完成相減的動作。整個 ADC 的處理是採用 successive approximation 演算法，圖十所示為其詳細演算法的過程，為了容易說明，圖十

所示為單端的演算法，雙端亦很容易以此類推。當輸入訊號落在落在參考電流某一區間時，即可利用本級所得到的數位訊號將下一級 sub-DAC 設定到此一區間並在此區間產生數個參考電流 $Iref_{i+1}$ 。經過電流相減後的剩餘電流將被送至電流比較器，用來完成 quantization 動作，最後產生的 6 位元 thermometer code 用來控制下一級的 sub-DAC，同時此數位輸出亦透過 Thermometer-to-Binary 編碼器送到數位錯誤修正電路。



圖十 successive approximation 演算法

此外為了壓低偶數次諧波失真及時脈穿透(clock feedthrough)雜訊整個路徑皆採取雙端差動電路架構。

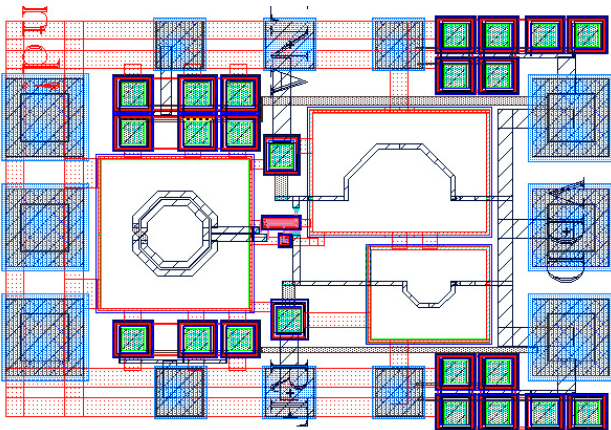
此 ADC 動態特性亦利用 HSPICE 來模擬，並將所得到的數位碼利用 Matlab 做 FFT 分析。取樣頻率為 71.43MHz 時，輸入頻率為 20MHz，經過 FFT 分析後，其 SNDR 為 44dB，約為 7.01 位元的解析度。表二為整個 ADC 模擬特性。

表二 ADC 模擬結果

Technology	0.25 μ m 1P5M CMOS (Thick oxide is selected) (Minimum channel length is 0.35 μ m)	
Input Frequency f_{in}	10 MHz	20 MHz
Accuracy	8 bits	7.01 bits
Pipelined Stages	4	
Sample Rate	71.4 MS/s	
Full Scale Voltage	1.2 V	
Full Scale Current	256 μ A	
Unit LSB Current	1 μ A	
Power Dissipation	205 mW @ f_{in} =20 M Hz	
Power Supply	3.3 V	

4. 24GHz 單級電流模式低雜訊放大器設計

圖十一為 24GHz 單級電流模式低雜訊放大器佈局圖，利用 TSMC 0.18um 製程所設計，架構主要利用電流鏡來實現高頻之低雜訊放大器，利用電感共振掉放大級之 Cgd，以增加輸入與輸出的隔絕，再分別利用電感共振閘級(gate)與集級(drain)之寄生電容，以減小訊號在高頻下透過電容的損失。



圖十一 LNA 佈局圖

使用電流模式低雜訊放大器主要有下列幾項優點，能夠有效的功率的消耗，更適合操作在低電壓下，以及有較佳的雜訊指數(Noise Figure)，對於後級而言，直接處理電流的訊號也較為容易。

表三為此次設計與先前所發表過的晶片規格之比較表，表中電路皆採用 TSMC 0.18um 製程，採用此方式所設計之低雜訊放大器，僅增益(Gain)較低，其他特性，如：線性度(P1dB、IIP3)、功率消耗(Power dissipation)、雜訊指數(Noise Figure)，皆比其他片論文為好，目前晶片已製作完成，並且正在進行量測中。

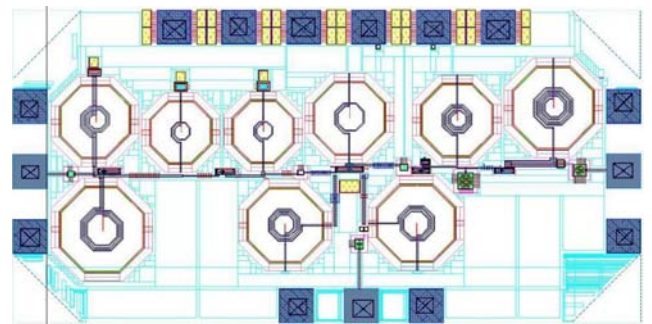
表三 24GHz 低雜訊放大器之比較表

	0.18um				
Frequency[GHz]	24	25.7	24	21.8	23.7
Gain [dB]	7.5	8.9	10	15	12.86
OP1dB [dBm]	-4	-1.3		>-23	-

IIP3 [dBm]	+6.6	+2.8	-3.0		-
NF [dB]	4.6	6.9	6.0	6.0	5.6
S11 [dB]	-47.8	<-14	-14	-21	<-11
S22 [dB]	-30.7	<-12			<-22
S12 [dB]	-24.3	<-32.5			-
Power dissipation	10mW @ 1V	30mA @ 1.8V	47mA @ 2V	16mA @ 1.8V	30mA @ 1.8V
Reference	This Work	2004[4]	2003[5]	2004[6]	2003[7]

5. 24GHz 電流模式接收器(Rx)設計

此電流操做之接收器前端電路包括低雜訊放大器、降頻混波器。本電路使用一全新的設計觀念，電流操作模式，來完成低雜訊放大器與降頻混波器的設計。其中低雜訊放大器是由兩級的電流鏡放大器所組合而成。再來，降頻混波器是經由一個電流相加與相成電路的組合來達到降頻的工作。圖十二為設計完成的接收器晶片 layout 佈局圖。經過模擬後，此接收端的特性如表四所示：



圖十二 layout 佈局圖

表四 模擬結果

Technology	TSMC 0.13um 1P8M CMOS
Supply voltage	1.2 V
Gain_LNA	16.101dB
NF_LNA	3.592dB@24GHz
S11	< -10dB
S22	< -20dB
S33	< -15dB
Total NF	4.635dB @ 24GHz
Total Gain	19.32 dB
IP1dB	-24 dBm
Chip Area	1.452*0.723 mm ²
Power Consumption	24.336 mW

三、結論

目前已完成量測的電路方塊有：高頻電感元件、高頻雙模電壓控制振盪器；完成模擬的電路方塊有：類比至數位資料轉換器、24-GHz 單級電流模式低雜訊放大器、24-GHz 電流模式接收器。

高頻電感元件的設計已經量測完成並且將所有的電感電路化，另外也使得 ADS Momentum 所模擬的電感校正成為值得信賴的模擬。此對於未來 24-GHz 電路甚至 60-GHz 以上的電路設計都將有極大的幫助。

高頻雙模電壓控制振盪器的設計已量測完成，此電路模擬與量測的頻率誤差約為 7.6%，也證明了本實驗群已有能力設計在 24-GHz 以上的頻段設計出可靠的本地振盪訊號。

而 ADC 電路採用開放式架構來改善類比至數位資料轉換器速度的特性。功率放大器被設計能提供足夠大的功率輸出，與單端的架構相比，使用差動架構的功率放大器，能夠有較大的電壓可運作區間、偶次諧波消除效果等優點。

24-GHz 單級電流模式低雜訊放大器與 24-GHz 電流模式接收器均已模擬完成，其中 24-GHz 單級電流模式低雜訊放大器正在量測中其擁有低功率與低雜訊的優點，另外整合後的 24-GHz 電流模式接收器電路將於八月中進行量測。

四、計畫成果自評

目前為此子計畫的第一年，本研究群已完成了部分子電路的量測(電感元件與壓控振盪器)，而 LNA 也正在量測中，接收器(Rx)部分也已成功整合並且已完成模擬。樂觀的估計，本年底應可完成傳送端(Tx)子電路的設計，而 Rx 端 60-GHz 的部分電路亦可開始設計與模擬。本年度應可順利達成甚至超前所預計的目標。

五、參考文獻

- [1] P. Gray and R. Meyer, "Future Directions of Silicon ICs for RF Personal Communications," Custom Integrated Circuits Conference (CICC), pp. 83-90, May 1995.
- [2] Jose Bastos et al., "A 12-Bit Intrinsic Accuracy High-Speed CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1959-1969, Dec. 1998.
- [3] C. H. Lin and Klaas Bult, "A 10-b, 500-Msample/s CMOS DAC in 0.6 μm^2 ," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1948-1958, Dec. 1998.
- [4] K.-W. Yu, Y.-L. Lu, D.-C. Chang, V. Liang, and M. F. Chang, "K-band low-noise amplifiers using 0.18 μm CMOS technology," *IEEE Microw. Wireless Compon. Lett.*, vol. 14, no. 3, pp. 106-108, Mar. 2004.
- [5] L. M. Franca-Neto, B. A. Bloechel, and K. Soumyanath, "17 GHz and 24 GHz LNA designs based on extended-S-parameter with microstrip-on-die in 0.18 μm logic CMOS technology," in *Proc. Eur.Solid-State Circuits Conf.*, Sep. 2003, pp. 149-152.
- [6] X. Guan and A. Hajimiri, "A 24 GHz CMOS front-end," *IEEE Journal of Solid-State Circuits*, vol.38, Feb. 2004, pp.368-373
- [7] Kyung-Wan Yu, Chang, M.F., " CMOS K-band LNAs design counting both interconnect transmission line and RF pad parasitics," *Symposium on Radio Frequency Integrated Circuits (RFIC)*, June 2004, pp.101 - 104.