

# 行政院國家科學委員會專題研究計劃成果報告

CMAC 並行處理控制器之研製及 CMAC 控制系統頻寬之探討

## Design the Parallel-Processing CMAC Controller and Investigating the Bandwidth of CMAC Control System

計畫編號：NSC-89-2213-E-009-214

執行期間：89 年 8 月 1 日至 90 年 7 月 31 日

主持人：陳福川 交通大學電機與控制工程研究所 教授

### 一、中文摘要

本計畫以新提出的 CMAC 控制架構為基礎，配合軟體模擬的結果及分析，設計一 CMAC 並行處理控制器。並且從完整系統分析的角度，就 CMAC 演算法的運算量以及影響運算量的因素做 CMAC 控制系統的頻寬問題分析。並將運算量的分析結果實作並應用於設計的 CMAC 並行處理控制器上。

關鍵詞：小腦式類神經網路，六軸平台控制，類神經網路晶片設計

### Abstract

This proposal is based on the latest proposed CMAC control scheme, with result and analysis via software simulation, a new design and implementation of the parallel-processing CMAC controller is generated. In light of system analysis, the factor affects the computational facility and processing bandwidth will be discussed and analyzed. Furthermore, the research result of computational facility is applied to the consideration of design on

the parallel-processing CMAC controller.

**Keywords** : CMAC, 6-axis Motion Control, Neural Network IC Implementation

### 二、緣由與目的

本實驗室先前提出一個改良型的 CMAC 控制系統架構(見圖一)，結合 CMAC 極為快速 integration effect 及 local generalization 的特性，使得此控制架構得以快速的反應環境中的變化，對於處理受控體局部的控制問題，此一架構對於運動控制有非常優異的表現。一軸以及兩軸的運動控制已經由軟硬體做有效的功能驗證，運用 CMAC 結合快速的平行運算能力，處理更高階的運動控制問題則是階段性目標。

### 三、CMAC 並行處理控制器設計

由於 CMAC 類神經網路適合於硬體實現的特性，輔以適當的硬體架構，可以使得 CMAC 類神經網路的硬體發揮最高的效果。因此此計畫是以 cell-based

的方式來完成 CMAC chip 內部的邏輯電路，以 full-custom 的方式來完成 CMAC chip 內部的記憶體單元。配合數位信號處理器 TMS320C240 提供程式化的 reference command 輸出，成為獨立的六軸平台運動控制系統。

### 3.1 CMAC 控制系統電路板

CMAC 控制系統電路板的硬體設計包含了一個數位信號處理器 TMS320C240，以及兩顆 CMAC chips 有效率的作演算法實現。電路板之方塊圖如圖二所示，透過圖二所示之數位控制板之架構，能夠透過先進的數位信號軟體控制將其技術廣泛使用於結合 CMAC 控制與 PD 控制的控制架構應用上。

### 3.2 CMAC 平行處理晶片設計

CMAC 平行處理晶片的功能方塊圖如圖三，由 PLA 控制邏輯來控制各個方塊的運作，Pre-processing 負責將受控體傳回的實際  $q, v$  值以及數位信號處理器傳回的目標值  $q_d, v_d$  計算成 CMAC 類神經網路的輸入向量，Quantization 用來做 CMAC 類神經網路的量化動作，另一方面用來計算輸入向量處理時的解析度。Address mapping 計算輸入向量在虛擬記憶體中的位置，利用 Systolic array 的架構方式設計三個運算單元以快速的取得位置。Hash coding 將虛擬記憶體的位置轉換成實體記憶體的位置，因為運動控制需要較高的精準度，因此實際記憶體並不能將整個虛擬記憶體的 table 存入，Hash coding 是以線性回饋移位器 (Linear Feedback Shift Register) 的架構

產生偽亂數(pseudo random)的效果，進而將龐大的虛擬記憶位置映射到合理的實體記憶位置上。Weight Retrieving 則將存放在 CMAC 類神經網路中記憶單元的權數取出，處理後成為 CMAC 類神經網路控制系統的控制訊號輸出。而 CMAC 類神經網路學習的部分則在 address mapping 及 Hash coding 的步驟完成。

### 四、CMAC 控制系統運算量及頻寬分析

CMAC 類神經網路因為局部學習的特性，因而具有極為快速學習的效果，在局部學習的部分，最直接影響 CMAC 類神經網路處理速度的是參數產生量 (generalization)。本計畫針對了此一參數在此控制系統架構的影響做了一連串的軟體分析，發現產生量對於此改良式 CMAC 類神經網路控制系統學習結果成一非線性關係，見圖四，為產生量相對於追蹤誤差的結果(追蹤誤差取 MSE, Mean Square Error 的值)。因此若取得合理的產生量參數，便可有效在 CMAC 類神經網路的處理速度上以及追蹤誤差之間取得一個完美的折衷辦法，在本計畫中多次的軟體模擬後(見圖五)，得到產生量參數為 64，進而在 CMAC 平行處理晶片中的 Address mapping 單元中可以將產生一組虛擬位置的時間降低至 64 個工作週期，配合管線式(pipeline)的指令傳遞方式可以對 CMAC 平行處理晶片的處理速度有很顯著的效率提昇。

### 五、參考文獻

[1]“A new approach to manipulator

control: The cerebellar model articulation controller (CMAC)”

*Albus, J.S.*

J. Dynamic Syst., Measurement, Contr., vol. 97, pp. 220–227, Sept. 1975

[2]”Hardware implementation of CMAC neural network with reduced storage requirement “

*Jar-Shone Ker; Yau-Hwang Kuo;*

*Rong-Chang Wen; Bin-Da Liu*

, IEEE Transactions on Neural Networks, Volume: 8 Issue: 6 , Nov. 1997

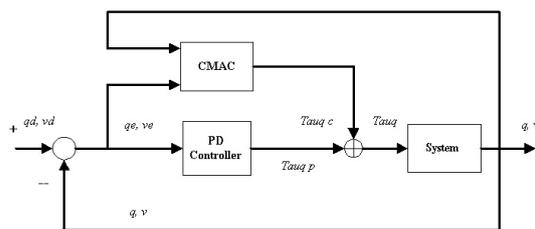
Page(s): 1545 –1556

[3] “A nonlinear learning controller for robotic manipulators,”

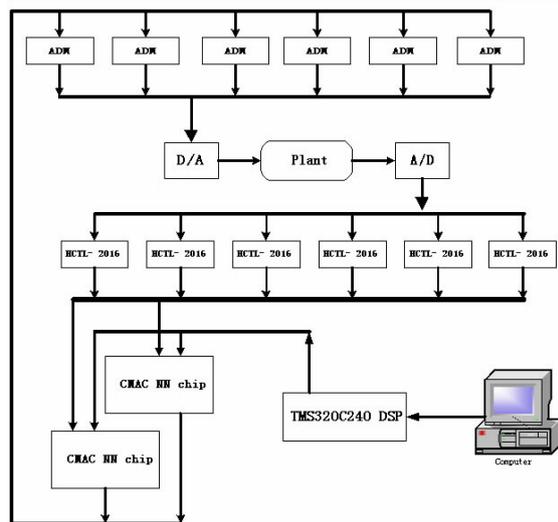
*W. T. Miller,*

in Proc. SPIE, Intell. Robots and Computer Vision, vol. 726, pp.

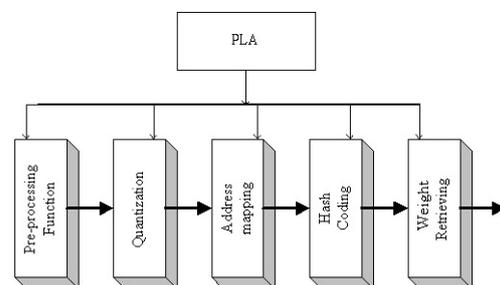
416–423, Oct. 1986.



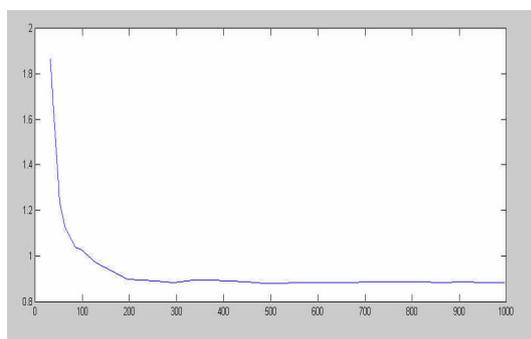
圖一、改良型 CMAC 控制系統架構圖



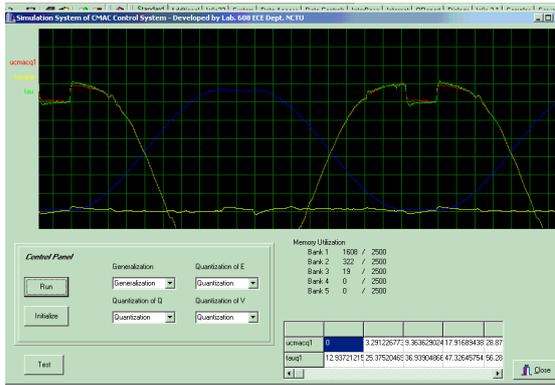
圖二、CMAC 控制系統電路板硬體架構方塊圖



圖三、CMAC 平行處理晶片功能方塊圖



圖四、CMAC 類神經網路產生量 (generalization)對於 MSE (Mean Square Error)的現象



圖五、CMAC 類神經網路控制系統軟體人機介面