

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 奈米 CMOS 通道背向散射實驗及其潛在性應用之研究(1/3)

計畫類別：個別型計畫

計畫編號：NSC94-2215-E-009-069-

執行期間：94 年 08 月 01 日至 95 年 07 月 31 日

執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：陳明哲

計畫參與人員：呂明霽，許智育，顏士貴，蔡鐘賢，曾貴鴻

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 95 年 5 月 30 日



# 行政院國家科學委員會補助專題研究計畫期中進度報告

## 奈米 CMOS 通道背向散射實驗及其潛在性應用之研究(1/3)

### Nano-CMOS Channel Backscattering Experiment and Its Potential Applications

執行期限: 94/08/01 ~ 95/07/31

計畫編號: NSC 94-2215-E-009-069-

主持人: 陳明哲教授

國立交通大學電子工程學系

#### 一、中文摘要

本計劃為期三年，進行通道背向散射實驗並找到在奈米場效電晶體上的應用。第一年建立通道背向散射實驗之核心：(1) 一維解薛丁格-浦以松方程式量子力學模擬器以從電容電壓數據萃取製程參數，藉由此得到在開始的  $K_B T$  層中的平均熱入射速度，等效閘電容和近似於平衡臨界電壓；(2) 次臨界 DIBL 量測以有效計入二維效應的影響；(3) 利用比例與位移方法估計源極/集極的串聯電阻和通道或閘極的長度；(4) 利用近似於平衡的遷移率量測，去量化橫跨  $K_B T$  層的背向散射自由平均路徑；(5) 利用電流電壓擬似法決定  $K_B T$  層的寬度；最後，(6) 利用機率和統計知識、微觀傳輸物理、解浦以松方程式和蒙地卡羅模擬，有系統的去處理與證明所萃取出來的  $K_B T$  層寬度和他們的物理意義及製程關鍵指引。據此實驗核心，我們進行：(1) 通道背向散射實驗應用於 Bulk 奈米場效電晶體測試晶片；(2) Bulk 奈米場效電晶體雜訊實驗並與通道背向散射數據相關性探討；以及(3) Bulk 奈米場效電晶體介觀物理解、特性分析（經由機率和統計處理）、簡潔元件模型、元件製造關鍵和設計規範之建立。

**關鍵詞：**奈米場效電晶體，通道背向散射，介觀物理，矽變形奈米場效電晶體，雙倍式閘極奈米場效電晶體，錯通道奈米場效電晶體，雜訊。

#### 英文摘要

This is a three-years project to perform channel backscattering experiment and find potential applications in nanoFETs. In the first year, the core of channel backscattering experiment to be established consists of the following key elements: (1) 1-D self-consistent Schrodinger-Poisson quantum simulator such as to assess process parameters from C-V data, which in turn can quantify average thermal injection velocity at the beginning of the  $K_B T$  layer, effective gate capacitance, and quasi-equilibrium threshold voltage; (2) subthreshold DIBL measurement to account for 2-D effect; (3) usage of ratio-and-shift method to measure source/drain series resistances and gate or channel length; (4) long-channel quasi-equilibrium mobility measurement in order to quantify mean-free-path for backscattering over the  $K_B T$  layer; (5) I-V fitting to determine the width of the  $K_B T$  layer; and finally (6)

applying knowledge of probability and statistics, microscopic transport physics, solving of Poisson equation, and Monte Carlo simulation, in a systematical way to deal with and clarify the extracted  $K_B T$  layer width, as well as underlying physical meanings and key process guidelines. Based on this experimental set-up, we proceed with the following: (1) application of channel backscattering experiment to bulk nanoFET test devices; (2) noise measurement on bulk nanoFETs along with correlation with channel backscattering data; and (3) establishment of bulk nanoFETs mesoscopic physics and understanding, characteristics analysis (via probability and statistics), compact model, key for devices manufacturing, and design guidelines.

**Key Words :** NanoFETs, Channel Backscattering, Mesoscopic Physics, Strained-Silicon NanoFETs, Double-Gate NanoFETs, Germanium Channel NanoFETs.

#### 二、緣由與目的

歐盟最近通過了為期至少 3 年的 Nano-CMOS 泛歐大計劃 (自 2004 年 3 月開始)。此重大事件意味著兩件事：一方面，Nano-CMOS 繼續為國際間重點研究題目；另一方面，來自 Nano-CMOS 領域國際同儕的品質要求與日俱增，在此領域非得做出好的研究不可。在 Nano-CMOS 廣泛領域中，以 Channel Backscattering 為基礎的載子傳輸理論，國際上公認為描述下世代奈米元件物理行為特性的嶄新語言，理論創始人普渡大學 Mark Lundstrom 及 Supriyo Datta 兩位教授並因而獲得 2002 年 IEDM Cleo Brunetti 獎。數年前我們就已進行 Channel Backscattering 理論及相關量測之研究並有一篇 IEDM 2002 年論文發表，日以繼夜研究到現在，以 2004 年 9 月產出一篇 IEEE TED 長文最有代表性。IEEE TED 兩位國際評審也高度肯定此論文之嚴謹及有用性。此論文詳細報告如何適當的進行通道背向散射實驗 (channel backscattering experiment) 並找到在奈米場效電晶體上的應用。過去的經驗讓我們了解，透過關鍵地帶 ( $K_B T$  Layer) 的研究，可得到有相當建設性的介觀 (mesoscopic) 物理解、特性分析 (經由機率和統計處理)，Compact 元件模型建立，和奈米場效電晶體元件的製造關鍵等等。通道背向散射實驗均適用於傳統的

金氧半場效電晶體 (Nano Bulk MOSFETs)、雙倍式閘極場效電晶體 (double-gate Nano-FETs)、矽變形場效電晶體 (strained-silicon Nano-FETs) 和鍺通道場效電晶體 (germanium-channel Nano-FETs) 等。

因此我們草擬以 Nano-CMOS channel backscattering experiment 為主題的國科會 3 年計劃, 此實驗的核心為:

- (i) 一維的 self-consistent Schrodinger-Poisson solver 從 C-V data 粹取製程參數, 藉由此製程參數可以得到在開始的  $K_B T$  layer 中的平均熱入射速度 (average thermal injection velocity), 等效閘電容 (effective gate capacitance) 和近似於平衡臨界電壓 (quasi-equilibrium threshold voltage);
- (ii) Subthreshold DIBL (drain-induced barrier lowering) 量測以有效計入二維效應的影響;
- (iii) 利用比例與位移方法 (ratio-and-shift method) 去估計源極/集極 (source/drain) 的串聯電阻和通道或閘極 (gate) 的長度;
- (iv) 利用近似於平衡 (quasi-equilibrium) 的遷移率 (mobility) 量測, 去量化橫跨 layer 的背向散射自由平均路徑 (mean-free-path for backscattering);
- (v) 利用 I-V fitting 的方法去  $K_B T$  layer 的寬度;
- (vi) 然後利用機率和統計 Knowledge, 微觀傳輸物理, 解浦以松方程式 (Poisson equation along the channel direction) 和蒙地卡羅模擬 (Monte Carlo simulation), 有系統的去處理與證明所粹取出來的  $K_B T$  layer 寬度和他們的物理意義及製程關鍵指引。

### 三、研究方法與成果

已建立 channel backscattering 實驗核心 (見一系列附圖):

1. 1-D self-consistent Schrodinger-Poisson solver 從 C-V data 粹取製程參數, 藉由此製程參數以得到在開始的  $K_B T$  layer 中的平均熱入射速度, 等效閘電容和近似於平衡臨界電壓;
2. Subthreshold DIBL 量測以有效計入二維效應的影響;
3. 利用比例與位移方法去估計源極/集極的串聯電阻和通道或閘極的長度;
4. 利用近似於平衡的遷移率量測, 去量化橫跨 layer 的背向散射自由平均路徑; 利用 I-V fitting 的方法去  $K_B T$  layer 的寬度;
5. 然後利用機率和統計 Knowledge, 微觀傳輸物理, 解浦以松方程式和蒙地卡羅模擬, 有系統的去處理與證明所萃取出來的  $K_B T$  layer 寬度和他們的物理意義及製程關鍵指引。

### 四、結論與討論

● 我們在通道背向散射領域所作的貢獻進一步受到國際肯定:

- Stanford/MIT team in 2004 IEDM
- TSMC in 2005 Symposium on VLSI Technology
- TSMC in 2005 IEEE EDL
- TSMC in 2006 VLSI - TSA
- STMicroelectronics/Philips Semiconductor/LETI/ CNRS team in 2005 IEEE TED

● 目前我們繼續筆清通道背向散射理論架構, 作法之一是大量運用 Monte Carlo 技巧, 到目前為止已見若干突破, 假以時日我們定能在此嶄新領域取

得國際性地位。

### 參考文獻:

1. M. J. Chen, R. T. Chen, Y. S. Lin, "Decoupling channel backscattering coefficients in nanoscale MOSFETs to establish near-source channel conduction-band profiles," *IEEE Silicon Nanoelectronics Workshop*, pp. 50-51, 2005.
2. M. P. Lu, W. C. Lee, and M. J. Chen, "Channel-width dependence of low-frequency noise in process tensile-strained n-channel metal-oxide-semiconductor transistors," *Applied Physics Letters*, vol. 88, p. 063511, 2006.

### Important Figures



