

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫四：智慧型面板內建電路設計(2/3)

計畫類別：整合型計畫

計畫編號：NSC94-2218-E-009-026-

執行期間：94年08月01日至95年07月31日

執行單位：國立交通大學光電工程學系(所)

計畫主持人：戴亞翔

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 95 年 5 月 25 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

智慧型面板內建電路設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC93 - 2215 - E - 009 - 075 -

執行期間： 94 年 8 月 1 日至 95 年 7 月 31 日

計畫主持人：戴亞翔

共同主持人：

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學 顯示科技研究所

中 華 民 國 九 十 五 年 五 月 二 十 五 日

➤ 摘要

本計畫第二年度目前完成低溫多晶矽薄膜電晶體(LTPS TFT)元件特性變動資料庫之建立及元件變動模型參數之建立，並依據設定出的元件參數組，以我們由量測數據所提出的統計性數學模型取代先前所廣泛採用的高斯分佈，評估各種基礎電路區塊(function blocks)性能與元件參數變動的相關性，來判斷出各元件參數對電路區塊特性的衝擊因素，作為高變動容許度之電路設計的研究基礎。本計畫總目標為建立一套新的 LTPS TFT 電路模擬技術以及新的電路設計觀念，在相關研究的配合之下，可使智慧型面板產品的設計成功，並實現系統整合顯示技術。

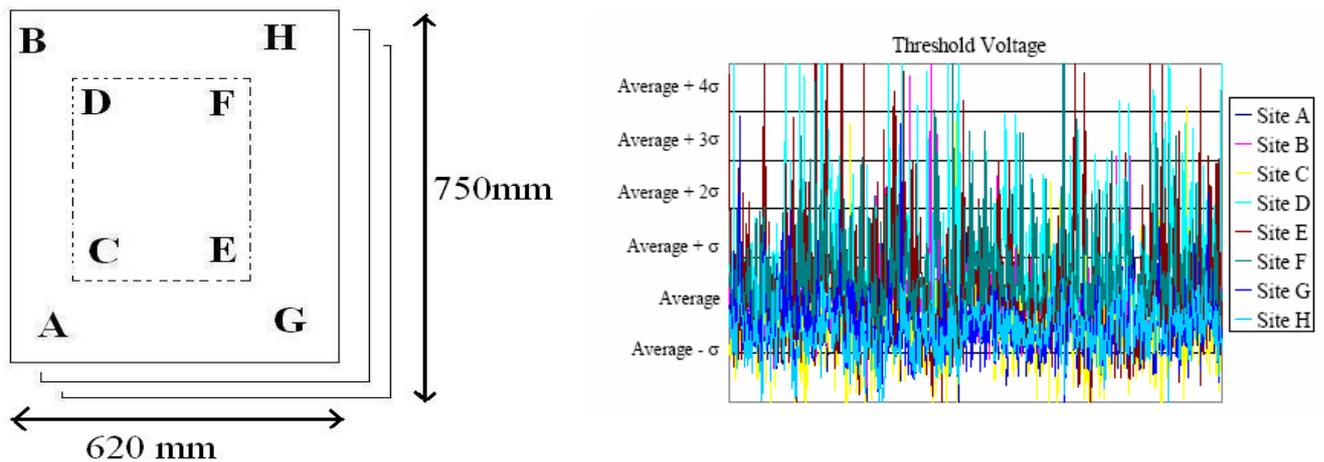
➤ Abstract

In this project for the second year, the device variation database and the corresponding model parameters are established. Based on the model parameters, the performances of some basic function blocks affected by the parameter variation are studied by using the statistical model proposed by our measurement result rather than Gaussian distribution in Monte Carlo simulation. The impact factors of the device parameters on the circuit performance are analyzed to be the fundamentals of circuit design with device variation immunity. The final purpose of this project is to build up the new simulation skills and new design concepts with LTPS TFTs. With the research of this and following years, the successful design of smart panels can be confident, which enables the technology of display system integration.

➤ 前言及研究目的

本計畫為整合性計畫之一項子計畫。而計畫的主要目標，在建立 design for variation(包括 reliability)的內建電路設計技術，以下先就本計畫的主要重心加以說明。

目前內建電路之研究大都是以製程技術改善元件特性為主，而將元件特性的改善擴張解釋為先進內建電路的實現，但實際上，電路是許多元件的組合，除了考慮單一特性，更重要的是元件差異性必須在特定的範圍內，才能保證其正常運作。由於目前電路設計絕大部份以單晶矽元件實現，電路設計不需為了元件間的差異而苦心設想。而以低溫製程形成的元件，因為缺陷的分佈無法掌握避免，而會隨著均勻性、再現性、信賴性、與環境溫度而改變，故在智慧型面板內建電路之研究上，必須再做到 design for variation(含 reliability)。舉一個最簡單的例子，LTPS TFT 係在複晶矽材料上形成元件，如[圖一]所示，即使是一模一樣的複晶矽材料在同一片的玻璃基板上，因位置有所差異，所形成的元件特性會因為晶粒邊界之密度與分佈的不同而有所差異，不同的 LTPS-TFT 特性變動，既使改善製程條件[1]，亦只減少而無法消除。更何況，形成各個元件的複晶矽材料與閘極絕緣層的特性又各自不同，元件特性的差異性實無可避免[1~3]。



[圖一] 不同位置的 LTPS-TFT，隨著分佈距離的遠近，元件特性也會跟著不同

在目前的文獻中，由元件模型方面的論文來看[4~9]，論文著重在對元件物理的探討，以推導最符合實際元件特性的解析性公式組和參數值，其論文建立的基礎，僅為單一個元件的特性，即使其理論值與實際量測值的符合度再高，也不過只能代表該單一元件特性，而無法代表以相同製程一起製作出來的所有元件特性。

另外，由元件特性改善方面的論文來看，大都是針對元件整體特性的提昇技術[10~13]，僅有少數論文特別對元件的變動有所著墨；而有許多製程方面的研究計畫企圖以形成單晶通道之 LTPS-TFT 來徹底解決元件變動的問題，但以目前的研究狀況，即使晶粒愈做愈大，仍無法完全解決問題，反而形成的晶粒大，其元件變動也隨之變大。

甚至，由內建電路的設計方面的論文來看，除了針對 AMOLED 的畫素設計真正地面對元件變動性，而有許多提案[14~16]之外，其餘內建電路設計的相關論文[17~19]，皆基於單

一 LTPS-TFT 特性來作設計。另外以廣義的元件變動來看，有一個很重要的元件變動因素是元件本身的可靠度，這方面也有非常多論文探討[20~34]，然而，與元件特性變動類似，並未有相對應的模擬技術與設計觀念。

本計畫目標在為智慧型面板建立一套新的電路模擬技術以及新的電路設計觀念，在”Design for variation”的相關研究配合之下，所建立之智慧型面板設計技術，必可使 SoP 產品的設計成功率大增，而使系統整合顯示技術早日實現。

➤ 文獻探討

1. S. Higashi, D. Abe, K. Miyashita, T. Kawamura, S. Inoue, and T. Shimoda, “Invited Paper: Interface – The Key to High-Performance Poly-Si TFT Fabrication,” in Proc. of the 2003 Society Information Display (SID), pp1302-1305, (2003).
2. M. Kimura, S. Inoue, T. Shimoda, and T. Eguchi, “Dependence of polycrystalline silicon thin-film transistor characteristics on the grain-boundary location,” J. Appl. Phys., vol. 89, pp. 596-600, (2001).
3. Y. H. Jung, J. M. Yoon, M. S. Yang, W. K. Park, H. S. Soh, H. S. Cho, A. B. Limanov, and J. S. Im, “The dependence of poly-Si TFT characteristics on the relative misorientation between grain boundaries and the active channel,” Mat. Res. Soc. Symp. Proc., vol. 621, Q9.14.1-Q9.14.6, (2000).
4. Y. Byun, M. Shur, M. Hack, and K. Lee, "New Analytical Poly-Silicon Thin-Film Transistor Model for CAD and Parameter Characterization," Solid State Electronics, vol. 35, No. 5, pp. 655-663 (1992).
5. A. A. Owusu, M. D. Jacunski, M. S. Shur, and T. Ytterdal, "SPICE Model for the Kink Effect in Polysilicon TFTs," 1996 Electrochemical Society Fall Meeting, San Antonio, TX, Oct. (1996).
6. B. Faughan, “Subthreshold Model of a Polycrystalline Silicon Thin-Film Field-Effect Transistor,” Appl. Phys. Lett., vol. 50, no. 5, pp. 290-292 (1987).
7. Shur, M. Hack, and Y. H. Byun, "Circuit Model and Parameter Extraction Technique for Polysilicon Thin Film Transistors", in Proc. of the 1993 Int'l. Semiconductor Device Research Symp., ISDRS'93, Charlottesville, VA, pp. 165-168 (1993).
8. M. Shur, M. Jacunski, H. Slade, M. Hack, "Analytical Models for Amorphous and Polysilicon Thin Film Transistors for High Definition Display Technology," J. of the Society Information Display, vol. 3, no. 4, p. 223 (1995).
9. K. Yamaguchi, “Modeling and characterization of polycrystalline-silicon thin-film transistors with a channel-length comparable to a grain size,” J. Appl. Phys., vol. 89, pp. 590-595, (2001).
10. C.-W. Lin, L.-J. Cheng, Y.-L. Lu, Y.-S. Lee, and H.-C. Cheng, “High-performance low-temperature poly-Si TFTs crystallized by excimer laser irradiation with recessed-channel

- structure,” *IEEE Electron Device Lett.*, vol. 22, pp. 269-271, (2001).
11. R. S. Sposili and J. S. Im, “Sequential lateral solidification of thin silicon films on SiO₂,” *Appl. Phys. Lett.*, vol. 69, pp. 2864-2866, (1996).
 12. Y. H. Jung, J. M. Yoon, M. S. Yang, W. K. Park, H. S. Soh, H. S. Cho, A. B. Limanov, and J. S. Im, “Low temperature polycrystalline Si TFTs fabricated with directionally crystallized Si film,” *Mat. Res. Soc. Symp. Proc.*, vol. 621, Q8.3.1-Q8.3.6, (2000).
 13. M. A. Crowder, Robert S. Sposili, A. B. Limanov, and James. S. Im, “Sequential lateral solidification of PECVD and sputter deposited a-Si films,” *Mat. Res. Soc. Symp. Proc.*, vol. 621, Q9.7.1-Q9.7.6, (2000).
 14. M. Stewart, R. S. Howell, L. Pires, and M. K. Hatalis, “Polysilicon TFT Technology for Active Matrix OLED Displays,” *IEEE Trans. on Electronic Devices*, vol. 48, no. 5, pp.845-851, (2001).
 15. Y. He, R. Hattori, and J. Kanicki, “Improved A-Si:H TFT Pixel Electrode Circuits for Active-Matrix Organic Light Emitting Displays,” *IEEE Trans. on Electronic Devices*, vol. 48, no. 7, pp.1322-1325, (2001).
 16. Y. Si, Y. Zhao, X. Chen, and S. Liu, “A Simple and Effective ac Pixel Driving Circuit For Active Matrix OLED,” *IEEE Trans. on Electronic Devices*, vol. 50, no. 4, pp.1137-1140, (2003).
 17. Y. Mishima, K. Yoshino, F. Takeuchi, K. Ohgata, M. Takei, and N. Sasaki, “High-Performance CMOS Circuits Fabricated by Excimer-Laser-Annealed Poly-Si TFTs on Glass Substrate,” *IEEE Electron Device Letter*, vol. 22, no. 2, pp.89-91, (2001).
 18. H.-G. Yang, P. Migliorato, C. Reita, and S. Fluxman, “Circuit Performance of Low Temperature CMOS Polysilicon TFT Operational Amplifiers,” *Electronics Letters*, vol. 29, no. 1, pp.38-40, (1993).
 19. C.-W. Lu, “A Low Power High Speed Class-AB Buffer Amplifier for Flat Panel Display Signal Driver Application,” in *Proc. of the 2002 Society Information Display (SID)*, pp. 281-283 (2002).
 20. N. D. Young, et al., “Hot carrier degradation in low temperature processed polycrystalline silicon thin film transistors”, *Semiconductor Science and Technology*, Vol. 7, No. 9, pp. 1183-1188, 1992.
 21. J. R. Ayres, et al., “Hot carrier effects in devices and circuits formed from poly-Si”, *IEE Proceedings: Circuits Devices and Systems*, Vol. 141, No. 1, pp. 38-44, 1994.
 22. N. D. Young, et al., “Negative gate bias instability in polycrystalline silicon TFT's”, *IEEE Trans. on Electron Devices*, Vol. 42, No. 9, pp. 1623-1627, 1995.
 23. Y. Uraoka, et al., “New degradation phenomenon in wide channel poly-Si TFTs fabricated by low temperature process”, *Technical Digest – Int’l. Electron Devices Meeting*, pp. 781-784, 1996.
 24. Y. Uraoka, et al., “Analysis of threshold voltage shift caused by bias stress in low temperature poly-Si TFTs”, *Technical Digest - Int’l. Electron Devices Meeting*, pp. 527-530, 1997.

25. J. R. Ayres, et al., "Analysis of drain field and hot carrier stability of poly-Si thin film transistors", Jap. J. of Appl. Phys. Part 1: Regular Papers & Short Notes & Review Papers, Vol. 37, No. 4A, pp. 1801-1808, 1998.
26. A. T. Krishnan, et al., "Off-state stress-induced reduction of off-state current in polycrystalline silicon thin film transistors", Annual Proc. - Reliability Physics (Symposium), pp. 42-46, 1999.
27. Y. Uraoka, et al., "Hot carrier effects in low-temperature polysilicon thin-film transistors", Jap. J. of Appl. Phys. Part 1: Regular Papers & Short Notes & Review Papers, Vol. 40, No. 4 B, pp. 2833-2836, 2001.
28. S. Inoue, et al., "Analysis of degradation phenomenon caused by self-heating in low-temperature-processed polycrystalline silicon thin film transistors", Jap. J. of Appl. Phys. Part Part 1: Regular Papers & Short Notes & Review Papers, Vol. 41, No. 11A, pp. 6313-6319, 2002.
29. Y. Uraoka, et al., "Reliability evaluation method of low temperature poly-silicon TFTs using dynamic stress", IEEE Int'l. Conf. on Microelectronic Test Structures, pp. 158-162, 2000.
30. Y. Uraoka, et al., "Reliability of low temperature poly-silicon TFTs under inverter operation", IEEE Trans. on Electron Devices, Vol. 48, No. 10, pp. 2370-2374, 2001.
31. Y. Uraoka, et al., "Analysis of reliability in low-temperature poly-Si thin film transistors using pico-second time-resolved emission microscope", Technical Digest – Int'l. Electron Devices Meeting, pp. 577-580, 2002.
32. Y. Uraoka, et al., "Hot carrier effect in low-temperature poly-Si p-ch thin-film transistors under dynamic stress", Jap. J. of Appl. Phys. Part 2: Letters, Vol. 41, No. 1 A/B, pp. L13-L16, 2002.
33. Y. Uraoka, et al., "Mechanism of device degradation under AC stress in low-temperature polycrystalline silicon TFTs", Annual Proc. - Reliability Physics (Symposium), pp. 278-282, 2002.
34. Y. Uraoka, et al., "New evaluation method for reliability of poly-si thin film transistors using pico-second time-resolved emission microscope", IEEE Int'l. Conf. on Microelectronic Test Structures, pp. 173-177, 2003.

➤ 研究方法

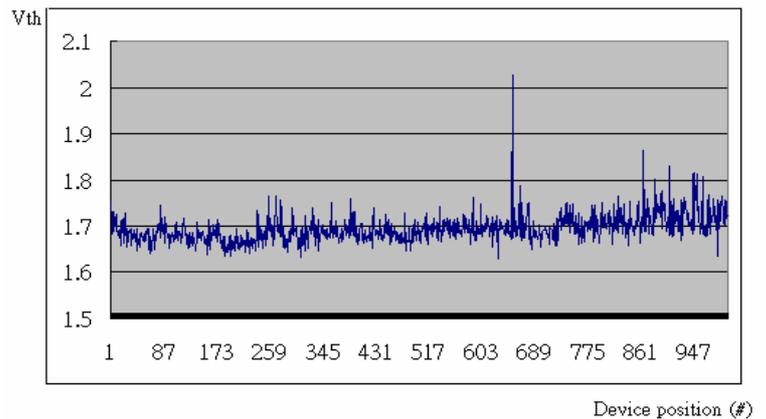
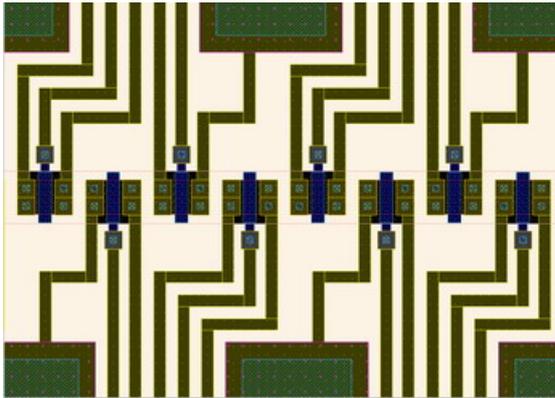
A. 首先以相同的製程與尺寸之 TFT 為統計標的，建立元件特性變動(包括電容對電壓變化及可靠度變化)之資料庫，以作為元件變動量的基礎。

B. 接著將元件變動量資料庫，以統計方式，轉化成以元件模型參數表示，以作為電路模擬的基礎。

C. 由量測所得的結果發現元件參數確實會隨著距離而有不規則的分佈，但是藉由將臨近兩元件之參數兩兩相減之後的 micro variation，取其 standard deviation 之後發現，其值並

不會隨距離而改變，針對 $\Delta\mu$ 、 ΔSS 、 ΔV_{th} 的分布，以所提出之統計性數學模型模擬，依據設定出的元件參數組，評估各種基礎電路區塊(function blocks)性能與元件參數變動的相關性，來判斷出各元件參數對電路區塊特性的衝擊因素，作為高變動容許度之電路設計的研究基礎。

➤ 結果與建議



[圖二] 不同位置在相同玻璃上的臨界電壓分布

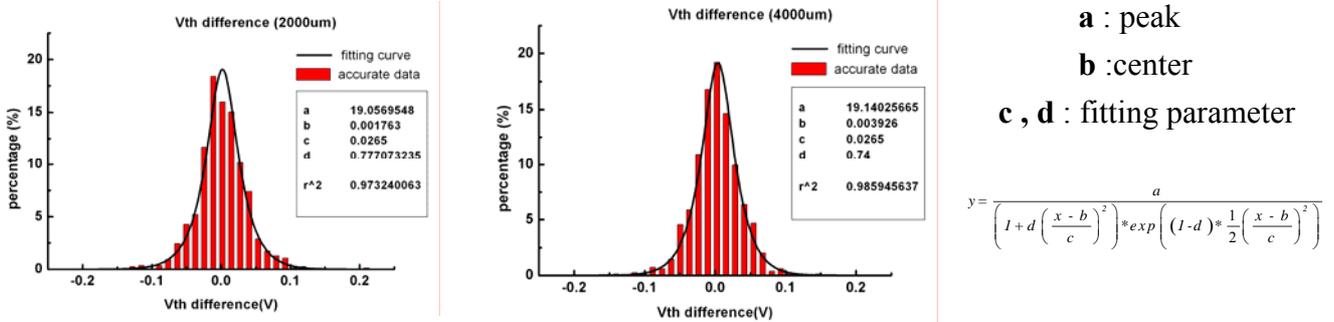
[圖二]為枕木型的 TFT 元件的 layout(枕木型的 TFT 元件的 layout 其元件間距均為 40 μ m，在如此接近的距離內希望能將元件的變動性降到最低)與針對不同位置所萃取出來的臨界電壓分布，可以發現其特性變動程度並沒 site-to-site 的趨勢，同時整體的變動程度與各點所萃取出來的平均值及標準差的分佈相似，意味著全部的元件特性的變動是雜亂的。為了有效的描述及建立元件變動的模型，本計畫先建立了此資料庫。

為了在實際製作之前充分掌握所設計的電路功能及特性，以 SPICE 作電路模擬是當然必要的。但是，若沒有注意到 LTPS TFT 的一個重要特點：元件的變動量，即沒有“正確”的電路模擬方式為基礎，所模擬出來的結果當然也是不對的。

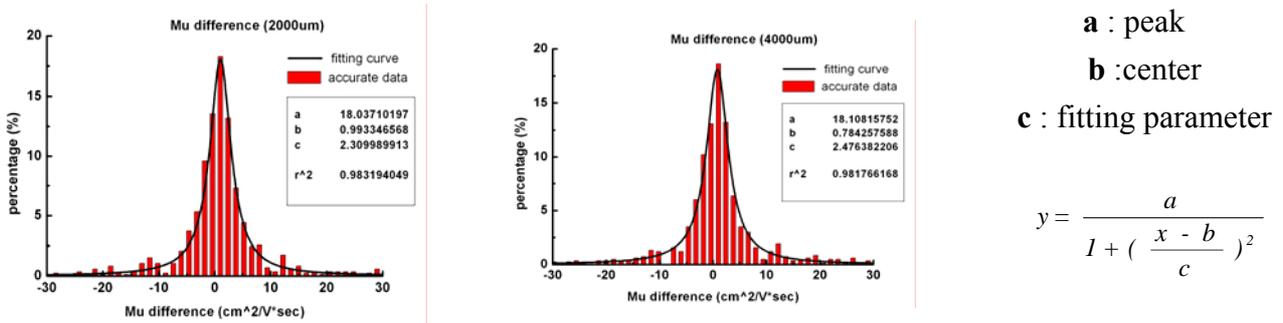
在 IC 的經驗中，可將元件的變動分為二類。第一類為宏觀變動(macro variation)：如閘極絕緣層的厚度、離子佈植量等等，其特點為元件的變動是同向的，在 LTPS TFT 中情況類似；第二類為微觀變動(micro variation)：其特點為元件的變動是隨機的，在 IC 的經驗中是幾乎可以忽略的，但是在 LTPS TFT 中，由於晶粒邊界的影響，此變動量甚至會大於宏觀變動，必須特別重視。

在 IC 產業中，若想針對數位積體電路評估其訊號傳遞之效能，往往可經由 SPICE 中 Worst Case 之模擬結果來進行分析，由於此種模擬技巧為針對電晶體之最好與最差參數進行整體電路之最快與最慢時間延遲分析，其優點為可快速評估數位積體電路之效能。然而，此種針對 IC 性能做評估之模擬方式卻不盡然可完全適用於 LTPS 之電路分析。以現今 LTPS 製程上的技術，在製程中會發生的製程物理變數變動是無法避免地，這同時也造成了在電路中是否每一個元件都互相匹配，亦或在同一片玻璃機板上也可能發生區域性元件不匹配之

問題。如[圖三]，由實驗量測的結果發現，元件參數兩兩相減(即所謂的 micro variation)所得之值所做出來的圖形均可由同一函數描述，以 ΔV_{th} 而言，其分布函數為高斯羅倫茲分佈，而 $\Delta \mu$ 則為羅倫茲分佈，由圖表理可發現，參數的分佈並不會隨著距離的改變而使得其分布函數有所改變。

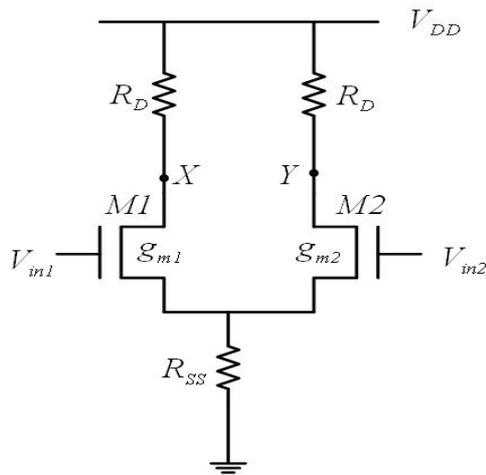


[圖三-a] 隨距離的不同 ΔV_{th} 的分布依然可以用相同統計性函數描述



[圖三-b] 隨距離的不同 $\Delta \mu$ 的分布依然可以用相同統計性函數描述

有鑑於此，我們所提出的有別於將元件參數以高斯分佈帶入電路後使用 Monte Carlo 進行電路模擬的方式，其結果將會更適合 LTPS 之電路分析。接著我們討論類比區塊單元基本差動對(basic differential pair)，亦即放大器電路的根本，如[圖四]，基本電路架構是由兩個 N 型 TFT 組成的電路，與使用高斯分佈(所變動的元件參數分別:threshold voltage:1.69V, 三個 σ 為 0.03V, 相同的, mobility:59.66 cm^2/vs 變動範圍為 7.84 cm^2/vs)所跑的模擬結果相較，我們的模擬結果(經過回歸分析所得之回歸變異係數(R square)皆在 0.95 之上，與使用高斯分佈模型的參數在 Monte Carlo 模擬的結果相比，結果顯示如[圖五]，其分佈區域將會較 Monte Carlo 之模擬結果寬，且與實際情況較符合，亦反映出該模型的適用性。



$$CMRR = \left| \frac{A_{dm}}{A_{cm-dm}} \right| = \frac{4g_{m1}g_{m2}R_D R_{SS} + g_{m1}R_D + g_{m2}R}{2\Delta g_m}$$

$$\cong \frac{g_m}{\Delta g_m} (1 + 2g_m R_{SS})$$

which $g_m = (g_{m1} + g_{m2})/2$

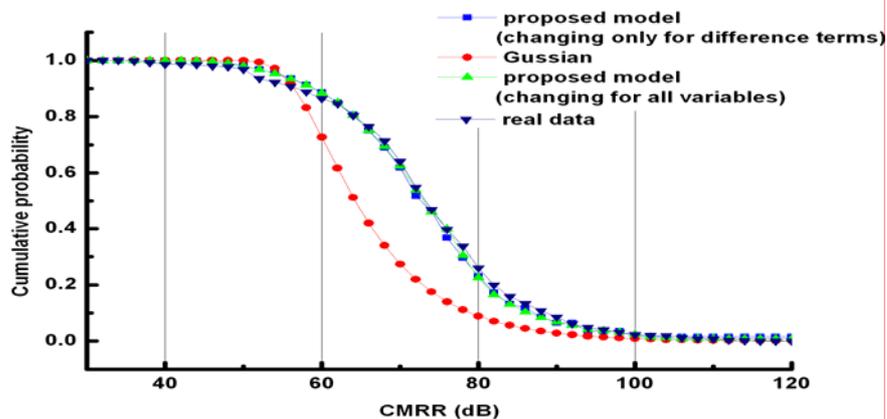
$$\Delta g_m = C_{ox} \frac{W}{L} [\mu(V_{GS} - V_{th}) - (\mu + \Delta\mu)(V_{GS} - (V_{th} + \Delta V_{th}))]$$

$$= C_{ox} \frac{W}{L} [\mu\Delta V_{th} - \Delta\mu(V_{GS} - V_{th}) + \Delta\mu\Delta V_{th}]$$

$$\Rightarrow CMRR = \frac{\mu(V_{GS} - V_{th}) + 2\mu^2 C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 R_{SS}}{\mu\Delta V_{th} + \Delta\mu(V_{GS} - V_{th})}$$

We can get the CMRR distribution under different device distance

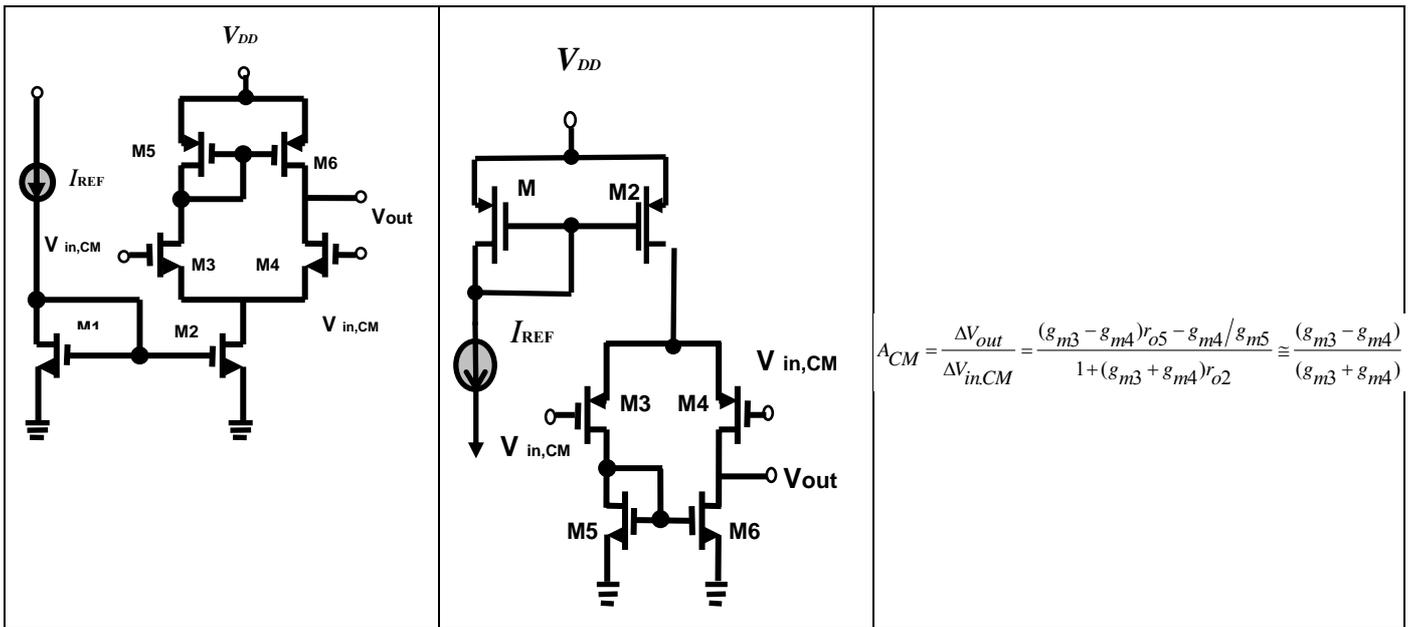
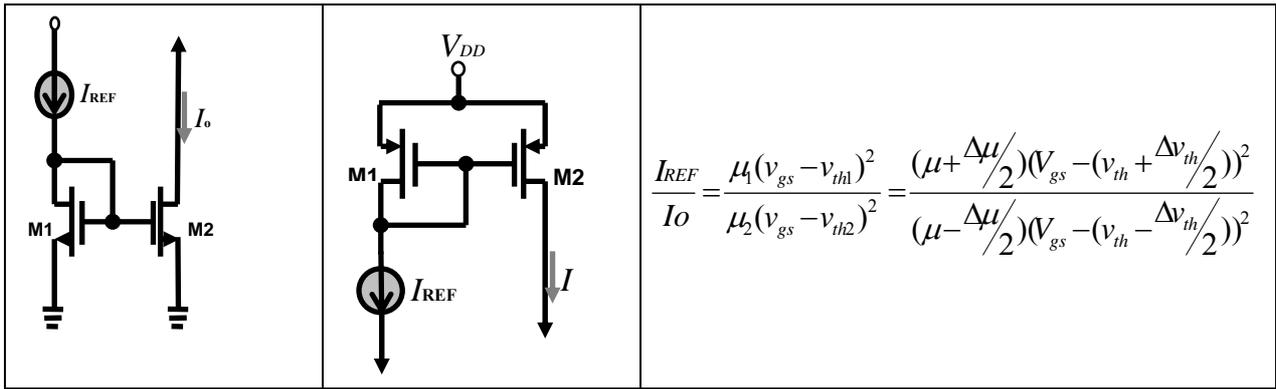
[圖四] 基本差動對(basic differential pair)的結構與考慮元件 miss-match 時的 CMRR 值



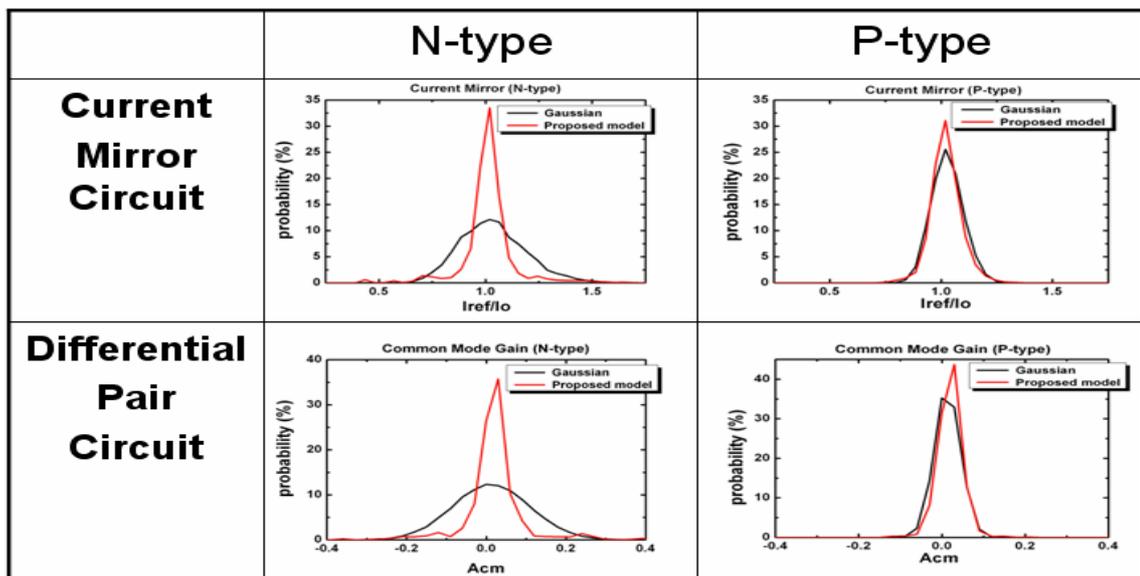
[圖五] 所提出模型與 Monte Carlo 模擬之 CMRR 範圍比較

上述所探討的分布行為皆為 N 型 TFT 的特性，接著以相同的方式來對 P 型 TFT 做類似的研究方法，發現亦有類似的情形：元件參數兩兩相減(即所謂的 micro variation)所得之值所做出來的圖形亦可由同一函數描述，以 ΔV_{th} 而言，其分布函數亦為高斯羅倫茲分佈，而 $\Delta\mu$ 亦為羅倫茲分佈，同樣的參數的分布並不會隨著距離的改變而使得其分布函數有所改變。

我們使用 Monte Carlo 方法模擬與上述所提的方法針對電流鏡與有著 active load 之差動對進行模擬，所使用的電路如[圖六] (對應操作 frequency)，其模擬結果如[表七]。圖中之高斯分佈與我們所提出之參數分佈結果相比較：其結果顯示，以往的模擬結果往往錯估的範圍值較真實狀況來得大許多，在不同的模擬方式下，模擬結果與真實結果的差異性將會出現差異。



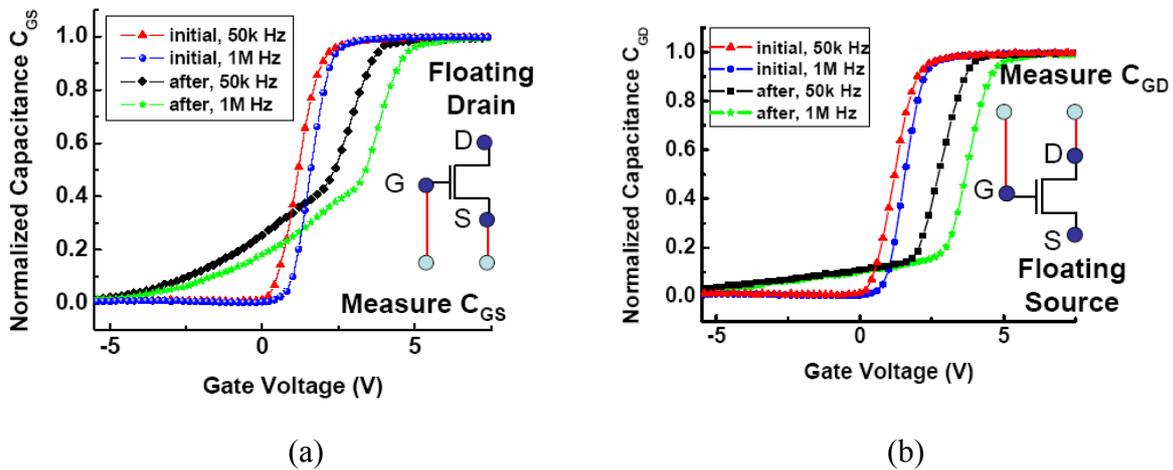
[圖六]所使用的電路結構



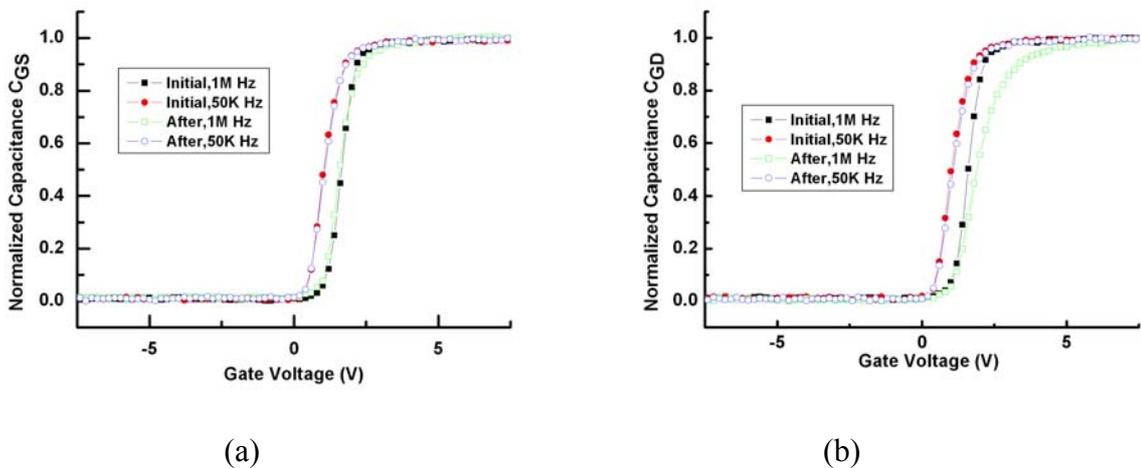
[表七] 使用高斯分佈與使用所提出之參數分佈模型電路模擬結果之比較

接下來我們研究 LTPS TFT 在高頻操作下所面對的問題。在周邊電路的設計中，以 shift register 為例，最大操作頻率範圍大約是 10~20 MHz 左右。在如此高的操作頻率下，元件本身的電容特性的影響以及元件在受到高頻交流訊號下所對應產生的劣化情形，對於周邊電路的實現便顯得相當重要。本期計畫中分別對這兩個因素作進一步探討。

[圖八]為元件在自發熱效應(Self-Heating Effect)偏壓條件下的閘極/源極(C_{GS})與閘極/汲極(C_{GD})的電容電壓特性。可以發現，在這個操作條件前後，其 C_{GS} 、 C_{GD} 均呈現明顯的飄移，且 C_{GS} 曲線在起始電壓附近呈現約 40% 的增加，而 C_{GD} 曲線則僅呈現約 10% 的增加。經由模擬結果顯示，元件兩端的電容特性的差異主要來自於在自發熱效應操作條件下，其閘極/源極跨壓甚大，因此造成介面缺陷的增加，形成 C_{GS} 後半段上升的行為。而閘極/汲極的跨壓較小，因此所受到的影響也較小。另一方面關於元件在熱載子效應下所受的電容電壓特性，如圖二所示，可以發現其 C_{GS} 曲線並未出現明顯的改變，然而 C_{GD} 曲線則在起始電壓附近下降，並呈現明顯的頻率相依性。

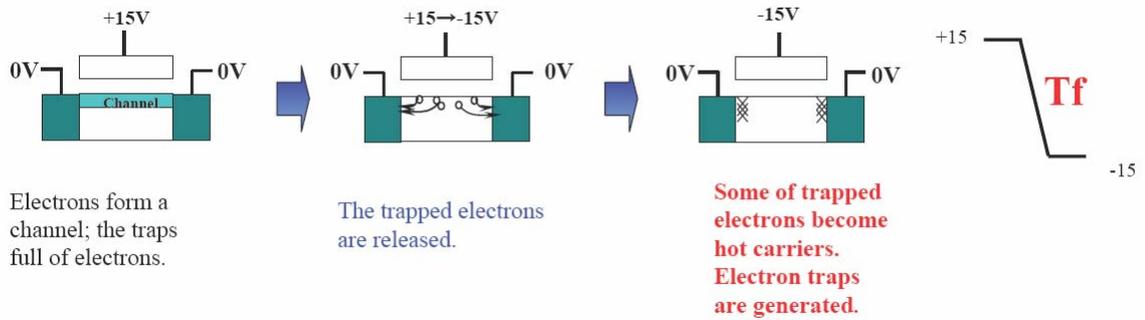


[圖八] 在自發熱條件操作前後的(a) 閘極/源極 與 (b) 閘極/汲極的電容電壓特性。其操作條件為 $V_g=V_d=18\text{ V}$



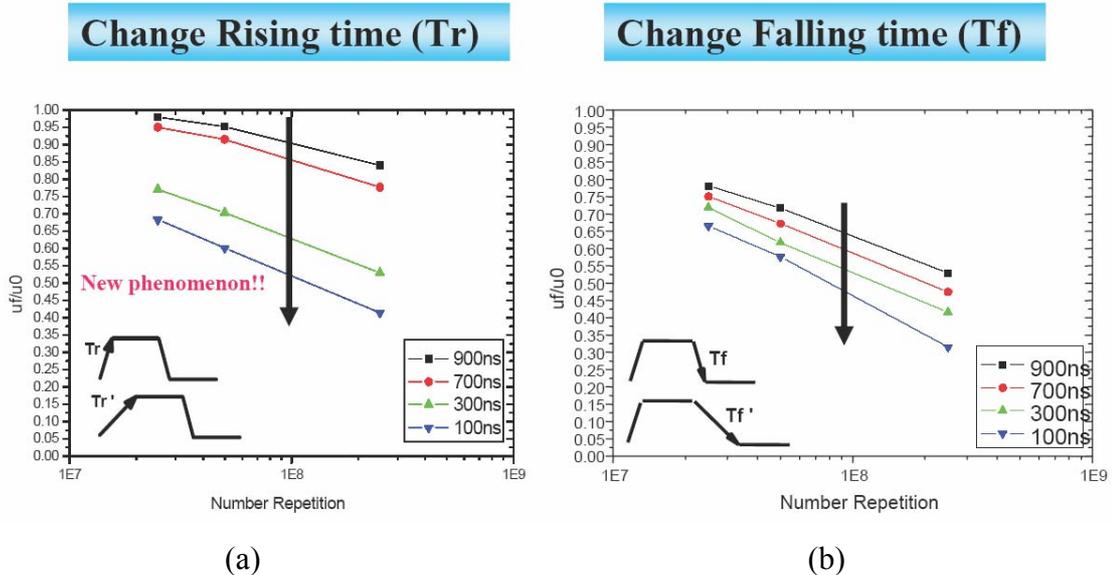
[圖九] 在熱載子效應條件操作前後的(a) 閘極/源極 與 (b) 閘極/汲極的電容電壓特性。其操作條件為 $V_g=2\text{ V}$ ， $V_d=18\text{ V}$

由於自發熱效應對應的操作條件為較大的閘極與汲極偏壓，而熱載子效應對應的是小的閘極偏壓與大的汲極偏壓，因而若是周邊電路和畫素裡的 LTPS TFT 操作在這個區域裡，電容電壓的特性變動將會造成畫素操作上的耦合電壓(Coupling Voltage)的不一致以及環振盪器 (Ring Oscillator) 操作上的誤差。因此，對於 System On Panel 的電路設計上，必須考量到偏壓對元件所造成的影響，加在元件上的偏壓電壓必須被精密設計，以降低其對畫面的均勻度及可靠度上的影響。

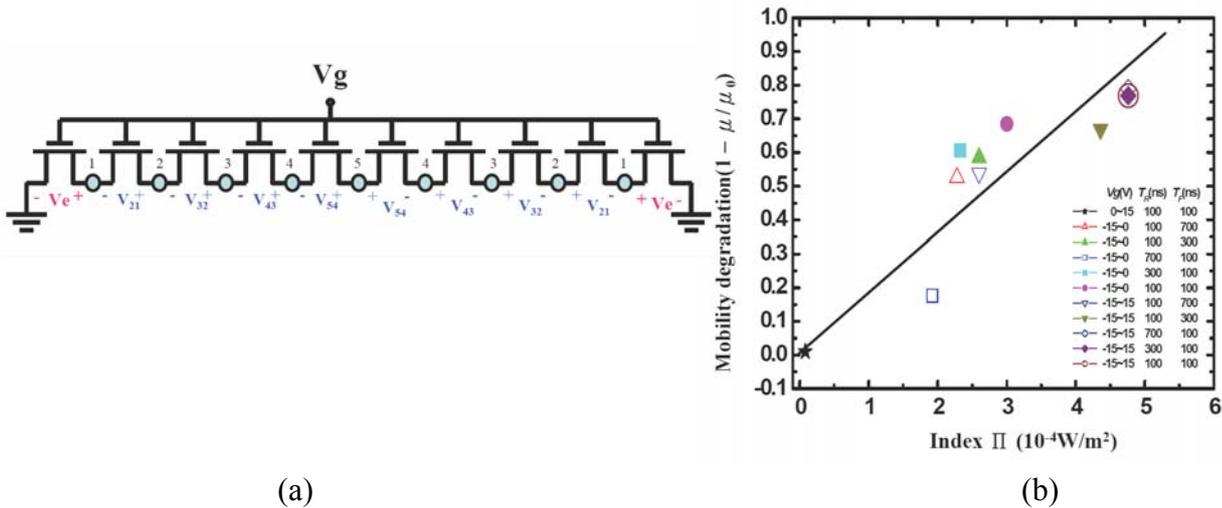


[圖十] LTPS TFT 的 AC 操作測試的示意圖。閘極電壓為正負 15 伏。當下降時間縮短，載子將獲得足夠能量並衝撞源極與汲極。

我們進一步討論 LTPS TFT 在高頻操作下所產生的元件劣化。實驗設計首先將源極與汲極接地以避免 DC 效應，並將閘極電壓作調整，分別就閘極電壓的準位、閘極電壓的上升與下降時間與頻率進行探討。先前 Uraoka 等人的研究顯示，如圖三所示，改變閘極電壓的上升時間並不會造成元件劣化，但改變其下降時間則會導致元件的劣化；而我們的實驗結果顯示，閘極電壓對元件劣化的影響除了呈現 Uraoka 等人所指出的效應之外，我們進一步發現如果閘極電壓的準位都處於元件的起使電壓之下，則閘極電壓的上升時間和下降時間都與元件的劣化有關。



[圖十一] 閘極電壓為零到負 15 伏。元件的載子遷移率將會隨著 (a) 上升時間 與 (b) 下降時間縮短而更加嚴重。



[圖十二] (a) 所提出的 AC 操作模型，用以解釋元件的劣化機制 (b) 提出的模型及其參數與實際元件劣化的關係圖

我們提出一個將 LTPS TFT 切成數等分的方式評估其元件劣化的機制，並將這個模型裡最邊緣兩顆元件的壓差與其載子數目的隨時間改變量進行研究，並定義此兩改變量的積分為一個新的考慮參數 Π 。隨著閘極電壓的上升時間與下降時間的改變，其元件的劣化與我們所考量的參數呈現正相關，如[圖十二](b)所示。這個一致性意味著這個模型可以用於描述不同閘極偏壓狀況下元件的劣化情形。在 System On Panel 的周邊電路設計上，不同於畫素裡負責開關的元件，元件常常以高頻操作，為提供更高的可靠度及電路整合性，元件在高頻操作下所對應產生的劣化情形必須被詳細研究，我們將繼續研究此模型在 P-type 元件下是否適用，倘若這個模型可以描述 LTPS TFT 的交流訊號下可靠度行為，將會對電路設計及可靠度預測上有莫大的助益。

➤ 計畫成果自評

本計畫目前完成元件特性變動資料庫之建立及元件變動模型參數之建立，並完成各種基礎電路區塊性能與元件參數變動的相關性評估。也利用所提出的模擬技巧與先前使用高斯分佈後使用 Monte Carlo 模擬技巧相比較，評估差動對與電流鏡等基礎電路區塊性能與元件參數變動的相關性，來判斷出各元件參數對電路區塊特性的衝擊因素，作為高變動容許度之複雜數位電路設計的研究基礎。另外在於元件其電性的研究上，亦建立了模擬劣化之模型，對於在交流訊號下的電路設計，可靠度的分析，高頻下電容電壓的效應，均有些初步的成果。而以上的具體成果，已在下面期刊發表或審稿中，因此認為本年度計畫已為後續研究建立了良好的基礎。

已發表之研討會論文

- a) Shih-Che Huang, Yen-Pang Chou and Y.-H. Tai, "Statistical Investigation on the Variation Behavior of Low-Temperature Poly- Si TFTs for Circuit Simulation," Society

of International Display (SID), (2006).

- b) Yu.-Han. Kao, Shih-Che Huang and Y.-H. Tai, “Study on Electrical Degradation of p-type Low Temperature Poly Silicon Thin Film Transistors with C-V Measurement N,” (ICMCTF)., p. 108, (2006).

已發表之期刊論文

- c) Shih-Che Huang, Hao-Lin Chiu and Y.-H. Tai, “Degradation of Capacitance-Voltage Characteristics Induced by Self-Heating Effect in Poly-Si TFTs,” Electrochemical and Solid-State Letters (ECS), 9(6): p.G208 APR 3 (2006).

投稿審查中期刊論文

- d) Shih-Che Huang, C. K. Chen and Y.-H. Tai, “Source-Follower Type Analogue Buffers Using Poly-Si TFTs with Large Design Windows,” Submitted to Electronic device letters..