

行政院國家科學委員會補助專題研究計畫成果報告※

※※※※※※※※※※※※※※※※※※※※※※※※※※※※

※

新式元件結構奈米微晶粒記憶體(I)

※

※※※※※※※※※※※※※※※※※※※※※※※※※※※※

計畫類別：個別型計畫 整合型計畫

計畫編號：NSC94－2215－E－009－085－

執行期間： 94年 8月 1日至95年 7月 31日

計畫主持人：簡昭欣

共同主持人：

計畫參與人員：林育賢、楊宗元、洪錦石

執行單位：國立交通大學 電子工程系

中華民國 95 年 10 月 15 日

行政院國家科學委員會專題研究計畫成果報告

新式元件結構奈米微晶粒記憶體(I)

Novel Structure Nanocrystal Flash Memories

計畫編號：94-2215-E-009-085-

執行期限：94年8月1日至95年7月31日

主持人：簡昭欣 交通大學電子研究所助理教授

一、中文摘要

在本篇報告中，傳統矽/氧化矽/氮化矽/氧化矽/矽(SONOS)型式的非揮發性快閃記憶體，由於近年來元件尺度微縮以提升元件在特性表現的方式，似乎開始遭遇微影製程上的技術瓶頸及製作費用昂貴等因素，這使得傳統SONOS型式的結構，開始有高介電係數材料導入，以取代氮化矽層，但對於元件本身驅動電流上，仍使用傳統矽通道，因而使得我們在隨著元件尺寸微縮下，改變通道材料特性上的應變作用，來改善元件驅動電流。

報告中主要探討矽鍺通道的元件搭配我們所開發的奈米晶粒材料一起應用在非揮發性快閃記憶體上，期望達到快速而且資料保存性優良的結果。並且，在整個元件製作過程中降低溫度，期使符合製程溫度隨著元件微縮下，製程溫度隨之降低的潮流，並期許能有新一代非揮發性快閃記憶體產生。我們發現所製作出的記憶體再各方面得操作確實有不錯的特性表現。

關鍵詞:矽/氧化矽/氮化矽/氧化矽-矽；矽應變通道；奈米晶粒；儲存資料持久性；寫入/抹除操作忍耐力。

Abstract:

Since the scaling the conventional nonvolatile (Silicon/Silicon oxide/Silicon nitride /Silicon oxide/Silicon) SONOS type flash memory for better device performance has faced many bottlenecks coming from lithography technology limit and tremendous

fabrication expense, people are thinking several strategies to circumvent all the challenges. One of the novel approaches is to introduce high-k layer for trapping layer in order to replace the silicon nitride layer. However, the target of speeding up the operation performance can not be improved with this technique. Thus, we propose another approach which employs the strained Si material for the channel to meet the abovementioned goal.

In this report, we have successfully fabricated the SONOS-type flash memories with strained Si for channel and nanodots for trapping agent. The devices were processed under low thermal budget consideration which seems the tendency for the next generation flash memories. We demonstrate that the newly-developed memory devices exhibit sufficiently good performance.

Keywords:

(Silicon/Silicon oxide/Silicon nitride /Silicon oxide/Silicon) SONOS type, Strain Silicon channel, nanocrystal, Retention, Endurance.

二、緣由與目的

由於傳統傳統矽/氧化矽/氮化矽/氧化矽/矽(SONOS)型式的非揮發性快閃記憶體在元件尺寸微縮下，在許多技術報中，都有大幅度的刊載使用高介電係數材料來取代傳統(SONOS)型式中的氮化矽層，期使在元件微縮下，其 C_{GS} 不會受到影響，進而影響了非揮發性記憶體元件，在寫入/抹除的操作速度，而在使用高介電係數材

料上，又以高介電係數材料的奈米晶粒受到多方的關注。

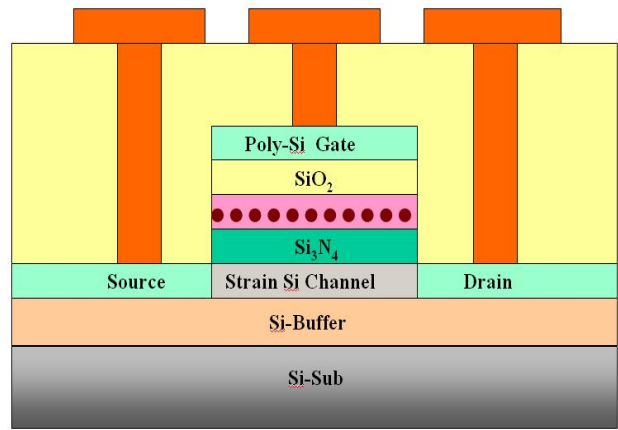
傳統(SONOS)型式的非揮發性快閃記憶體的氮化矽層，會隨著寫入／抹除操作次數增加，而造成記憶體在可靠度上的問題；而使用高介電係數材料取代氮化矽層，雖然能夠因此而降低寫入／抹除的操作電壓，由於高介電係數材料在高溫時會結晶，因而產生低能階的捕陷層，這也使得元件可靠度上受到考驗，所以若使用高介電係數材料做為電荷補陷層時，記憶體的製程溫度務必相對的降低，記憶體元件製程溫度降低，會衍生元件在驅動電流特性上的差別，這也是我們想採用應變矽通道的原因之一。

在使用矽鍺通道時，由於要求低溫製程的關係，所成長的閘極氧化層，其品質不如單純矽通道成長的二氧化矽層，在此我們採用了氮化矽層來取代二氧化矽層成為穿隧層；報告中，我們為了有效提高非揮發性快閃記憶體捕陷電荷的能力，並且提高記憶體寫入／抹除操作忍耐力、儲存資料持久性、寫入／抹除速度，我們將氧化鈹(HfO₂)奈米微晶粒做為電荷補陷層取代傳統 SONOS 型式中的氮化矽層。

快閃記憶體元件的製作的流程順序如下所述，在完成 LOCOS 製程後，首先，我們使用 UHV CVD 來沉積矽鍺通道層，再將元件在 LPCVD 上成長氮化矽，在成長氧化鈹(HfO₂)奈米微晶粒上，我們採用共濺鍍的方式，將鈹(Hf)及矽(Si)純靶在相同條件下，共濺鍍在氮化矽上，在經過快速升溫退火，通氧氣環境下，將氧化鈹矽化物(Hf Silicate)形成氧化鈹(HfO₂)奈米微晶粒被二氧化矽所包覆的電荷補陷層，沉積 TEOS 的二氧化矽及做為閘極的多晶矽後，再依(MOS)元件製作流程完成快閃記憶體元件(元件剖面圖如圖一所示)。

透過這些改變，期使我們所製作的非揮發性快閃記憶體能發揮更佳的特性，更希望在新一代快閃記憶體的製作上，提供

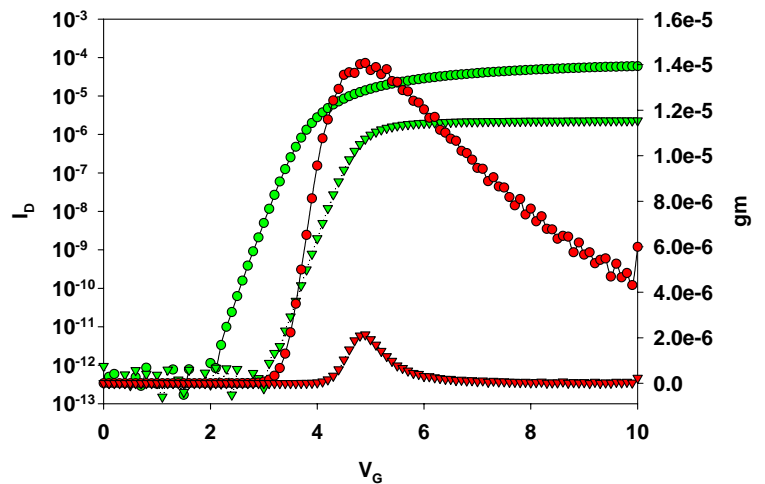
另一個思考方向。



圖一：元件剖面圖

三、結果與討論

在圖二中，可以發現使用矽鍺通道確實對於整個元件的特性有明顯改善；比較大的 g_m 來自較快的載子遷移率。圖三(a)、(b)中的寫入及抹除速度可以發現，使用矽鍺通道的非揮發性快閃記憶體，寫入、抹除速度比平常矽通道快，這有助於記憶體的寫入、抹除的速度增快及操作電壓降低。

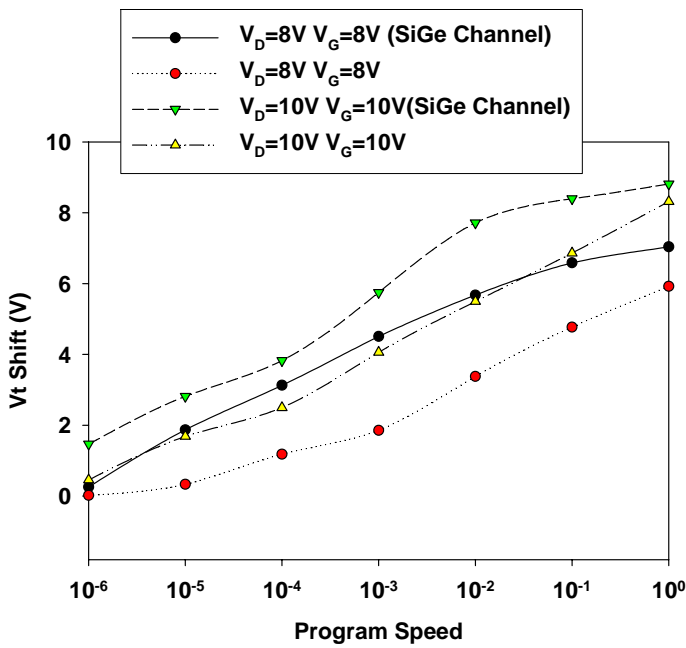


圖二：元件 I_D - V_G 及 g_m 特性圖

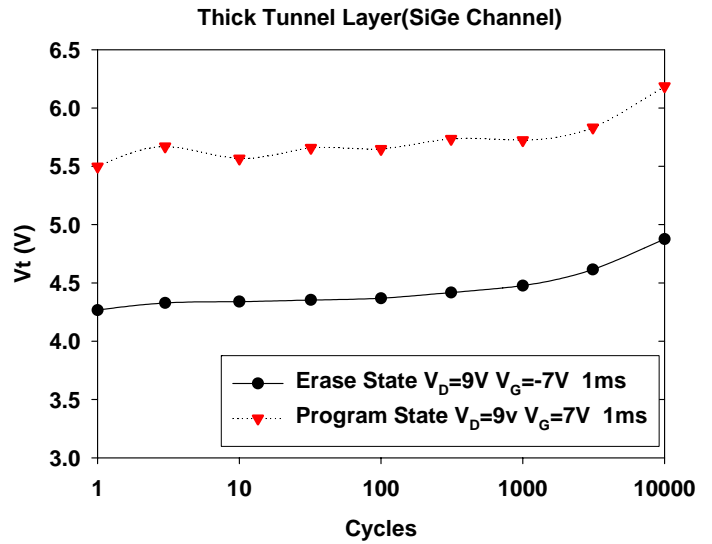
在我們所製作的非揮發性快閃記憶體的寫入／抹除操作忍耐力，在比較圖四中(a)及(b)圖後，可以發現使用氮化矽做為穿隧層，較厚的氮化矽層在做寫入／抹除操作忍耐力的測試上，當電子通過穿隧層後，會造成穿隧層傷害，當操作寫入／抹除操作的次數變多後，會對穿隧層造成傷害，進而

衍生快閃記憶體在可靠度的問題；在圖四(b)發現當穿隧層變薄後，可以改善記憶體寫入/抹除操作忍耐力，這將有助於改善記憶體元件在可靠度的問題。

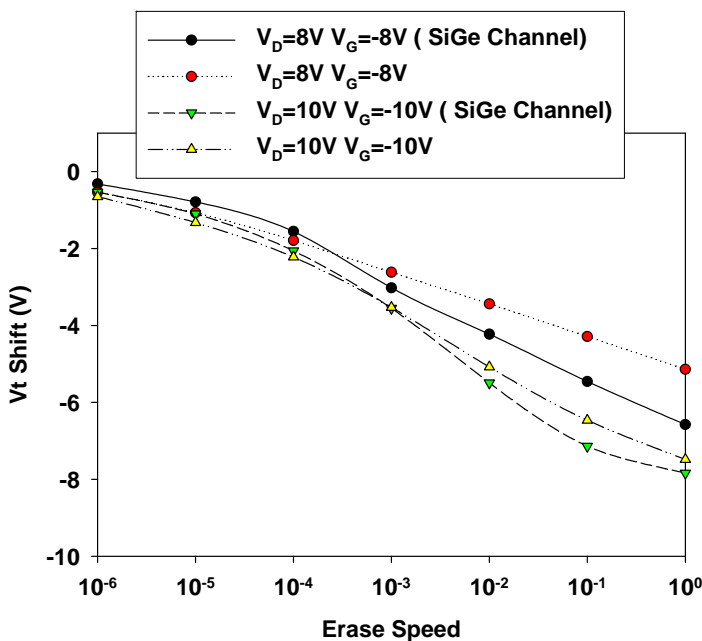
傳統的矽、鍺或金屬奈米粒，明顯擁有較佳的資料保存特性，使得元件可靠度大幅的增加；由圖六為單一元件兩個位元的電流特性圖，我們可以輕易的完成穩定可靠的多位元操作，使得所製做的非揮發性快閃記憶體元件，在單一元件上，有高密度儲存特性。如此可以降低製造成本舒緩微縮的壓力。



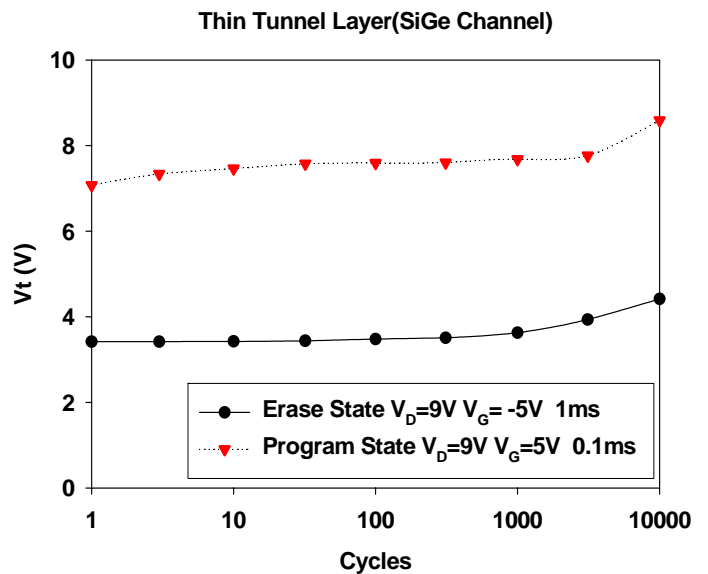
圖三(a)：記憶體寫入速度特性圖



圖四(a)：記憶體寫入/抹除忍耐力



圖三(b)：記憶體抹除速度特性圖



圖四(b)：記憶體寫入/抹除忍耐力

在圖五中元件的資料儲存能力，在十年後仍然保有元件 80%左右的特性，可供十年後辨識資料之用，這是我們使用氧化鈣(HfO₂)奈米微晶粒做為電荷捕陷層，比之

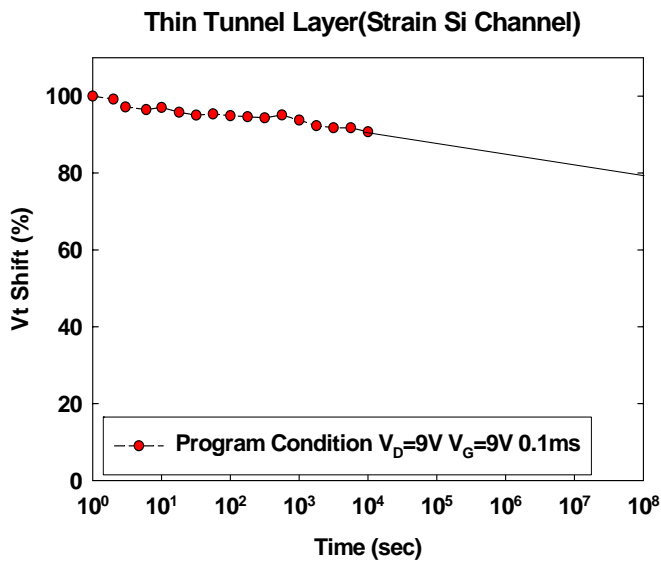
四、成果自評

本次計畫之執行，皆達預期成果，並已在相關學術期刊上發表論述，茲列於下：
1. Yu-Hsien Lin, Chao-Hsin Chien, Ching-Tzung

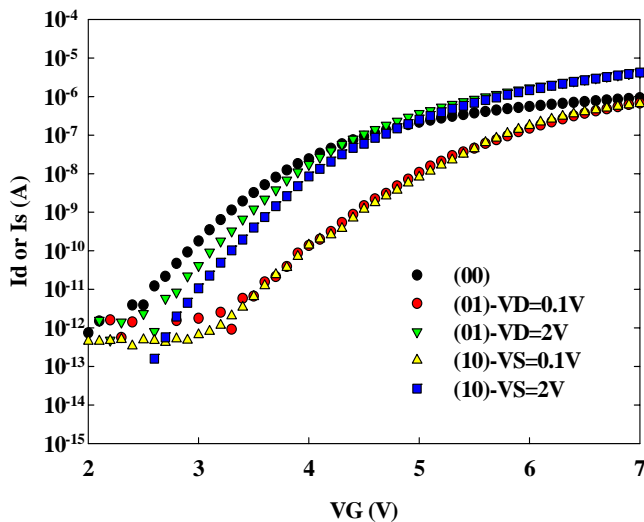
Lin, Chun-Yen Chang, and Tan-Fu Lei “ Novel Two-Bit HfO₂ Nanocrystal Nonvolatile Flash Memory”, *IEEE Trans. Electr. Dev. Vol. 53, No. 4, p. 782-789, 2006.*

2. Yu-Hsien Lin, Chao-Hsin Chien, Chun-Yen Chang, and Tan-Fu Lei, “**Annealing Temperature Effect on the Performance of Nonvolatile HfO₂ SONOS-type Flash Memory**”, *J. Vac. Sci. Tech., Vol. 24, pp.682-685, May, 2006.*

3. Yu-Hsien Lin, Chao-Hsin Chien, Chun-Yen Chang, and Tan-Fu Lei” **2-Bit Lanthanum Oxide Trapping Layer Nonvolatile Flash Memory**“, p.558, 2006 Intl. Conf. on Sol. Stat. Dev. and Mat., Kanagawa, Japan.



圖五：記憶體儲存能力圖



圖六：二位元儲存在單一元件特性圖

五、參考文獻

[1] W. J. Qi, R. Nieh, B. H. Lee, L. K. Kang, Y. Jeon, K. Onishi, T. Ngai, S. Banejee, and J. C. Lee, “MOSCAP and MOSFET characteristics

using ZrO₂ gate dielectric deposited directly on Si”, IDEM Tech. Dig., pp. 641-644, 1999.

[2] B. Cheng, S. H. Sie, and W. G. Sainty, “The impact of high-k gate dielectrics and metal gate electrodes on sub-100 nm MOSFETs”, IEEE Trans. Electron Device, 46, 1537, 1999.

[3] B. H. Lee and L. Kang, “Ultrathin Hafnium Oxide with Low Leakage and Excellent Reliability for Alternative Gate Dielectric Application” IDEM Tech. Dig., p. 633, 1999.

[4] J. S. Suehle, E. M. Vogel, M. D. Edelstein, C.A. Richter, N. V. Nguyen, I. Levin, D. L. Kaiser, H. Wu, and J. B. Bernstein, “Challenges of high-k gate dielectrics for future MOS devices”, Plasma- and Process-Induced Damage, 2001 6th International Symposium on, pp.90-93, 2001.

[5] L. K. Kang, K. Onishi, Y. Jeon, B. H. Lee, C. Kang, W. J. Qi, R. Nieh, S. Gopalan, R. Choi, and J. C. Lee, “MOSFET Devices with Polysilicon on Single-Layer HfO₂ High-K Dielectrics”, IDEM Tech. Dig., pp. 251-254, 2000.

[6] S. C. Luan, H. F. Lee, C. H. Mao, A. Y. Lee, S. J. Gelpey, J. Marcus, and M. Kwong, “Ultra thin high quality stack nitride/oxide gate dielectrics prepared by in-situ rapid thermal N₂O oxidation of NH₃-nitrided Si “VLSI Technology, Systems, and Applications, 1999. International Symposium on, Page(s): 78-81, 1999.

[7] T. P. Ma, “High-K Gate Dielectrics for Scaled CMOS Technology”, Solid-State and Integrated-Circuit Technology, 2001. Proceedings. 6th International Conference on, Volume: 11 pp. 297-302, 2001.

[8] C. Misiano and E. Simonetti, “4-4 Co-sputtered optical films”, Vacuum, vol.27, pp. 403-406, 1997.

[9] R. P. Netterfield, W. G. Sainty, P. J. Martin and S. H. Sie, “Properties of CeO₂ thin films prepared by oxygen-ion-assisted deposition”, Applied Optics, vol. 24, pp. 2267-2272, 1985.

[10] A. G. Frangoul, K. B. Sundaram and P. F. Wahid, “The fabrication of metal-oxide-semiconductor transistors using cerium dioxide as a gate oxide material”, Journal of Vacuum Science & Technology B, vol. 139, pp.181-183, 1991.

[11] T. Chikyow, S. M. bedair, L. Tye and N. A. El-Masry, “Reaction and regrowth control of CeO₂ on Si(111) surface for the Silicon-on-insulator structure”, Applied Physicals Letters, vol. 65, pp. 1030-1032, 1994.

[12] H. J. Chang, S. Kang, K. Onishi, S. Gopalan, R. Nieh, S. Krishnan, and J.C. Lee, “Structural and electrical properties of HfO₂ with top nitrogen incorporated layer”, IEEE Electron Device Letters, Volume: 23 Issue: 5, May pp.249-251, 2002.

[13] K. Onishi, C. S. Kang, R. Choi, H. J. Cho, S. Gopalan, R. Nieh, and J. C. Lee, “Reliability

- characteristics, including NBTI, of polysilicon gate HfO₂ MOSFET's Onishi", Electron Devices Meeting, 2001. IEDM Technical Digest. pp.30.3.1-30.3.4,2001.
- [14] J. C. Wang, Y. H. Lin, Y. P. Hung, T. F. Lei, and C. L. Lee, "Characteristics of Ultra-Thin Cerium Dielectrics with Surface Nitridation Pretreatment and Post Annealing", IEDMS pp.98-101, 2002.
- [15] J. C. Wang, S. H. Chiao, C. L. Lee, and Tan Fu Lei, "A physical model for the hysteresis phenomenon of the ultrathin ZrO₂ Film", Journal of Applied Physics 92(7), p.3936-3940, OCT. 2002.
- [16] R. Nieh, K. Onishi, R. Choi, H. J. Cho, S. K. Chang, S. Gopalan, S. Krishna, and J.C. Lee, "Performance effects of two nitrogen incorporation techniques on TaN/HfO₂ and poly/HfO₂ MOSCAP and MOSFET devices Gate Insulator", 2001. IWGI 2001. Extended Abstracts of International Workshop on , pp.70 -74, 2001.