

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫二：奈米 CMOS 射頻類比電路之可靠度設計與研究

(1/3)

計畫類別：整合型計畫

計畫編號：NSC94-2215-E-009-048-

執行期間：94 年 08 月 01 日至 95 年 07 月 31 日

執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：柯明道

計畫參與人員：許勝福、蕭淵文、顏承正、沈宛儀、賴泰翔、林群祐

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 95 年 6 月 1 日

奈米 CMOS 之前瞻射頻類比電路設計--子計畫二： 奈米 CMOS 射頻類比電路之可靠度設計與研究(1/3)

Development and Design for Reliability of Nanoscale CMOS RF and Analog Integrated Circuits

計畫編號：NSC 94-2215-E-009-048

執行期限：94 年 08 月 01 日至 95 年 07 月 31 日

主持人：柯明道教授 國立交通大學電子研究所

一、中文摘要

隨著電子科技的快速發展，電子產品不斷地要求輕、薄、短、小，使得射頻、混合電壓信號介面電路和類比電路可靠度的重要性與日俱增，許多應用更需透過深次微米製程，或奈米級先進製程來實現才能帶來技術上的突破。但是，這些為提昇 MOS 元件集積度、與運算速度的製程技術卻引發了另一嚴重的問題，就是積體電路的靜電放電(ESD; Electrostatic Discharge)耐受能力大幅下降。隨著高運算速度與高頻率 IC 產品的開發，利用先進的 0.25 微米以下之半導體製程技術所製造的積體電路，面臨積體電路產品因製程技術先進而導致 ESD 防護能力不足的嚴重問題。在射頻積體電路(RF IC)的應用上，ESD 保護電路不只需要有高的 ESD 損壞臨界電壓(failure threshold voltage)以確保其良好的性能，還必須擁有低寄生電容和電阻，以降低 RC 延遲。一般來說，一個操作在 2 GHz 的射頻輸入接點(input pad)，其可容忍的最大負載電容(maximum loading capacitance)也不過只有 200 fF。

半導體製程的微縮化造成電晶體元件越做越小、閘極氧化層也越做越薄和操作電壓也越來越低，例如在 130 奈米中操作電壓為 1V，閘極氧化層厚度只剩 2.5 奈米，所帶來一些元件非理想特性也對類比電路產生了重大的影響，大大提高了類比積體電路設計難度，其中低電壓的操作上設計和越來越薄閘極氧化層所造成的問題最為嚴重，因為低操作電壓均會降低類比積體電路中的輸出信號振幅、抗雜訊

能力和電壓增益等，所以新型低電壓類比電路設計技術發展是刻不容緩，而越來越薄的閘極氧化層的可靠度對類比積體電路所造成影響，這兩大主題在目前均是十分重要的研究主題，且對於積體電路產業十分重要。

英文摘要

Due to the growing popularity of electronic technology, the electronic products are continuously asked to reduce its weight, thickness, and volume. So, the reliability of radio-frequency (RF), mixed-voltage interface circuit, and analog integrated circuit are more and more important. Such ICs applications should be fabricated by the deep sub-micron (below 0.25- μm or nanoscale) CMOS processes to achieve good operation performance and quality. However, the deep sub-micron CMOS processes to improved integration density and operation speed cause a serious reliability issue, electrostatic discharge (ESD) robustness degradation. With the high speed and high frequency IC products be innovated, the IC products fabricated with advanced CMOS technology have dramatic degradation of ESD protection capability. A typical request of an RF input pad with maximum loading capacitance is only 200 fF for circuit operation at 2 GHz.

Moreover, with the device dimensions of the integrated circuits scaling down, the operation voltage and gate-oxide thickness of device had also been reduced such as only 1.0 V and 2.5-nm, respectively, in the 130-nm CMOS process. However, the extra non-ideal effects of

devices have great impact on analog integrated circuit to increase design difficulty, such as the lower operation voltage and thin gate oxide. The low operation voltage in analog circuit can reduce the output-signal swing, noise rejection ratio, and small-signal gain, so the new design technique in low-voltage analog integrated circuit can be developed. The thinner gate oxide of device will cause the reliability problem in nanoscale analog integrated circuit. In this research project, we also investigate the impact of gate-oxide reliability on CMOS analog integrated circuit and develop the new circuit design technique to improve the circuit reliability in nanoscale CMOS processes. The purpose of this project is to develop ESD robustness protection circuits for high frequency, high speed, and mixed voltage interface applications.

二、計畫緣由與目的

追求更高的操作頻率、截止頻率(cut off frequency)、以及功率增益(power gain), 以獲得更快速、更優良的特性, 是射頻電路電晶體製造者不斷努力的方向。根據電晶體理論, 當電晶體的尺寸縮小時, 可獲得較高的工作頻率, 因此在元件製程進入深次微米時代之後, 隨著縮微(scaled down)的快速發展, 射頻電晶體(RF MOSFET)的操作頻率也順利地得以提昇。

但是, 對微縮化之電晶體元件與高頻特性的需求, 靜電放電(ESD)現象對 CMOS IC 而言, 是影響其可靠度(reliability)的主要因素。由於深次微米 CMOS 技術中較薄的氧化層會造成低崩潰電壓(breakdown voltage), 所以必須設計出有效率的 ESD 電路以避免過高的電壓降於內部電路中的閘極氧化層。在 RF IC 的應用上, ESD 保護電路不只需要有高的 ESD 損壞臨界電壓(failure threshold voltage)以確保其良好的性能, 還必須擁有低寄生電容和電阻, 以降低 RC 延遲。一般來說, 一個操作在 2 GHz 的射頻輸入接點(input pad), 其可容忍的最大負載電容(maximum loading capacitance)也不過只有 200 fF; 這 200 fF 不但包括了 ESD 保護元件, 連連接點本身的電容也算進去了。為了與射頻訊號達成阻抗匹配(impedance

matching), 有一些 ESD 保護電路的設計必須利用到分散的電感(distributed inductance)與 ESD 箝制元件(clamp devices)。此外, 欲進一步地減低高頻訊號 ESD 保護電路的輸入電容, 還必須在 ESD 防護設計的輸入端加上電源箝制靜電放電防護電路, 以提高小尺寸 ESD 箝制元件的 ESD 防護能力。總結地說, RFIC 中的 ESD 保護電路必須具備: 低寄生電容、固定的輸入電容(constant input capacitance)以及不受基板共擾雜訊干擾(substrate coupling noise)、和優良的 ESD 防護能力(ESD robustness), 而這些要求也增加了電路設計的困難度。另外, 由其他電路所引起的基板雜訊會藉由 ESD 保護電路而對射頻輸入產生共擾現象(coupling effect)使射頻電路的性能變差。射頻電路的鉸墊(bond pad)設計也因為必須擁有與 ESD 保護電路的相容能力, 以及夠低的輸入電容, 所以隨著 CMOS 元件越來越薄的閘極氧化層和越來越快的射頻電路, RF IC 中的 ESD 保護電路設計變得益加困難。

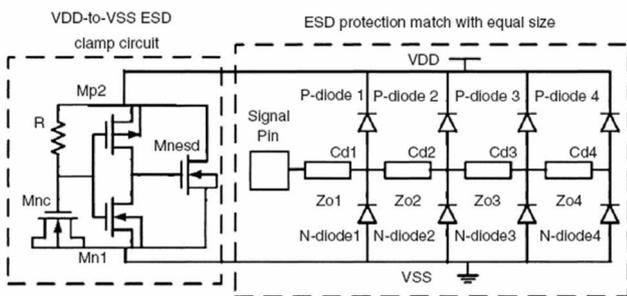
積體電路(IC)講求輕薄短小, IC 設計者無不想盡辦法把 IC 的晶片面積(chip size)縮得更小, 而半導體廠也持續開發出更先進的積體電路製程, 以大幅縮減 IC 晶片面積, 降低積體電路製造成本, 提昇 IC 產品的性能與獲利率。臺灣的 IC 製程已進入奈米的量產時代, 90 奈米的 IC 製程也已經在量產中, 65 奈米也已經接近研發完成的階段。不過由於製程技術的進步為了維持電晶體元件的特性與提高積體電路的可靠度, 使得電晶體最大接面操作電壓和閘極氧化層的厚度也隨之下降。也因為隨著半導體製程的進步, 電晶體的閘極氧化層變得更加脆弱更容易遭受破壞, 操作電壓越來越低也讓類比積體電路設計日益困難。本計畫針對閘極氧化層之可靠度對類比積體電路所造成之影響, 進行分析與研究, 並提出適用於低操作電壓, 且具有溫度補償特性的能隙參考電壓源(bandgap reference)新型電路設計技術。

三、研究方法及成果

本計畫第一年度的研究成果已經發表三篇國際期刊論文[1]-[3], 其中兩篇為發表於電子電機工程師學會 IEEE [2], [3], 此外尚有三篇國際研討會論文[4]-[6], 其中一篇發表於第

一流國際會議論文(2006 IEEE International Solid-State Circuits Conference, ISSCC) [4]。本成果報告針對這些已發表之論文詳細闡述，研究內容有應用於射頻電路的寬頻 ESD 保護電路 [1]、新型的高速高低壓界面電路 [2]、新型的低操作電壓，且具有溫度補償特性的能隙參考電壓源電路設計 [3]、利用 2.5V 電晶體元件實現適用於 2.5V/5V 混合電壓信號介面電路之電源箝制靜電放電保護電路 [4]，以及閘極氧化層之可靠度類比積體電路所造成影響之分析與研究 [5]，[6]。

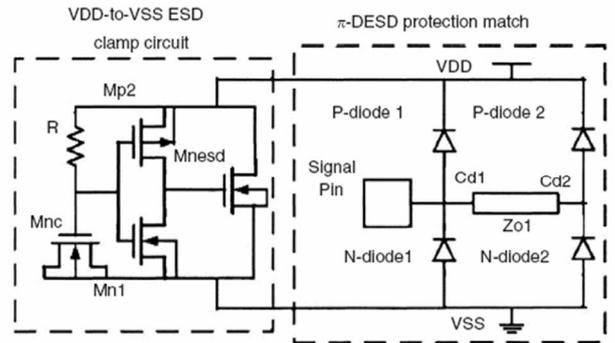
(1) 射頻積體電路之靜電放電防護設計領域：



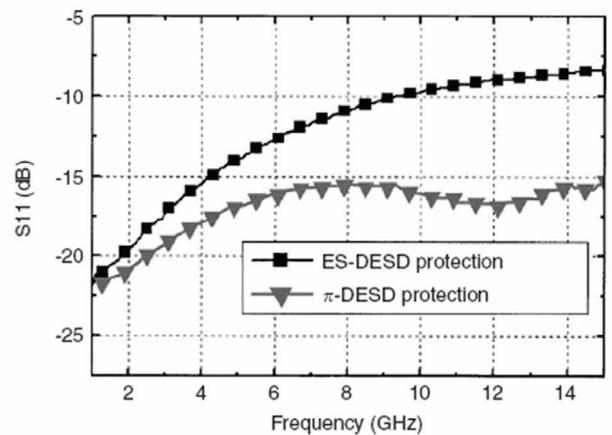
圖一. 傳統應用在射頻電路中元件尺寸等大小-分散型靜電放電保護電路(ES-DESDD) [1].

在射頻電路的靜電放電防護設計研究中，我們提出 π 型-分散式靜電放電防護架構(π distributed ESD technique; π -DESDD)，作為射頻電路的靜電放電防護架構[1]，並實際在 0.25 微米製程互補式金氧半(CMOS)製程中製作實驗晶片，利用雙端 GSG 量測方式來量測此架構的高頻特性。傳統應用於射頻電路之元件尺寸等面積-分散型靜電放電保護電路(equal-size distributed ESD protection circuit, ES-DESDD) 使用四級相等大小的二極體(圖一)，此傳統架構在寬頻段範圍內可達良好的阻抗匹配(impedance match)，然而其靜電放電耐受度過低，導致無法應用於實際產品。本研究中，我們成功地開發了一組可供 CMOS 寬頻段射頻電路使用的 ESD 保護電路(圖二)，此保護電路在輸入端的 ESD 保護電路路徑上加上 π 型-分散型靜電放電防護架構(π -distributed ESD technique; π -DESDD)，不僅在寬頻範圍內可達成良好的阻抗匹配(impedance match)，在高頻範圍中其 S11, S21 有優於傳統架構的表

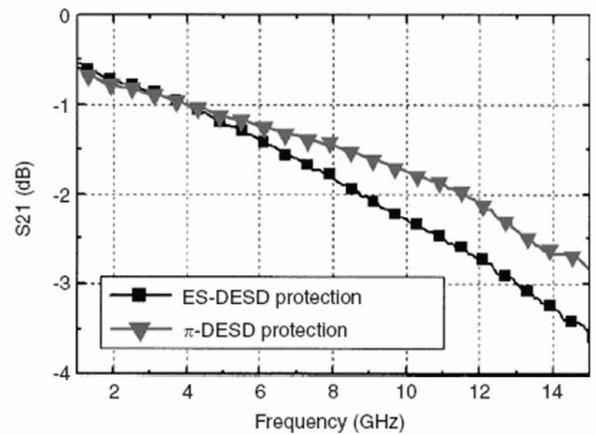
現(圖三)，搭配電源箝制靜電放電防護電路時，靜電放電耐受度更可大幅提升，在人體靜電放電模式(HBM)下各種測試組合均擁有過 8 kV 的靜電放電耐受度，故較傳統架構更適用於寬頻段射頻電路(圖四)。



圖二. 提出之新型之應用於射頻電路中 π 型-分散型靜電放電保護電路架構 [1].



(a)



(b)

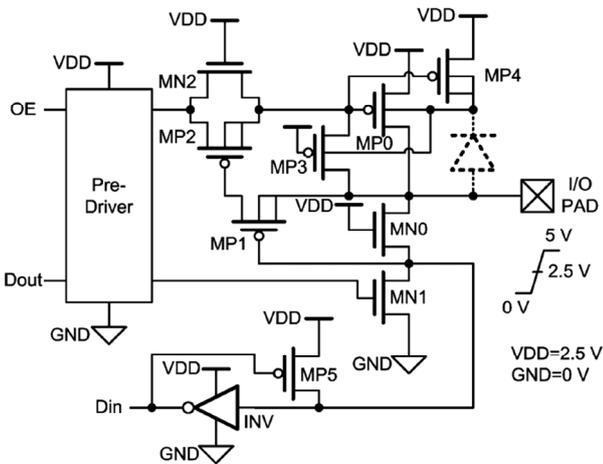
圖三. ES-DESDD 架構與 π -DESDD 架構之 RF 特性參數(a) S11 與(b) S21 之比較 [1].

Match type	ES-DESD	π -DESD
ND-mode (kV)	5.5	>8.0
PS-mode (kV)	5.5	>8.0

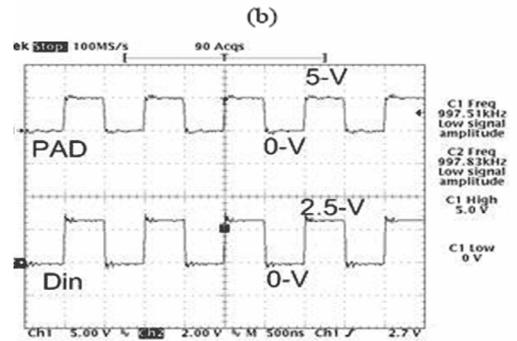
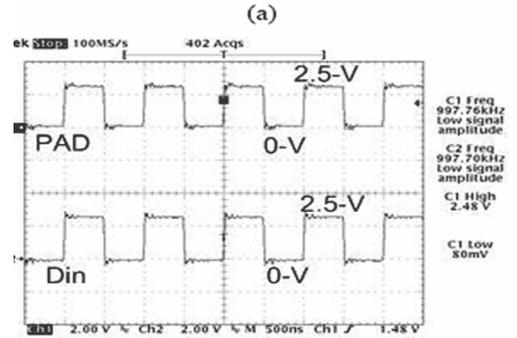
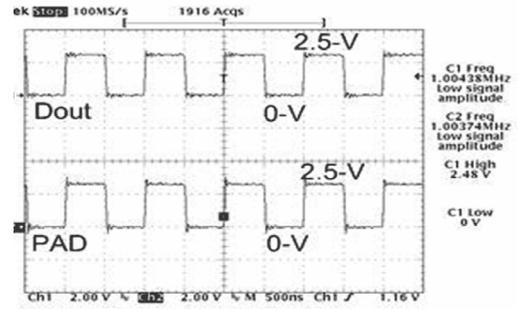
圖四. ES-DESD 架構與 π -DESD 架構之人體靜電放電模式(HBM)之防護能力比較 [1].

(2) 混合電壓信號介面電路領域:

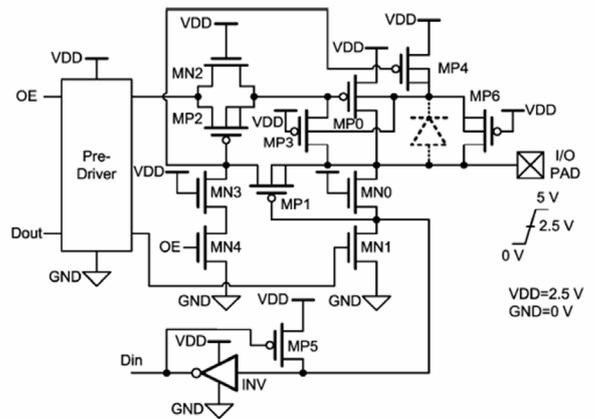
我們提出兩種新型的電路設計技術，使用 0.25 微米製程中 2.5V 元件來接收 1xVDD (2.5V)或 2xVDD (5V)的輸入訊號，而沒有有閘極氧化層可靠度的問題，並克服原本傳統結構的漏電問題 [2]，1xVDD 電路接收 2xVDD 輸入訊號之電路設計如圖五所示 [2]，實驗晶片已於 0.25 微米 2.5V CMOS 製程中驗證。本設計運用動態 N-well 偏壓方式(dynamic N-well bias)和閘極電壓追蹤電路(gate track circuit)來避免閘極氧化層可靠度疑慮與漏電問題，當輸入信號為 2.5V 方波，傳輸模式與三態模式中的接受模式波形圖分別如圖六(a)與(b)所示，當輸入信號為 5V 方波時，三態模式中的接收模式波形圖如圖六(c)所示 [2]。另一種新型的 2.5V/5V 混合電壓介面電路使用浮動式 N-well 的偏壓方式(floating N-well bias)與閘極電壓追蹤電路(gate track circuit)，詳細電路設計如圖七所示，這些新型電路均可避免混合電壓信號介面電路中閘極氧化層的可靠度問題。



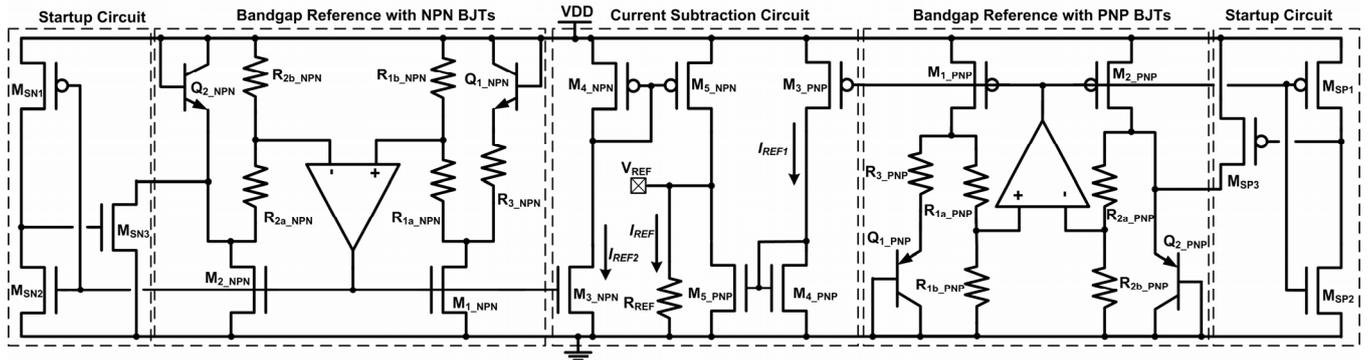
圖五. 第一種新型高低壓輸入輸出介面電路，使用 1xVDD 元件與電源接收 2xVDD 輸入訊號之電路設計 [2].



圖六. 不同模式下所量測輸出輸入圖形：當輸入信號為 2.5V 方波時的 (a)傳輸模式，(b)三態模式中的接受模式，和 (c)輸入信號為 5V 方波時的三態模式中之接受模式[2].



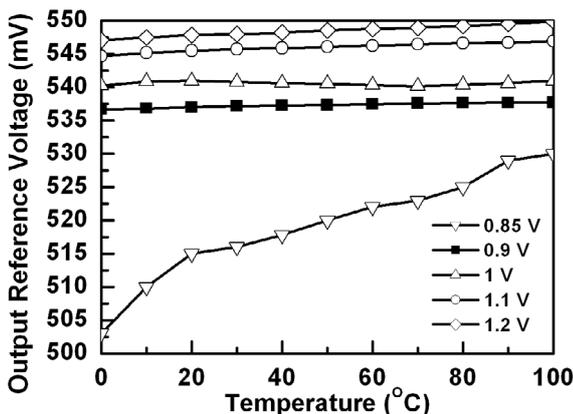
圖七. 第二種新型高低壓輸入輸出介面電路，使用 1xVDD 元件與電源接收 2xVDD 輸入訊號 [2].



圖八. 新型低電壓且具有溫度補償功能的能隙參考電壓源之完整電路設計圖 [3].

(3) 低電壓類比電路設計技術領域:

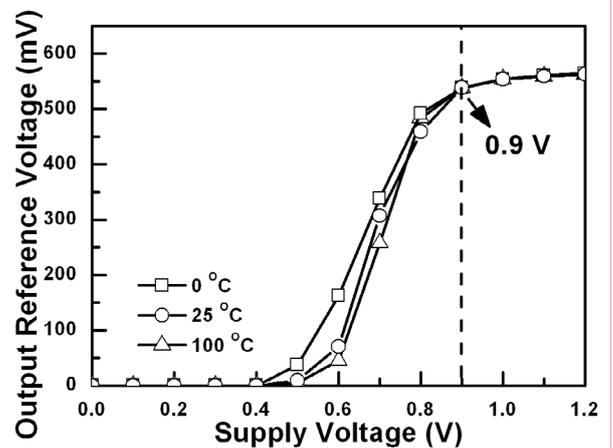
在低電壓類比積體電路設計領域，我們提出一個操作電壓在 1V 以下且具有溫度補償技術的能隙參考電壓源電路(bandgap reference) [3]。電路架構如圖八所示[3]，並在 0.25 微米互補式金氧半(CMOS)製程中製作驗證晶片，在此新型電路設計技術中，我們利用 NPN 與 PNP 兩種雙載子電晶體(BJT)組成兩種能隙參考電壓源電路架構，這兩種架構分別具有互補式的輸出電壓隨溫度變化特性，利用此特性可成功地降低能隙參考電壓源電路的輸出電壓溫度係數(temperature coefficient, TC)，此設計可將溫度係數降低到 19.5ppm/°C，且操作電壓最低可到 0.9V。圖九為此新型能隙參考電壓源電路在不同操作溫度(0°C~100°C)下，輸出電壓隨著操作電壓改變(0.85V~1.2V)的變化情形，我們已成功驗證此新型電路永有優異的輸出電壓特性與極低的溫度係數。



圖九. 在不同操作電壓下新型能隙參考電壓源電路之輸出電壓與操作溫度變化的關係 [3].

圖十為此新型能隙參考電壓源電路在不同操作溫度(0°C、25°C 和 100°C)下，輸出電壓

隨著操作電壓改變的變化，這證實此新型電路之操作電壓可以低至 0.9V。此新型能隙參考電壓源電路設計技術可成功地應用於奈米 CMOS 製程中。

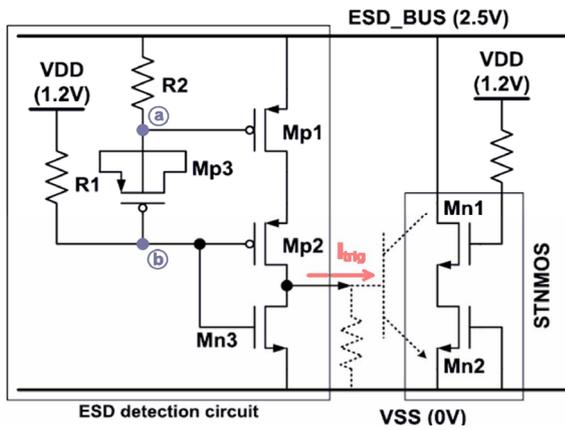


圖十. 在不同操作溫度下新型能隙參考電壓源電路之輸出電壓隨著操作電壓改變的變化 [3].

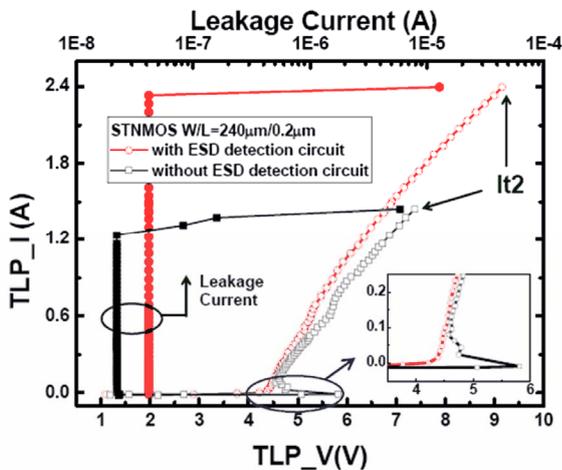
(4) 高速高低壓介面靜電放電防護電路領域:

我們提出使用低壓製程(1xVDD, 1.2V)元件實現之 1.2V/2.5V 混合電壓輸入輸出介面的電源端箝制靜電放電防護電路(power-rail ESD clamp circuit) [4]，並實際在 130 奈米互補式金氧半(CMOS)製程中製作實驗晶片，不需要使用厚閘氧化層就可避免閘極氧化層在混合電壓介面電路所面臨的可靠度問題。主要的電路架構如圖十一所示，其中包含靜電放電偵測電路和靜電放電保護元件。利用基體觸發技術(substrate-triggered technique)可加速高低壓介面的靜電放電保護元件的導通速度，圖十一左方虛線框內的靜電放電偵測電路用以區別正常電路工作情形與遭受靜電放電轟擊之情形 [4]，當電路正常操作時，電源電壓為 2.5V，

偵測電路之 Mp1 與 Mp2 均關閉，故無基體觸發電流流入以疊接 NMOS (stacked NMOS, STNMOS)實現的靜電放電保護元件，使保護元件關閉。當靜電放電電流由電源端進入時，偵測電路之 Mp1 與 Mp2 將導通，產生基體觸發電流，並注入靜電放電保護元件之基體端，促使靜電放電保護元件內部之橫向寄生 NPN 雙載子接面電晶體(BJT)快速導通，排放靜電放電電流，達到保護內部電路的目的。此設計已在 130 奈米互補式金氧半(CMOS)製程下製作實驗晶片並驗證其功能，此設計不僅克服高低壓介面電路的可靠度問題，更進一步提昇靜電放電耐受度。圖十二為使用傳輸線脈衝產生系統(TLP)量測不包含與包含 ESD 偵測電路之靜電放電防護元件(疊接 NMOS)的電流-電壓(I-V)特性曲線。



圖十一. 利用低壓(1.2V)元件實現可運用於 2.5V 混合電壓輸入輸出界面電路之電源箝制靜電放電防護電路 [4].



圖十二. 利用 TLP 量測在不包含與包含 ESD 偵測電路之疊接 NMOS (STNMOS)的 I-V 特性曲線 [4].

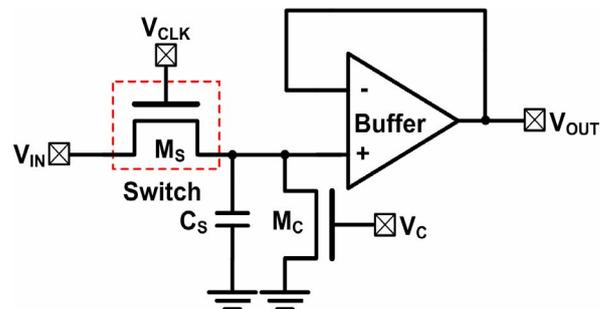
圖十三為此新型 1.2V/2.5V 混合電壓輸入輸出介面的電源箝制靜電放電防護電路之人體靜電放電模式(HBM)與機器放電模式(MM)之靜電放電耐受度量測結果，量測結果證明此新型電路架構可大幅提昇靜電放電耐受度，並避免閘極氧化層可靠度問題。

STNMOS W/L (μm/μm)	HBM ESD Level (kV)		MM ESD Level (V)	
	without detection circuit	with detection circuit	without detection circuit	with detection circuit
240/0.2	3	4	175	225
360/0.2	4	5	250	300
480/0.2	5	6.5	275	400

圖十三. 在不同 STNMOS 元件大小，包含與不包含偵測電路之 HBM 和 MM 模式之靜電放電耐受度比較 [4].

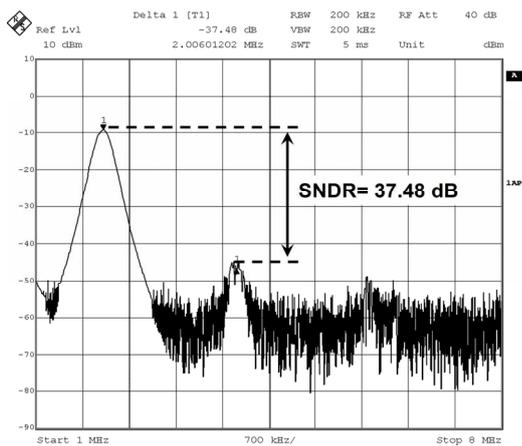
(5) 類比 MOS 開關在交換式電容電路之可靠度分析:

在奈米互補式金氧半(CMOS)製程中，交換式電容電路(swapped-capacitor circuit)的類比 MOS 開關常利用閘極倍壓電路技術(gate-bootstrapped technique)來提高輸入輸出信號範圍，並固定 MOS 開關的導通電阻(turn-on resistance)，此舉可提高電路性能，並降低雜訊干擾，可是此閘極倍壓電路技術會使得 MOS 開關的閘極氧化層有可靠度的問題(gate-oxide reliability)，進而影響整體電路。我們針對此問題設計出一個測試與驗證電路來分析與量測出 MOS 開關之閘極氧化層可靠度對整體交換式電容電路的影響，測試與驗證電路如圖十四所示[5]。

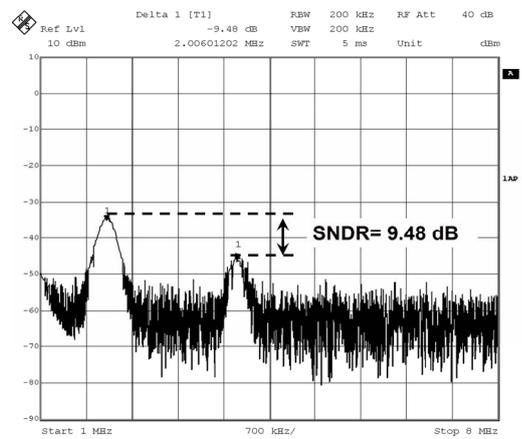


圖十四 針對類比 MOS 開關閘極氧化層可靠度在交換式電容積體電路下提出之測試與驗證電路 [5].

當此電路在正常操作時 V_C 信號為接地，此時 M_C 關閉，當輸入信號(V_{IN})為弦波和 V_{CLK} 為連續性方波時，電路正常操作在一般模式下，針對 MOS 開關之閘極氧化層做加壓破壞 (stress) 時， V_C 信號接到 V_{DD} ，此時 M_C 開啟和輸入信號(V_{IN})接到 V_{DD} ，而 V_{CLK} 接到一個比 V_{DD} 更高的電壓準位，來針對 MOS 開關的閘汲極(gate to drain)之間做閘極氧化層的破壞，此測試電路已經在 130 奈米互補式金氧半 (CMOS) 製程下製作驗證晶片，圖十五為類比 MOS 開關之閘極氧化層加壓破壞在不同破壞時間(a)破壞時間為 0 小時和(b)破壞時間為 8 小時，測試電路輸出電壓的信號對抑制雜訊比 (signal-to-(noise+distortion), SNDR) 所產生的變化。成功驗證與分析中類比 MOS 開關的閘極氧化層可靠度(gate-oxide reliability)對交換式電容電路的影響 [5]。



(a)

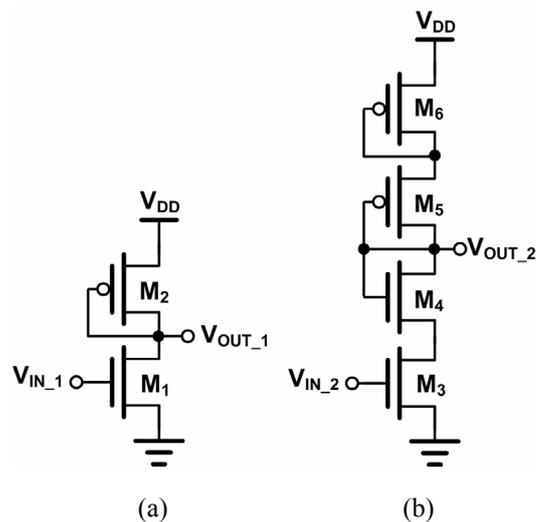


(b)

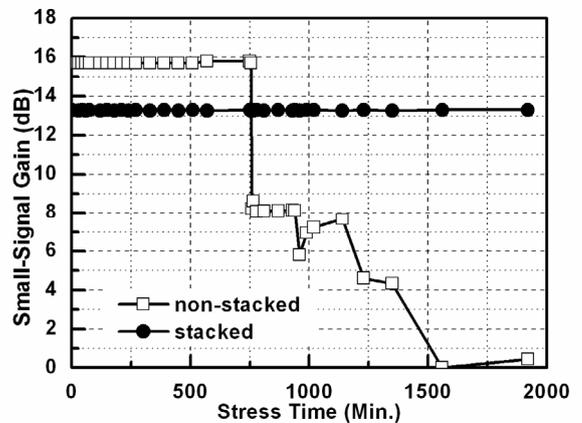
圖十五. 類比 MOS 開關之閘極氧化層加壓破壞在不同破壞時間(a)破壞時間為 0 小時和(b)破壞時間為 6 小時，測試電路輸出電壓的 SNDR 所產生的變化 [5]。

(6) 類比放大器電路之可靠度分析:

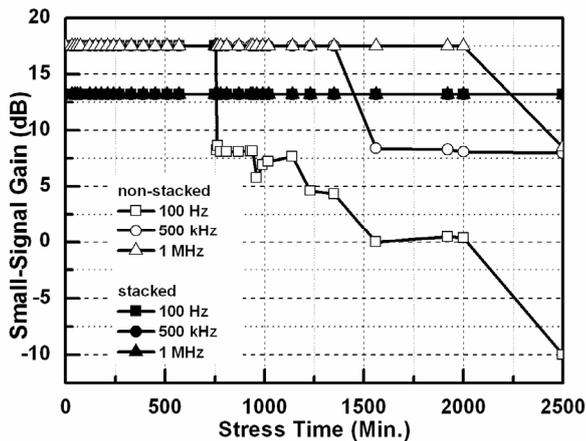
類比積體電路設計中，放大器一直佔有十分重要的地位，在此我們針對一個採用主動式負載 (active load) 的共源極放大器 (common-source amplifier) 與有無疊接(stack)結構電路如圖十六 [6]，此測試電路已經在 130 奈米互補式金氧半 (CMOS) 製程下製作實驗晶片，來分析閘極氧化層可靠度 (gate-oxide reliability) 對類比放大器的影響。圖十七為無疊接和有疊接架構之共源級放大器小信號增益在直流破壞下不同閘極氧化層破壞時間下的變化。圖十八為無疊接和有疊接架構之共源極放大器小信號增益在交流破壞下不同閘極氧化層破壞時間與不同輸入信號頻率下的變化。



圖十六. 針對閘極氧化層可靠度對類比放大器電路的影響所採用測試與驗證電路，(a) 無疊接與(b) 有疊接的共源極放大器 [6]。



圖十七. 無疊接與有疊接架構之共源極放大器小信號增益在直流破壞模式閘極氧化層在不同破壞時間下的變化 [6]。



圖十八. 無疊接與有疊接架構之共源極放大器小信號增益在交流破壞模式不同閘極氧化層破壞時間與不同輸入信號頻率下的變化 [6].

此設計成功驗證出閘極氧化層可靠度對於類比放大器的小信號參數的影響。由上述實驗結果，可在奈米 CMOS 製程中，利用電路技術設計出具有高可靠度的電路。

四、結論與討論

此三年整合型計畫之子計畫二的第一年計畫，將於 95 年 7 月 31 日執行完畢，由實際晶片驗證，並與模擬結果獲得相互佐證。截至目前為止，已發表三篇國際期刊論文與三篇國際會議論文，其中一篇於第一流的國際會議 2006 IEEE International Solid-State Circuits Conference (ISSCC) 中發表。詳細研究成果內容，請參閱所發表之論文。

五、發表論文

- [1] M.-D. Ker, B.-J. Kuo, and Y.-W. Hsiao, "Optimization of broadband RF performance and ESD robustness by π -model distributed ESD protection scheme," *J. Electrostatics*, vol. 64, pp. 80-87, Feb. 2006.
- [2] M.-D. Ker, S.-L. Chen, and C.-S. Tsai, "Overview and design of mixed-voltage I/O buffer with low-voltage thin-oxide CMOS transistors" *IEEE Trans. Circuits Syst. I, Reg. Papers*, in press, 2006.
- [3] M.-D. Ker and J.-S. Chen, "New curvature-compensation technique for CMOS bandgap reference with sub-1-V operation" *IEEE Trans. Circuits Syst. II, Expr. Briefs*, in press, 2006.
- [4] M.-D. Ker, W.-J. Chang, C.-T. Wang, and W.-Y. Chen, "ESD protection for mixed-voltage I/O in low-voltage thin-oxide CMOS," in *IEEE Int.*

Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2006, pp. 546-547.

- [5] J.-S. Chen and M.-D. Ker, "Circuit performance degradation of sample-and-hold amplifier due to gate-oxide overstress in a 130-nm CMOS process," in *Proc. IEEE Int. Reliability Physics Symp.* 2006, pp. 705-706.
- [6] J.-S. Chen and M.-D. Ker, "Gate-oxide reliability on CMOS analog amplifiers in a 130-nm low-voltage CMOS processes," in *Proc. IEEE Int. Symp. Physical and Failure Analysis of Integrated Circuits*, 2006, in press.