

行政院國家科學委員會專題研究計畫成果報告

深次微米 CMOS 元件之複晶矽介電層與閘極氧化層之技術開發

Technology Development on Polysilicon Dielectric Layers and Gate Oxides for Deep Submicron CMOS Devices

計畫編號：NSC-88-2215-E-009-045

執行期限：88 年 8 月 1 日至 89 年 7 月 31 日

主持人：雷添福 交通大學電子工程學系教授

E-mail address: tflei@ndl.nctu.edu.tw

一、中文摘要

本計劃將研究以化學機械研磨改進複晶矽薄膜薄氧化層特性,六氫化二矽成長之複晶矽薄膜薄氧化層研究,應用同步磷摻入非晶矽之平滑表面來改善二氧化矽/氮化矽/二氧化矽介電層(ONO)結構的熱載子可靠性,以及研究閘極氧化層內部電子、電洞陷阱的變化情形,共分四部份,概括評述如下:

(一)為改進複晶矽薄膜之表面粗糙度並增進複晶矽氧化層的特性,將以化學機械研磨拋光的方式增進複晶矽薄膜表面之平坦度,並分別以氧氣($N_2:O_2=7:1$)與 N_2O 成長不同厚度的複晶矽氧化層,研究化學機械研磨拋光製程搭配不同成長方式後,對複晶矽氧化層電性與物性之影響。

(二) 為增進複晶矽氧化層的特性,將利用氧氣($N_2:O_2=5:1$)與磷佈質之六氫化二矽複晶矽薄膜為基材來成長薄複晶矽氧化層,並嘗試使用氧化二氮在磷佈質之六氫化二矽複晶矽薄膜上成長薄氧化層,對其電性及物性做一系統分析。

(三) 應用同步磷摻入非晶矽之平滑表面來改善二氧化矽/氮化矽/二氧化矽結構介電層(ONO)的熱載子可靠性方面,將以不同成長方法的複晶矽為基材成長二氧化矽/氮化矽/二氧化矽結構介電層(ONO),研究電性施壓造成低電場漏電流之特性,與二氧化矽性施壓低電場漏電流特性比較。

(四)為研究閘極氧化層內部電子、電洞陷阱(trap)的變化情形及其溫度效應,我們在一 MOS 電容上施以定電壓應力,再由 CV 與 IV 曲線的配合可算出在氧化層內電子、電洞陷阱分佈的情形,分別加直流及交流應力再來算其陷阱變化,改變氧化層厚度,藉此分析厚度對陷阱效應,並由以上各種變化所得的陷阱變化結果和氧化層可靠度分析結果作一驗證,以求得進一步的瞭解。

關鍵詞：化學機械研磨、複晶矽氧化層、閘極氧化層

Abstract

This project will study the improvement of polyoxide characteristics by using CMP process, grown thin polyoxides based on P-implanted disilane polysilicon films, the time-dependent dielectric breakdown (TDDB) of ONO interpolary-Si dielectric, and the behavior of electron and hole trap behavior in thin gate oxide. It's divided into four parts and described as follow:

(1) To improve the roughness and electrical characteristics of polyoxides, we will use the CMP process and will grow different thickness polyoxides in dilute O_2 ($N_2:O_2=7:1$)

and N_2O . The electrical characteristics of the polyoxide films will be studied. The roughness, impurities distribution and microstructure of post-CMP polysilicon films will be studied.

(2) To improve the characteristics of thin polyoxides, we will grow thin polyoxides by O_2 ($N_2:O_2=5:1$) in diluted based on P-implanted disilane polysilicon films and will grow thin polyoxides in N_2O based on P-implanted disilane polysilicon films. The electrical characteristics of the polyoxide films will be investigated.

(3) The effect of bottom in-situ dope polysilicons on the time-dependent dielectric breakdown (TDDB) of ONO interpoly-Si dielectric will be studied. We will growth ONO interpoly-Si dielectric on $POCl_3$ doped or on in-situ doped polysilicon. The SILC characteristics and roughness will be investigated. A physics model will be presented for this study.

(4) The electron and hole trap behavior in thin gate oxide and its temperature effect will be investigated. A MOS capacitor will be stressed and calculated the electron and hole trap distribution by CV and IV curve. The temperature will be changed and the effect will be investigated to ensure the problem of the oxide reliability.

Keywords: CMP, polyoxide, thin gate oxide, ONO.

二、緣由與目的

在非揮發性記憶體製程上,不僅穿透氧化層要隨之變薄甚至複晶矽浮接閘上的複晶矽氧化層不但要隨之變薄,還要兼具

低漏電流與高崩潰電場的特性,複晶矽氧化層厚度的不均勻與粗糙的表面將造成區域的電場增加,使其漏電流與崩潰電場的特性遠不及單晶基材的閘極氧化層。CMP的製程將可用來增進複晶矽的表面平坦度,良好控制的研磨製程將可降低漏電流並增加崩潰電場[1-3],在此,我們將進一步研究研磨後的複晶矽與不同方式的氧化層成長後的表面粗糙度變化,並瞭解研磨製程對氧化層特性的影響。

Disilane 所沉積的複晶矽薄膜已被廣泛應用於 TFTs 的製程中.經由 AFM 觀察發現此薄膜有較平坦之表面,而且在相同的雜質參雜情況下,其有較低的阻值.所以我們研究以此薄膜來取代傳統高溫成長之 silane 複晶矽薄膜的可行性,氧化二氮目前常用來改善氧話層品質,而且已被證實在應用於複晶矽氧化層(poly- oxides) 上亦有相當的改善[4-6],此我們亦欲利用此氣體來改善 Disilane 複晶矽氧化層的特性。

ONO 結構介電層因有高介電常數、低漏電流與高崩潰電場而被廣泛使用。同步磷摻雜複晶矽氧化層因熱預算較小[7-9],故有比 $POCl_3$ 摻雜複晶矽氧化層大的崩潰電荷、崩潰電場與施壓漏電流(SILC),應用同步磷摻雜複晶矽來成長 ONO 結構介電層將可有效增加其電性穩定度。我們將首先針對 ONO 結構介電層的施壓漏電流做進一步的探討與研究。

氧化層的可靠度分析至今已被研究的相當多年了,由於介電層材料、厚度的改變,特性的好壞又和介電層內電子、電洞陷阱產生的多寡有直接關係,因此我們將利用新的量測方法,針對各種情況分析其電子、電洞陷阱差異,更進一步模擬出介電層特性的好壞。另外,在此我們亦將以交流訊號[10-11]配合陷阱量測來作介電層的可靠度分析。

三、結果與討論

在熱成長氧化層過程,複晶矽氧化層與複晶矽介面會變得較粗糙,造成電特性的衰減。化學機械研磨技術可使複晶矽表面變的光滑,即使長完氧化層,有經過化學

機械研磨的複晶矽介面顯的較平整。另外一種改善複晶矽氧化層的方法是使用 N_2O 氣體成長氧化層。在高溫下，造成氮原子聚集在氧化層與複晶矽的介面。結合化學機械研磨技術與 N_2O 氧化劑，將使得複晶矽氧化層有極佳的 J-E 特性曲線以及減少電子捕捉數目。

利用二矽烷在低壓爐管中沉積一複晶矽薄膜。利用離子佈植的方式將此一複晶矽薄膜參雜。以高劑量的磷離子將磷離子佈植過的複晶矽薄膜置於爐管中施以高溫的活化退火，利用 N_2O 在 850 的爐管中成長不同厚度氧化層，並測量其電物性崩潰電場及電荷之偉伯分佈中，我們可以很明顯的觀察到在二矽烷薄膜上所成長之氧化層有較佳的特性。

我們應用同步摻入非晶矽有很平滑的表面以改善二氧化矽/氮化矽/二氧化矽介電層 (ONO) 的熱載子可靠性。我們亦首次發現 ONO 之電性施壓所產生的低電場漏電流，此與二氧化矽之電性施壓所產生的低電場漏電流截然不同。對此我們提出一個物理模型來解釋，此漏電流歸因於電性施壓造成電荷被捕捉在靠近陰極的氮化矽/二氧化矽介面，此電荷在往後的量測中被釋放出來而產生此低電場漏電流。

在清洗過的 P-type 矽晶片上以高溫分別成長 107 及 291 Å 的氧化層，以 LPCVD 沈積複晶矽薄膜，並以 $POCl_3$ dope 之而形成閘集。以 HP4156 搭配 HP41501A Pulse Generator 輸出脈波施加應力，再分別以 HP4156 及 HP4284 量測 IV 及 CV 電性的變化。藉由 IV、CV 細微的變化，藉由計算而得到氧化層中缺陷的改變。就可靠性來講，AC 訊號的頻率越高 TDDB 越好，而其原因可知，所施加應力的頻率越高，在氧化層中所造成的缺陷數目越少，而該缺陷的位置也越偏向氧化層的中心(遠離界面)，這些都會造成 TDDB 的改善。

四、成果自評

本次計畫之執行，皆達到預期之成果並已在相關之學術期刊上發表論述，茲列

於下：

- [1] "Enhancement of Integrity of Polysilicon Oxide by Using a Combination of N_2O Nitridation and CMP Process", IEEE Electron Device Letters, Vol. 20, No.5, 1999.
- [2] "Trapping Variation During Dynamic Electric Stress," 1998 IEDMS.
- [3] "The Characteristics of Thin Polyoxides Grown on P-implanted Disilane Polysilicon Films," 1998 IEDMS.

五、參考文獻

- [1] C.Cobianu, et al, IEEE Electron Devices Lett., vol.14,p213,1993.
- [2] C.S.Lai,et.al, IEEE Trans. on Electron Devices, vol.43, No.2, p1-6,1996.
- [3] C.Y.Chang, et al, IEEE Electron Devices Lett., vol.17, p100, 1996.
- [4] E. Scheid, et. al ,J. Appl. Phys. Vol 75 ,No 7,1 april 1994.
- [5] J. Ahn, W. Ting, et. al , IEEE Electron Device Lett., vol. 13,p.577, 1985.
- [6] H. Hwng , et. al , in IEDM Tech. Dig., p. 421, 1990.
- [7] H.Tanaka, et.al, IEEE Transactions on Electron Devices., Vol. 40, p.2231, 1993.
- [8] H.C.Chen, et.al,EDMS,1997.
- [9] P.Olive, et.al, IEEE Transactions on Electron Devices., Vol.35, p.2259, 1988.
- [10] Y. Nissan-Cohen,J. Shappir, et. al, Appl. Phys. Lett., vol.44, p.417, 1984.
- [11] D. J. Dumin, Senior Member, et. al , IEEE trans. On electron devices, vol. 41, no. 6, june 1994.

六、圖表

Fig.2 (a) Breakdown field and, (b) Charge-to-breakdown of disilane polysilicon oxide.

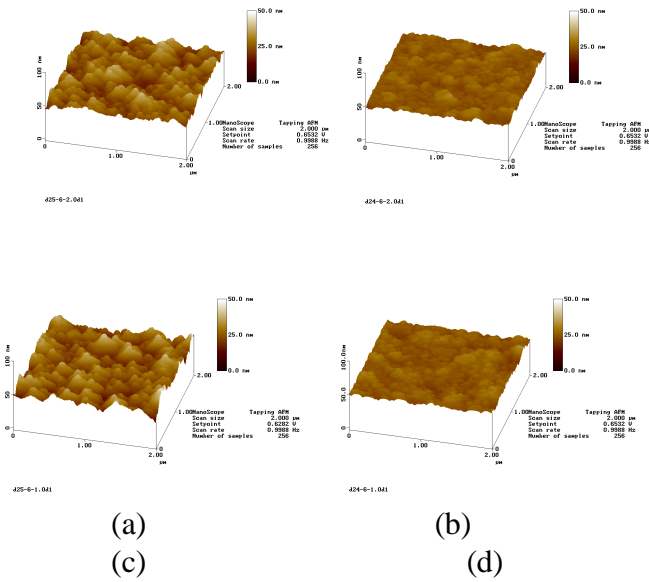


Fig.1 Surface images measured by AFM for (a) Non- CMP- O₂, (b) CMP- O₂, (c) Non-CMP- N₂O, (d) CMP-N₂O.

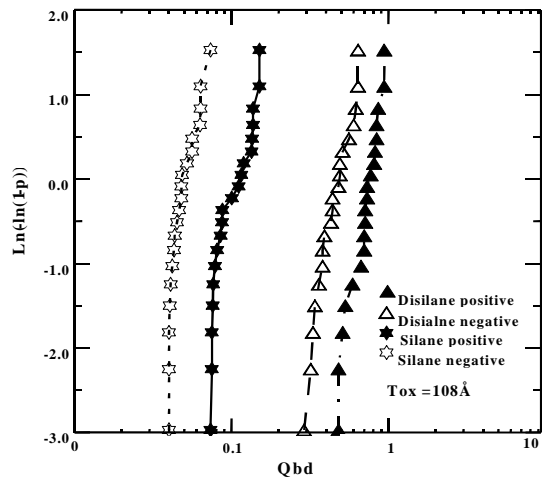
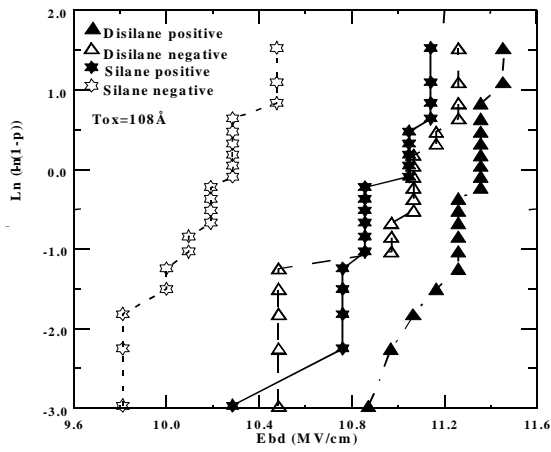


Fig.3 The excess low-field current increases with increasing the stress field.

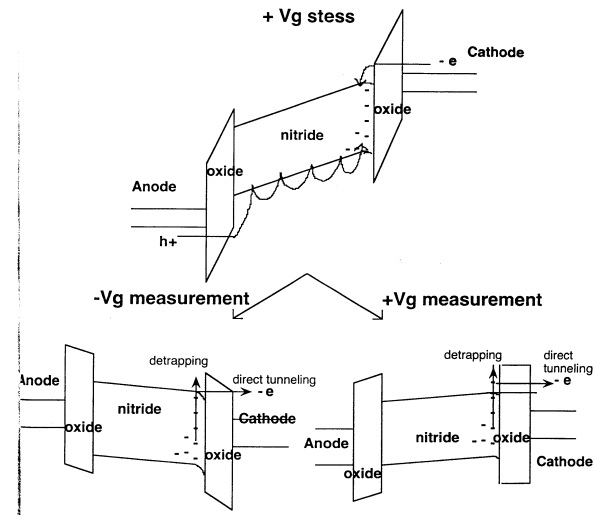


Fig.4 The physical model to explain the stress-induced low-level leakage current of ONO interpoly-si dielectric.

氧化層厚度	107 Å				291 Å			
頻率(Hz)	0(DC)	10	100	1K	0(DC)	10	100	1K
電子缺陷量 (10 ⁷ Coul./cm ²)	1.2	0.94	0.9	0.89	1.3	1.1	1	1
電洞缺陷量 (10 ⁷ Coul./cm ²)	4.8	4	3.5	3	10.6	9.7	8.6	8.1
電子缺陷位置 (Å from sub)	41	48	54	56	145	147	180	180
電洞缺陷位置 (Å from sub)	15	16	18	19	21	27	28	30

Table 1 List of trap and defect density under stress in different gate oxide.