行政院國家科學委員會專題研究計畫　期中進度報告

總計畫(1/3)

計畫類別：整合型計畫
計畫編號：NSC94-2220-E-009-038-
執行期間：94 年 08 月 01 日至 95 年 07 月 31 日
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：周景揚
共同主持人：董蘭榮，黃俊達，李毅郎，李育民，江蕙如

報告類型：完整報告

處理方式：本計畫可公開查詢

中　華　民　國 95 年 5 月 29 日

中文摘要

由於未來超大型積體電路的發展主流著重在單晶片系統設計及深次微米製程使用，所對應之驗證難度及複雜度也因此快速成長，因此，如何有效而迅速地驗證設計的正確性已經成為當前晶片設計上的重要課題。

本計畫針對單晶片系統之各設計層次所面對的驗證問題，以分項方式個別研發先進驗證技術，總計畫則以協調各子計畫的相關成果，整合為一由上而下之完整驗證解決方案。所涵蓋之六項子計畫如下：高階合成之形式驗證技術研究(子計畫一)、針對單晶片系統界面協定之驗證(子計畫二)、以特性為基礎之功能驗證與錯誤診斷(子計畫三)、單晶片系統設計流程之實體驗證(子計畫四)、系統晶片布局設計後之驗證與最佳化平台研究(子計畫五)、及針對先進晶片設計的熱點驗證之完整熱模型與高效能熱分析(子計畫六)。第一年實施迄今，陸續開發利用派屈作為高階驗證基底、利用規格有限狀態機轉換為界面協定檢查器、錯誤痕跡壓縮演算法、擺置驗證前置作業、以切線為基底的拓撲佈局方式、使用積分技術的熱分析工具等關鍵技術。除此之外，本計畫已累計發表 3 篇國際期刊論文、7 篇國際研討會論文，並且投稿 3 篇國際期刊論文以及 1 篇國際研討會論文。

關鍵詞：單晶片系統驗證；系統驗證；功能性驗證；實體驗證；錯誤診斷

Abstract

With the advent of deep-submicron manufacturing technology, the trend of VLSI design is towards the System-On-Chip. The corresponding verification tasks become more and more complex. Therefore, how to verify a design quickly and efficiently has become an important issue in modern IC design flow.

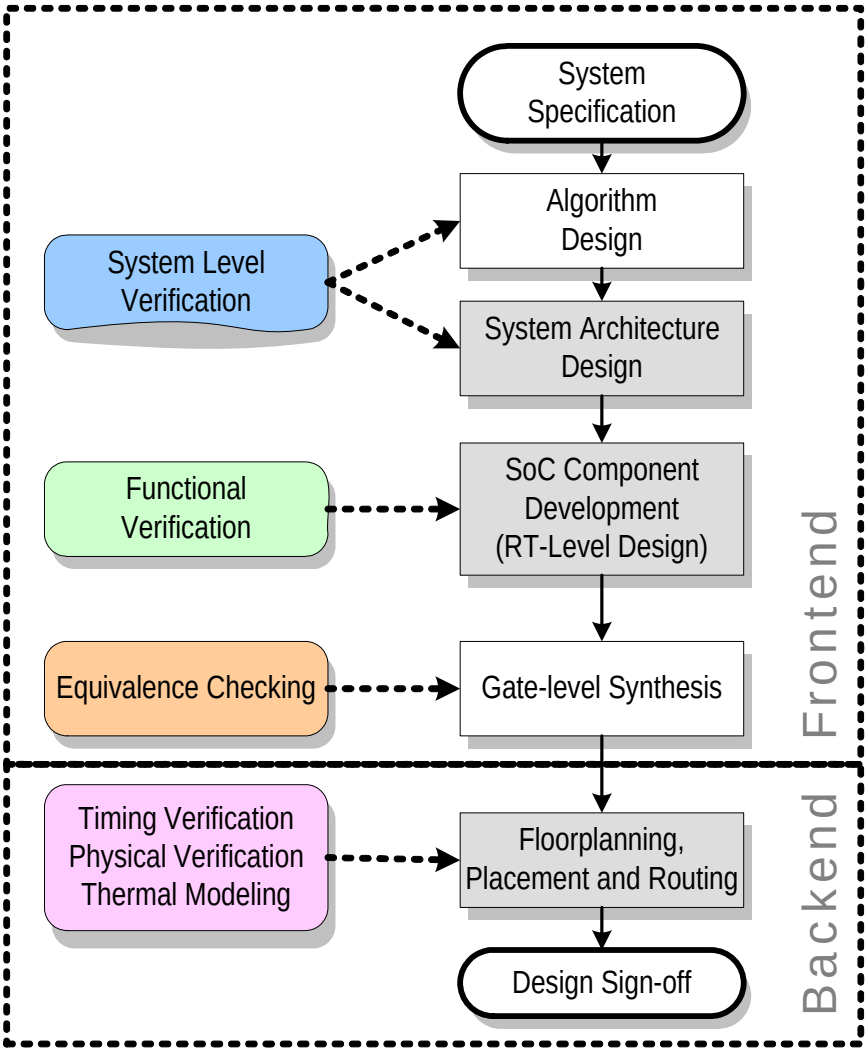
Because the verification characteristics and targets of different design levels are quite diverse, this project considers the overall SOC verification flow and divides it into six major topics for advanced research： (1) Formal Verification for High-Level Synthesis, (2) Interface Protocol Verification, (3) Property-Based Functional Verification and Error Diagnosis, (4) Physical Verification, (5) Post-Layout Verification and Optimization Platform, and (6) Compact Thermal Modeling and Efficient Thermal Simulation for Hot Spots Verifications. The ultimate goal of this project is to integrate these core verification technologies as a complete top-down solution.

In the first year, our achievement includes following items: using Petri-Net modeling for high-level verification, FSM-based interface protocol checker, error trance reduction algorithm, preliminary work for floorplan verification, triangulation encoding for topological layout, and generalized integral transform method for thermal analysis. In the first year, 3 journal papers and 7 international conference papers related to this project were published.

Keyword：SOC verification, system verification, functional verification, physical verification, design error diagnosis

1. 前言

圖一代表的是單晶片系統設計與驗證的大致流程，我們可以發現在每一個設計階段中，都需要配合適當的驗證技術來確保設計的正確性。接下來我們將就此流程分別以前端(frontend)與後端(backend)來分析其所需面對的驗證問題。在前端部分，設計人員閱讀了系統的相關規格(specification)之後，需要決定所使用的演算法及系統架構(包括軟硬體切割、處理器的選擇、元件的選擇、晶片界面協定規格的採用…等)，然後針對所決定之架構開始研發新的或套用已有的矽智產(IP)，接著再合成為邏輯閘 (gate-level)電路，在前段設計所需要檢查的是各矽智產的功能及整合後的架構是否吻合規格的要求，所以，系統驗證(system-level verification)、功能性驗證(functional verification)及對等性驗證(equivalence checking)均扮演重要的角色。

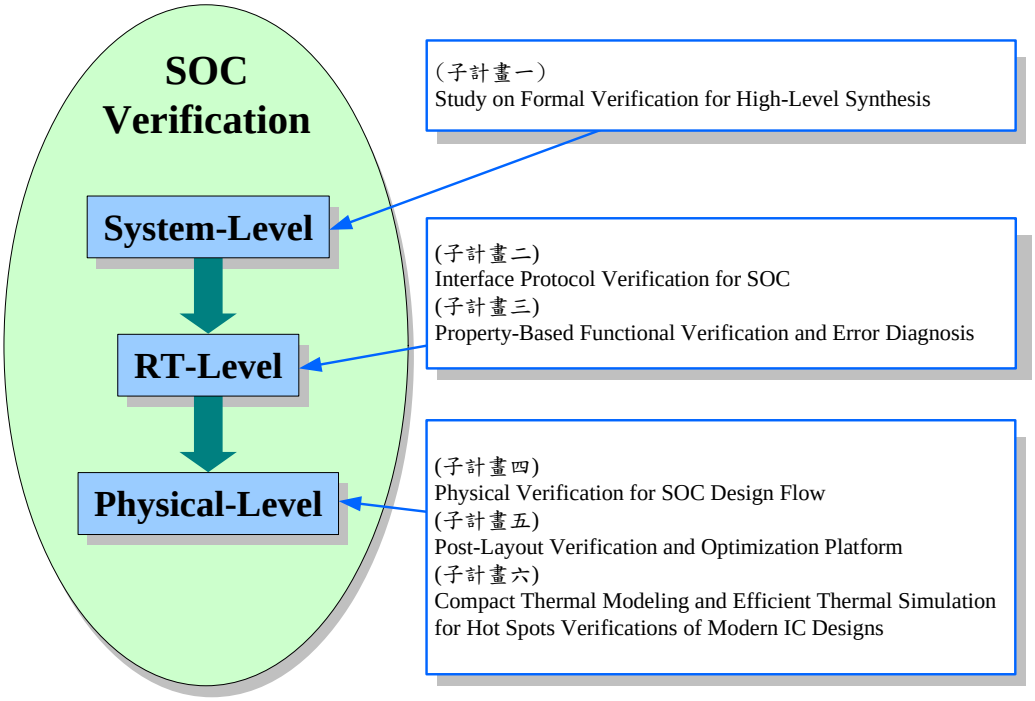


圖一：單晶片系統設計與驗證流程

在後端的流程上，設計會進入平面規劃(floorplanning)、擺置(placement)及繞線(routing)的實體合成部分，此時，已牽涉到製程上的考量，除了晶片功能正確性之外，時序(timing)的符合及佈局(layout)規則的遵守也成了驗證的重點；又因現今製程已進入深次微米(deep sub-micron)時代，愈來愈明顯的串音(crosstalk)及電感效應，使得各電路元件及導線間互相影響的程度昇高，造成在實體驗證及分析上也更加地迫切及困難。此外，由於晶片體積隨製程縮小所造成之散熱性不易問題，影響著產品的可靠度(reliability)及耐久度，所以，在晶片的功率消耗及溫度分析也是當前重要的課題。

本總計畫期中報告主要內容分兩部份。第一部份我們將描述在總計畫工作中各子計畫所規劃採用的設計驗證流程。第二部份包括六個子計畫第一年執行之相關成果中英文摘要，詳細內容請參考各子計畫之個別報告。最後將附上各計畫所發表論文成果統計。

2. 研究方法



圖二: 總計畫與各子計畫之關係

為了能提供各設計階段有力的驗證技術，並藉著自動化的工具來提昇效率，本總計畫結合交大校內主要的 EDA(電子設計自動化)研發團隊，針對各單晶片設計層次的核心驗證提出了六項子計畫，建構成一由上而下(top-down)的完整驗證解決方案。總計畫裡各子計畫的層次關係如圖二所示；子計畫一著重於高階抽象階層之形式驗證技術，歸屬於系統層次，目前主要的研究進度是運用 Petri-Net 模型來表現系統的特性再進行高階的形式驗證；子計畫二及三能對於暫存器轉移層次(RT-Level)的設計實行功能性之驗證，其中子計畫二主要針對的是界面協定規格的驗證，在第一年的計畫之中，已提出一個有系統化的界面規格描述法，並可自動轉換為界面協定檢查器，加速單晶片系統中矽智產(IP)的相容性驗證；而子計畫三則是以特性為基礎之功能驗證及錯誤診斷的研究，對於設計者在面對除錯時所可能要回溯的龐大錯誤路徑，目前已提出了一個很好的演算法來縮短其長度，直接地提昇錯誤診斷的效率；以上三個子計畫主要是由模擬驗證及正規驗證為方法，進行規格與各階段設計之間的功能性檢查，在研究上三者是串聯在一起的，亦即系統層次驗證→RT-level 功能性驗證→錯誤診斷及除錯，構成在前段設計驗證上的重要技術。

子計畫四、五、六屬於實體層次的驗證；其中子計畫四針對的是系統時脈(clock)、時序及擺置方式的驗證，目前的進度在於發展適當的演算法來確認擺置結果的可行性；子計畫五著眼於佈局後的驗證及最佳化平台建立，在第一年之中，強化三角化的拓撲編碼已初步完成，未來將可用於佈局後的設計建議及驗證；而子計畫六則是提供了熱點(hot spot)驗證及晶片溫度分析，進而產生一個有效率的系統封裝(package)熱分析工具，目前已發展出一套對於熱分析十分有效率的工具，未來將可本於這個基礎來發展後續的熱點驗證軟體；我們針對當前進入深次微米時代後，最重要的實體驗證問題，採各個擊破的方式來研發適當的技術，未來的計畫期間可望透過適當的格式轉換及銜接，結合此子計畫群之成果建構出自動化的完整後段驗證平台。

3. 各子計畫摘要報告

本總計畫包括下列六個子計畫：

總計畫: 單晶片系統驗證之核心技術開發 — 總計畫(1/3)
計畫主持人：周景揚教授
共同主持人：黃俊達助理教授
計畫編號：NSC 94-2220-E-009-038

子計畫一：高階合成之形式驗證技術研究
計畫主持人：董蘭榮副教授
計畫編號：NSC 94-2220-E-009-039

子計畫二： 針對單晶片系統界面協定之驗證(1/3)
計畫主持人：周景揚教授
計畫編號：NSC 94-2220-E-009-040

子計畫三： 以特性為基礎之功能驗證與錯誤診斷(1/3)
計畫主持人：黃俊達助理教授
計畫編號：NSC 94-2220-E-009-041

子計畫四： 單晶片系統設計流程之實體驗證(1/3)
計畫主持人：江蕙如助理教授
計畫編號：NSC 94-2220-E-009-042

子計畫五： 系統晶片布局設計後之驗證與最佳化平台研究(1/3)
計畫主持人：李毅郎助理教授
計畫編號：NSC 94-2220-E-009-043

子計畫六： 針對先進晶片設計的熱點驗證之完整熱模型與高效能熱分析(1/3)
計畫主持人：李育民助理教授
計畫編號：NSC 94-2220-E-009-044

本章節對各子計畫目前之第一年期中報告成果作摘要式描述，詳細敘述請參考各子計畫完整報告。

3.1 子計畫一：高階合成之形式驗證技術研究

中文摘要

本計畫主要是研究探索用於高階合成之形式驗證技術，目的在於發展出利於系統階層設計之形式驗證技術。近年來，形式驗證技術已被視為由上至下系統晶片設計流程中重要的一環。目前已有不少研究文獻應用於邏輯階層或是暫存器轉換階層的形式驗證技術，如：對等檢查與模型查證等。然而，很少有研究著重於高階抽象階層之形式驗證技術，如：定理證明、性質證明、性質涵蓋率、有利形式驗證等。基於此，本計畫針對演算法架構實現發展資料流定理證明技術。利用派屈網路作為驗證基底，對應架構實現時之排程與配置達成定理證明之目的。

關鍵詞：系統晶片；形式驗證；定理證明；有利驗證設計

英文摘要

The System-On-Chip (SOC) design encompasses a large design space. Typically, the designer explores the possible architectures, selecting algorithms, choosing architectural elements, and constructing candidate architectures. Designing such a complex system is hard; designing such a system that will work correctly is even harder. Design errors should be removed as early as possible; otherwise, errors detected at the later stages will result a costly, time-consuming redesign cycles. Thus, the designer should face two distinct tasks in SOC design; carrying out design process itself and establishing the correctness of a design. Design correctness is the main theme of this sub-project. In this sub-project, we develop theorem proving technique for architectural design. Based on Petri-Net models, the theorem proving verifies the reachability, admissibility, and correctness of task scheduling and resource allocation.

Key Word：SoC, Formal Verification, Theorem Proving, Design for Verification

3.2 子計畫二：針對單晶片系統界面協定之驗證(1/3)

中文摘要

在系統單晶片的時代中，晶片設計人員將大量的矽智產整合至一個系統當中已是一種趨勢。為了增加這些矽智產的重覆使用性及加速整合的速度，矽智產通常會依循著特定的界面協定而設計。今日的界面協定為了提供更高速、更具有彈性的使用，其規格也愈益複雜。因此，驗證這些矽智產單元群是否吻合其傳輸界面，能夠在整合後正確地溝通資料，便成為系統單晶片驗證上的一大課題。

一般的界面規格往往是使用自然語言或時序示意圖來描述，在功能驗證的問題中，首先會遇到的問題便是如何將這些界面規格轉化為一個適當而精準的表示法。我們可以用這種表示法來規範界面行為，進而用來偵錯及除錯，我們在第一年裡的主要成果就是發展一種適合界面規格的表示方式，並自動合成協定檢查器，用來檢查待測矽智產是否有功能上的錯誤。

關鍵詞：設計驗證；協定檢查器。

英文摘要

In the system-on-a-chip (SOC) era, designers tend to integrate a large number of IP (Intellectual Property) components into a system. To increase the reusability of the IPs and facilitate the integration, IPs are usually compliant with certain interface protocol, then they can concordantly communicate with each other within the system. For high speed and flexibility considerations, the specification of interface protocol gets more complex today. Therefore, to verify if the IPs can work correctly after integrating into a system becomes a big issue in SOC verification.

The interface specifications are often written in natural language or timing-diagram. The first problem of functional verification is how to translate the specification into a more precise description. We can model the behavior of interface protocol with a well-defined description, and then use it to detect errors and debug. We develop a description style which is suitable for interface specification and automatically synthesis a protocol checker to detect any protocol error violating the specification.

Key Word：Design Verification, Protocol Checker

3.3 子計畫三：以特性為基礎之功能驗證與錯誤診斷(1/3)

中文摘要

靠著錯誤痕跡(error trace)來診斷發生錯誤的反例(counterexample)已經是在功能性驗證(functional verification)中非常重要的一個步驟.很不幸地,錯誤痕跡(error trace)通常都非常的長以至於電路設計者需要花很大的功夫去了解它。為了減輕設計者在這上面的負擔,我們提出了一套以”滿足”(satisfiability or SAT)為基礎的演算法(SAT-based algorithm)來縮短錯誤痕跡(error trace)的長度。這個演算法會不斷且遞迴地做二元搜尋(binary search)來減半我們需要尋找的所有可能長度。而且,此演算法還採用了一個新穎的理論來保證我們錯誤痕跡一定是最短的。實驗結果證實了我們的方法優於前人在文獻中提出的做法且真的提供了一個最佳解(optimum solution)。

關鍵詞：以主張為基礎的功能驗證；除錯和錯誤診斷；錯誤痕跡；反例

英文摘要

Diagnosing counterexamples with error traces has acted as one of the most critical steps in functional verification. Unfortunately, error traces are normally very lengthy such that designers need to spend considerable effort to understand them. To alleviate designers' burden for debugging, we present a SAT-based algorithm for reducing the lengths of error traces. The algorithm performs the paradigm of binary search algorithm to halve the search space recursively. Furthermore, it applies a novel theorem to guarantee to gain the shortest lengths for the error traces. Experimental results demonstrate that our approach greatly surpasses previous work and indeed has the optimum solutions.

Key Word：Assertion-based verification, debugging and error diagnosis, error trace, counterexample.

3.4 子計畫四：單晶片系統設計流程之實體驗證(1/3)

中文摘要

單晶片系統時代，面對急速增加的設計複雜度，驗證已成為整個設計流程重要的一環。在製程技術不斷演進之下，除了系統層面與邏輯層面之外，實體設計的驗證也日益重要。單晶片系統設計是一顆由許多大小不同，功能迥異的模組組成一個完整的產品的晶片。為了貼近大眾的需求，符合快速便利及可攜性，除功能齊備之外並需具有低功率與高頻率的特性。

在本子計劃中，我們將針對單晶片系統設計流程，提出實體驗證的方法。實體設計流程主要包含平面規劃，擺置，時脈合成，繞線等步驟。針對這些步驟，本子計劃提出了三種不同階段的驗證：(1) 擺置驗證 (2) 時脈驗證 (3) 時序驗證。

擺置驗證主要是處理擺置的結果與平面規劃之間的驗證。在實體設計過程中，平面規劃的結果常常無法保留到擺置階段。因為在消除擺置重疊，亦或是改進電路速度時，無可避免地必需要移動部份的電路。這種更改極有可能違反當初平面規劃的設定。因此，我們必需檢視平面規劃與擺置的結果，確認擺置的結果符合我們的期望。

關鍵詞：單晶片系統；驗證；實體設計；設計流程

英文摘要

In SOC era, due to rapidly increasing design complexity, verification has played an important role through the whole design flow. As technology advances apace, not only system- and logic-levels, but also physical-level verification has become significantly important. An SOC design is an IC that integrates the major functional modules of a complete end-product into a single chip. To accommodate a variety of demands, SOC designs are required to be low power and high frequency.

In this subproject, we will focus on physical verification for the SOC design flow. The major parts of the physical design flow consist of floorplanning, placement, clock-tree synthesis, routing stages. For this flow, this subproject proposes the following verification issues: (1) placement verification, (2) clocking verification, and (3) timing verification.
Placement verification processes the verification between the golden floorplan and the resultant placement. During the physical design flow, the floorplan might not be inherited to placement. Legalization or timing improvement actions cannot be done without moving cells. This kind of movement might violate the golden floorplan. Hence, the correlation between floorplan and placement should be verified.

Key Word：System-on-a-Chip, Verification, Physical Design, Design Flow

3.5 子計畫五：系統晶片布局設計後之驗證與最佳化平台研究(1/3)

中文摘要

傳統的拓樸佈局是以可以彎曲的線來紀錄整個佈局，捨棄此種方法，我們可以使用切線來對佈局編碼，其中切線是佈局中非訊號線段的物件間的直線線段。因此佈局中的訊號線段便可用它穿過連續的切線順序來紀錄線段的路徑，此種編碼方式和以前必須記錄可彎曲線段的方式來比較可以大大簡化佈局資料的複雜度，而此種切線也可以將整個佈局三角化，而訊號線段的拓樸也可以被編碼在此三角化後的佈局。

此種三角化的模型已被成功地運用在設計規則檢查軟體中，我們計劃在第一年強化此種拓撲佈局編碼方式或者發展另一有效的編碼方式使得此一模型能適用於後佈局設計階段設計以及其他修改佈局的工作中(如佈局自動遷移或線段重分配問題)。

關鍵詞：系統晶片；深次微米；後佈局設計；拓撲佈局；佈局驗證；拓撲設計規則撿查器

英文摘要

Traditionally topological layout model uses flexible wires to store a layout, such as rubber-band sketch. Instead of using wires as the main objects in the layout encoding, we can use cut to encode the layout, where a cut is a line segment between two non-wire objects in the layout. The wires are then represented in a sequence of the crossing wires on each cut. This encoding scheme can uniquely represent physical layout and significantly reduce the layout data complexity than before. Furthermore, we can triangulate original layout area by the cuts and the wire topology is implicitly encoded on the triangulation of the layout.

In this subproject, we plan to survey the triangulation encoding model and then try to enhance this model or develop another efficient topological layout encoding in the first year.

Key Word：SOC, deep submicron, post-layout design, topological layout, layout verification, design rule checker (DRC)

3.6 子計畫六：針對先進晶片設計的熱點驗證之完整熱模型與高效能熱分析(1/3)

中文摘要

當 CMOS 製程技術進步到 100 奈米以下時，隨著元件的密度、操作頻率以及功率消耗的增加將導致晶片設計上的熱傳問題受到矚目。尤其在先進的系統晶片(SOC)技術及系統封裝(SIP)中將因為數眾多的熱源積聚於窄小區域內而使的熱傳問題更趨嚴重；此熱散逸問題在堆疊式封裝（stacked-die package）上尤其明顯。在晶粒疊接(stacked-die)的幾何架構中，不同的晶片組共用相同的散熱路徑。因此，在晶粒疊接上的累積熱量會是單晶片(mono-die)上的數倍。如此原本在單晶片上的局部高溫區域極有可能成為熱點(hotspots)。所以，在最先進的積體電路設計上，有效預測溫度剖面(temperature profile)的能力將於時序分析、漏電電流抑制、功率估計、熱點避免以及可靠度考量上，扮演一個十分重要的角色。

本計劃的第一年，我們利用一般化的積分轉換(generalized integral transforms)技術針對設計自動化流程前端發展出一套有效率的熱分析工具。這個分析方法主要是尋找與原系統方程相容的正交基底(orthogonal bases)；當找到這組基底之後，使用葛勒金投影(Galerkin projection)可以將原系統方程轉換成一組無互耦(decoupled)的一維常微分方程式。因為葛勒金投影只需要積分的運算，此方程式可被很有效率的解決。此方法的執行複雜度與模組的個數呈線性關係而非格林函數法(Green function)的二次方關係。

關鍵詞：一般化的積分轉換；熱模型；熱分析；熱耦合；溫度剖面；熱點；系統封裝(SIP)；堆疊晶粒

英文摘要

As CMOS technology scaled into the sub-100nm region, the increasing component density, operation speed, and power dissipation lead to dramatic thermal problems on chip designs. Furthermore, two of the most advanced chip integration techniques, system-on-chip (SOC) and system-in-package (SIP), will exacerbate the thermal problems because of the accumulation of multiple heat dissipation sources in a small area, and the problems become worse in stacked-die package. In the die stacking geometry, chips are stacked up sharing similar heat dissipation paths as a single die. Thus, the accumulated heat energy in stacked-die is several times than the single chip. The local high temperature region in single chip might become hot spot when the dies are stacked. Therefore, the capability of predicting the temperature profile is critically important for circuit timing estimation, leakage reduction, power estimation, hotspot avoidance, and reliability concerns during modern IC designs.

In the first year, we develop a generalized integral transforms method to solve the transient and steady temperature distribution for the thermal placement stage. The proposed method first constructs a set of system-compatible orthogonal bases to reduce the variables of original government equation. After those orthogonal bases being constructed, Galerkin projection is utilized to project the original system equations onto a set of reduced-variables equations. Since the Galerkin projection procedure only requires to perform the integral operator through the orthogonal bases and power density of blocks, the computation cost is linearly proportional to the number of blocks.

Key Word：Generalized Integral Transforms, Thermal Model, Thermal Analysis, Thermal Coupling, Temperature Profile, Hotspot, System-in-Package (SIP), Stacked-die

本計畫執行成果之論文發表（Published）

期刊論文

001. T.-H. Chang and L.-R. Dung, "System-Level Verification on High-Level Synthesis of Dataflow Algorithms Using Petri Net," WSEAS transactions on Circuits and Systems (accepted)

002. Chia-Chih Yen and Jing-Yang Jou, “An Optimum Algorithm for Compacting Error Traces for Efficient Design Error Debugging," to appear at IEEE Transactions on Computers. (accepted)

003 I. H.-R. Jiang, S.-R. Pan, Y.-W. Chang and J.-Y. Jou, “Reliable Crosstalk-Driven Interconnect Optimization,” ACM Transactions on Design Automation of Electronic Systems (ACM TODAES), Vol. 11, No. 1, January 2006, pp. 88—103.

研討會論文

001. T.-H. Chang and L.-R. Dung, "System-Level Verification on High-Level Synthesis of Dataflow Graph," IEEE International Symposium on Circuits and Systems, May 2006

002 Che-Hua Shih, Jinn-Dar Huang, and Jing-Yang Jou, “Stimulus Generation for Interface Protocol Verification Using the Non-Deterministic Extended Finite State Machine Model”, IEEE International High Level Design Validation and Test Workshop, November 2005.

003 Man-Yun Su, Che-Hua Shih, Jinn-Dar Huang, and Jing-Yang Jou, “FSM-Based Transaction-Level Functional Coverage”, Asia and South Pacific Design Automation Conference 2006, January 2006.

004 Chia-Chih Yen and Jing-Yang Jou, “An Optimum Algorithm for Compacting Error Traces for Efficient Design Error Debugging,” IEEE International High-Level Design Validation and Test Workshop (HLDVT2005), November 2005.

005 Xin-Yu Chen, Yih-Lang Li, and Zhi-Da Lin, “NEMO: A New Implicit Connection Graph-based Gridless Router with Multi-layer Planes and Pseudo-tile Propagation”, in Proceedings of ACM International Symposium on Physical Design (ISPD-2006), San Jose, CA, pp. 64 – 71, April 2006.

006 Pei-Yu Huang, Yu-Min Lee, Jeng-Liang Tsai, and Charlie Chung-Ping Chen, ‘‘Simultaneous Area Minimization and Decaps Insertion for Power Delivery Network Using Adjoint Sensitivity Analysis with IEKS Method”, IEEE International Symposium on Circuits and Systems (ISCAS), May 2006.

007 Yih-Lang Lin, Pei-Yu Huang, and Yu-Min Lee, ‘‘Performance- and Congestion-Driven Multilevel Router”, The 13th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), April 2006.

本計畫執行成果之論文發表（Submitted）

期刊論文

001. T.-H. Chang and L.-R. Dung, "System-Level Verification on High-Level Synthesis of DSP Algorithms," IEEE transactions on Computer-Aided Design of Integrated Circuits and Systems

002. Ya-Ching Yang, Che-Hua Shih, Chia-Chih Yen, Juinn-Dar Huang, and Jing-Yang Jou, “FSM-Based Formal Compliance Verification of Interface Protocols”, IEEE Transaction on Very Large Scale Integration Systems

003. Tai-Ying Jiang, Chien-Nan Jimmy Liu, and Jing Yang Jou, “Observability Analysis on HDL Descriptions for Effective Functional Validation,” submitted to IEEE Transactions on Computer-Aided Design of Integrated Circuits and System

004 Yih-Lang Li, Xin -Yu Chen, and Zhi-Da Lin, “NEMO: A New Implicit Connection Graph-based Gridless Router with Multi-layer Planes and Pseudo-tile Propagation”, IEEE Transactions on Computer-Aided-Design.

研討會論文

001. Pei-Yu Huang, Chih-Kang Lin, Jia-Hong Wu, and Yu-Min Lee, ‘‘IC Thermal Analysis via Generalized Integral Transforms”, will be submitted to Asia South Pacific Design Automation Conference (ASP-DAC) 2007.