

行政院國家科學委員會專題研究計畫 期中進度報告

總計畫：高效率智慧型面板之研究(2/3)

計畫類別：整合型計畫

計畫編號：NSC94-2218-E-009-023-

執行期間：94年08月01日至95年07月31日

執行單位：國立交通大學光電工程學系(所)

計畫主持人：謝漢萍

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 95 年 5 月 30 日

摘要：

關鍵詞：背光源、液晶、薄膜電晶體、智慧型面板

智慧型面板具有亮度高，功率低，厚度薄，重量輕，反應時間快，整合度高，信賴性高，畫面品質佳的特點，為了實現這樣的先進系統，除了各領域的前瞻研究外，更需高整合性地結合顯示與半導體的先進技術，始能完成。本計畫結合光、電二個領域，液晶、光源、製程、元件、電路五個方面，以提昇平面顯示器特性及增加整合度的方式，整體性地研究智慧型面板的相關課題。本計畫研究新型快速多穩態液晶與平面型光源，配合驅動技術，以符合高亮度低功率的需求，並研究開發低操作電壓（3.3V）互補型複晶矽薄膜電晶體新型元件及高整合性製程，與具變動容許的設計能力，而達成高整合功能的目標。

Abstract：

Keywords：Backlight, Liquid crystal, TFT, Smart panel

Smart panel has merits of high brightness, low power consumption, thin thickness, light weight, fast response, high integration, high reliability, and good image quality. To realize such an advanced system, the integrated effort of the progressive techniques in displays and semiconductors are essential. This project incorporates both the optical and electronic domains and proceeds in five areas：liquid crystal, light source and optics, process, device, and circuit. The related issues about smart panel are studied as a whole by enhancing the features of flat displays and increasing the level of integration. The novel type fast multi-stable liquid crystal and the high efficient light source with the corresponding driving scheme are investigated for high brightness and low power consumption. Low-operation-voltage (3.3 V) CMOS poly-Si thin film transistor (TFT) novel devices will be developed and high-level integration of the fabrication process will be established, as well as the design capabilities for variation will be pursued for being highly integrated functions of the smart panel.

➤ 前言及研究目的

本計畫提出“Smart Display”的前瞻觀念性構想，結合顯示技術與電子元件系統的研究專家，共同開發所需之具有致能(Enabling)性質的前瞻技術。研發的重點除了強調智慧型元件及模組整合外，並著眼於建立完整的設計、模擬、製程及量測技術，以期能在研發完成後，藉由適當的擴散機制，順利移轉產業界，提昇我國技術水準，衍生更具附加價值之新型顯示系統。

提高顯示器產品的競爭力和附加價值，有二個方向：一是進一步改善平面顯示器的既有特性，加強發揮平面顯示面板的優勢；二是增加產品的功能整合度，擴張其應用範圍。在特性改善部份，分為液晶光電特性與高光效率面板光源進行。在功能整合部份，則由製程技術控制，新型元件研究，以及內建電路和驅動設計著手。

本計畫目標在為智慧型面板建立一套新的電路模擬技術以及新的電路設計觀念，在”Design for variation”的相關研究配合之下，所建立之智慧型面板設計技術，必可使 SoP 產品的設計成功率大增，而使系統整合顯示技術早日實現。

以下分別就各個子計畫分別說明其背景及目的：

高效率整合型面板光源

現今 LCD 係以 CF 為濾光元件達成彩色顯示的目的，其將 2/3 旁波段的光波能量吸收而變成顯示上較難克服的”熱”，除此外，偏光板會吸收 1/2 未偏極化的入射光，也是光損耗的重要因素之一。在此，我們將提出一種新的 LED 背光源系統，搭配 color sequential 技術，在特定的時間由不同的 LED 分別發出 R, G 和 B 的光源。因此能取代 CF，再加上偏光轉換次波長光柵來提升偏光效率，有效降低光學損耗並達成高效能的目的。同時，結合新型背光模組技術在 TFT 製程上，整合背光模組和液晶模組於顯示器製程中，與傳統的 CCFL 背光模組相較下，在操作電壓，厚度和重量上均有著顯著的進步。以使 LCD 能達到輕、薄、高光效率和優異彩色表現能力的特色。

整合型低操作功率元件製程設計

主要目的在開發適用於系統面板之低壓(3.3V)操作的 CMOS 複晶矽薄膜電晶體製程技術，希望利用複晶矽薄膜電晶體較大的載子遷移率、較大的驅動電流、以及較小的臨界電壓等特性，發展應用在顯示器週邊驅動電路的能力。本計畫提出新穎的 self-biased body (SBB) 元件結構，希望在不增加額外基板接線的前提下，利用元件的基板效應降低臨界電壓，同時引入 high-K 材料作為閘極介電層，以增加閘極控制能力，最後並藉 SBB 元件調控 P 型和 N 型元件的對稱特性，降低 CMOS 操作功率，成功完成 3.3V CMOS poly-Si TFT 的製程開發。

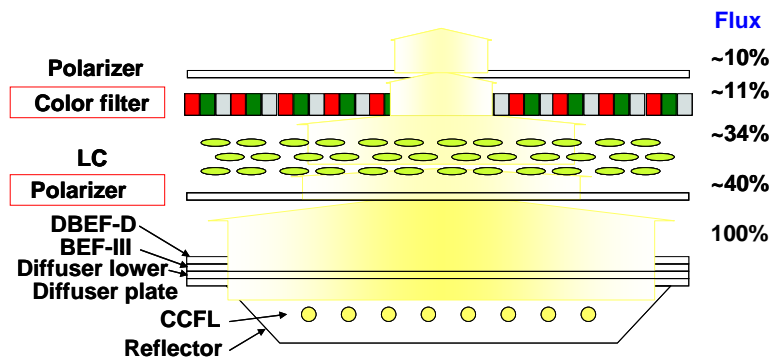
智慧型面板內建電路設計

目前內建電路之研究大都是以製程技術改善元件特性為主，而將元件特性的改善擴張解釋為先進內建電路的實現，但實際上，電路是許多元件的組合，除了考慮單一特性，更重要的是元件差異性必須在特定的範圍內，才能保證其正常運作。由於目前電路設計絕大部份以單晶矽元件實現，電路設計不需為了元件間的差異而苦心設想。而以低溫製程形成

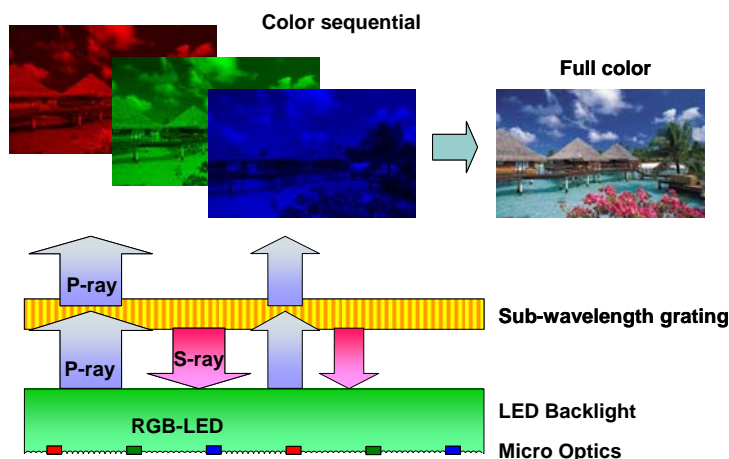
的元件，因為缺陷的分佈無法掌握避免，而會隨著均勻性、再現性、信賴性、與環境溫度而改變，故在智慧型面板內建電路之研究上，必須再做到 design for variation(含 reliability)。本計畫目標在為智慧型面板建立一套新的電路模擬技術以及新的電路設計觀念，在”Design for variation”的相關研究配合之下，所建立之智慧型面板設計技術，必可使 SoP 產品的設計成功率大增，而使系統整合顯示技術早日實現。

➤ 文獻探討

在傳統液晶顯示器的結構圖如圖一。設由背光源出來的光通量為 100%，由圖一可看出光效率損失最多之處為偏光片（損失>50%）以及彩色濾光片（損失 67%）。因此吾人針對此二損耗提出解決方案：以色序法取代濾光片，及以次波長光柵取代偏光片。此外，以 LED 做為光源還具備較大色域之優點；於背光模組之導光板上，吾人將再加上微光學元件的設計，還可達到高均勻度的效果。簡言之，吾人提出的高效率背光模組(如圖二所示)係以彩色 LED (RGB-LED) 做為背光源，搭配色序法、微光學元件、次波長光柵元件，以取代濾光片及偏光片，並具備高均勻度及大色域等優點。



[圖一] 傳統液晶顯示器架構圖

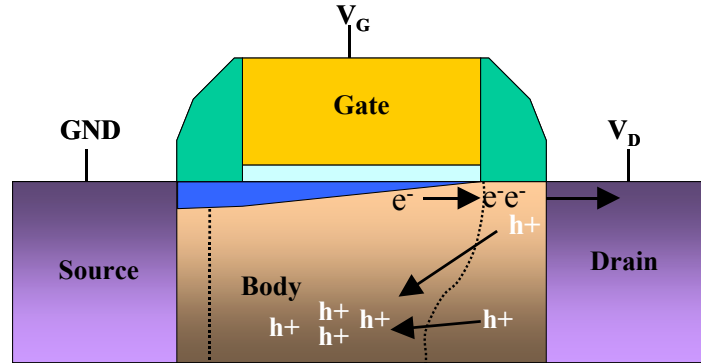


[圖二] 高效率背光模組示意圖

在元件製程設計

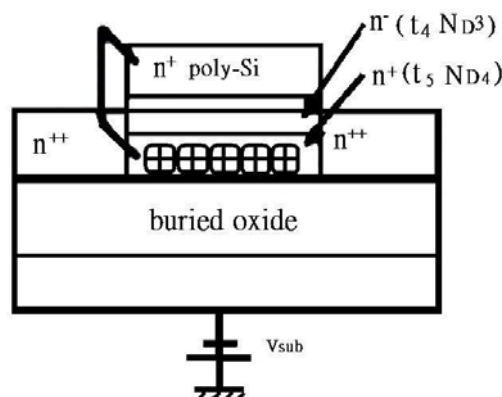
由於薄膜電晶體製作在絕緣的玻璃基板上，所以和 SOI 元件一樣，會有如同圖三所示的浮動基板效應產生，這是由於汲極空乏區產生的電荷或高電場撞擊游離效應產生的電荷會累積在中性的基板區域和汲極源極形成寄生的雙極性電晶體 BJT，當浮動基板所累積的

電荷造成基板電位提升時，元件的臨界電壓會隨著基板電壓的上升而下降，這在 MOSFET 相關元件中是熟知的基板效應(Body Effect)的表現，然而，在 poly-Si TFT 中，發現由於基板缺陷捕捉電荷的原因，使基板電位會隨缺陷密度上升而提高，而更進一步的造成臨界電壓的下降，亦即基板累積的電荷密度可以有效降低元件的臨界電壓，目前相關 poly-Si TFT 基板效應的詳細研究並未見到，本計畫希望先從元件物理機制上著手研究其效應，同時應用此效應來有效降低臨界電壓。



[圖三] 浮動基板效應中，基板會累積由 Drain 端產生的電洞。

在 SOI 的技術中曾提出以 Accumulation mode EIB-DTMOS (見圖四)，把閘極和基板接在一起，利用在基板電磁感應出載子，以之提高基板電壓，並降低臨界電壓，且基板部分是由反轉載子構成，可以加以控制使基板載子濃度很高，且可有一個劇烈變化的載子分佈，以達到在低臨界電壓之下獲得很大的 body effect factor (body effect factor=0.8~1、臨界電壓=0.1V)，所以可得到很大的臨界電壓下降和可以抑制短通道效應的結果，而可獲得很高的電流驅動能力。對 poly-Si 而言，EIB-DTMOS 的結構不能直接套用，因為閘極電壓過高，直接和基板連接很可能造成基板和閘極的順偏產生漏電，如果另外加一個電極去控制基板電壓又會造成電路設計上的複雜以及更多的 power consumption，所以我們基於先期對 poly-Si TFT 基板效應的研究，發現在 poly-Si TFT 中臨界電壓確實會隨著基板電位上升而下降，而且基板電位的大小和複晶矽薄膜的缺陷密度成正比，也就是基板缺陷越多，捕捉的電荷越多，基板效應就越明顯。當然，位於通道頂端的缺陷同時也會造成元件特性的劣化，所以本計畫希望利用在元件下方形成 getting layer 的方式，藉著控制 getting layer (例如控制 Ge 含量增加 poly-SiGe grain boundary 析出之 point defect) 的品質來調變基板捕捉電荷的量，並降低元件的臨界電壓。



[圖四] 在 SOI 中應用 body effect 降低 threshold voltage 的 EIB-DTMOI 元件示意圖。

本計畫的元件製作也將針對閘極控制能力加以改善，希望研發 high-K 閘極絕緣層的製程，提高閘極氧化層品質，尤其希望發展低溫製程之 high-K 材料，以高電容低漏電為研究目的。

在內建電路設計方面，在目前的文獻中，由元件模型方面的論文來看，論文著重在對元件物理的探討，以推導最符合實際元件特性的解析性公式組和參數值，其論文建立的基礎，僅為單一個元件的特性，即使其理論值與實際量測值的符合度再高，也不過只能代表該單一元件特性，而無法代表以相同製程一起製作出來的所有元件特性。

另外，由元件特性改善方面的論文來看，大都是針對元件整體特性的提昇技術，僅有少數論文特別對元件的變動有所著墨；而有許多製程方面的研究計畫企圖以形成單晶通道之 LTPS-TFT 來徹底解決元件變動的問題，但以目前的研究狀況，即使晶粒愈做愈大，仍無法完全解決問題，反而形成的晶粒大，其元件變動也隨之變大。

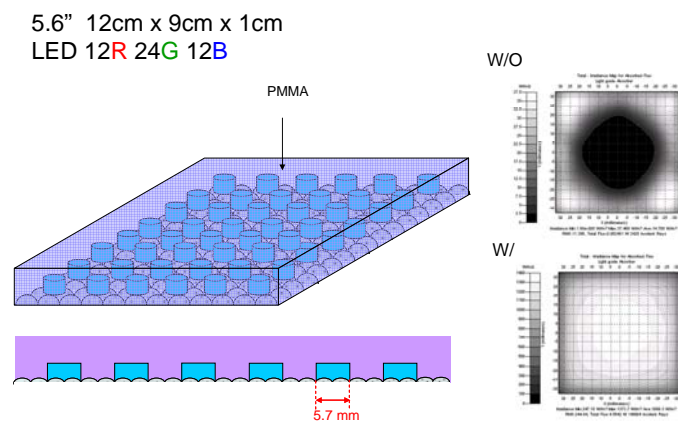
甚至，由內建電路的設計方面的論文來看，除了針對 AMOLED 的畫素設計真正地面對元件變動性，而有許多提案之外，其餘內建電路設計的相關論文，皆基於單一 LTPS-TFT 特性來作設計。另外以廣義的元件變動來看，有一個很重要的元件變動因素是元件本身的可靠度，這方面也有非常多論文探討，然而，與元件特性變動類似，並未有相對應的模擬技術與設計觀念。

本計畫目標在為智慧型面板建立一套新的電路模擬技術以及新的電路設計觀念，在”Design for variation”的相關研究配合之下，所建立之智慧型面板設計技術，必可使 SoP 產品的設計成功率大增，而使系統整合顯示技術早日實現。。

➤ 研究方法

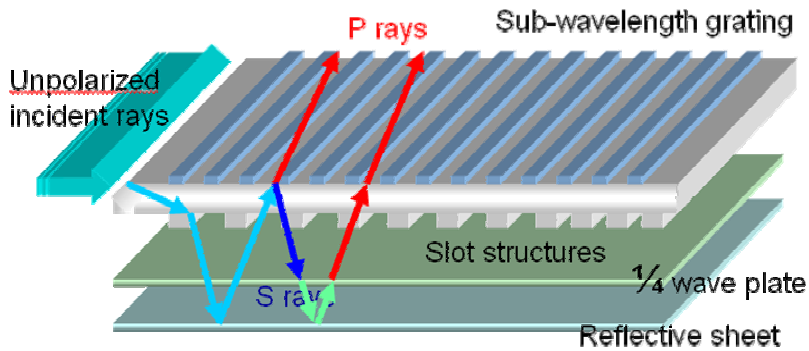
高效率整合型面板光源

針對 LED 背光源所設計的導光板如圖五。由於研發階段不便以 37 吋之大尺寸背光模組驗證想法，因此吾人先以 5.6 吋之導光板實作樣品，首先設計 LED 的擺設，使用的 R、G、B LED 顆數分別為 12、24、12。接著以光學模擬軟體設計微光學元件以優化光分佈均勻度。模擬結果顯示：未加微光學元件時的光均勻度如圖五右上圖，加上微光學元件後則如圖五右下圖。由此二圖之比較可看出均勻度明顯提升。



[圖五] 導光板搭配 LED 及微光學元件之設計與模擬結果

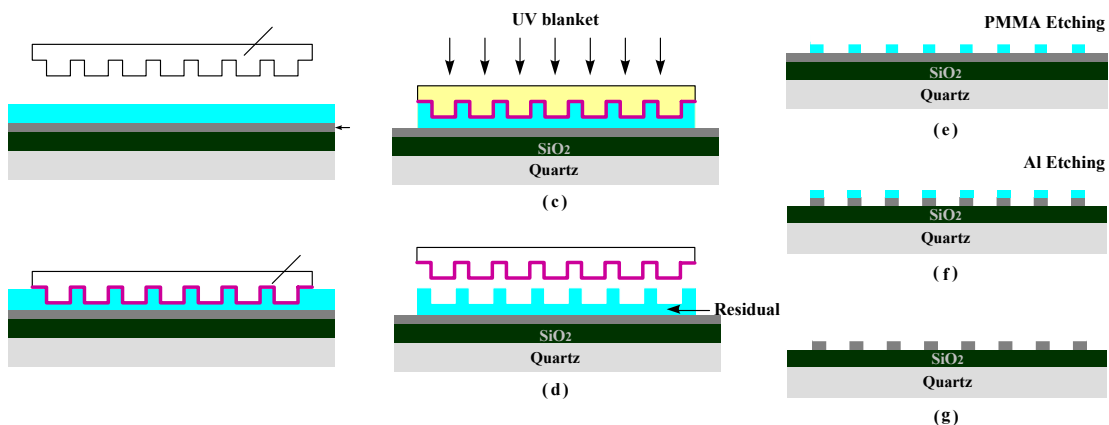
在次波長光柵取代偏光片的研究上，本實驗室已有將次波長光柵整合入背光模組之構想(如圖六所示)；藉由電子束直寫的技術定義奈米光柵圖案，並以半導體製程製作出樣品。實驗結果顯示偏光轉換效率為傳統 LCD 偏光片 1.7 倍。



[圖六] 具備次波長光柵的背光模組

此法採電子束直寫的技術定義光柵，在製作大尺寸時將會費時且高成本，故我們再提出以奈米轉印(Nano-imprint technology)技術製作大尺寸次波長光柵偏光片之方法。

奈米轉印技術可達之線寬約為 10nm 左右之等級，除可滿足次波長光柵之需求外，還有：轉印速度快、量產成本低等優勢。其技術關鍵在於「模仁結構的精密製作」。製作光柵模仁後，須先翻印成矽膠(PDMS)模仁，再進行奈米壓印及蝕刻等步驟，以完成次波長光柵偏光片的製作。由奈米壓印法製作偏光片的製程可如圖七所示。首先在透明基板上濺鍍適當厚度的 Al 膜與 SiO₂ 膜，再旋佈上感光阻劑 PMMA，接著以 PDMS 壓印，經過 UV 光照射後，阻劑硬化成型出奈米結構，將 PDMS 脫膜後，先蝕刻 PMMA 殘留層，再蝕刻 Al 並去除 PMMA，完成次波長光柵偏光片製作。



[圖七] 以奈米壓印及蝕刻技術製作次波長光柵偏光片之流程圖

整合型低操作功率元件製程設計

- (1) 低溫 High-K 材料的漏電控制與分析
 - (a) 在基板上成長氮化鋁(Alumina Nitride)作為低溫薄膜介電層
 - (b) 利用 AFM 來分析薄膜品質，觀察不同製程條件介電層的狀態
 - (c) 調變介電層沉積溫度，控制漏電
- (2) 矽鍺薄膜於雷射再結晶上的分析
 - (a) 利用 UHVCVD 沉積非晶的矽鍺薄膜
 - (b) 調變沉積溫度，分析矽鍺薄膜的晶相
 - (c) 分析雷射再結晶的矽鍺薄膜
- (3) 薄膜電晶體的串聯電阻分析
 - (a) 製作薄膜電晶體元件
 - (b) 量測元件輸出特性
 - (c) 改變元件通道長度，分析元件通道及串聯電阻

智慧型面板內建電路設計

A. 首先以相同的製程與尺寸之 TFT 為統計標的，建立元件特性變動(包括電容對電壓變化及可靠度變化)之資料庫，以作為元件變動量的基礎。

B. 接著將元件變動量資料庫，以統計方式，轉化成以元件模型參數表示，以作為電路模擬的基礎。

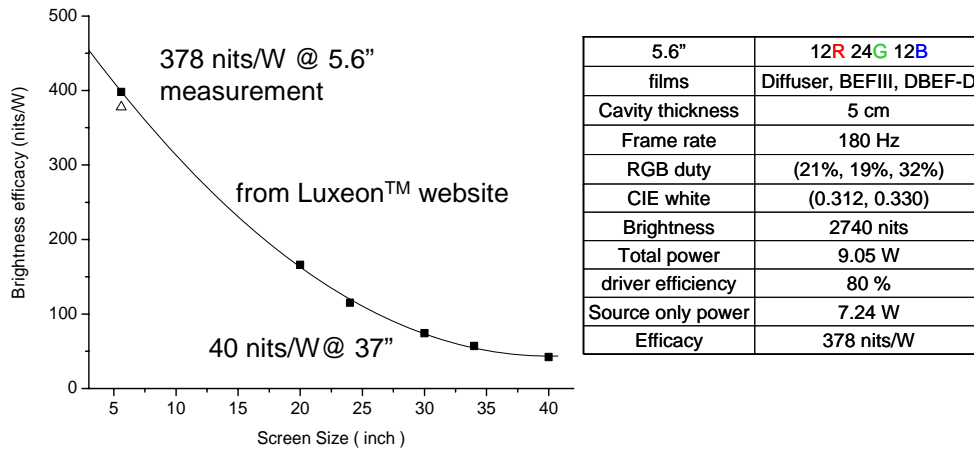
C. 由量測所得的結果發現元件參數確實會隨著距離而有不規則的分佈，但是藉由將臨近兩元件之參數兩兩相減之後的 micro variation，取其 standard deviation 之後發現，其值並不會隨距離而改變，針對 $\Delta\mu$ 、 ΔSS 、 ΔV_{th} 的分布，以所提出之統計性數學模型模擬，依據設定出的元件參數組，評估各種基礎電路區塊(function blocks)性能與元件參數變動的相關性，來判斷出各元件參數對電路區塊特性的衝擊因素，作為高變動容許度之電路設計的研究基礎。

➤ 結果與建議

高效率整合型面板光源

將所設計的 5.6 吋導光板進行驗證，結果如圖八之表列。使用色序法時的 RGB duty cycle 分別為 21%、19%、32%，可提供亮度為 2740nits，LED 所耗光率為 7.24W，加上電路上的能量損耗，總功率為 9.05W。因此，LED 之電能與亮度轉換能力為 378nits/W。比較我們所設計之 5.6 吋背光模組的實驗結果(三角點)和 Luxeon™ 網站提供的分析圖(圖八之方點)，兩者的轉換能力相近；據此預測：當我們的設計延伸至 37 吋背光模組時，其轉換能力約為 40nits/W。換言之，應用所設計之背光模組於 37 吋時，若要提供 2800nits 之光亮度(大於前述之 2650nits，以確保優於傳統 CCFL 背光模組提供 8500nits 時之效能)，所需 LED 功率為 70W，再加上電路耗功，總需功率為 88W，小於 90W。

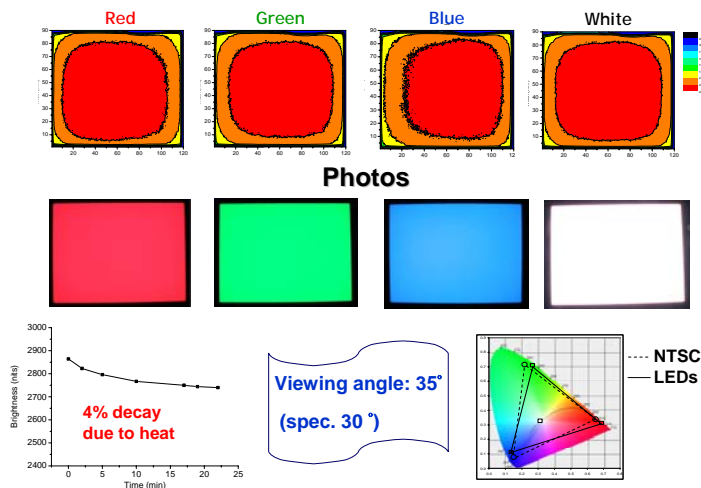
Efficacy can be derived to 40 nits/W@37".
 B/L of 2800 nits* requires 70W LED power (88W total power**).



* spec. 1/3 of 8500 nits **Driver efficiency 80%

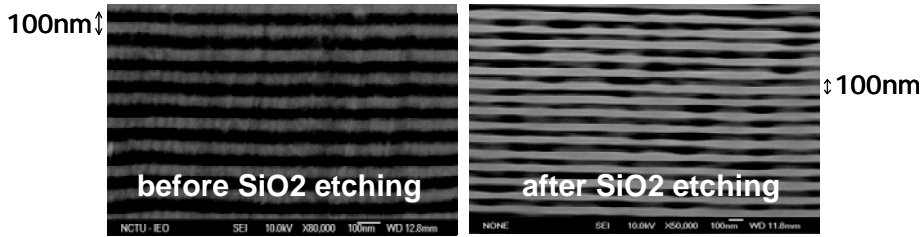
[圖八] 實驗結果之數據、規格及 Luxeon™ 之電能與亮度轉換能力分析圖

其他的量測與分析如圖九。最上圖分別為 RGB 單獨點亮及混成白光的光分佈均勻度量測；中間的四張是 RGB 分別點亮以及混成白光時的照片。由量測結果及照片可看出均勻度良好。我們亦進行穩定度量測(圖九左下圖)，由結果可看出點亮 20 分鐘後亮度已十分穩定，雖因熱造成亮度下降，但下降幅度也僅 4%，在人眼未能感知之範圍。所量測到的視角為 35 度，廣於規格要求之 30 度；色域分佈亦近於 NTSC(圖九右下圖)。至此，已達成目標之功率消耗小於 90W，並大幅提高背光模組之效率達三倍以上(8500nits / 2800nits >3)，其他效能之驗證結果亦優於一般規格。



[圖九] 光學量測結果與分析圖

在次波長光柵之奈米模仁實驗方面，以濺鍍疊合法成功製作線寬為 50nm (週期為 100nm) 之奈米模仁，其 SEM 照片如圖十。在此已驗證了關鍵的模仁製作技術，達成研究目標。

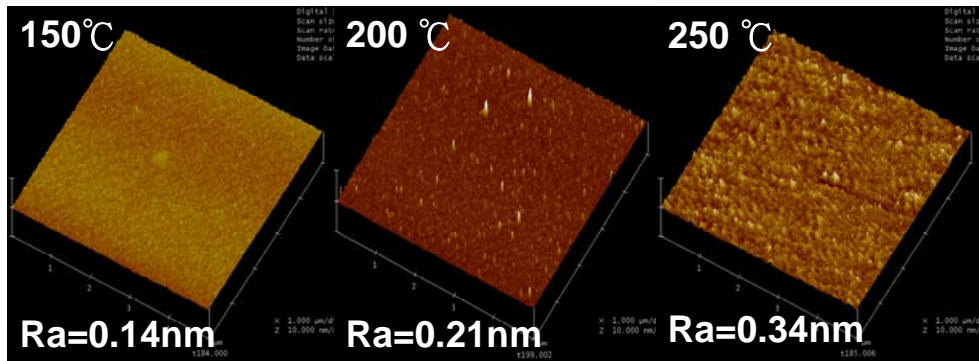


[圖十] 濺鍍疊合法製作之模仁 SEM 圖

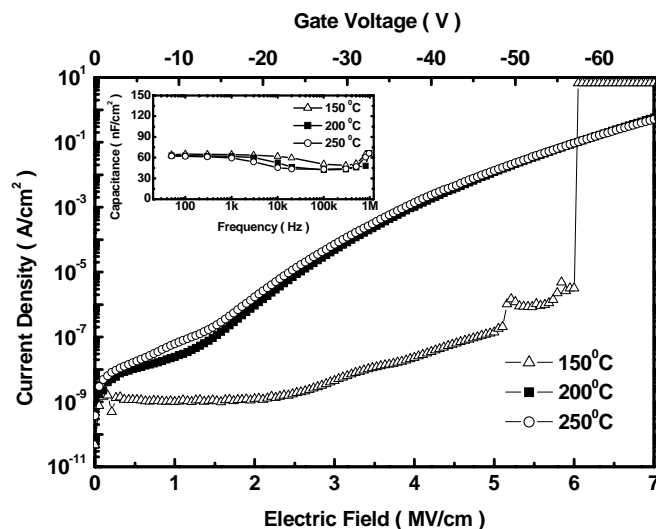
整合型低操作功率元件製程設計

(1) High-K 材料的漏電控制與分析:

為整合玻璃基板的製程，在計畫中我們進行低溫介電層的研究開發。首先利用 RF-Sputtering 系統成長三種不同溫度之 AlN(Alumina Nitride) 薄膜，。所成長薄膜如圖十一所示，三種薄膜的表面平整度將隨沉基溫度的降低而改善。表面的 roughness 在基板溫度設定為 250°C, 200°C, 150°C 時，表面的平整度將分別從 0.3nm 下降到 0.2nm 及 0.14nm。由於介電層表面的不平整可能造成區域性的大電場，並引起尖端放電，成為介電層的漏電途徑。以目前結果而言，降低溫度不但有利於薄膜電晶體的製程整合，而且可以降低表面的平整度，有利後續的薄膜沉積。



[圖十一] 不同基板溫度所沉積的低溫氮化鋁薄膜以及其相對的表面平整度
接著我們分析不同溫度下的介電層漏電分析，如圖十二所示：

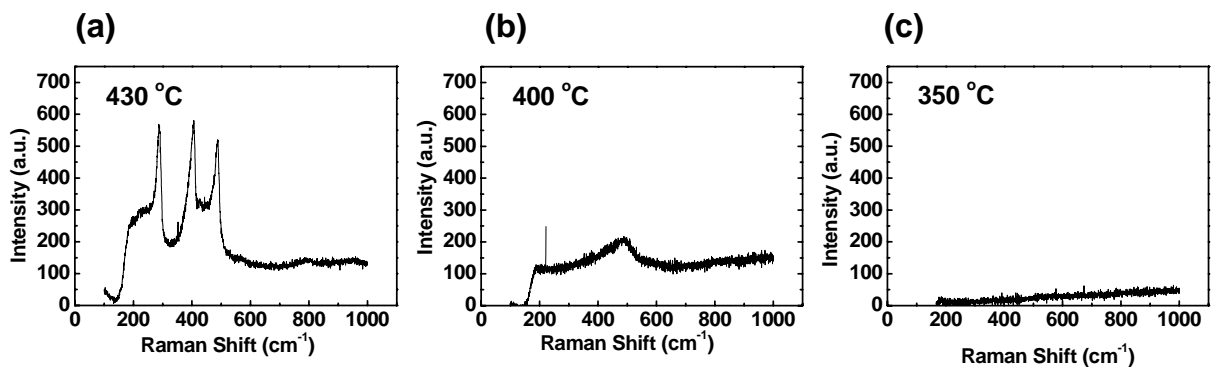


[圖十二] 不同基板溫度所沉積的低溫氮化鋁薄膜以及其相對的電場與介電層漏電流
分析，內插圖為各金-氮化鋁-矽的電容結構分析

在漏電分析中，我們可以觀察到降低介電層的沉積溫度，有利於抑制介電層的漏電，而根據變頻率的電容分析，在準直流分析（低頻）下的電容值約為 64 nf/cm^2 ，而推算出低溫氮化鋁的相對介電係數約為“7”，而與傳統的高溫 SiO_2 介電層相比，介電係數約提升了兩倍，如果將低溫氮化鋁運用在薄膜電晶體上，將有助於操作電壓的改善。

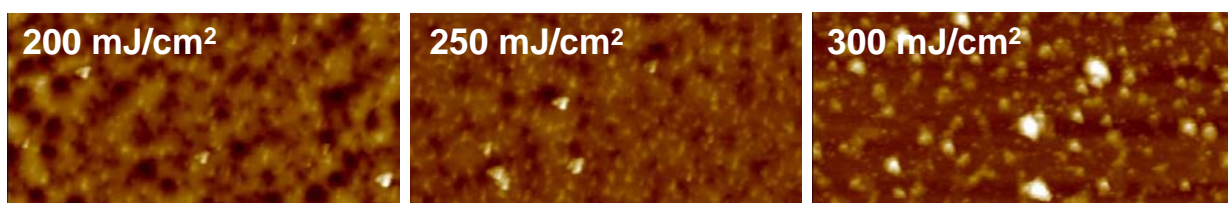
(2) 矽鍺薄膜於雷射再結晶上的分析：

延續去年的研究，我們開發適合雷射再結晶的矽鍺薄膜。在今年度了研究中，我們更進一步利用超高真空化學氣相沉積系統（Ultra High Vacuum Chemical Vapor Deposition System）來成長非晶矽鍺薄膜。有別於 HDCVD 系統所成長的矽鍺薄膜，僅能沉積高鍺含量的微晶矽鍺薄膜；我們利用兩階段成長與基板溫度調變，可成長出非晶矽鍺膜薄。由下圖十三的拉曼光譜可知，當基板的沉積溫度由 430°C 下降到 400°C 時，位於 285 cm^{-1} 、 405 cm^{-1} 及 489 cm^{-1} 的複晶矽鍺膜訊號將開始消失，而當沉積溫度下降到 350°C 時，則觀察不到複晶矽鍺的訊號，這代表了降低沉積溫度則可以沉積出我們雷射再結晶所需要的非晶矽鍺薄膜。



[圖十三]不同溫度下沉積的矽鍺薄膜拉曼光譜

我們接著利用準分子雷射退火技術(Excimer Laser Annealing)對UHVCVD所成長出來的矽鍺薄膜進行再結晶，根據下圖十四的原子力顯微(Atomic Force Microscopy)鏡影像可觀察到，當我們提高雷射的投射能量，可觀察到表面有晶粒的析出，推測可能是薄膜內矽與鍺的熔點不同，經過雷射的侷域加熱再結晶後，於降溫過程中矽與鍺出現了相分離的現象。根據這樣的結果，我們便可以藉由操控雷射的投射能量，控制矽鍺薄膜的元素析出，以製作我們元件所需要的矽鍺薄膜主動層。



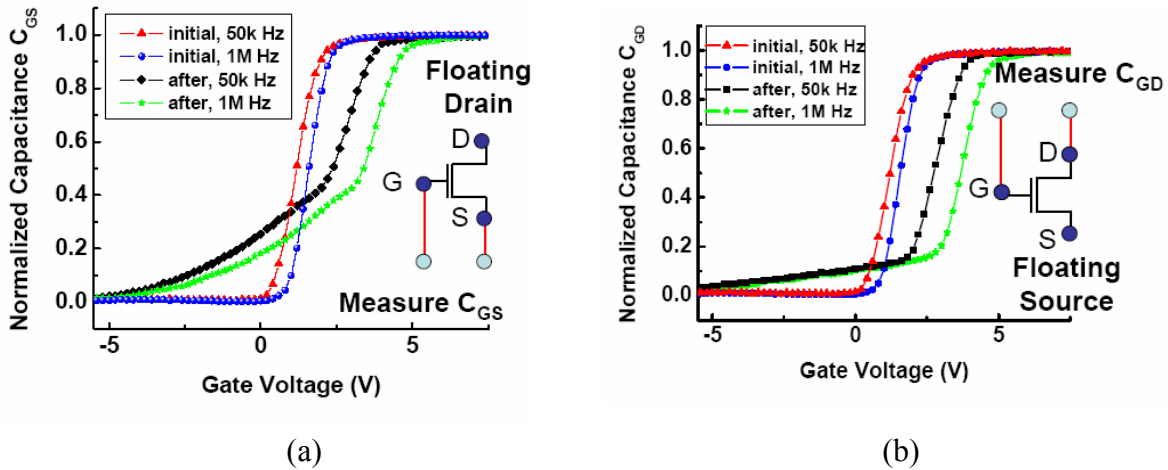
[圖十四]不同雷射能量退火過後的矽鍺薄膜原子力顯微鏡影像

智慧型面板內建電路設計

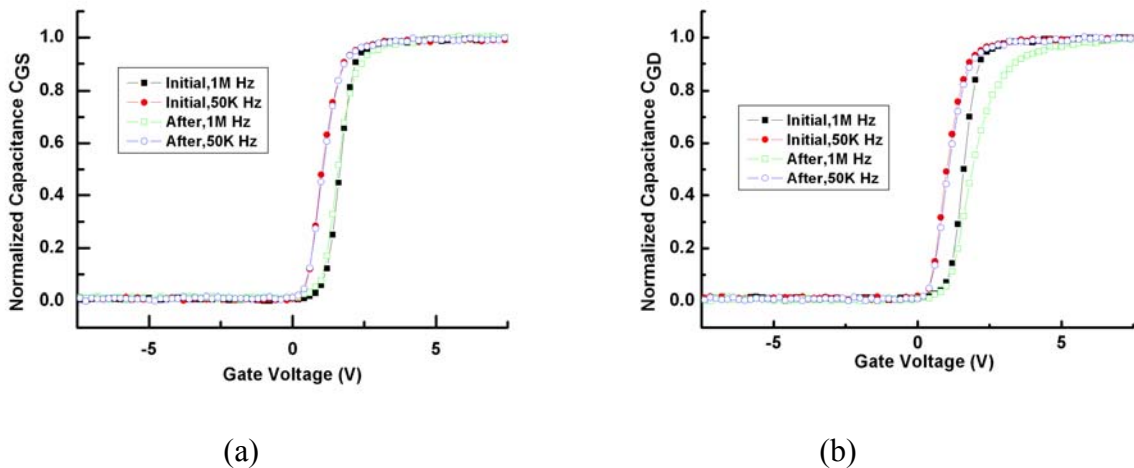
我們研究 LTPS TFT 在高頻操作下所面對的問題。在周邊電路的設計中，以 shift register 為例，最大操作頻率範圍大約是 $10\sim 20 \text{ MHz}$ 左右。在如此高的操作頻率下，元

件本身的電容特性的影響以及元件在受到高頻交流訊號下所對應產生的劣化情形，對於周邊電路的實現便顯得相當重要。本期計畫中分別對這兩個因素作進一步探討。

[圖十五]為元件在自發熱效應(Self-Heating Effect)偏壓條件下的閘極/源極(C_{GS})與閘極/汲極(C_{GD})的電容電壓特性。可以發現，在這個操作條件前後，其 C_{GS} 、 C_{GD} 均呈現明顯的飄移，且 C_{GS} 曲線在起始電壓附近呈現約 40% 的增加，而 C_{GD} 曲線則僅呈現約 10% 的增加。經由模擬結果顯示，元件兩端的電容特性的差異主要來自於在自發熱效應操作條件下，其閘極/源極跨壓甚大，因此造成介面缺陷的增加，形成 C_{GS} 後半段上升的行為。而閘極/汲極的跨壓較小，因此所受到的影響也較小。另一方面關於元件在熱載子效應下所受的電容電壓特性，如圖十六所示，可以發現其 C_{GS} 曲線並未出現明顯的改變，然而 C_{GD} 曲線則在起始電壓附近下降，並呈現明顯的頻率相依性。



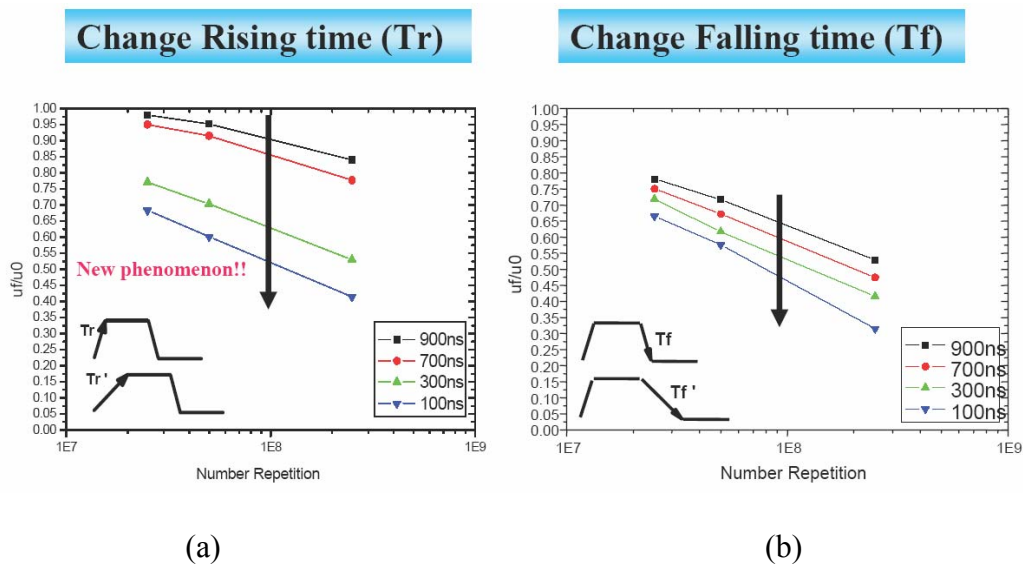
[圖十五] 在自發熱條件操作前後的(a) 閘極/源極 與 (b) 閘極/汲極的電容電壓特性。其操作條件為 $V_g=V_d=18\text{ V}$



[圖十六] 在熱載子效應條件操作前後的(a) 閘極/源極 與 (b) 閘極/汲極的電容電壓特性。其操作條件為 $V_g=2\text{ V}$ ， $V_d=18\text{ V}$

我們進一步討論 LTPS TFT 在高頻操作下所產生的元件劣化。實驗設計首先將源極與汲極接地以避免 DC 效應，並將閘極電壓作調整，分別就閘極電壓的準位、閘極電壓的上升與下降時間與頻率進行探討。先前 Uraoka 等人的研究顯示，如圖十七所示，改變閘極電壓的上升時間並不會造成元件劣化，但改變其下降時間則會導致元件的劣化；而我們的實驗結果顯示，閘極電壓對元件劣化的影響除了呈現 Uraoka 等人所指出的效應之外，我們進一步發現如果閘極電壓的準位都處於元件的起使電壓之下，則閘極電壓的上升時間和下降時間都與元件的劣化有關。在 System On Panel 的周邊電路設計上，不同於畫素裡負責開關

的元件，元件常常以高頻操作，為提供更高的可靠度及電路整合性，元件在高頻操作下所對應產生的劣化情形必須被詳細研究，我們將繼續研究此模型在 P-type 元件下是否適用，倘若這個模型可以描述 LTPS TFT 的交流訊號下可靠度行為，將會對電路設計及可靠度預測上有莫大的助益。



(a) (b)
 [圖十七]開極電壓為零到負 15 伏。元件的載子遷移率將會隨著
 (a)上升時間 與 (b)下降時間縮短而更加嚴重。

➤ 計畫成果自評

本年度計畫完成以”色序法取代彩色濾光片”及”次波長光柵偏光片取代傳統偏光板”之高效率背光模組架構。RGB-LED 色序法之實驗驗證與分析顯示，大幅提高背光模組之效率達三倍以上($8500\text{nits} / 2800\text{nits} > 3$)，其他效能之驗證結果亦優。而次波長光柵偏光片取代傳統偏光板之實驗，除了已驗證可提高偏光轉換效率 1.7 倍外，我們亦提出奈米壓印製作大尺寸次波長光柵偏光片之構想，並研發關鍵的奈米模仁技術，所研發的”濺鍍疊合法”已成功製作週期 100nm 之奈米模仁。

第二年度的研究，整體而言，吾人之色序法效果乘以次波長光柵偏光片效果可提升背光模組之光效率達五倍以上($3 * 1.7 = 5.1$)。在此同時，吾人除繼續研發奈米壓印製作大尺寸次波長光柵偏光片之技術外，使用色序法須搭配的快速反應液晶以及須深入考量的 Color breakup 問題(人眼對移動中物體之色彩敏感度低於顏色變化速度時，會有色彩混成效應)也正在積極研究中。在 Color breakup 方面，目前本實驗室已架設實驗系統並正驗證解決之道。

於製程設計方面，在低溫介電層，我們已經成功的開發氮化鋁薄膜做為一新穎低溫介電層。藉由降低基板的沉積溫度，可明顯的改善介電層的平整度，減少表面的不規則

於內建電路設計方面，本計畫目前完成元件特性變動資料庫之建立及元件變動模型參數之建立，並完成各種基礎電路區塊性能與元件參數變動的相關性評估。也利用所提出的模擬技巧與先前使用高斯分佈後使用 Monte Carlo 模擬技巧相比較，評估差動對與電流鏡等基礎電路區塊性能與元件參數變動的相關性，來判斷出各元件參數對電路區塊特性的衝擊因素，作為高變動容許度之複雜數位電路設計的研究基礎。另外在於元件其電性的研究上，亦建立了模擬劣化之模型，對於在交流訊號下的電路設計，可靠度的分析，高頻下電容電壓的效應，均有些初步的成果。

本年度計畫以上具體成果已為後續研究建立了良好的基礎。