

行政院國家科學委員會專題研究計畫 成果報告

可撓式非晶矽薄膜電晶體元件製作與電性機制之研究

計畫類別：個別型計畫

計畫編號：NSC94-2215-E-009-031-

執行期間：94年08月01日至95年07月31日

執行單位：國立交通大學光電工程學系(所)

計畫主持人：劉柏村

計畫參與人員：王敏全 李泓緯 楊柏宇 聶建銘

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 95 年 9 月 29 日

行政院國家科學委員會專題研究計畫 成果報告

可撓式非晶矽薄膜電晶體元件製作與電性機制之研究

計畫類別： 個別型計畫

計畫編號： NSC 94-2215-E-009-031

執行期間： 94/08/01 ~ 95/07/31

執行單位： 國立交通大學顯示科技所

計畫主持人： 劉柏村 副教授

計畫參與人員： 王敏全 博士班研究生

李泓緯 博士班研究生

楊柏宇 碩士班研究生

聶建銘 碩士班研究生

報告類型： 精簡報告

處理方式： 本計畫可公開查詢

中華民國 95 年 7 月 31 日

一、前言

目前平面顯示器市場所使用的基板材料以玻璃為主，主要是因為玻璃具有耐高溫、耐化學性、安定性高等特性，使其成為主要驅動元件的載體。然而，由於可撓式顯示器(Flexible Display)相較於目前使用玻璃基板製作的顯示器，擁有輕、薄的特性，在未來，更可能採用捲狀製造的方式來大量生產可撓式電子產品，有效降低製造成本，較具生產的經濟性，加上可撓式顯示器在設計時較具彈性，並和玻璃基板一樣可搭配不同的新興顯示器技術，如有機發光二極體(OLED)、低溫複晶矽(LTPS)、有機薄膜電晶體(OTFT)、電泳法及其它顯示技術，使得塑膠可撓式顯示器發展備受矚目。除了輕、薄優勢可替代傳統可攜式產品之外，其可撓性及耐衝擊特性，更使顯示器增加許多想像空間，包括 Digital Paper、捲狀顯示器、信用卡、衣服標籤等等。而電子紙(Digital Paper)的發展亦將延伸顯示器的應用領域，可撓式的顯示器將以耐衝擊及可撓性的革命性特性及其可重複使用性，成為新的環保訴求產品，未來將挑戰傳統用紙的習慣。因此，可撓式顯示器在未來市場的定位及發展，有賴於基板材料及製程技術的改善時程，而可撓式塑膠顯示器產品的重量約只有玻璃產品的三分之一，厚度則僅約有二分之一，由於其輕薄特性是可攜式產品一向的訴求方向，因此，Flexible Display 將挾上述二項特性，成為其替代可攜式現有產品的有利條件。從產品的應用面觀察，相信可撓式顯示器的發展，將會帶來第三波革命性的顯示器時代。

目前在可撓式基板上製作薄膜電晶體(thin film transistor; TFT)元件的主流方式可大略分為：(一) 低溫直接沉積法、(二) 轉印法 (三) Fluidic Self Assembly (FSL) 法等。在低溫直接沉積法方面，在低溫塑膠基板上直接製作顯示電路所面臨的主要課題是製程溫度必須低於塑膠基板的裂解溫度($\sim 150^{\circ}\text{C}$)，以克服塑膠基板在熱製程產生收縮和濕製程產生膨脹等問題。1998 年美國 Lawrence Livermore 國立研究所和加州大學柏克萊分校合作開發出以 100°C 製程溫度直接於塑膠基板形成高性能多晶矽薄膜晶體(poly-TFT)。所使用塑膠基板是 $75\mu\text{m}$ 厚之 PET (Polyethylene Terephthalate, $T_{\text{max}}=120^{\circ}\text{C}$)。而 TFT 的電特性展現出有效載子遷移率達 $60\text{cm}^2/\text{Vs}$ 以上， $I_{\text{on}}/I_{\text{off}}$ 為 5×10^5 以上。新力公司曾以 110°C 之基板溫度製作出自行整合型上閘極 poly TFT 結構。以準分子雷射後回火處理後，其 TFT 特性呈現有效載子遷移率為 $140\text{cm}^2/\text{Vs}$ ，次臨界擺幅(SS)值為 $0.35\text{V}/\text{decade}$ 以下， $I_{\text{on}}/I_{\text{off}}$ 為 10^7 。這些特性是以 120°C 以下基板溫度所製作出來之最高數據資料。

在轉印法技術方面，精工Epson正在開發SUFTA (Surface Free Technology by Laser Ablation/Annealing) 技術，可解決直接製作法所面臨問題。其製作方法為在石英基板上形成非晶矽(a-Si)層後，再於其上方沈積 SiO_2 絕緣層，接著，在更上方處製作LTPS TFT，並在TFT上塗抹暫時性水溶性接著劑後與暫時固定的載板貼合，再從石英基板裏面照射XeCl準分子雷射，讓a-Si層產生消融，使石英基板剝離在PES (Polyether-sulphone, $T_{\text{max}}=200^{\circ}\text{C}$) 基板上塗抹非水溶性接著劑後，貼上TFT，最後以水沖洗基板，將暫時性水溶性接著劑去除，於是將在PES上形成

LTPS TFT。使用這種技術可以作出 0.7 吋 428×38 畫素且內建驅動IC之TFT-LCD。所獲得的電晶體特性，N型通道TFT載子遷移率是 $125\text{cm}^2/\text{Vs}$ ，P型通道TFT是 $63\text{cm}^2/\text{Vs}$ 、臨界電壓 4V以下，S.S值 0.3V/decade以下，未來也將會朝向小型顯示器、名片與標籤應用市場發展。

最後，**流態自動裝配法 (Fluidic Self Assembly, FSA)** 是由美國 Alien Technology 所開發出來的技術，其製程技術是利用大型積體電路晶圓代工廠(LSI Foundry) 製作出來 CMOS 晶圓，以微機械 (Micro-machine) 技術製造出各種獨特“NanoBlock”形狀之晶片並在塑膠基板中形成可嵌合各 NanoBlock 洞口。讓流體中分散之 NanoBlock 流過基板表面，當 NanoBlock 通過基板表面時，會自動和基板上之洞口嵌合。無法與基板洞口嵌合之 Nano Block 會被流體洗去並予以回收，然後再用於其他基板上，Nano Block 和流體兩者都經循環回收再利用。最後再以標準金屬化 (Metallization) 技術，將嵌合在洞口 NanoBlock 與電力連接。這種技術可以將所有驅動電路和控制電路整合在基板上，有助於主動式 (Active Matrix) 顯示器發展。透過這種技術，可在彈性基板 (PET) 上，進行主動式高分子分散型 LCD (PDLCD) 的製作，而且該 PDLCD 也不需要配光膜和偏光板，因此光源利用效率高，適用於反射型 LCD。在無施加電場的狀態，液晶高分子微粒排列分散而使光線散亂，但若電場一旦施壓時，則液晶粒子會朝電場方向排列並變成透明。PDLCD 動作原理係透過電場之 ON/OFF 來使光線散亂性產生變化元件。由於元件電氣光學特性並不顯著，因此不適用被動式驅動，而必須是主動式驅動才行。FSA 技術最大特徵是顯示陣列(Array)中的薄膜電晶體以 Nano Block 形態分離。如此在 Array 製程上，基板製程溫度可以比直接在玻璃基板製作 TFT 時更低。因此不僅是玻璃基板，連彈性塑膠基板都可以形成主動式矩陣電路 (Active Matrix)；而且由於是單結晶矽元件性能，因此 LTPS TFT 內建所有周邊驅動 IC 和控制 IC 電路都可以整合進去。另外 NanoBlock 本身是以 CMOS 半導體製造設備製造，因此可利用既有設備而節省大幅設備投資。而在 OLED 的搭配，可撓式 OLED 似乎是能打敗 LCD 的關鍵，將是 OLED 未來最大的優勢所在。在國際重要之 2002 SID 展覽中，Flexible Display 產品嶄露頭角，Flexible Display 儼然成為下世代之顯示器主要潮流。許多國內外的研發團隊早亦已將可撓式顯示器當作下一階段的研發目標。[Refs. 1-29]

二、實驗目的

由於可撓式顯示器相較於目前使用玻璃基板製作的顯示器，擁有輕、薄、耐衝擊及可曲撓的特性，在未來，更可能採用捲狀製造的方式來大量生產可撓式電子產品，有效降低製造成本。因此，在一些新興的顯示市場，如電子書，汽車儀表板以及捲軸式螢幕等的應用上具有極大的發展潛力。然而，由於可撓式基板的耐熱性及導熱性普遍不佳，為了解決這個問題，在本所先期的評估中，將利用低溫直接沉積技術以及適用於高溫製程的不鏽鋼基板(Metal foil)來進行可撓式顯

示元件的電性撓曲測試研究。本部分的先期評估主要包含有兩個部分，第一部分著眼於彎曲顯示器的應用，因此探討非晶矽薄膜電晶體在不同撓曲方式的電壓操作時元件的電特性表現。在第二部分的報告中也將探討低溫複晶矽薄膜電晶體在撓曲操作時，元件的電性表現。這些研究主題的探討是極為重要的，並且將有助於成功發展可撓式顯示技術。

三、研究方法

為了探討基材撓曲時非晶矽薄膜電晶體元件的電性，而在元件的製備上準備了兩種製程方式的非晶矽薄膜電晶體元件，分別為在玻璃上以轉印法的方式轉印之非晶矽薄膜電晶體(圖一(a))以及直接以低溫製程在不鏽鋼基板上所製作之非晶矽薄膜電晶體元件(圖一(b))。

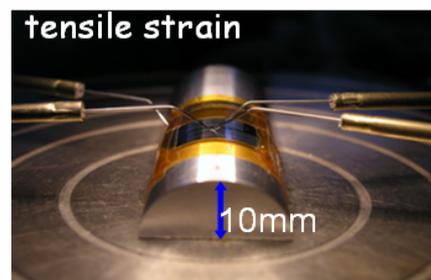
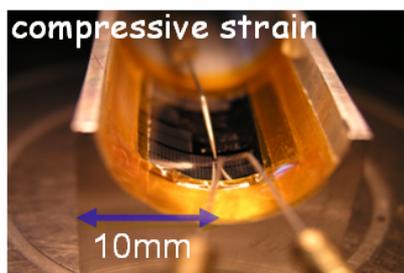


圖一(a) 玻璃基板上之元件經由轉印製程至塑膠基板之元件



(圖一(b) 以低溫製程於布繡鋼基板上製作之非晶矽薄膜電晶體元件

本研究的方法主要分成兩個方向來進行，第一部分著眼於彎曲顯示器的應用，因此設計不同的曲率半徑的載具研究在不同撓曲的程度上電壓操作時元件的電特性表現。圖二為本計劃所建立之機械應力載具測試平台。在第二部分則對針對低溫複晶矽薄膜電晶體在機械撓曲操作時，元件的電性分析。因此，本計畫主要的方向將針對目前常用的顯示元件進行彎曲的電性量測與分析與研究。

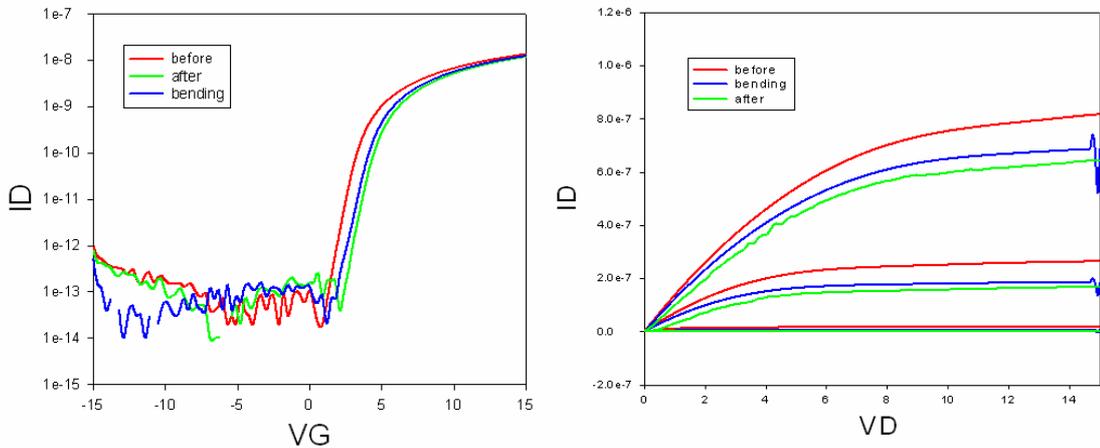


圖二、本計劃所建立之機械應力載具測試平台。

四、實驗結果與討論

第二部分:可撓式非晶矽薄膜電晶體元件於金屬不鏽鋼基板(Metal foil)上撓曲時之電性測試

在本部分的研究利用設計撓曲模具並將轉印後之非晶矽薄膜電晶體元件固定在所設計的模具上所量得之元件特性改變，如圖三之所示。相關之參數萃取如圖四所示。圖四之表格為五顆元件特性表表現之列表，可以發現元件載子移動率有些微的上升，起始電壓也有些微的上升，除此之外在次臨限斜率的表現上亦有特性些微的變動，一般而言，這三個元件參數的變動所代表的意義為非晶矽層能帶缺陷密度的改變所導致之結果。利用圖二所設計之 outward 撓曲模具對元件進行 outward 測試，此撓曲方式為對元件施予一張應力(Tensile stress)，並分別量取未撓曲之元件特性以及元件在 outward 撓曲時的元件電性。



圖三、為量測轉印至塑膠基板上之元件撓曲時之元件特性。

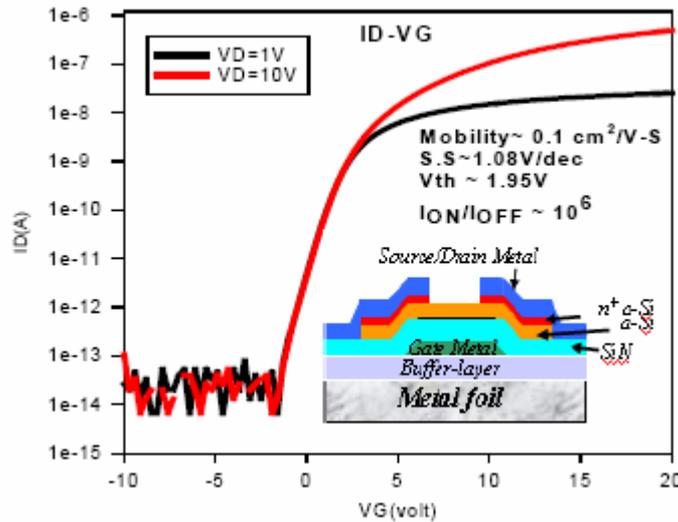
a-Si 元件轉印後之電性參數比較 (為L固定, W改變)

B102

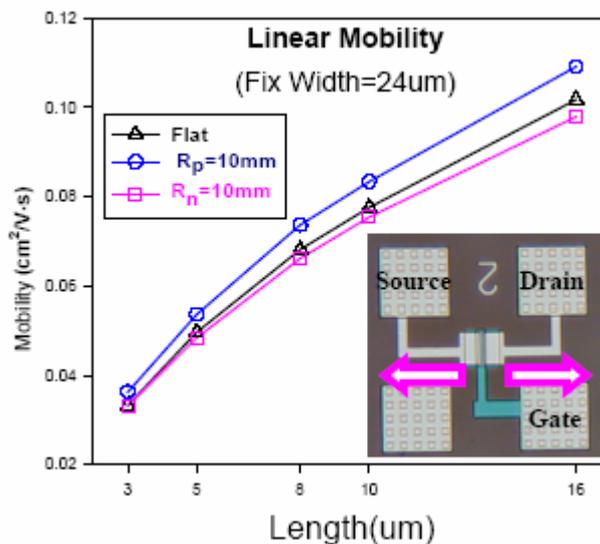
| Gm max | -1 | -2 | -3 | -4 | -5 |
|---------|----------|----------|----------|----------|----------|
| Before | 2.85E-10 | 6.70E-10 | 1.33E-09 | 2.60E-09 | 4.75E-09 |
| Outward | 2.76E-10 | 6.75E-10 | 1.33E-09 | 2.63E-09 | 5.03E-09 |
| After | | 6.51E-10 | | | 5.05E-09 |
| Vt | -1 | -2 | -3 | -4 | -5 |
| Before | 2.69 | 3.48 | 5.62 | 3.94 | 3.07 |
| Outward | 2.86 | 3.70 | 4.95 | 4.52 | 3.81 |
| After | | 4.51 | | | 4.62 |
| S.S | -1 | -2 | -3 | -4 | -5 |
| Before | 2.74 | 1.71 | 1.29 | 0.99 | 0.851 |
| Outward | 2.77 | 1.73 | 1.25 | 0.92 | 0.829 |
| After | | 1.76 | | | 0.849 |

圖四、為量測轉印至塑膠基板上之元件撓曲時之元件參數萃取表較表

如上表所列，不同通道長度元件之特性皆有些微的飄移，主要的原因亦為非晶層能帶之缺陷狀態密度分佈的改變所造成，為了驗證上述的實驗結果，成功的將非晶矽薄膜電晶體直接製作在金屬基板上，量測到之基本電性如圖五所示，元件之載子移動率(mobility)約為 $0.1\text{cm}^2/\text{V}\cdot\text{s}$ 、次臨限斜率(S.S)為 $1.08\text{V}/\text{dec}$ 、起始電壓(V_{th})約為 1.95V ，由於元件的製程溫度為低溫製程(190°C)，導致元件的特性與高問製程之元件相比略為不佳，但其元件特性已足夠進行相關之元件彎曲研究，相關之非晶矽薄膜電晶體元件特性量測如下圖六所示。

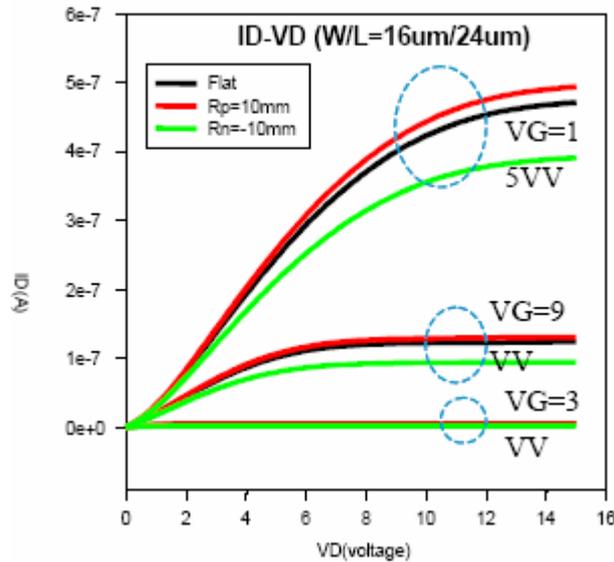


圖五、製作於金屬基板上之非晶矽薄膜電晶體元件特性及結構



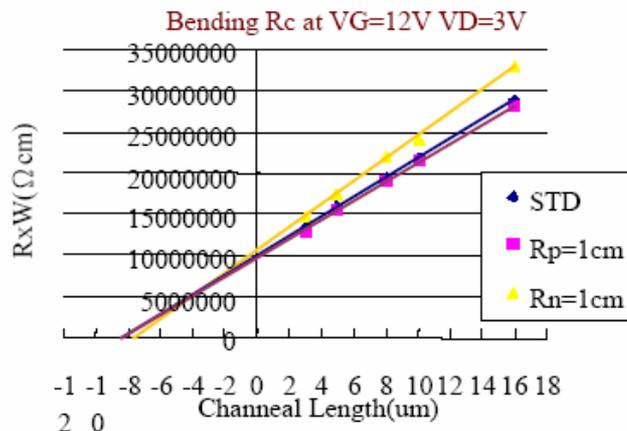
圖六、不同尺寸之元件載子移動率彎曲時之率變化及彎曲方向示意圖

圖六所示為不同通道長度之元件載子移動率彎曲時之變化以及彎曲方向示意圖，可以發現元件隨通道長度的縮小具有較小之載子移動率，主要的原因為小通道尺寸的薄膜電晶體通常受限於元件汲極及源極兩端之寄生電阻，因此當通道之長度縮短時，元件之寄生電阻效應將更為顯著，因此造成元件之載子移動率隨通道縮小所致。除此之外，元件之載子移動率隨彎曲的變化則隨著元件通道長度的增加而有更明顯的變化，主要的原因亦為非晶矽元件本身的非晶矽層有些微的變化導致元件寄生電阻值以及通道電阻值的改變所導致的結果。為了解釋載子移動率變化率隨元件通道長度變化的因素，元件之 ID-VD 特性圖，如圖七所示，也一併量測出來粹取相關之參數。



圖七、彎曲情況下元件之 ID-VD 特性圖

由圖七可以發現不同的彎曲情況下，元件的阻值發生的些微的改變，導致元件特性參數的偏移，而在張應力的情況下使元件特性提升，相對的在壓應力的情況下則造成元件特性的劣化，造成元件電流的降低。利用量取不同元件在彎曲情況下之 ID-VD 圖分別粹取其阻值可得到圖八之電阻對通道長度的關係圖。



圖八、元件電阻在不同彎曲程度下對通道長度的關係圖

如圖八所示，取圖形之通道長度等於零之交點即為元件本生之寄生電阻 (R_p)，而取不同閘極電壓下所得到之元件電阻對通道長度的關係圖之斜率則可得到元件本身之通道阻值(S_c)，如圖九所示。由於為五顆元件的量測與阻值，在數據上亦具有其統計的意義存在。

| | | | |
|------------------------|------------------|------------|------------------|
| | $R_n=1\text{cm}$ | $R=\infty$ | $R_p=1\text{cm}$ |
| $R_p(\Omega\text{cm})$ | 1.0511E+07 | 9.9373E+06 | 9.5616E+06 |
| | $R_n=1\text{cm}$ | $R=\infty$ | $R_p=1\text{cm}$ |
| $S_c(\text{s})$ | 7.161E-07 | 8.474E-07 | 8.586E-07 |

圖九、由 ID-VD 圖所粹取出之彎曲情況下之元件寄生電阻及通道電導值

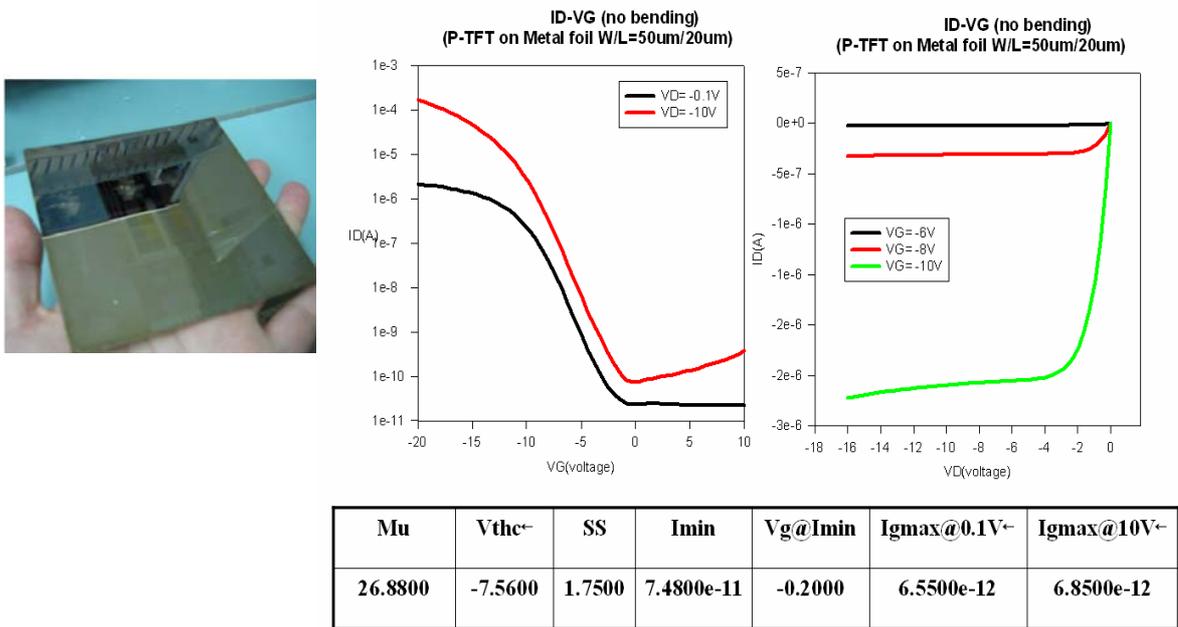
如圖九所示，元件之寄生電阻在壓應力的情況下有明顯的劣化，而在張應力的情況下則有提升的現象，同樣的情況有發現在通道電導值的改變，元件寄生電阻變化的主要因為元件要形成通道時需從源極拉電子到通道表面形成通道層，因此電子必須要流經源極與閘極間之本質區，因此此段流經區域的阻值將被計算於寄生電阻的阻值內。因此，當元件本質區之缺陷狀態密度發生變化，將導致寄生電阻一併發生變化，而在彎曲的情況下，本質之非晶矽層的缺陷狀態密度發生了變化，也造成了本質非晶矽層阻值的變化，因此造成的寄生電阻隨不同的彎曲情況下而產生變化。同理，在元件的通道電導值的表現上，也發現了相同的效應發生，因此隨著通道長度的變化造成載子移動率的變化隨通道長度而有增加的趨勢，主要的因素仍為小尺寸之非晶矽薄電電晶體被寄生電阻的阻值效應所主導，而當元件通道長度逐漸增大時，通道電導的效應逐漸成為整體元件特性的主導因素，因此造成了載子移動率隨通道長度增大時，在彎曲效應的表現上有較明顯的變化。

第二部分:可撓式複晶矽薄膜電晶體元件於金屬不鏽鋼基板(Metal foil)上撓曲時之電性測試

a. Outward test

在本部分的研究利用設計撓曲模具並將元件固定在所設計的模具上，如圖十之右圖所示。在未撓曲時低溫複晶矽(LTPS) P-TFT on Metal foil 薄膜電晶體元件之基本電性圖。基本的元件特性如 $\mu_n \sim 42.22\text{cm}^2/\text{V}\cdot\text{s}$ 、 $V_{th} \sim -11.5\text{V}$ 、 $S.S \sim 1.12\text{V}/\text{decade}$ 。利用圖十所設計之outward撓曲模具對元件進行outward 測試，此撓曲方式為對元件施予一張應力(Tensile stress)，並分別量取未撓曲之元件特性以及元件在outward撓曲時的元件電性。由於線性圖的表示方式可以明顯的看出元件的差異以及能帶間各段所表現出來的變化，因此圖十一亦將原始之ID-VG圖以線性

的座標軸加以圖示以釐清元件之變化原因。



圖十、低溫複晶矽(LTPS) P-TFT on Metal foil 薄膜電晶體元件及其基本電性圖。

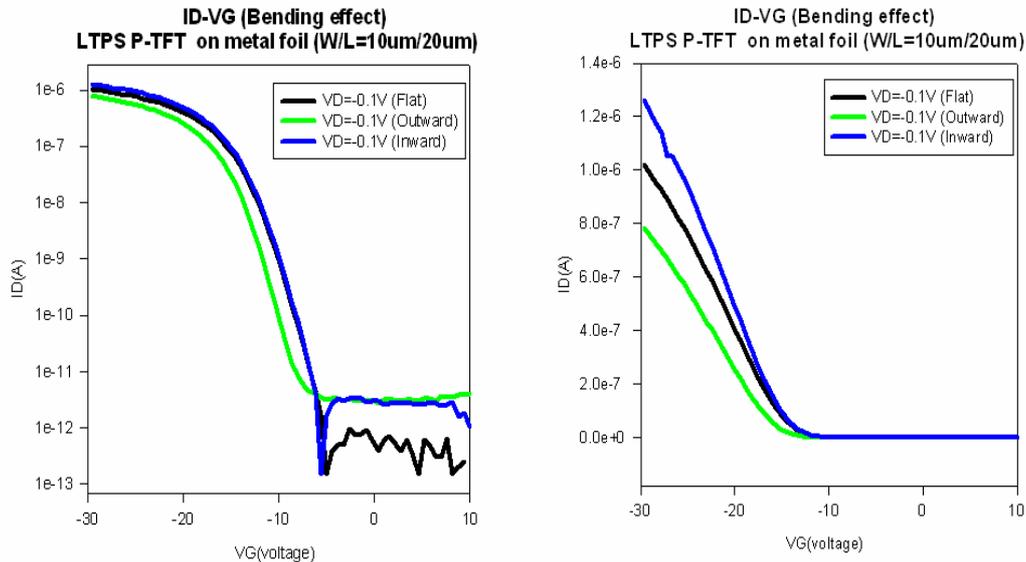
如圖十一所示，元件在outward撓曲時特性為 $\mu \sim 34.27 \text{ cm}^2/\text{V}\cdot\text{s}$ 、 $V_{th} \sim -12.98 \text{ V}$ 、 $S.S \sim 1.65 \text{ V}/\text{decade}$ 。可以發現元件之載子移動率 μ 有明顯的下降，而在起始電壓的表現上也有增加的現象，最後在次臨限斜率 $S.S$ 也有些微的增加，元件的特性參數皆表現出劣化的現象，可能的原因為outward的stress改變了晶格的結構增加造成了電洞的載子移動率 μ 的降低，而起始電壓 V_{th} 則由於利用定電流方式定義，因為元件的載子移動率 μ 降低造成電流的降低，而使元件的起始電壓上升；除此之外，在次臨限斜率 $S.S$ 也有些微的增加也顯示出複晶矽(poly-Si)內能帶缺陷的增加，也是造成起始電壓 V_{th} 增加的原因。

b. Inward test

如圖十之右圖所示，為所設計之 Inward 撓曲模具照片。利用 Inward 撓曲模具對元件進行 Inward 測試，此撓曲方式為對元件施予一壓應力(Compressive stress)，並分別量取未撓曲之元件特性及元件在 outward 撓曲時的元件電性。

如圖十一所示，元件展現出不同於Outward時之元件特性，如圖所示元件在 Inward撓曲時特性為 $\mu \sim 52.29 \text{ cm}^2/\text{V}\cdot\text{s}$ 、 $V_{th} \sim -11.27 \text{ V}$ 、 $S.S \sim 0.9523 \text{ V}/\text{decade}$ 。可以發現元件之載子移動率 μ 有明顯的上升，而在起始電壓的表現上則有下降的現象，最後在次臨限斜率 $S.S$ 也有些微的降低，元件的特性參數皆表現出較佳之特性，可能的原因為Inward的stress改變了晶格的結構增加造成了電洞的載子移

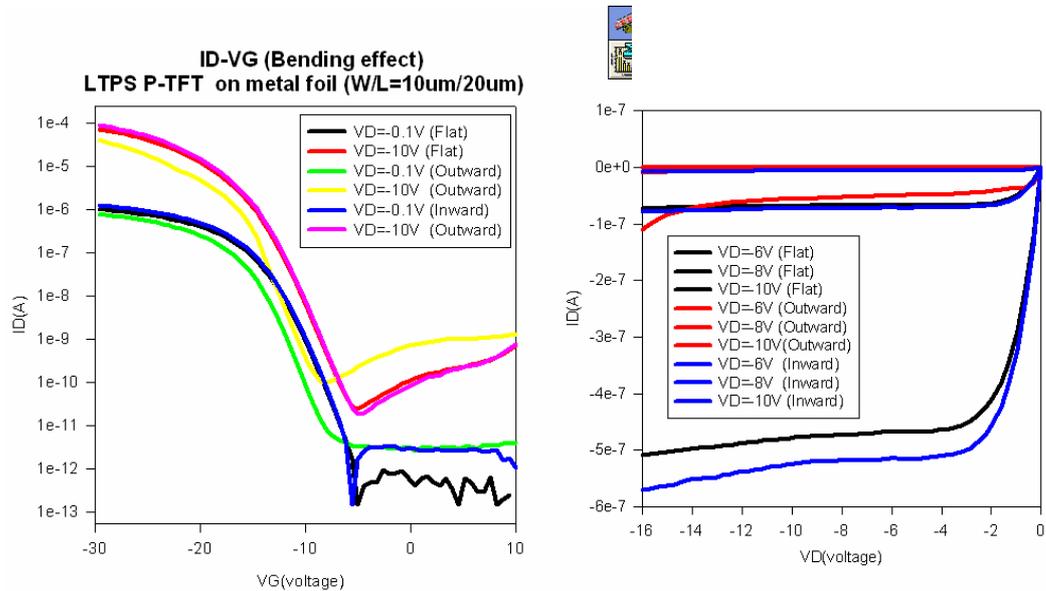
動率 μ 的增加，這與先前許多單晶矽所得到的實驗結果相似，與較低之起始電壓 V_{th} ；除此之外，在次臨限斜率 $S.S$ 也有些微的降低也顯示出複晶矽(poly-Si)內能帶缺陷的降低，也指出Inward的stress改變了晶格的結構將使元件內較深之缺陷數目及介面之缺陷減少，有助於元件特性之提升。



| | μ | V_{th} | SS |
|---------|---------|----------|--------|
| Flat | 42.2200 | 11.4500 | 1.1200 |
| Outward | 34.2700 | 12.9800 | 1.6200 |
| Inward | 52.2900 | 11.2700 | 0.9523 |

圖十一、元件在不同撓曲狀態之 ID-VG 圖以及以線性的座標軸圖示之 ID-VG 圖。

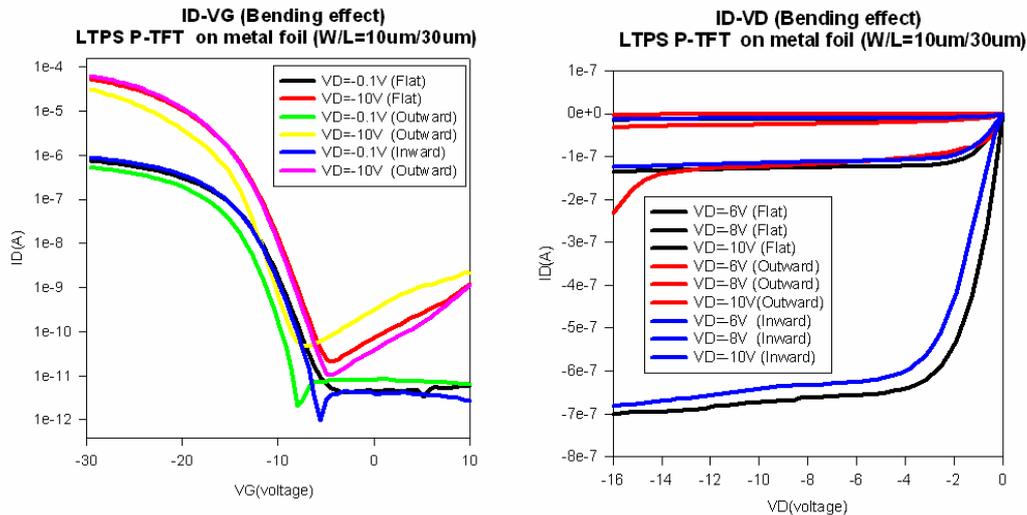
圖十二為元件在 inward 及 outward 時所量到之 ID-VG 及 ID-VD 圖的比較，可以發現元件在不同的撓曲狀態下特性有明顯的變化，包涵元件輸出曲線所展示出在 inward 的情況下對 LTPS P-TFT 之元件來說具有較高的輸出電流，以及較低之元件起始電壓的飄移；相對的 LTPS P-TFT 之元件在 outward 的狀態下則有明顯的劣化現象發生，包含了較大的起始電壓飄移以及較差之次臨限斜率 $S.S$ 值。除此之外由 ID-VD 圖來看在元件接觸電阻的表現上亦有明顯的差異性，仍以 inward 狀態下的元件表現出比 outward 元件更佳之接觸電阻特性，此部分的研究可作為將來設計可撓式顯示器實際應用上的參考。



| | Mu | Vthc+ | SS | Imin | Vg@Imin | Igmax@0.1V+ | Igmax@10V+ |
|---------|---------|---------|--------|------------|---------|-------------|------------|
| Flat | 42.2200 | 11.4500 | 1.1200 | 2.4400e-11 | -5.0000 | 1.9000e-12 | 2.2000e-12 |
| Outward | 34.2700 | 12.9800 | 1.6200 | 1.0035e-10 | -8.0000 | 1.3500e-11 | 1.4650e-11 |
| Inward | 52.2900 | 11.2700 | 0.9523 | 1.8350e-11 | -5.0000 | 4.6000e-12 | 5.0000e-12 |

圖十二、元件在 inward 及 outward 撓曲時所量到之 ID-VG 及 ID-VD 圖。

圖十三為另一組不同現況之元件在撓曲時所量測之到之元件特性比較亦表現出相同之結果。如 inward 狀態時元件特性較佳，Outward 狀態元件特性則較差。



| | Mu | Vthc+ | SS | Imin | Vg@Imin | Igmax@0.1V+ | Igmax@10V+ |
|---------|---------|----------|--------|------------|---------|-------------|------------|
| Flat | 43.6300 | -10.5500 | 1.8000 | 2.0850e-11 | -4.4000 | 1.1950e-11 | 7.7500e-1 |
| Outward | 33.4800 | -12.2300 | 1.1400 | 4.7250e-11 | -7.4000 | 8.7500e-12 | 4.0500e-1 |
| Inward | 53.5900 | -10.7500 | 1.1900 | 1.0400e-11 | -4.4000 | 1.2700e-11 | 1.1250e-1 |

圖十三、不同之元件尺寸(W/L=10um/30um)在 inward 及 outward 撓曲時所量到之 ID-VG 及 ID-VD 圖。

五、結論

著眼於可撓式顯示將來的應用，第一部分的測試非晶矽薄膜電晶體在不鏽鋼基板上的技術並經過本實驗室所建立之撓曲平台撓曲測試下，可以發現非晶矽元件特性會有些微的變化，經由一些基本的參數粹取更深入的研究其中的原因主要為非晶矽薄膜本身缺陷狀態密度的變化導致薄膜阻值變化所導致特性偏移，但仍可符合在可撓式顯示器的實際應用。第二部分則著低溫複晶矽薄膜變晶體於彎曲顯示器上的應用，也以相同之撓曲載具進行元件在 Outward 及 Inward 狀態下的研究，可以發現就 LTPS P-TFT 的元件來說，在 Inward 狀態下操作對元件來說有較佳之特性，相對的在 Outward 狀態下操作的元件則有明顯的劣化現象發生。此部分的研究與發現亦有助於提供將來可撓式平面顯示器之實際應用上的設計參考。

六、本專題研究計劃補助所發表之學術論文

International SCI Journals (5 篇):

1. Chun-Hao Tu, Ting-Chang Chang, **Po-Tsun Liu**, Che-Yu Yang, Hsin-Chou Liu, Wei-Ren Chen, Yung-Chun Wu, and Chun-Yen Chang, “Improvement of Electrical Characteristics for Fluorine-Ion-Implanted Poly-Si TFTs using ELC”, *IEEE ELECTRON DEVICE LETTERS*, **27 (4): 262-264 APR 2006**.
2. Chun-Hao Tu, Ting-Chang Chang, **Po-Tsun Liu**, Chih-Hung Chen, Che-Yu Yang, Yung-Chun Wu, Hsin-Chou Liu, Li-Ting Chang, Chia-Chou Tsai, Simon M. Sze, and Chun-Yen Chang, “Electrical Enhancement of Solid Phase Crystallized Poly-Si Thin-Film Transistors with Fluorine Ion Implantation”, *JOURNAL OF THE ELECTROCHEMICAL SOCIETY*, **153 (9): G815-G818 2006**.
3. Hau-Yan Lu, **Po-Tsun Liu**, Ting-Chang Chang, and Sien Chi, “Enhancement of Brightness Uniformity by a New Voltage-Modulated Pixel Design for AMOLED Displays”, *IEEE ELECTRON DEVICE LETTERS*, **27 (9): 743-745 SEP 2006**.
4. Chun-Hao Tu, Ting-Chang Chang, **Po-Tsun Liu**, Hsin-Chou Liu, Wei-Ren Chen, Chia-Chou Tsai, Li-Ting Chang, and Chun-Yen Chang, “Formation of Silicon Germanium Nitride Layer with Distributed Charge Storage Elements”, *APPLIED PHYSICS LETTERS*, **88 (11): Art. No. 112105 MAR 13 2006**.
5. Chun-Hao Tu, Ting-Chang Chang, **Po-Tsun Liu**, Hsin-Chou Liu, Chia-Chou Tsai, Li-Ting Chang, Tseung-Yuan Tseng, Simon M. Sze, and Chun-Yen Chang, “Formation of Germanium Nanocrystals Embedded in Silicon-Oxygen-Nitride Layer”, *APPLIED PHYSICS LETTERS*, **89 (5): Art. No. 052112 JUL 31 2006**.

International Conferences: (3 篇)

1. M. C. Wang ,T. C. Chang, **P. T. Liu**, S. W. TSAO , and J. R. Chen Jian-Shu Wu, Chin-Jen Huang ,Yu-Hung Chen, Liang-Tang Wang, Yih-Rong Luo, I-Hsuan Peng,Te-Chi Wong,Ya-Lin Liu,and Jung-Fang Chang, “Effect of Mechanical Strain on the Performance of an a-Si:H TFT with Different Length on Metal Foil Substrate”, *IDMC05*, p494,(2005)
2. I-Che Lee, L. L. Chen , **P. T. Liu**, T. C. Chang, J. R. Chen and M. C. Wang, “The Instability of Amorphous Silicon Thin-Film Transistors under Mechanical Strain with High Frequency AC Bias Stress”, *AMLCD05*,p339,(2005) **(ORAL)**
3. M. C. Wang,T. C. Chang, **P. T. Liu**, S. W. Tsao , and J. R. Chen, “Effect of Mechanical Strain on the Performance of P-Channel Poly-Silicon TFT Fabricated on Metal Foil Substrate”, *ICMCTF,2006* **(ORAL)**

參考文獻:

1. R. Baeuerle, J. Baumbach, E. Lueder, and J. Siegordner, in *SID'99 Digest*, Society of Information Display, p. 14 (1999).
2. S. D. Theiss and S. Wagner, *IEEE Electron Device Lett.* **17**, 264 (1996)
3. M. Wu, K. Pangal, J. C. Sturm, and S. Wagner, *Appl. Phys. Lett.* **75**, 2244(1999).
4. G. D. Cody, C. R. Wronski, B. Abeles, R. B. Stephens, and B. Brooks, *Sol. Cells*,**2**, 227 (1980).
5. S. H. Won, J. K. Chung, C. B. Lee, H. C. Nam, J. H. Hur, and J. Jang, *Journal of The Electrochemical Society*, 151 (3) G167-G170 (2004)
6. S. Sherman, S. Wagner, and R. A. Gottscho, *Appl. Phys. Lett.* **69**, 3242 (1996).
7. S. Sherman, P. Y. Lu, R. A. Gottscho, and S. Wagner, *Mater. Res. Soc. Symp. Proc.* **377**, 749 (1995).
8. G. D. Cody, T. Tiedje, B. Abeles, B. Brooks, and Y. Goldstein, *Phys. Rev. Lett.* **47**, 1480 (1981)
9. H. Gleskovaa), S. Wagner, W. Soboyejo and Z. Suo, *J. Appl. Phys.*, **92**, 6224(2002)
10. Shengwen Luana and Gerold W. Neudeck, *J. Appl. Phys.* 72 (2), p.766.
11. Chun-Yao Huang, Teh-Hung Teng, Jun-Wei Tsai and Huang-Chung Cheng, *Jpn. J. Appl. Phys. Vol.39* pp.3867-3871 (2000)
12. Chun-Yao Huang, Jun-Wei Tsai, Teh-Hung Teng, Cheng-Jer Yang and Huang-Chung Cheng, *Jpn. J. Appl. Phys. Vol.39* pp.5763-5766 (2000)
13. S. H. Won, J. K. Chung, C. B. Lee, H. C. Nam, J. H. Hur, and J. Jang, *Journal of The Electrochemical Society*, 151 (3) G167-G170 (2004)
14. K. Reynolds*, S. Burns*, M. Banach*, *Printing of polymer transistors for flexible active matrix displays* IDW conference, pp367-370 (2004)
15. H. Gleskova, S. Wagner, and Z. Suo, *Appl. Phys. Lett.* **75**, 3011 (1999)
16. S. M. Gates, *Mater. Res. Soc. Symp. Proc.* **467**, 843 (1997)
17. F. Jansen and M. A. Machonkin, *J. Vac. Sci. Technol. A* **6**, 1696 (1988)
18. W. E. Spear and M. Heintze, *Philos. Mag. B* **54**, 343 (1986)
19. R. E. Belford, *J. Electron. Mater.* **30**, 807 (2001)
20. S. Sherman, S. Wagner, and R. A. Gottscho, *Appl. Phys. Lett.* **69**, 3242 (1996)
21. S. Sherman, P. Y. Lu, R. A. Gottscho, and S. Wagner, *Mater. Res. Soc. Symp. Proc.* **377**, 749 (1995)
22. G. D. Cody, T. Tiedje, B. Abeles, B. Brooks, and Y. Goldstein, *Phys. Rev. Lett.* **47**, 1480 (1981)
23. B. Welber and M. H. Brodsky, *Phys. Rev. B* **16**, 3660 (1977)
24. H. Gleskova and S. Wagner, *Appl. Phys. Lett.* **79**, 3347 (2001)
25. M. Furuta, S. Maegawa, H. Sano, T. Yoshioka, Y. Uraoka, H. Tsutsu, I.

- Kobayashi, T. Kawamura and Y. Miyata: Euro Display Tech. Dig. 96 (16th Int. Display Res. Conf., Birmingham, England, p. 547.(1996)
26. S. Inoue and H. Ohshima: IEDM Tech. Dig. (IEEE Electron Device Society,U.S.A., p. 781.(1999)
27. S. Inoue and T. Shimoda: SID Tech. Dig. (Society of Information Display, San Jose, p. 452.(1999)
28. Y. Uraoka, T. Hatayama, T. Fuyuki, T. Kawamura and Y. Tsuchihashi: AM-LCD2000 Tech. Dig. (The Japan Society of Applied Physics, Tokyo, p. 181. (2000)
29. Y. Uraoka, T. Hatayama and T. Fuyuki: IEEE Int. Conf. Microelectronic Test Structures Tech. Dig. (IEEE Electron Device Society, California, p. 158.(2000)