

行政院國家科學委員會專題研究計畫 成果報告

ALD 在 Damascene 銅製程應用之研究(III)

計畫類別：個別型計畫

計畫編號：NSC94-2623-7-009-007-AT

執行期間：94 年 01 月 01 日至 94 年 12 月 31 日

執行單位：國立交通大學材料科學與工程學系(所)

計畫主持人：陳智

共同主持人：廖建能，謝嘉民

計畫參與人員：楊慶榮，張哲誠，王舜民

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 5 月 16 日

# 行政院國家科學委員會補助專題研究計畫

成果報告  
期中進度報告

計畫名稱：ALD 在 Damascene 銅製程應用之研究

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC93 - 2623 - 7 - 009 - 003 -

執行期間：2004 年 01 月 01 日至 2004 年 12 月 31 日

計畫主持人：陳 智

共同主持人：謝嘉民，廖建能

計畫參與人員：陳 智，楊慶榮，張哲誠，王舜民

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權，一年 二年後可公開查詢

執行單位：國立交通大學材料系

中 華 民 國 94 年 5 月 16 日

## 一、 前言

在極大型積體電路(ULSI)中，隨著半導體設計及製程技術的進步，積體電路的積集度將愈顯增加，元件的尺寸也不斷的縮小，閘極尺寸已經迅速降低至目前 $0.09\mu\text{m}$  甚至更小，而元件尺寸的縮小伴隨而來電阻電容的時間延滯及訊號傳遞不良等也成為重要的問題。銅被採用做金屬化製程的導線材料是因其低電阻係數以及高抗電致遷移的特性[1]。銅的電阻率很低( $1.67\mu\Omega\text{-cm}$ )，只有鋁的 62%。隨著電路積集度增加後金屬導線層數目的增加，電子訊號在連接導線間傳遞的時間延遲(RC delay)，成為元件速度受限的重大因素；而銅的低電阻率可以有效降低 RC delay。

在之前大家之所以不使用銅作為導線材料是因其高擴散係數，會使得銅材與矽基材或二氧化矽接觸後很快擴散，因為銅在矽中擴散相當快速，而且會在矽的能帶間隙上形成深能接受體(deep level acceptors)，危害半導體的晶體電性，產生深層能階的問題[2]。此外，銅本身有不易蝕刻及容易氧化的特性，以上所述原因使得早期銅金屬並未被選為金屬連接線材料。

時至今日，材料製程技術的進步，改良了銅金屬化製程，這些技術包含了鑲嵌(Damascene)製程、各種擴散阻隔層的研發、介電層的研發、以及銅化學機械研磨技術(CMP)的成熟。

由於銅的氣相電漿乾式蝕刻不易，所以利用金屬嵌入式導線製程技術以完成銅導線，人們稱之為 Damascene 或 Dual Damascene[1]，Damascene 製程可同時完成導線及層間引洞支導線連接結構，如圖一所示。首先在晶圓上沉積介電層，將在沈積介電層前先沈積一層蝕刻終止層(Etch-stop Layer)如氮化矽( $\text{Si}_3\text{N}_4$ )。再將介電層使用微影的程序曝光後使用活性離子蝕刻(Reactive ion etching)出所需之引洞或溝渠之導線圖案，去除氧化層以降低引洞阻抗，以濺鍍方式沉積擴散阻隔層與銅的晶種層(Seed Layer)，再將銅電解沉積於整片晶圓上，最後把溝槽外多餘的銅以化學研磨將之去除[3]，在圖二中電子流的方向會隨著銅導線而行進，在圖上所指位置會產生電流擁擠效應，進而使得這些地方成為比較弱的點，而電遷移的效應正會造成這些地方的損害。

## 二、 研究目的

在 Damascene 製程中，為了克服銅金屬容易擴散以及銅本身容易氧化的問題，再加上銅金屬與目前銅製程中選用之介電層的附著性不佳，我們需要在與矽

基材之間鍍上一層具有高溫熱穩定性、良好界面接合性以及低電阻係數的擴散障層，來達到抵抗銅原子擴散以及跟介電層有著良好的目的[4]。良好的擴散障層在材料性質方面需具備；良好的阻隔能力、高溫下具有穩定性、不易與導線材料和介電層產生反應、良好的界面附著性、低電阻係數及低接觸電阻，在製程方面的考量則需有良好的階梯覆蓋性，在溝槽內部成分可維持均勻，不易形成微裂隙，及能配合銅的 CMP 等等[4]。目前大部份的銅製程以選用鈇基層來當擴散障層為主。因為鈇具有較高穩定度不易與銅金屬產生反應後的合金，而氮化鈇(TaN)可以形成細小的微晶粒結構，而此結構具有高熔點(約 3780°C)。在鈇的氮化物中，Ta(N)體心立方堆積 body-centered cubic 與 Ta<sub>2</sub>N 的電阻係數較小，而 TaN 電阻係數較高，但有最好的熱穩定性[5,6]。至目前為止人們公認鈇及氮化鈇為較佳的擴散障層選擇。

### 三、文獻探討

CVD 的製程的溫度可以從室溫至 1200°C。隨著 IC 製程的製程簡單化，高深寬比已成為製程技術發展的必然趨勢，PVD 的階梯覆蓋性(step coverage)較差，使得應用受到一定的限制。如圖三[7]，ALD 在未來幾年將會有更多人使用來沈積擴散障層或使用於半導體後段金屬化製程中。Wim Beslinga 等人指出，CVD 製程所遇到最大的問題在於鍍製的膜之純度不夠純，而在追求更高的深寬比方面，ALD 更具有優勢，且 ALD 鍍出障層均勻性及平整性較好[8,9]。更重要的是 ALD 所具有的低溫製程。而 ALD 的初始步驟至關重要並且與基材的材料非常相關。在 S.M. Rossnagel 的文獻中提到，鈇(氮化鈇)和鈇(氮化鈇)在 25°C 和 150°C 的 ALD 測試中發現某些基材或前驅物的相互作用可能提升 ALD 的作用[10]。

ASM 公司在已發表的文獻中，使用 ALD 來鍍 High-k 閘極的介電層[11]。而在另一文獻中，ASM 公司也發表他們使用了 ALD 來製作銅的阻隔層及銅的晶種層(Seed Layer)。他們在 TiN 與 W<sub>x</sub>N<sub>y</sub> 與 seed layer 的成長方面證實了 ALD 鍍出的膜均勻性良好、覆蓋能力佳[12]。在圖四中，我們可以看到 Dual damascene 的構造中，ALD 所能影響的最關鍵位置也就是障層(barrier layer)以及需要移除銅氧化膜的地方[12]。需要移除銅氧化膜的原因是因為：我們在進行圖四中阻隔層的沈積前，本來已在的銅膜上已經生成了一些氧化膜，而這些氧化膜常會因更早之前製程而累積存在了一些不潔物，這些不潔物會嚴重影響阻隔層與銅膜的附著性。在圖五中，我們可以看到利用 ALD 鍍出的氮化鈇層，其均勻性在 0.13μm

線寬中大約為 85%[9]。而阻障層與銅導線通電後介面微觀的改變正是我們探討所在。所以使用 ALD 技術去製作目前評價最好的阻障層氮化鉭成為我們整個研究中的一大重點。

#### 四、 研究方法

本計畫實驗方法為先將四吋 P 型(100)矽晶圓切成破片，再將矽晶圓置於去離子水中以超音波振盪器清洗，接著將試片放入原子層化學氣相沈積(ALD)系統中，如圖五所示，沈積 TaN 作為阻障層，TaN 阻障層沈積參數目前以下方所列出之參數為最佳參數，如表一所示。再將試片以常壓爐管在通入氮氣氣氛下做不同溫度持溫 1 小時退火，以便後續分析。

將沈積完成的試片，利用掠角 X 光繞射法(Grazing Incident X-Ray Diffraction, GID)分析薄膜的晶體結構，原理為由於入射光束與試片表面的夾角很小，所以在進入試片內部時，X 光的行進路線主要是在表面的薄層內。因此，在量測時可得到較明顯的薄層繞射訊號。利用歐傑電子能譜儀(Auger electron spectrometer, AES)進行縱深成分分析，原理為利用離子束濺蝕試片表面以產生新表面，並且擷取新表面上某特定元素的歐傑能譜，便可得到該元素自原始表面到試片內部的原子濃度分部資料，這對薄膜材料元素成分的分析極為重要。所以歐傑電子能譜儀主要功能為分析試片表面之元素或化態成分，由於可以利用束徑很小的電子束激發歐傑電子，因此很適合執行微區的分析工作。利用原子力顯微鏡(Atomic Force Microscope, AFM)來觀測試片表面粗糙度。

#### 五、 結果與討論

截至目前為止，我們已經能將鍍 TaN 的參數大致上找出來如下表:

| TaCl <sub>5</sub><br>Temp | Zn<br>Temp | Reaction-<br>zone<br>Temp | TaCl <sub>5</sub> |       | Zn    |       | NH <sub>3</sub> |       |
|---------------------------|------------|---------------------------|-------------------|-------|-------|-------|-----------------|-------|
|                           |            |                           | pulse             | purge | pulse | purge | pulse           | purge |
| 110 °C                    | 380 °C     | 450°C                     | 1s                | 3s    | 1s    | 3s    | 3s              | 3s    |

表一 ALD TaN 最佳製程參數

本研究團對針對原子層化學氣相沈積系統(ALD)歸納出製程重點，我們曾嘗試將 TaCl<sub>5</sub> 固態前驅物加熱至 400°C，目的為增加製程上沈積速率，其作用為提供 Ta 來源，另一固態前驅物 Zn 加熱至 380°C，目的為將 TaCl<sub>5</sub> 還原成 Ta，但經由實驗結果發現 TaCl<sub>5</sub> 固態前驅物加熱至 400°C 此製程溫度效果有限，並且造成固態前驅物消耗大量堆積於系統腔體之內，但是對於另一固態前驅物 Zn 加熱至 380°C，由實驗結果我們並未發現固態前驅物 Zn 堆積於系統腔體之情況，於是我們將 TaCl<sub>5</sub> 固態前驅物加熱溫度降至 110°C，結果經由實驗結果得到此溫度有效解決系統腔體內之堆積情形。並且利用四點探針將表一製程參數所得試片做電性量測，得到其電阻率為 130 μΩ-cm。

將利用掠角 X 光繞射儀及標準 JCPDS card，從我們試片得到 TaN 的織構(texture)中的(111)面，如圖六所示。此外，我們更得知經由原子層化學沈積(ALD)系統，在初鍍時便可得到結晶性良好的結構。另外就積體電路的製程而言，退火溫度不可過高，第一是因為各層材料其熱膨脹係數不同，而在高溫時會造成熱應力過大，進而使薄膜發生破壞。另一個原因是在高溫下可能會破壞介電層材料。因此我們選擇退火溫度在 600°C 或更低的溫度進行，而退火的時間也是重要關鍵，若退火時間過久，則會導致破壞性擴散發生，所以本實驗選擇在 400、500、600°C 下進行退火，而時間則是 1 小時。

利用歐傑電子能譜儀，我們發現經由原子層化學沈積(ALD)系統，在初鍍(as-deposited)時其雜質成分 Cl 非常低，如圖七所示，這將對後續電性方面有很大幫助，另外在 TaN 和 SiO<sub>2</sub> 介面處並沒有發現明顯擴散趨勢，但是在試片表面有形成氧化物。藉由原子力顯微鏡得到試片初鍍時表面粗糙度為 0.55 nm，如圖八及圖九所示，此粗糙度值仍有改進空間，故我們將就製程參數上來做調變以達到最低粗糙度值。

另外，與 NDL 謝嘉民博士合作開發的電漿輔助原子層化學氣相沈積(Plasma-Enhanced Atomic Layer Deposition, PEALD)系統，經過多次與廠商溝通研究，廠商已於今年完成組裝，如圖十所示。目前正在等待年底新的 NDL 落成後，即可搬進實驗室配置 delivery system 的管路，便可以開始測試。此 PEALD 機台預定用來鍍銅，將研究 precursors 間的反應機制，以及在 Cu seed 的應用。

## 研究方向修正

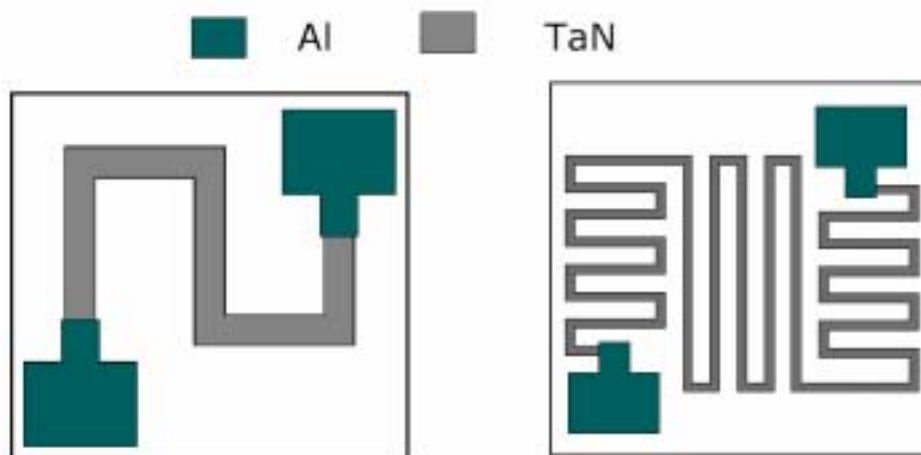
因為 TaN 與 Cu 的接著不好，因此在鍍上 Cu 晶種層前，需要先鍍一層 Ta 膜。然而以我們現有的 ALD 機台，短期內無法鍍 Ta 膜。因此暫不探討到銅接點的電遷移特性。取而代之的是 TaN 膜在 resistor 及 metal gate MOS 上的應用研究。因此將此 TaN 膜應用於 resistors 及 metal gate MOS，發現以 ALD 鍍的 TaN 有較好的熱穩定性，而且以 ALD 鍍的 TaN metal gate MOS 有較高的 breakdown voltage。部分結果已發表於在芬蘭舉辦的 2004 Atomic Layer Deposition Conference，如附件一所示。

至於 TaN resistors 及 TaN metal gate MOS，我們是與長庚大學電機系賴朝松教授合作，其簡要結果如下，將會在 11/26 日的口頭報告詳細說明。

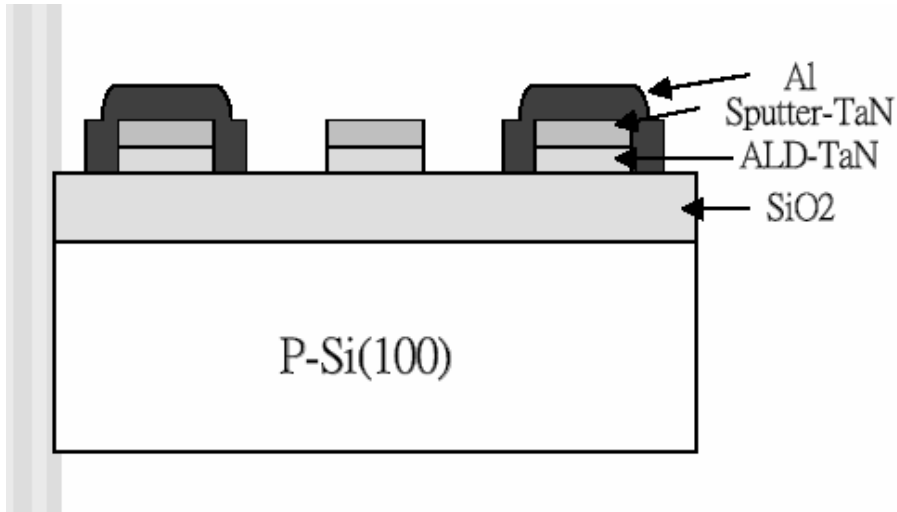
#### **TaN Thin Film Resistor:**

TaN may be a promising material for thin film resistor owing to its low temperature coefficient of resistivity (TCR), inert to chemicals, and high stability at high temperature.

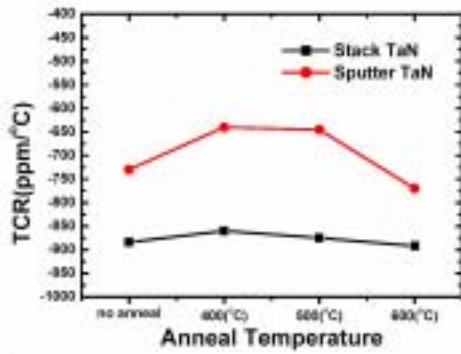
量測 pattern: Plan-view schematic



量測 pattern: cross-sectional schematic

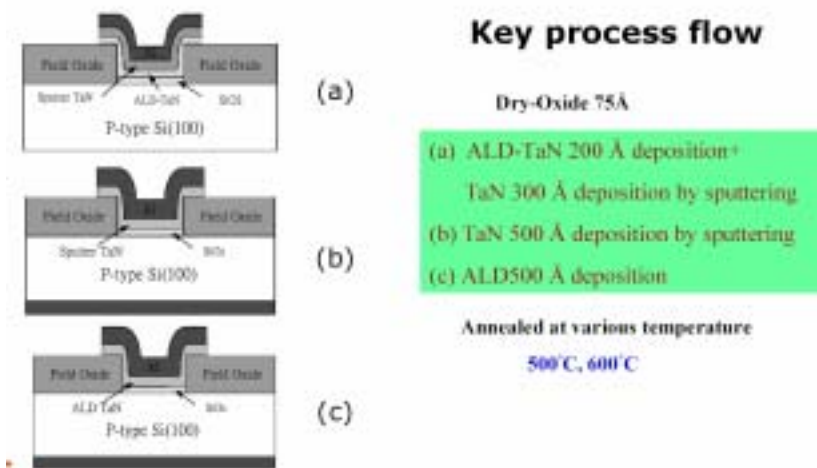


結果: 在不同退火溫度下所測到的 TCR



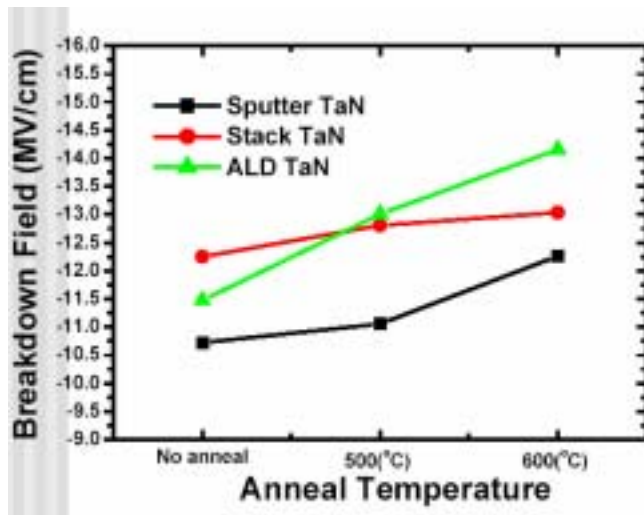
### TaN metal gate MOS

製程示意圖



結果: 以 ALD 鍍的 TaN metal gate MOS 有較高的 breakdown voltage。





**Schematic fabrication procedure for TaN MOS capacitor**

## 六、結論與建議

本研究團隊已成功地以 ALD 來鍍 TaN 膜，並找出適當的參數。同時也將此 TaN 膜應用於 resistors 及 metal gate MOS。與廠商合作開發的 PEALD 機台，已於今年完成組裝，將用來研究在 Cu seed 的應用。

## 七、參考文獻

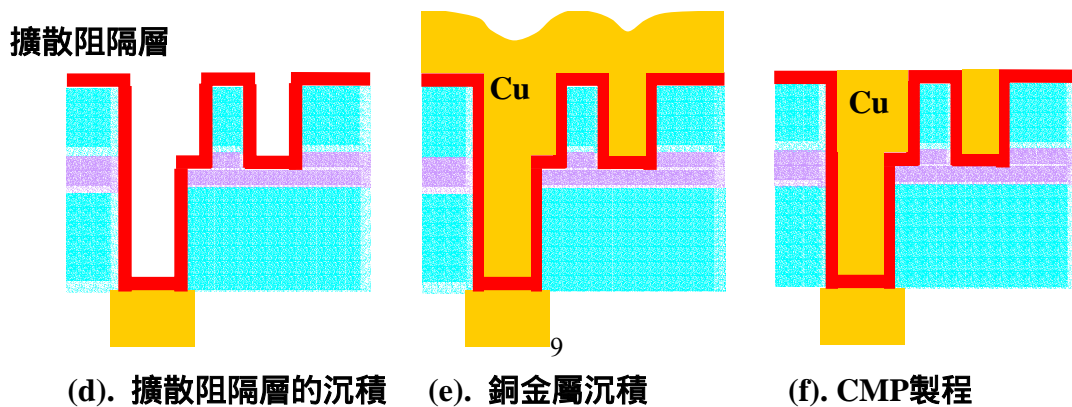
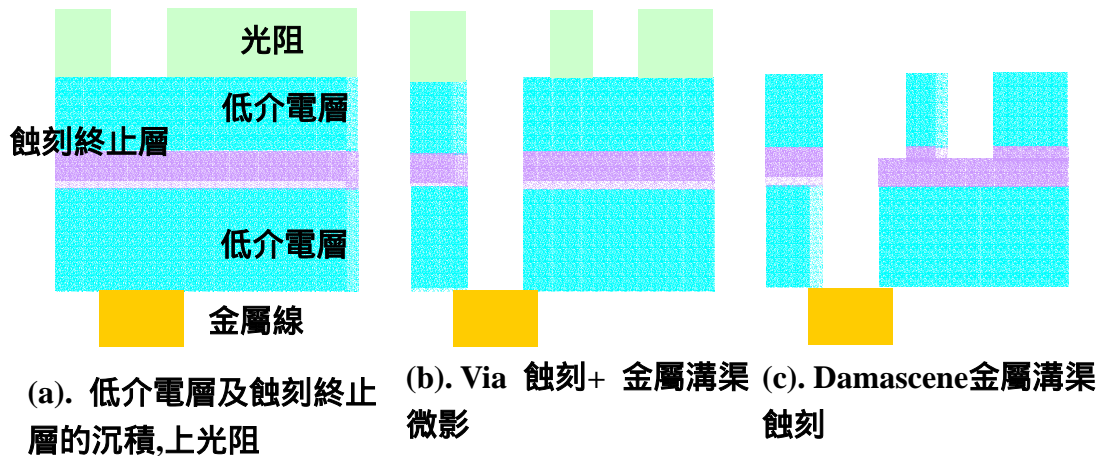
1. C. K. Hu and J. M. E. Harper, "Copper interconnection and reliability", Materials Chemistry and Physics, 52, pp.5-12(1998).
2. 陳力俊、盧火鐵，"微電子材料與製程"中國材料科學學會出版 pp.320-321 (2000)
3. 郭清松，"鈮與二氧化鈮薄膜應用於銅金屬化之擴散阻障層特性研究"，國立交通大學材料科學與工程學系碩士論文(2000)
4. 吳文發，"銅導線之導體擴散阻障材料"電子月刊第八卷第四期，112 頁-116 頁。
5. Takeo Oku, E. Kawakami, M. Uekubo, K. Takahiro, S. Yamaguchi, M. Murakami, "Diffusion barrier property of TaN between Si and Cu", Appl. Surf. Sci, 99, 265 (1996).
6. Wang MT, Lin YC, Chen MC, "Barrier properties of very thin Ta and TaN layers against copper diffusion.", J. Electrochem. Soc, 145, 2538(1998).
7. "International Technology Roadmap for Semiconductors 2001 edition: Interconnect" pp.12
8. Wim Beslinga, Alessandra Sattab, Jorg Schuhmacherb, Tom Abelle, Vic Sutcliffed, Ana-Martin Hoyasb, Gerald Beyerb, Dirk Gravesteijna, Karen Maexb." Atomic Layer Deposition of Barriers for Interconnect " IITC 2001.
9. Eric Eisenbraun, Oscar van der Straten, Yu Zhu, Katharine Dovidenko, and Alain Kaloyeros, "Atomic Layer Deposition (ALD)

of Tantalum- based Materials for Zero Thickness Copper Barrier Applications” IITC 2001.

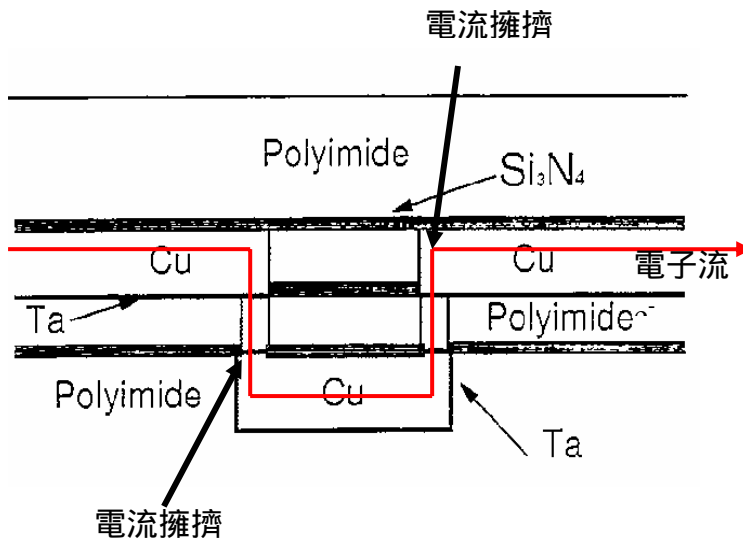
10. S.M. Rosnagel and H. Kim, “From PVD to CVD to ALD for Interconnects and Related Applications ” IITC 2001.

11. Suvi Haukka, Marko Tuominen and Ernst Granneman “ Atomic Layer Chemical Vapor Deposition of High-k Gate Dielectrics ” Semicon Europa/Semieducation, April 5,2000.

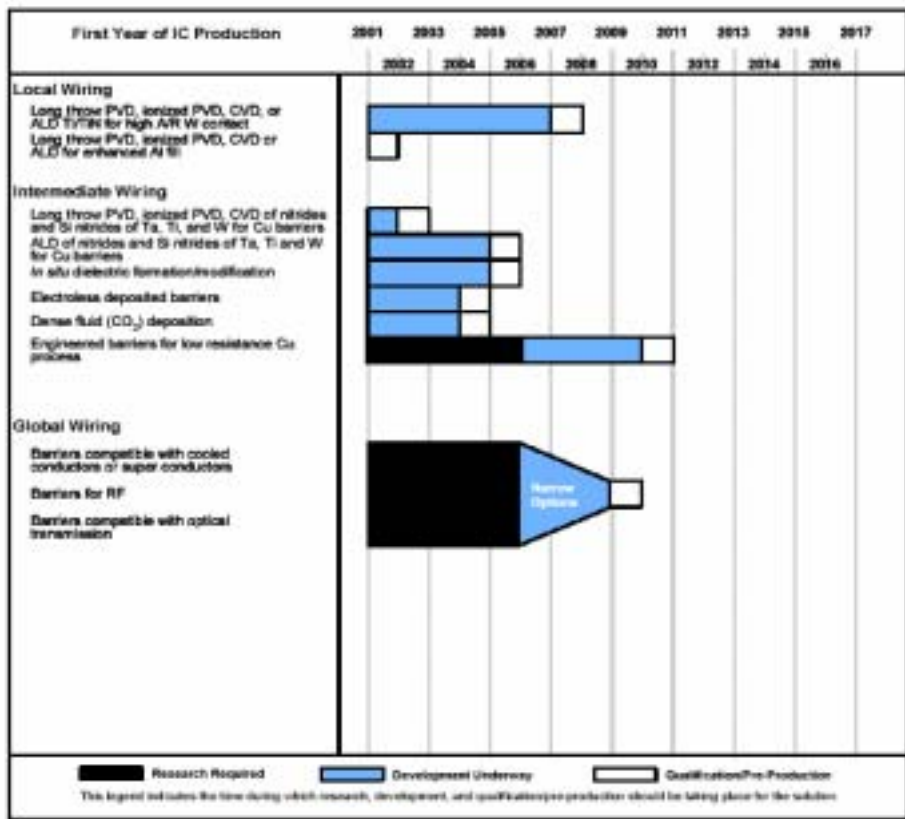
12. Suvi Haukka, Ivo Raaijmakers, Kai-Erik Elers, Juhana Kostamo, Wei-Min Li,Hessel Sprey, Pekka J. Soininen and Marko Tuominen, “Deposition of Cu barrier and seed layers with atomic layer control“ IITC 2001.



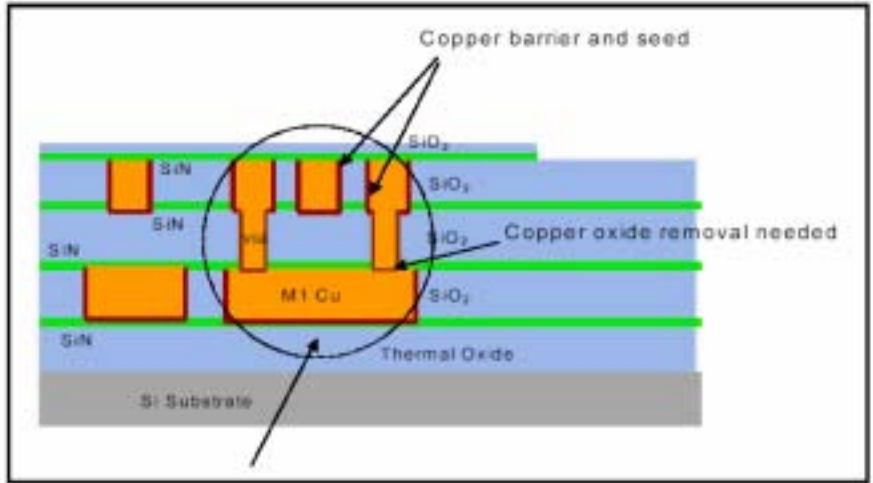
圖一 Damascene 製程的流程圖，資料來源：蔡增光博士，國家奈米元件實驗室副研究員。



圖二 兩層銅導線及銅栓的電遷移測試結構，Polyimide 為介電層，Ta 為擴散阻障層[1]。

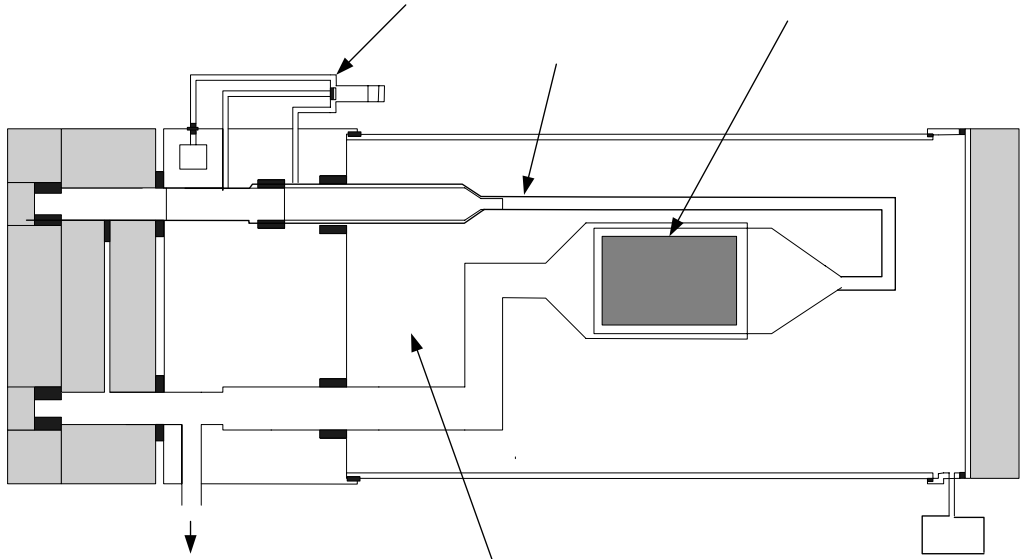


圖三 阻障層鍍製的未來趨勢圖[7]。



Dual damascene

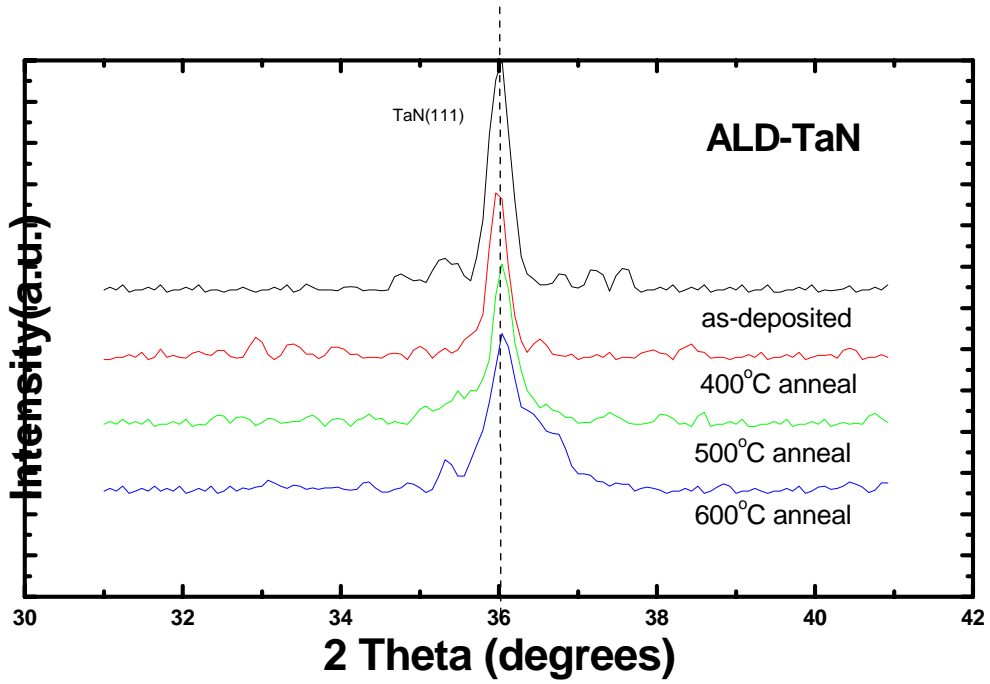
圖四 Dual damascene 構造與 ALCVD 技術使用的關鍵位置，該移除銅氧化物之處[12]。



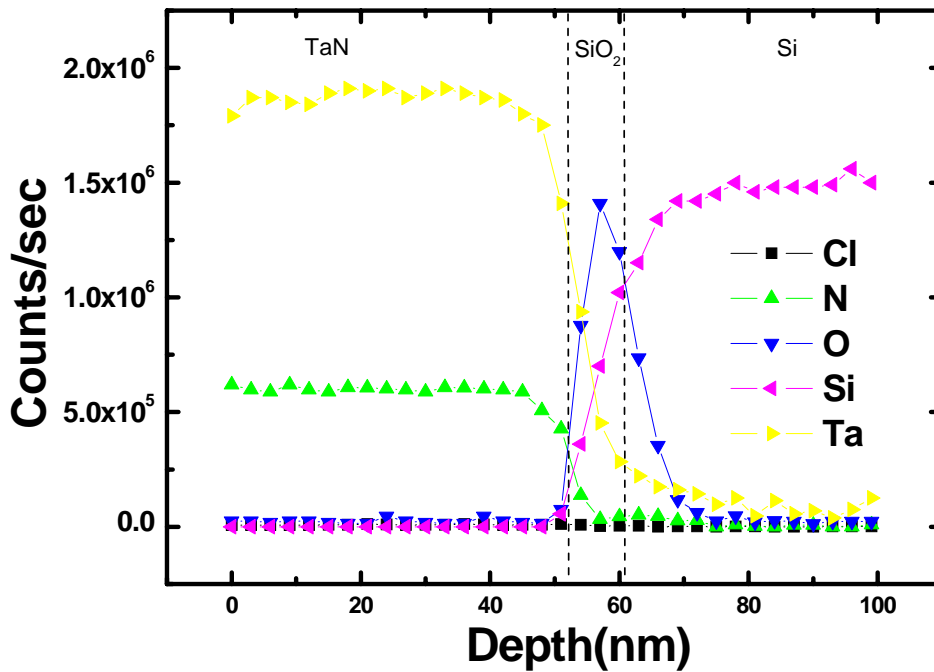
圖五 a 原子層化學氣相沈積(ALD)示意圖



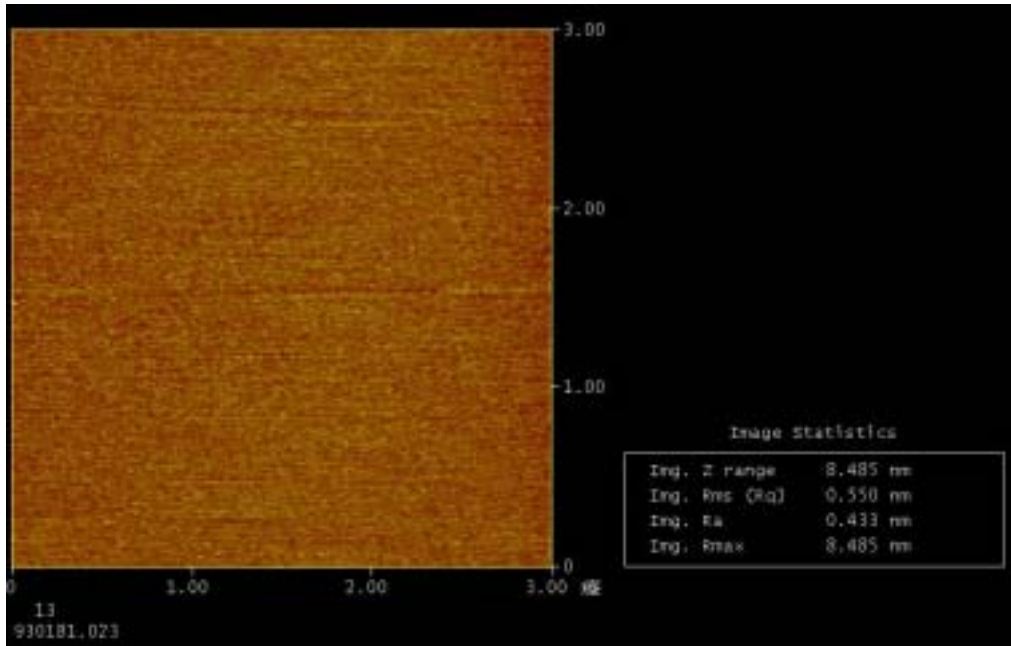
圖五 b 原子層化學氣相沈積(ALD)照片



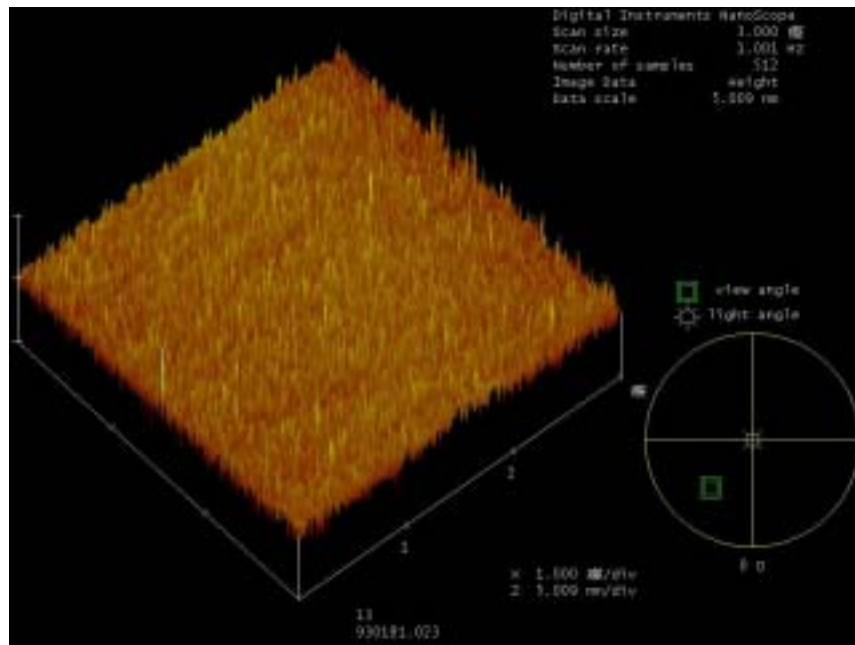
圖六 ALD TaN 初鍍(as-deposited)及不同溫度退火後之掠角 X 光繞射圖



圖七 ALD TaN 初鍍(as-deposited)之 AES 分析圖



圖八 ALD TaN 初鍍(as-deposited)之試片表面 AFM 2D 影像圖



圖九 ALD TaN 初鍍(as-deposited)之試片表面 AFM 3D 影像圖



圖九 電漿輔助原子層化學氣相沈積(PEALD)系統