

# 行政院國家科學委員會專題研究計畫 成果報告

## 奈米 MOS 元件之矽化物、超淺接面及接觸孔之研發(3/3)

計畫類別：個別型計畫

計畫編號：NSC93-2215-E-009-003-

執行期間：93年08月01日至94年07月31日

執行單位：國立交通大學電子工程研究所

計畫主持人：雷添福

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 10 月 12 日

行政院國家科學委員會補助專題研究計畫  成果報告  
 期中進度報告

奈米 MOS 元件之矽化物、超淺接面及接觸孔之研發(3/3)  
**Development of silicide, ultra-shallow junction and contact  
hole in nano MOS devices (3/3)**

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 93-2215-E-009-003

執行期間：93 年 8 月 1 日至 94 年 7 月 31 日

計畫主持人：雷添福 國立交通大學電子工程研究所教授

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年  二年後可公開查詢

執行單位：國立交通大學電子工程研究所

中 華 民 國 94 年 10 月 12 日

# 行政院國家科學委員會專題研究計畫期末報告

## 奈米 MOS 元件之矽化物、超淺接面及接觸孔之研發(3/3)

### Development of silicide, ultra-shallow junction and contact hole in nano MOS devices (3/3)

計畫編號：NSC 93-2215-E-009-003

執行期限：93 年 8 月 1 日至 94 年 7 月 31 日

主持人：雷添福\* 國立交通大學電子工程研究所教授

#### 一、中文摘要

本計畫，已完成奈米級 MOS 元件之金屬矽化物、金屬矽化物超淺接面及 50nm 的接觸孔研發，並完成 50nm 奈米元件的製程。在金屬矽化物方面，為了解決元件間金屬連線的阻抗延遲可能導致的效能降低或誤判動作，而發展出自動對準之複晶矽連線技術，以降低在細線寬之複晶矽連線的阻抗，並避免以金屬做連線所造成之污染。本計畫成功地使用鎳形成低矽消耗係數及低矽化物形成溫度的金屬矽化物；並大幅提高矽化鎳的熱穩定性。在超淺接面方面，為了增加元件密度並維持積體電路之特性，金氧半場效電晶體之汲極與源極的 PN 接面縱深必須做淺，然而當接面做淺時，便會衍生高截止漏電流及高片電阻等問題，我們已研究出超淺及低片電阻的接面。在接觸孔洞方面，由於元件密集度增加，使得晶片的表面無法提供足夠的面積，來做單一金屬層連線，故多層金屬連線之技術，逐漸成為積體電路設計必須採用的方法，但為了減少光罩並降低製程複雜性，各金屬層之間的金屬栓塞，或連接電晶體之源極 (Source)，汲極 (Drain) 和閘極 (Gate) 至金屬導線的接觸窗 (Contact hole) 之接觸孔洞孔徑勢必要縮小，本研究已做出 50 nm 的接觸孔。在元件研究發展方面，本計畫成功做出閘極尺

寸 50nm 與通道寬度 50nm 之鰭型場效應奈米電晶體 (FinFETs)，並將鎳矽化物製程應用於此奈米矽在絕緣體元件 (nano-scaled Si on insulator devices) 上，對於漏電、導通電流、次臨界擺動上均有很好的表現。

關鍵詞：超淺接面，金屬矽化物，接觸孔，鰭型場效應奈米電晶體，鎳矽化物。

#### Abstract

This study is to investigate the developments of silicide, ultra-shallow junction with silicide and 50 nm contact hole for the application of 50nm MOSFET devices.

Self-aligned polysilicon connection technique has been developed to reduce the resistance in narrow polysilicon connection lines and prevent the contamination from metal line processes. In our project, we used Ni as the silicide material to form Ni silicide, which has less silicon consumption and low silicidation temperature.

To increase device density and maintain the performance of integrated circuits, a shallow junction of the S/D region in MOSFETs is required. However, some problems such as high leakage current and high sheet resistance are introduced as the junction becomes shallower. Our research proposed a new method to form ultra-shallow junctions by controlling the annealing process.

As device density increases, single-layer

\* E-mail: tfler@cc.nctu.edu.tw

metal will be not sufficient for devices connection. Multi-layered metal connection technology becomes a major requirement in the integrated circuit technology. However, to reduce mask numbers and process complexity, the size of the metal plug between metal layers and the contact hole to interconnect the source, drain and gate must be shrunken. The lithography and etching process to form small contact holes were one of the main topics of our study.

In the study of devices, the nano-scaled FinFET were successfully accomplished with gate length 50nm and channel width 50nm. The Ni-silicidation processes were applied to this nano-scaled SOI devices. This device has the low leakage, high on state current, and small subthreshold swing.

**Keywords:** ultra-shallow junction, silicide, contact hole, FinFET, Ni-silicidation.

## 二、緣由與目的

金屬矽化物已經廣泛的應用於元件的製程材料中，如接觸電極和局部連線中，且其具有自我對準(self-aligned)的優點，可以有效地增加接觸面積、降低接觸電阻、及減少製程步驟。

在金屬的選擇上多種金屬都曾被考量(Pt, Ti, Co, Ni)但因各有優缺點而有所不同應用之處。在深次微米製程中，鎳金屬矽化物(NiSi)是其中一種被廣泛研究的金屬[1]，它的優點包括低的電阻係數(~14  $\mu\Omega\text{-cm}$ )、低的接觸電阻、較少的矽原子消耗(~1 nm 的鎳和 1.84 nm 的矽形成 2.22 nm 的金屬矽化物)、低的形成溫度(~500  $^{\circ}\text{C}$ )、且無窄線寬效應和相位轉換的問題[2]。在形成金屬矽化物的過程中鎳金屬為移動的物質(moving species)，在經過單一步驟的回火過程即可形成鎳矽化物。當元件持續縮小的進度下，製程使用低溫化的趨勢愈見明顯，故鎳金屬在熱穩定性方面

的顧慮也漸被其優點所取代。

快速退火系統目前於工業界之使用非常的廣泛，尤其在深次微米的製程上更是不可或缺，此系統可以大量減少熱處理的時間，以減少元件因熱處理所造成的退化。當元件縮小至奈米等級的尺寸時，對於抑制短通道效應和其他負面的電性影響，超淺接面已是一個重要的關鍵[3]。在本計劃中我們採用離子佈植非晶矽固態擴散源法，再結合超薄的絕緣層堆疊結構，以預防離子濃度的尾端(tail)擴散過深[4]，接著利用快速退火裝置(Rapid thermal annealing, RTA)進行推入(drive in)及活化(activation)的步驟來形成淺接面。另一方面，形成一個低阻值的汲/源極區也是一個重大的議題，故我們另一個淺接面的重點在於形成高濃度低阻值的摻雜區。本計畫藉由快速退火的系統有效的降低離子的擴散深度，並大幅提高離子的活化程度，以達到我們所需要的高濃度低阻值的超淺接面[5]。

在微影製程方面。雖然電子束微影系統已經開始大量研究於微小元件的製作上的運用，但隨著解析度的需求，往往使得所需的光阻厚度變薄，所以對於極小之圖形定義通常伴隨著超薄的光阻層[3,4]，但是在此薄的光阻層條件下，其抗蝕刻力往往不足，以致於造成過蝕刻現象產生。電子束阻劑的抗蝕刻能力往往令人詬病，為了克服上述之問題，我們嘗試將光阻劑與有高度抗蝕刻能力的奈米粒子做結合[5]，稱為電子束阻劑修飾法。碳粒子團的高抗蝕刻能力在幾個研究內已經被提出來討論，如 Broers et al. 已經的成功證實碳粒子團對乾式蝕刻有著非常良好的抗蝕刻能力奈米碳粒子團，能填補阻劑中的自由體積 (free volume)，降低阻劑中抗蝕刻物質與蝕刻氣體反應的機會，進而增加阻劑蝕刻

率。在微影製程之中，未曝到光的聚合物經顯影和硬烤之後，必須能夠增加抵擋電漿蝕刻 (plasma etching) 的能力。Ishii 及他的工作群使用了 C60 去修飾其電子束阻劑。他們發現了加入 C60 後圖案的對比度、蝕刻抵擋能力及熱穩定性等方面都有增進。因此，在此方面的研究，我們將 C60、C70 奈米粒子與光阻劑做結合，研究增進光阻的抗蝕刻率。

在元件方面，當元件尺寸微縮到 0.1 $\mu\text{m}$  以下時，短通道效應會變得非常嚴重，所以如何提高閘極對通道的控制能力一直是一個重要的課題，元件結構有朝著立體化發展的趨勢，如雙閘極(double gate)與三閘極(triple gate)結構，目的就是要提升閘極對通道的控制力；在通道方面，矽在絕緣體元件(SOI devices)因具有較抑制的短通道效應與低的汲極/源級寄生接面電容，在奈米尺度元件的發展上一直扮演舉足輕重的角色，其中又以鰭型場效應奈米電晶體(FinFETs)[6]最受各界重視，鰭型場效應奈米電晶體低基礎是通道厚度必須小於通道空乏區寬度，其通道具有兩個以上的閘極控制稱之，此為具有雙閘極(double gate)或三閘極(triple gate)結構之完全空乏型矽在絕緣體元件(fully depleted SOI devices)，其特色是有高度閘極對通道的控制力，能有效抑制短通道效應，降低因為汲極引發位能障降低(drain-induced barrier lowering-DIBL)效應，矽在絕緣體元件通道的摻雜濃度可以比一般基體矽元件(bulk Si devives)來得低，載子在通道的雜質散射(dopant scattering)可以降到最低，如此載子的遷移率可以發揮到最大[7]。

在矽化物應用上，除了可以降低汲極/源級串聯阻抗之外，也可以有效抑制矽在絕緣體元件之浮接基體效應(floating body effect)[8]，浮接基體效應會增強汲極引發位

能障降低效應與降低汲極崩潰電壓，也會引發 kink 效應，造成低輸出阻抗之輸出特性曲線；鎳矽化物製程低溫穩定，非常適合用來製作奈米尺度元件，適當的鎳矽化物可使元件具有更高的導通電流並能有效地抑制矽在絕緣體元件之浮接基體效應。

### 三、結果與討論

首先，我們在矽晶片上成長超薄絕緣層，作為擴散阻擋層防止雜質擴散時造成接面過深的現象。接著再沉積多晶矽作為雜質擴散源。將雜質佈植至多晶矽和超薄絕緣層介面，再進行快速退火，最後剝離多晶矽和絕緣層以得到超淺接面如圖一所示。

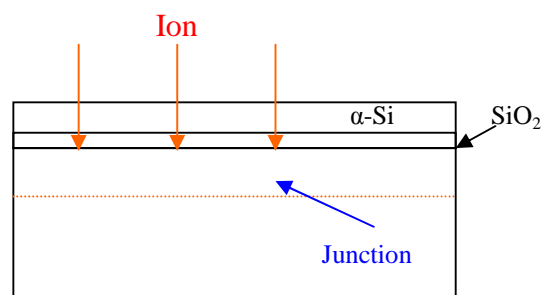


Fig. 1

由 Table 1 可知我們進行快速熱退火的條件分為三項，分別為 RTA、950 $^{\circ}\text{C}$ 、5s，RTA、1050 $^{\circ}\text{C}$ 、5s，RTA、1050 $^{\circ}\text{C}$ 、1s。

Table 1 RTA conditions

	5s	1s
950 $^{\circ}\text{C}$	950 5s	
1050 $^{\circ}\text{C}$	1050 5s	1050 1s

經由圖二可知 RTA、950 $^{\circ}\text{C}$ 、5s 得到 72.6nm 超淺接面，RTA、1050 $^{\circ}\text{C}$ 、5s 超淺接面為 84.2nm 而 RTA、1050 $^{\circ}\text{C}$ 、1s 超淺接面甚至低於 62.1nm。

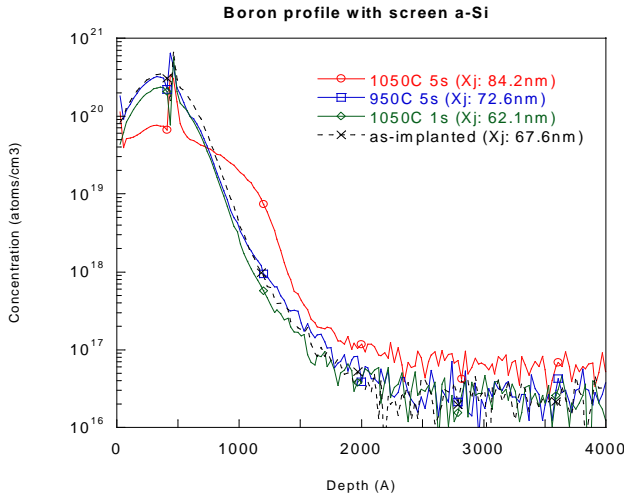


Fig. 2

由 Table 2 指出片電阻維持再  $140\Omega/\square$  ~  $240\Omega/\square$ 。符合  $62.1\text{nm}$ ~ $84.2\text{nm}$  超淺接面的片電阻，表示雜質活化完全。

Table 2. Sheet resistance ( $R_s$ )

RTA condition	950°C 5s	1050°C 1s	1050°C 5s
$R_s$	248 $\square$	1.1 $\square$	~. $\square$

下圖三為  $\text{PH}_3$  電漿處理後所形成之界面，經由二次離子質譜分析儀所得到之雜質濃度與界面縱深關係圖。我們可以發現，經過快速退火系統 950 度 30 秒的處理後，我們可以得到一個約 300 埃的超淺界面。

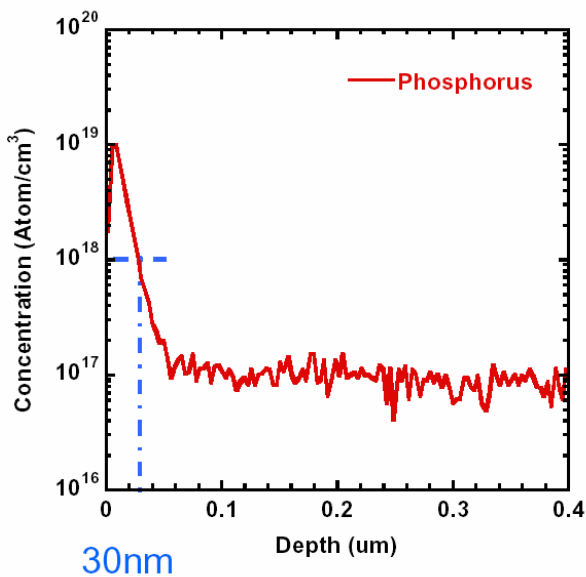


Fig. 3

下圖四為經過  $\text{PH}_3$  電漿處理所形成的二極體界面之片電阻與金屬矽化溫度之間的關係。在這三種不同的鎳矽化界面，分別是純鎳之矽化界面，有鈦作保護層之鎳矽化界面，和有鋅作保護層之鎳矽化界面。其中有保護層所形成之鎳矽化界面，其片電阻隨溫度所產生的劣化現象較不顯著，尤其是有鋅做成保護層的鎳矽化界面。

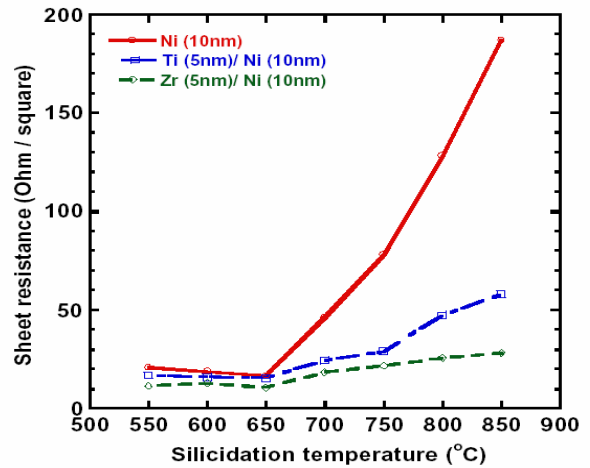


Fig. 4

下圖五為不同結構之鎳矽化界面的電壓與電流關係圖。在經過高溫金屬矽化溫度處理後，其反向電壓所造成之漏電流較大，但經有保護層所形成之鎳矽化界面，在同金屬矽化條件下，其反向電壓所造成之漏電流會有所改善，尤其是有鋅保護層之鎳矽化界面。

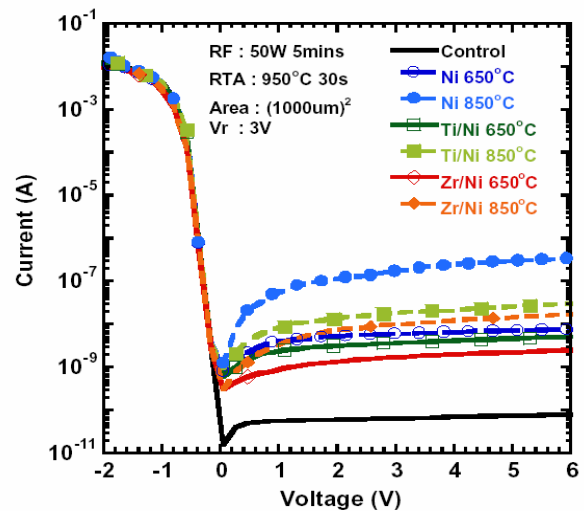


Fig. 5

下圖六為不同結構鎳矽化界面,其界面處所產生的漏電流與不同金屬矽化溫度之關係圖,而圖七為不同結構鎳矽化界面,其界面周圍所產生的漏電流與不同金屬矽化溫度之關係圖。從兩種不同來源之漏電流,會隨著矽化溫度升高而變大,但是有保護層結構之鎳矽化界面之漏電流較低,特別是有鋇保護層之鎳矽化界面。

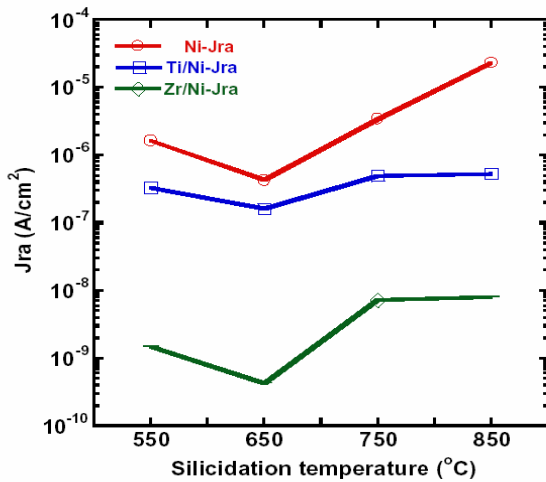


Fig. 6

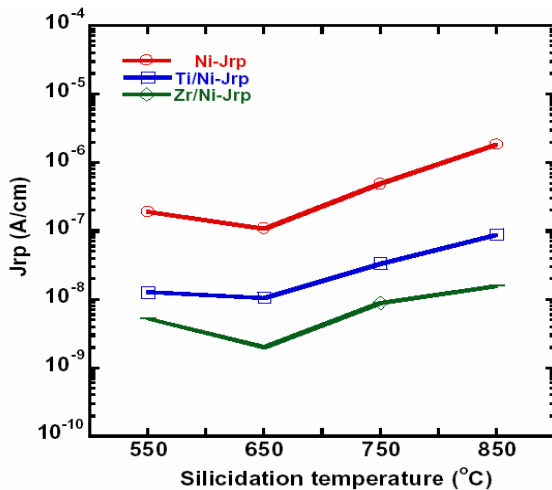


Fig. 7

下圖八為採用電子束微影之製程,使用 DSE+C70\_0.02%的奈米修飾阻劑,經過蝕刻後得到 56 nm 的奈米洞。將定義出的圖形加以切片,並且利用電子顯微鏡拍攝橫切面的結果,而蝕刻時間為 45sec,使用的氣體為

$$\frac{CHF_3}{CHF_3 + CF_4} = 1.0。$$

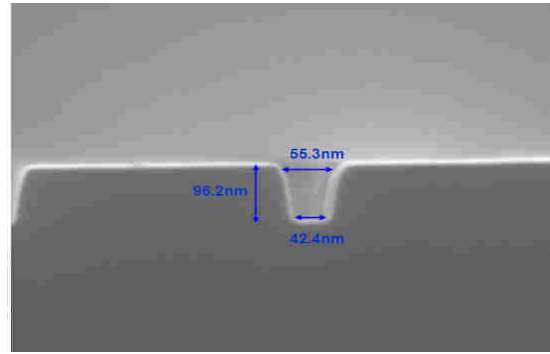


Fig. 8

下圖九為使用 Metal PVD, 填充 TiN 進入 60 nm 奈米洞的橫切面圖案。由圖可知金屬物理氣相沉積, 覆蓋能力較差, 洞口的膜厚增加速率遠高於洞壁與洞底。將會形成金屬膜無法填入的現象, 並且造成孔洞的結果。

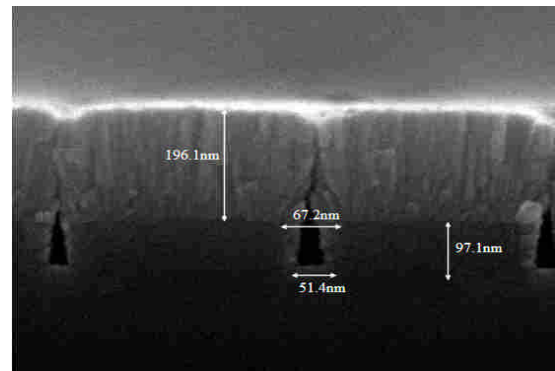


Fig. 9

下圖十為使用 Metal CVD, 填充 TiN 進入 60nm 奈米洞的橫切面圖案。由圖可知金屬化學氣相沉積, 覆蓋能力很好能將 60nm 奈米洞填滿。

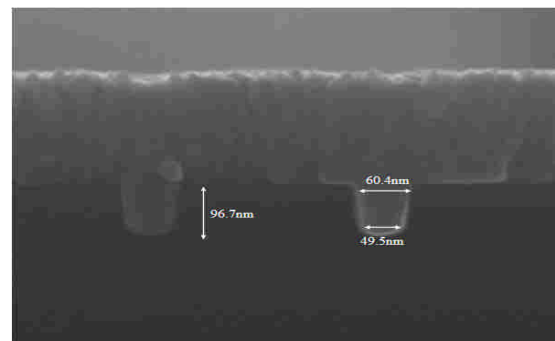


Fig.10

最後，我們在矽在絕緣體(SOI)矽晶片上完成 45nm 通道長度的奈米矽在絕緣體元件(nano-scaled SOI devices)如圖十一所示。

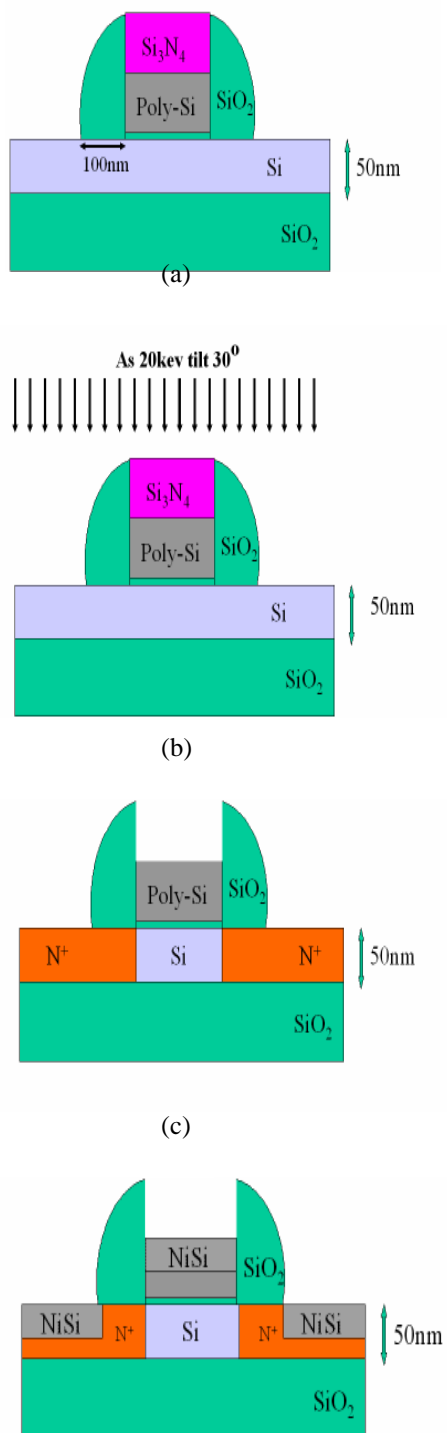


Fig. 11

由圖十二 SEM 得知奈米元件的最小通道寬度為 46nm。

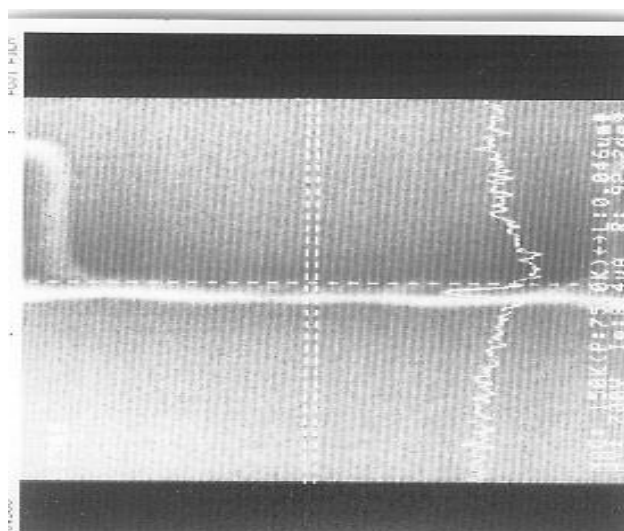


Fig. 12

由圖十三 SEM 得知奈米元件的最小通道長度為 42nm。

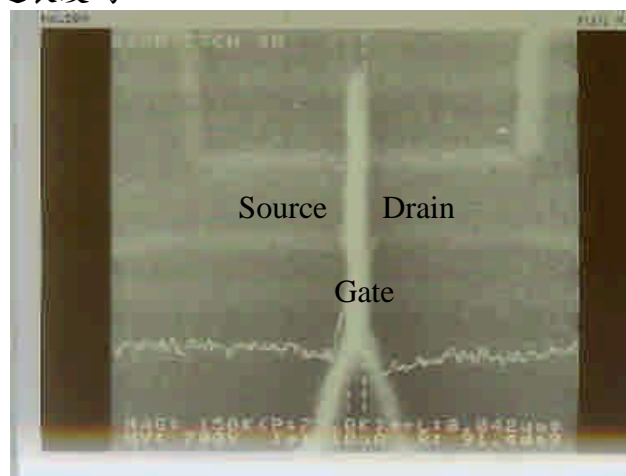
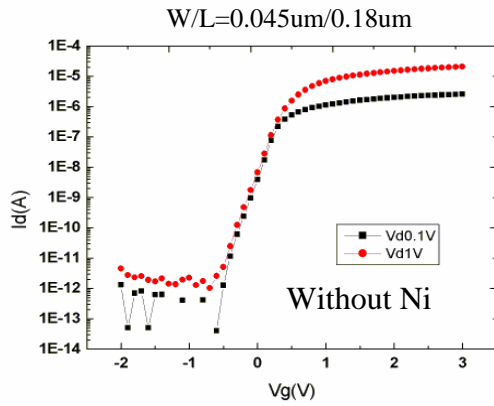


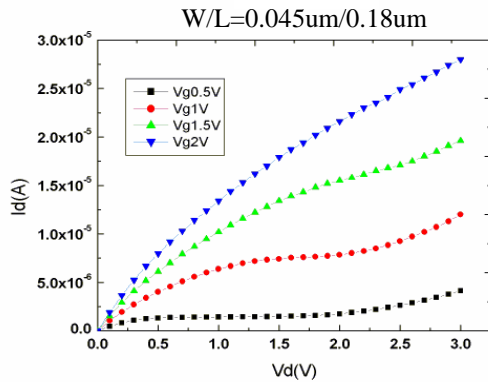
Fig. 13

圖十四所示的是元件尺寸為寬度 0.045 $\mu\text{m}$ ，閘極長度為 0.18 $\mu\text{m}$  的轉換特性曲線與輸出特性曲線，此 FinFET 元件寬度小於 0.05 $\mu\text{m}$ ，使得閘極對通道的控制能力大幅度提升，所以與尺寸為寬度 0.18 $\mu\text{m}$ ，閘極長度為 0.18 $\mu\text{m}$  元件相比(圖十五)，在漏電方面能大幅改善，進而提升元件電流導通關閉比(on/off ratio)。



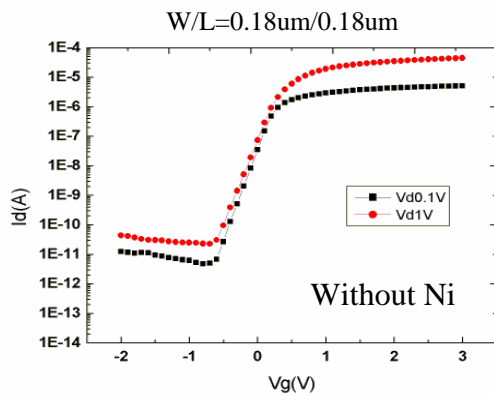


(a)

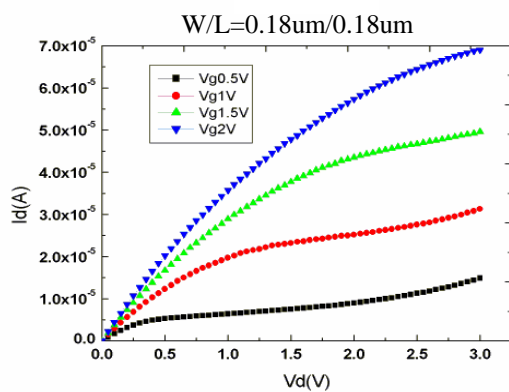


(b)

Fig. 14



(a)

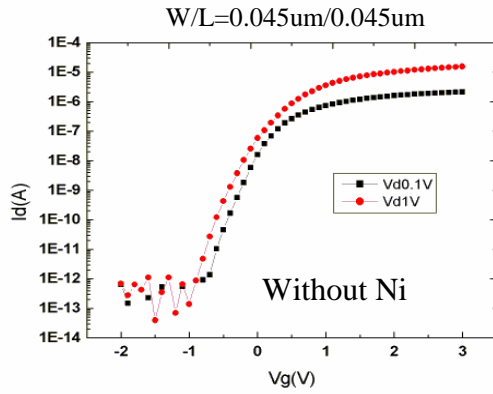


(b)

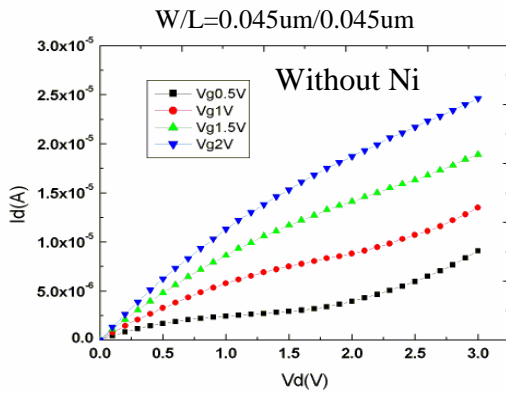
Fig. 15

為了比較在閘極，源極/汲極上形成矽化物對元件的影響，圖十六所示的元件是以無矽化物製程來完成，而圖十七所示元件是以矽化物製程來完成；圖十六是奈米元件尺寸為寬度  $0.045\mu\text{m}$ ，閘極長度為  $0.045\mu\text{m}$  的轉換特性曲線與輸出特性曲線，圖十六所示的元件製程以無矽化物來完成，因為此 FinFET 元件寬度小於  $0.05\mu\text{m}$ ，加上閘極對通道的高控制能力，所以即使閘極尺寸微縮到只有  $0.045\mu\text{m}$ ，元件的仍能保持很低的漏電，在汲極引發位能障降低 (drain-induced barrier lowering-DIBL) 表現上也能維持不錯的表現。為了探討矽化物製程對元件特性的影響，在圖十七所示元件中只比圖十六多了一道矽化物製程，元件尺寸同樣為寬度  $0.045\mu\text{m}$ ，閘極長度  $0.045\mu\text{m}$  的轉換特性曲線與輸出特性曲線，在漏電方面並不會因為有矽化製程而變大，仍能維持不錯的漏電表現，值得注意的是具矽化物製程的元件也能大幅地改善次臨界擺動 (subthreshold swing) 的表現，

另外，在輸出特性曲線方面，可以明顯看出具矽化物製程的元件有較飽和的輸出特性曲線，較大的輸出阻抗，與較大的導通電流，在汲極引發位能障降低 (drain-induced barrier lowering-DIBL) 表現上，圖中可明顯比較出具矽化物製程的元件表現得比無矽化物製程的元件來得更好。這是因為在汲極/源極接面形成的鎳矽化物能有效抑制因撞擊游離 (impact ionization) 在基體 (body) 的電洞暫態累積所引發非的理想浮接基體效應，位於汲極/源極接面之鎳矽化物就如同是電洞的沉沒 (sink) 處，能加速電洞的排出，抑制元件的汲極引發位能障降低 (DIBL) 效應、短通道效應，得到更飽和的輸出特性曲線與更大的汲極崩潰電壓。

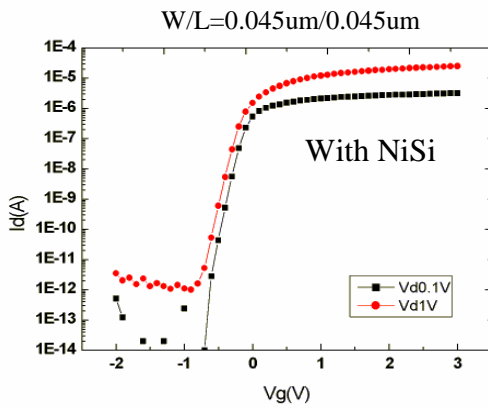


(a)

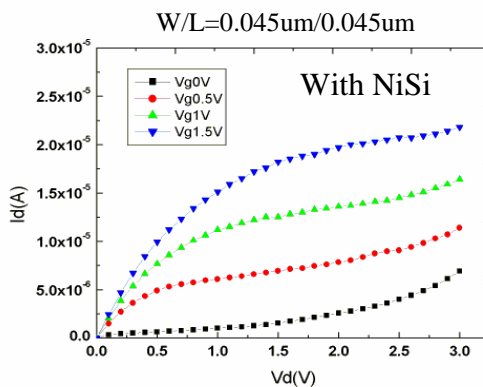


(b)

Fig. 16



(a)



(b)

Fig. 17

#### 四、成果自評

本次計畫之執行，皆達預期成果，並已在相關學術期刊上發表論述，茲列於下：

[1] Shieh, M.-S.; Chen, P.-S.; Tsai, M.-J.; Lei, T.F., "A Novel Dynamic Threshold Voltage MOSFET (DTMOS) Using Heterostructure Channel of  $\text{Si}_{1-y}\text{C}_y$  Interlayer," *IEEE Electron Device Lett.*, vol. 26, no. 10, pp.740- 742, Oct. 2005.

[2] Yu-Hsien Lin, Chao-Hsin Chien, Ching-Tzung Lin, Chun-Yen Chang, and Tan-Fu Lei, "High Performance Nonvolatile  $\text{HfO}_2$  Nanocrystal Memory," *IEEE Electron Device Lett.*, vol. 26, no. 3, pp. 154-156, Mar. 2005.

[3] Hsin-Chiang You, Fu-Hsiang Ko, Tan-Fu Lei, "Resist nano-modification technology for enhancing the lithography and etching performance," *Microelectronic Engineering*, vol. 78-79, pp. 521-527, 2005.

[4] M.S. Shieh, Y.J. Lin, C.M. Yu, T.F. Lei, "Characterization of polysilicon thin-film transistors with asymmetric source/drain implantation," *Nuclear Instruments and Methods in Physics Research B* vol. 237, pp.223–227, 2005.

[5] Ming-Shan Shieh, Jen-Yi Sang, Chih-Yang Chen, Shen-De Wang, and Tan-Fu Lei, "The Characteristics and Reliability of Multi-channel Poly-Si TFTs," *solid state devices and material*, 2005, pp.616-617.

#### 五、參考文獻

[1] T. Yasunaga et al, *IITP*, 1998, p.18

[2] D. H. Choi et al, *Jpn. J. Appl. Phys.*, 1994, p. L83.

[3] J. B. Lasky et al, *IEEE Trans. Electron Devices*, 1991, p.262.

[4] E. G. Colgan et al, *Mater. Chem. and Phys.*, 1996, p.209.

[5] H. H. Berger et al, *Solid-St. Electron.*, 1972, p.145.

[6] W. C. Lee et al, *IEEE Trans. Electron Devices*, 2000, p.2320.

[7] F. L. Yang et al, *IEDM*, 2002, p.255.

[8] R. A. Johnson et al, *IEEE International SOI Conference*, 1996, p.78.