

行政院國家科學委員會專題研究計畫 成果報告

子計畫五：針對無線通訊上佈局驅動的資料路徑合成器之研究(3/3)

計畫類別：整合型計畫

計畫編號：NSC93-2220-E-009-036-

執行期間：93年08月01日至94年07月31日

執行單位：國立交通大學電子工程學系暨電子研究所

計畫主持人：周景揚

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 10 月 29 日

針對無線通訊上佈局驅動的資料路徑合成器之研究 (3/3)

“The Study on Layout-Driven Datapath Synthesizer for Wireless Communication”

計畫編號：NSC 93-2220-E-009-036

執行期間：93 年 8 月 1 日 至 94 年 7 月 31 日

主持人：周景揚 交通大學電子工程系教授

一、 中文摘要

由於半導體技術的突飛猛進，單晶片系統(SoC)已經變成了二十一世紀裡的主流科技，藉由單晶片系統的技術，可以加速促成三C(電腦、通訊、民生家電)之間的整合，這不管對企業或是科技來說，都是一股不可避免的潮流，對整個人類社會來說，三C的整合應用更是一個非常重要的進步。

以往人們的期望只是一個快速、可靠且容易使用的無線通訊系統，但現在人們的要求已不僅僅如此，他們期待能有更快速的方法來透過無線通訊存取資料，以便應付現在的各種應用，例如收發電子郵件、檔案傳輸協定、網路瀏覽器、甚至即時影像傳輸等等，對無線服務提供的廠商來說，它們若想繼續保有競爭力，就必須跟上這個時代潮流。在這個整合計畫中，我們主要就是針對 Beyond 3G(B3G)的無線通訊網路來做研究，特別是其中的單晶片系統技術。

在 B3G 的無線通訊系統中，如何設計一個速度又快、面積又小的乘法器是非常重要的，因為乘法器是系統中許多重要部分如中央處理器(CPU)、數位訊號處理器(DSP)、快速傅立葉轉換器(FFT)裡的關鍵元件。

在之前的研究中，我們提出了一個以佈局導向為考量的自動乘法產生器。對於時序的計算，我們採用了以單位元件為基礎的延遲模型(cell-based delay model)，而非傳統電路設計中被廣為使用的互斥邏輯閘的延遲模型(XOR-based delay model)；同時，在電路合成的過程中，加入了繞線延遲(wire delay)的效應，使得時序的計算將能更貼近實際電路的情形。除此之外，在電路配置(placement)的過程當中，不僅對於時序做了最佳化，還同時考慮了電路的形狀，使其能趨近於方正。藉由將電路合成、配置以及再合成等步驟整合在乘法產生器的流程，我們將可以得到優於其它傳統作法所產生的乘法器。

在此次計畫中，我們提出了由誤差大小來決定硬體的自動乘法產生器。藉著容許些許的誤差，我們可以用更小的面積來實現更快速的乘法器。考慮到信號到達時間的曲線圖，我們也為以時間為考量的繞線和電路配置(placement)提出一些技巧，來做時序最佳化。在乘法產生器的流程中，藉由整合電路合成、配置以及再合成的步驟，我們將可得到優於其他傳統作法產生的乘法器。

快速傅利葉轉換處理器與逆向快速傅立葉轉換是正交分頻多工通訊系統(OFDM)中重要的元件，如數位電視(HDTV), xDSL modem 等，再者，由於超大型積體電路逐漸複雜以及系統晶片的觀念，設計者必須在短時間內完成複雜的系統，如何使用設計自動化的方式將快速傅利葉轉換處理器設計時程降低成為一個重要的課題。

到目前為止還有很多研究進行中以改善其效能。另外，由於硬體中有效字元長度的影響，量化誤差的選擇在系統設計上也是一項精確度與硬體資源消耗的取捨。因此如何在一定的量化誤差之下盡量減少硬體資源也是一個值得探討的問題。在本篇論文中，我們提出了一個方法，針對了管線化快速傅利葉處理器每級架構規律的特性，試著自動化快速傅利葉處理器的設計流程。利用系統設計者所提供的快速傅利葉處理器點數、訊號對量化雜訊比(SQNR)和處理器速度限制，我們可以藉著調整每級之字元長度，而對特定的管線化快速傅利葉處理器的面積或功率作最佳化。為了減少使用者的設計時程，在我們提出的流程中，自動產生一個擁有週期準確度可模擬的模型，提供設計者方便靈活的模擬環境。

最後，我們將著重在整合的問題上面。由於智慧財產(IP)的重新利用無疑地是這個以佈局考量為基礎的自動產生器裡的一大考量，因此，我們將研究如何為這個自動產生器所產生的電路做一個效能及功率消耗的估計模式，以及在整合我們的產生器進商業設計環境之相關問題；除此之外，我們也會一併研究如何提供相關的 Verilog 模擬模型，並對於整個的驗證策略提出我們的看法。

關鍵字

乘法器 量化誤差 雙極吻合

二、 Abstract

With the advent of semiconductor technology, the System-on-a-chip (SoC) becomes a mainstream and focus of technologies on coming 21st century. The integration of Computing, Communication and Consumer Electronics will be speeded up through SoC, which causes the unavoidable trend of new era for technology and enterprises. Especially, the application of 3C integration is very important to the progress of human being society.

People all over the world have come to expect fast, reliable, and easily accessible wireless communications and now they are demanding faster ways to access data with applications as diverse as e-mail, file transfer protocol, Internet browsers, and even real-time video teleconferencing. Wireless service providers who want to remain competitive must keep pace with this demand. In this integrated project, we are targeting on the study of beyond 3G wireless networks. Particularly, we are focusing on **SoC technologies for OFDM-based SDR baseband processing**.

To design fast, area-efficient and low power multipliers is important because multiplication is a key operation in many processors such as **CPU, DSP and FFT/IFFT** processors for the **wireless communications**.

In previous research, we presented an automatic layout-driven multiplier generator. The cell-based delay model, rather than the XOR-based model, is used for timing estimation and the wire delay is also considered in the synthesis process. The timing optimization, by considering the shape of the circuit, is conducted in the placement process. Final adder is produced together with the column compression tree for getting the simpler structure. By integrating synthesis, placement and resynthesis processes in the multiplier generation flow, the multipliers generated by our layout-driven multiplier generator outperform other previous works as shown in our experimental results.

In this project, we present an automatic error-controlled hardware-configurable multiplier generator. The determination of the hardware of a multiplier is based on the error constraint given by users. With allowing some rounding errors, a significant reduction in area and delay can be achieved. By considering signal arrival profile, we also proposed several techniques for timing driven routing and placement to optimize the timing. By integrating synthesis, placement and resynthesis processes in the multiplier generation flow, the multipliers generated by our multiplier generator outperform other schemes used for

comparison as shown in our experimental results.

FFT and IFFT are important components of Orthogonal Frequency Division Multiplexing (OFDM) systems in many communication applications such as HDTV, xDSL modem, and wide band mobile terminals. With the increasing complexity in modern Very Large Scale Integrated circuit (VLSI) design and the conception of system-on-chip (SOC), designers have to complete a complicated system design in a short time. Therefore, it is a key issue to reduce design time of FFT processors through design automation.

Much research is still undertaken to improve its performance. Furthermore, subject to the effect of finite wordlength in hardware, a trade-off between precision and hardware resource has to be made. Accordingly, it is a key issue to maximize the precision at the minimal cost of hardware complexity. This thesis presents a solution to automate the design flow for pipelined FFT processors that are characterized by the regularity in each stage. We can adjust the wordlength in each stage to obtain the optimization of the area or the power for specified pipelined FFT processors by using the constraints of point of FFT, signal-to-quantization-noise ratio (SQNR), and speed of processors. To decrease the design time, our flow is capable of generating automatically a timing accuracy model which can be simulated. This feature provides designers a flexible simulation environment.

Finally, we will focus on the integration issues to achieve smart IP reuse for this **layout-driven** data path synthesizer. Therefore, we will study the **performance modeling and power modeling for our generated multipliers and FFT/IFFT processors. We will investigate the associated issues in integrating our synthesizer into the commercial CAD environment.** The related simulation models in Verilog will also be provided.

關鍵詞: multiplier, quantization error, bipartite matching

三、 計畫的緣由與目的

一般有兩種設計流程，一種是 cell-based 設計流程，設計者使用 Verilog/VHDL 描述抽象的硬體，經由自動的合成，放置以及繞線，這樣的設計流程，設計時間縮短了，但是設計出來的電路，在時序上以及面積都比較差，第二個流程是 full-custom 設計流程，設計出來的電路，可以達到相當高的品質，但是這種設計流程需要耗費相當多的人力以及時間。而且因為大量的人為操作，容易發生錯誤，因此需要耗費相當多的時間作驗證。

在深次微米時代，除了要考慮元件的延遲之外，還要考慮繞線的延遲，但是連線的延遲，在合成的時候，很難精準的估計時序，所以一般會把合成跟放置合在一起做，稱之為 physical synthesis，我們更加的延伸，把電路分成很多部分，每個部分都做合成與放置，這樣的方法可以達到更好的效果。

乘法器是一個很特殊的運算元，有很多的地方可以去調整它，但是需要一個系統化的方法，可以對 timing, area, power 做一些最佳化的設計，然而很多的問題是 trade-off 的，我們需要尋找一個好的平衡點，以達到我們的要求，因此在乘法運算上，我們會去分析 quantization noise, area, timing, power 等 trade-off 的影響，然後提出一些有效的演算法。

快速傅利葉轉換，使用不同的演算法及其架構會有不同的特性，使用於不同的應用，如何選擇一個最適合的架構，會是系統設計者最重要的任務，而複雜的交互關係，使得設計者難以找到最佳解，一般找到適當的解，可以滿足所需條件，但晶片面積不一定是最小。

再者，有效字元長度也是一個最佳化的問題，如何讓晶片面積做最有效的運用，影響結果精確度重要的地方，就應該資料長度多一點，這方面的問題需要使用電腦輔助分析，才能很精準的獲得最佳解。

四、 研究方法及成果

1. Generation Flow

我們從 LSB 端的 VCS 做起，每一個 VCS 做 column compression tree generation，resynthesis，做完這個 VCS，再做下一個 VCS，這樣的設計主要是因為 VCS 是一片一片的結構，使用這樣的流程可以利用此特性，這是一般電路所沒有的。在圖 1 可以看到整個 flow。

MULTIPLIER_GENERATION()

Begin

```
1 FUNCTION_ANALYSIS_and_PARTIAL_PRODUCT_GENERATION()
2 BUFFER_INSERTION()
3 PLACEMENT()
4 For ( each VCS in increasing-weight order)
5     Do CCT_CONNECTIVITY_GENERATION()
6         REWIRING()
7         ROUTING_and_TIMING_ANALYSIS()
8 FINAL_ADDER_ADJUSTMENT()
```

End

圖 1

2. Number System:

數字的表示，會影響到所需要的功率消耗，因此在電路設計時可能需要使用不同的表示法，因此也需要不同表示法的運算器，我們使用 2 補數來表示有號整數，我們的 partial product 產生器可以輕易的處理有號整數以及無號整數。

3. Truncated Multiplication:

在訊號處理中，fixed-point 的數字可以容忍一部分的誤差，例如 FFT 中，一定會有 quantization 的部分，而分析整個系統讓每個地方的誤差都在可容忍的範圍，需要做系統的模擬，在系統模擬中，可以分析出 quantization error V.S. cost 的 trade-off，這裡的 cost 可以是 area 可以是 power，在系統模擬中，會去評估可容忍的 quantization 量，而使用 Truncated Multiplication 會是一個重要的技巧可以使系統 cost 大量的減少。

但是 quantization 量是跟 input 的分布有關係，例如 FFT 的分布並不是 uniform distribution，所以我們需要 input distribution 作為我們設計的依據，而 multiplication 中 partial product terms 的選擇是一個最佳化的問題，我們使用 simulation-based 的演算法，來尋找對 output 最具影響力的 partial product terms。

在下圖中，我們會有 input distribution，我們會利用此分布找出每個 product term 的貢獻度，以決定哪些 product term 會保留下來，之後計算出他的誤差部分，因為 truncation 完之後 error 並不會是

random 的誤差,所以需要找出需要補償的部分,最後才會做 rounding 來達到規格的要求.

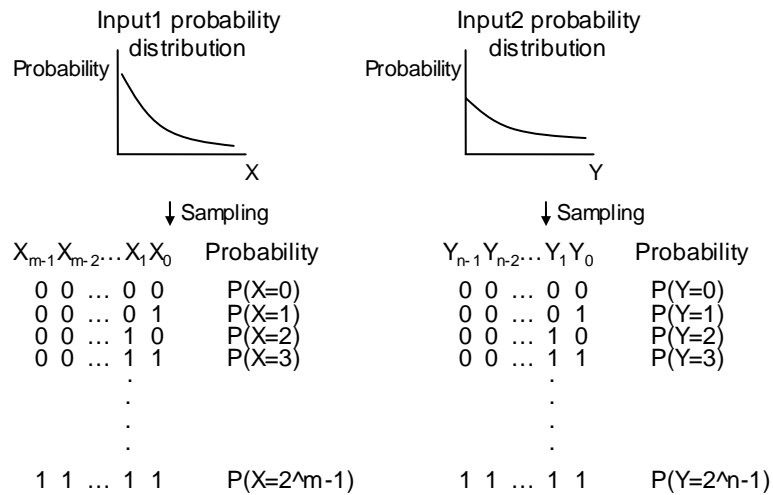


圖 2

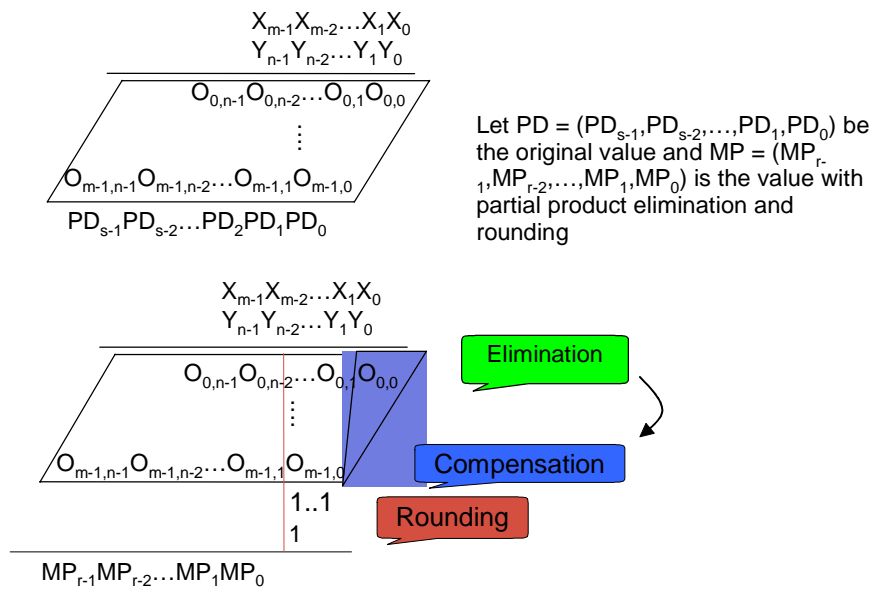


圖 3

下圖是一個設計流程圖,此圖描述了整個自動化的流程,可以利用下面的流程,根據 input distribution, input and output 的 word length, 找出最佳解.

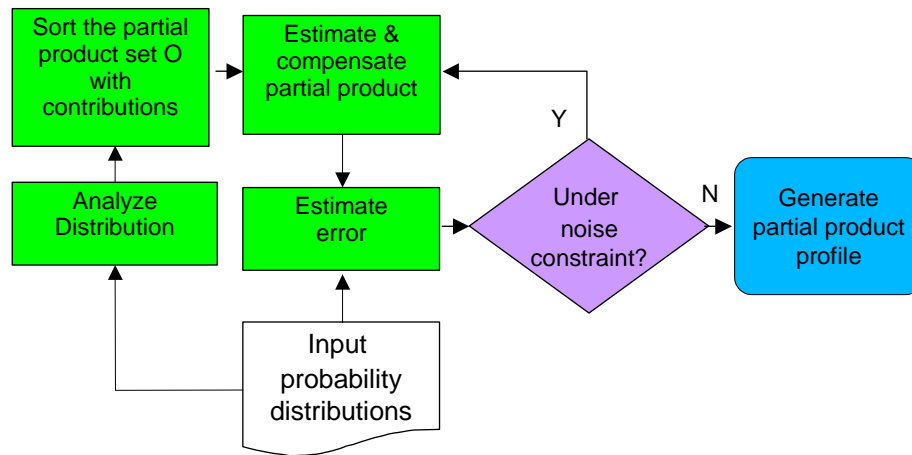


圖 4

4. Timing Model:

在這個計畫中，我們使用 cell-based 的時序模型，這樣可以比使用 XOR-based 的模型更加的準確，而且此模型可適用於不同的 cell library。

在連線的延遲估計上，我們使用 π -model 來模擬電路的結構，以及使用 elmore delay 的估算，來計算連線的延遲。

5. Column Compression Tree Generation:

給定每個 compressed terms 的到達時序，以及 cell 的資訊，建立一個最佳的 tree，這個 tree 有最快到達的 sum 以及 carry。

在這個問題上我們提出的 top-down 的演算法，這方法可以對整個 tree 做最佳化，相較於 bottom-up 的方法，只能使用一些 greedy 的演算法，我們提出的演算法是比較具有整體性的演算法。

6. Placement

乘法器具有 VCS 的結構，每個 VCS 跟前後 VCS 之間有連線關係，跟其他的 VCS 沒有連線，所以在放置的時候，針對這個特點，我們選定的放置位置也是具有這樣的特色，也就是每個 VCS 跟之前與之後的 VCS 在位置上是相連的。

一般的 block 需要設計成方形，這樣在做 floorplan 的時候，處理上比較簡單。因為我們的乘法

器產生器是可以輸出不同 bit-length 的乘法器，我們需要動態的決定每個 VCS 所使用的空間，因此找出一般性的通式是最重要，我們找出一些規則，可以把空間配置成方形，並且每個 VCS 還是保有原有的特性。

在考量到深次微米的繞線問題時,平行四邊形(如圖 5)的結構卻是比較適當的,因為整個 column compress tree 會在一直線上,而且 carry out 會有很短的距離,然而平行四邊形的結構因為不是方形結構,在 placement 或者是 floorplan 上會比較困難,然而在整個系統中,乘法器只是一個小元件,所以可以把這部分跟其他的元件整合在一起,而乘法器會是 timing critical 的地方,所以他的結構比較緊密,而其他結構比較鬆散,會是一個比較好的設計,因此我們會把此乘法器內的各個相對位置固定,而讓其他電路散在各個地方.

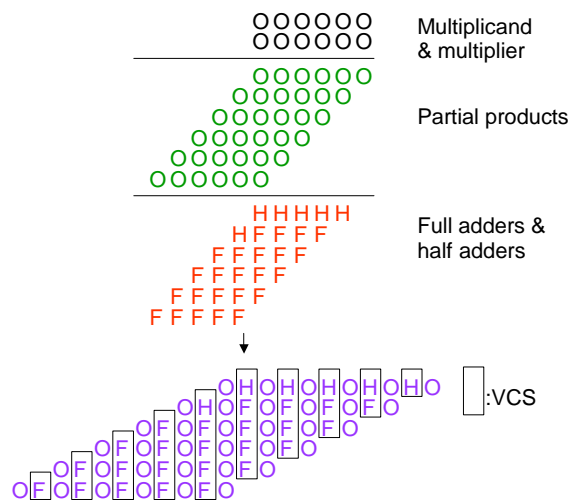


圖 5

7. Resynthesis:

因為在 synthesis 的時候，估計的線路延遲是不準確的，為了更進一步的改善，我們交換相同 weight 的連線，來達到整體的最佳化，首先要找出可以交換的連線來，之後再決定如何的交換，我們提出系統化的方法，針對連線的到達時序，來決定可交換的連線，至於交換的配對，是把此問題變成一個 minimax 的數學問題。

如何的選出可以交換的連線是這個問題中最難的部分,並不是所有相同 weight 的連線都可以交換,因為不適當的交換會讓電路有不正確的 cycle 導致 function 錯誤,我們提出兩個方法,首先,會找出

critical path 來,之後會把這條 path 跟其他可能的部分作交換,如圖 6 所示,可以尋找出 arrive time 相近的 edge,來做交換,因為 arrive time 相近的最有機會可以互換,如果兩個 edge arrive time 差異很大,那換過去,另一邊會變成 critical path,這樣就沒有好處.

另一個方法是把 critical path 自己重組,因為第一個方法無法做大幅度的變動,所以需要最此 critical path 做重組的動作,如圖 7 所示,可以把他的結構變更.

利用這兩種方法,就可以把 critical path 的 timing 縮短.

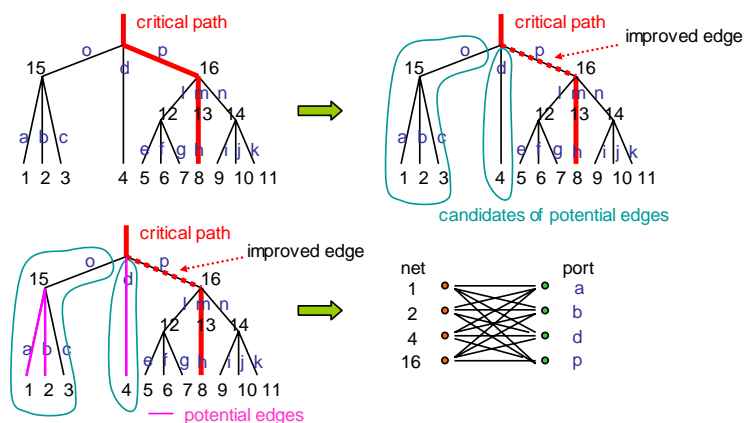


圖 6

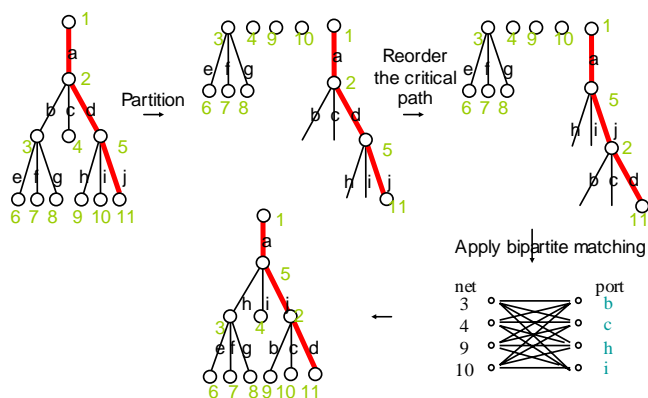


圖 7

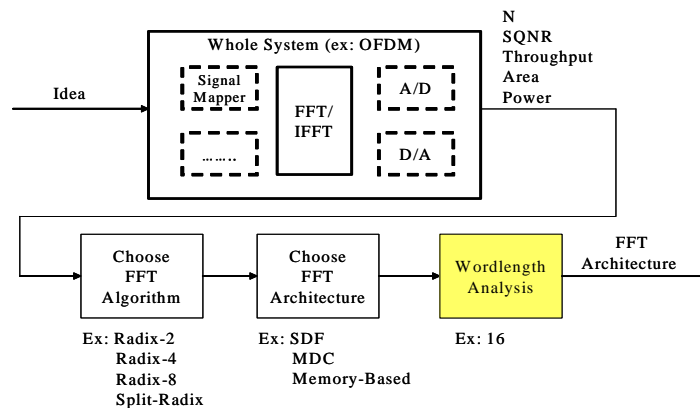
8. Speedup for the Final Adder:

乘法器在最後面需要加法器，但是由於此加法器的 input arrival time 是不一致的，因此需要特殊的加法器來處理。根據不同的 arrival time，我們會去分析 critical path，然後加入適當的 look-ahead 電路來加快速度。

9. Buffer Inserting

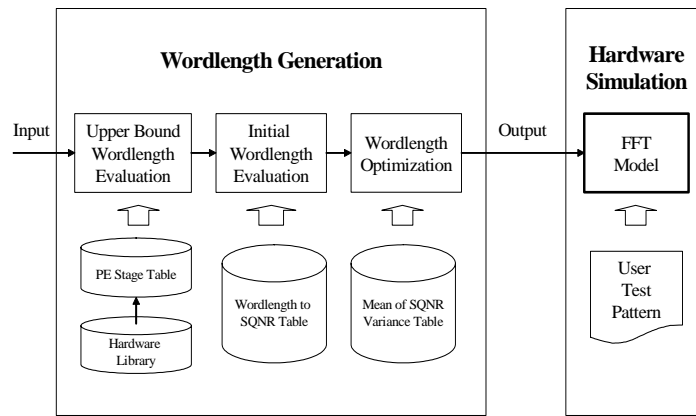
在乘法器中的 partial product 的產生，會有相當多的 gate 會需要同一條訊號來推動，這時候 buffer inserting 就會非常重要，但是 buffer 要放在什麼地方，要放多少卻是最佳化的問題，我們嘗試去分析，以 timing 為最重要的考量，也就是，不是 critical path 的部分就應該使用 buffer 切斷分開，使得 load 因此可以降低，然後直接使用大的 buffer 推動整個 critical 的部分，這是因為乘法器的特性；有相當多的 path 都是 critical path.

10. Overall Design Flow of FFT Processors



上圖是整個 FFT 處理器的設計流程，首先，整個系統會作完整的分析，獲得系統所需要的規格，如點數，SQNR，Throughput.. 等等的資訊，當我們有這些資訊，我們可以選擇適當的 FFT 演算法，FFT 架構，這些 Design Space Exploration 的部分，會影響整個系統的效能，以及所需的硬體，而選擇這些架構是需要很有系統的分析，才能找出最佳解，傳統上，經由架構設計者去分析整個系統，試著尋找適當的架構，這樣的做法，非常需要設計經驗，而且有些複雜的分析設計者無法系統化的分析。因此使用電腦輔助去最佳化，會試著找出最佳解。架構上確定之後，可以使用模擬分析的方式，找出最有效率的使用硬體。

11. Word Length Generation Flow



設計者可藉由一些機率的分析，找出系統效能與資料表示所需長度的關係，但是這樣的分析都是經由一些假設，因為複雜的交互關係，會使得設計者很難找出簡單的描述關係式，進而很難找到最佳解。

12. Library and Table

我們需要底層的資訊，經由抽象化的過程，建立所需要的資料，這些的資料可以作為我們系統分析所需要的資訊。我們會對這些抽象化過程中最重要的參數尋找出來，作為我們最佳化時所需要更改的參數。這些底層的建構，我們使用合成軟體，合成出各式各樣的元件，再經由分析軟體去找出他們的特性。建立所需的資料庫。經由這些資料，我們可以分析一個設計可以工作的時脈，所需要的記憶體，所使用的面積，系統的效能，這些的資訊都可以經由資料建構出。

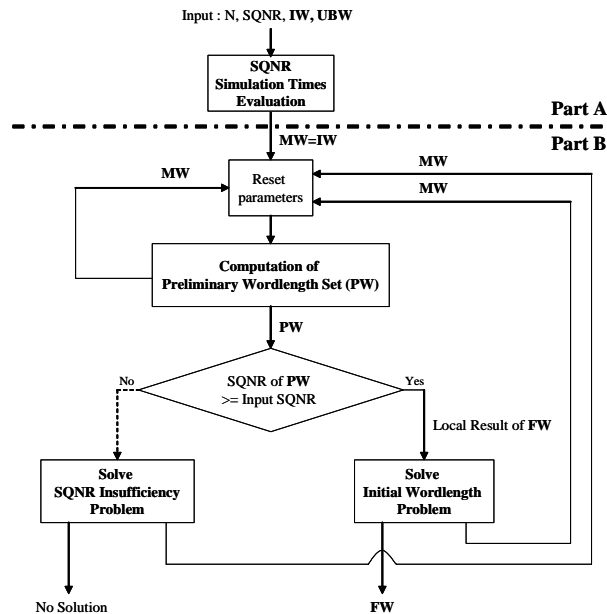
13. Upper Bound Word Length Evaluation

因為系統所要求的處理速度是給定的，所以在一特定架構下，就會有工作所需的時脈，而元件的工作時脈跟資料的長度有關，所以這時脈就會限制資料的長度，如果資料長度超過允許值，工作時脈就無法達到需求，而系統要求的處理速度也就無法達到。如果這樣的資料長度無法滿足所需，表示應該選擇另一個處理能力更強的架構，但是相對的就會花費更多的面積來達到要求。

14. Initial Word length Evaluation

為了減少最佳化時，所需要執行的時間，尋找一個與最佳解相近的初始解是非常重要的。因為與最佳解接近，表示只要經過幾次的尋找，就可以找到最佳解，而如果離最佳解很遠的話，就要經過很多步驟，才能達到最佳解，甚至如果走到小區域裡的最佳解，並不會是真正的系統最佳解。我們會經由我們之前建立的資料尋找最適當的值，但是這個適當的值是整個系統都是一致時所表現出來的效能。之後我們會對它的每一個可更改的地方作最佳化

15. Word Length Optimization



在逼近最佳解的過程中，我們會試圖尋找最有利的地方，作最佳化的方向，在最佳化的過程中，逐漸讓資料長度變小，在這裡我們定義最有利是 SQNR / Area 最大，SQNR 越大越好，而面積越小越好，當我們找到目前最好的解的時候，我們會把每一個參數都加一，然後再由相同的方式進行最佳化，這樣可以避免有些初始長度不夠的狀況，如果加一之後尋找的最佳解，與之前的最佳解一樣，就表示我們已經找到最佳解了。

16. Infrastructure

使用 SystemC 的環境，作 SQNR 的分析，Area 的分析，Timing 的分析，整個環境都建構在單一的平台，在系統設計上，使用一致的設計環境，並在此環境下作設計最佳化的演算法，作 design space exploration。

17. Timing and Power Modeling

我們經由底層的合成結果，抽取出所需要的參數，以此組合出電路所需的資訊，讓系統整合者可以對不同的電路架構，可以輕易的知道可工作的時脈，以及所消耗的能源，這部分的資訊都內含在 SystemC 的環境中，這樣的資訊可以輕易的與其他的電路作整合，以致於可以推出系統所需的整體資訊，作為整個設計的重要依據。

18. Vector Compaction Methods

針對只提供閘層級設計資訊的電路，我們提出一個較小的功率消耗模型。這個功率消耗模型只需使用輸入訊號轉換時電路的零延遲充電及放電電容值當索引，就可對照出實際功率消耗的估測值。因此矽智產使用者只要使用閘層級模擬時所得到的充放電電容值，就可以查表得到消耗的估計值。

18. Power Estimation for Intellectual Properties

經由矽智產供應商提供功能層級的設計資訊,則矽智產使用者能獲得電路輸入及輸出的對應關係,我們針對這樣的應用,使用類神經網路系統建立全新功率消耗模型,這樣的模型同時具有低複雜度以及高準確度的優點.

五、 結論與討論

在本報告中,我們提出了一個完整的流程,可以自動產生出在誤差容忍度限制下之最佳固定寬度乘法器,以及發展快速傅利葉轉換處理器的產生器,初步的成果相當令人滿意。研究結果已陸續投稿至相關會議及期刊。而之前相關成果也發表在會議中[2,3,4]以及國際性期刊[1]。

表一簡列近年本研究群的相關研究成果。89年發表會議論文5篇,期刊論文6篇,並有4篇論文於IEEE期刊發表,90年發表會議論文10篇,期刊論文3篇,並有3篇論文於IEEE期刊發表,91年發表會議論文5篇,期刊論文3篇,並於IEEE期刊發表2篇論文。92年發表會議論文12篇,期刊論文4篇,並有3篇論文於IEEE期刊發表。93年發表會議論文12篇,期刊論文3篇,並有3篇論於IEEE期刊會議論文發表。

Year	Number of Papers				SCI
	Domestic		International		
	Conference	Journal	Conference	Journal	
2000	0	0	5	6 (IEEE:4)	6
2001	2	0	8	3 (IEEE: 3)	3
2002	3	0	2	3 (IEEE:2)	3
2003	4	0	8	4 (IEEE: 3)	4
2004	3	0	9	3 (IEEE: 3)	3

表一、本研究群近年相關研究成果

六、 參考文獻

[1] Hsu-Wei Huang, Cheng-Yeh Wang, and Jing-Yang Jou, "An Efficient Heterogeneous-Tree Multiplexer Synthesis Technique," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, VOL. 24, NO. 9.

- [2] Liang-Yu Lin, Cheng-Yeh Wang, Pao-Jui Huang, Chih-Chieh Chou, and Jing-Yang Jou, "Communication-driven Task Binding for Multiprocessor with Latency Insensitive Network-on-Chip," Asia and South Pacific Design Automation Conference 2005.
- [3] Hsu-Wei Huang, Cheng-Yeh Wang and Jing-Yang Jou, "Optimal Design of High Fan-In Multiplexers via Mixed-Integer Nonlinear Programming," Asia and South Pacific Design Automation Conference 2004.
- [4] Cheng-Yeh Wang, Ya-Chi Yang and Jing-Yang Jou, "An Effective Physical Synthesis Technique for Multiplier," 2003 International Symposium on VLSI Technology, Systems, and Applications.