

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫四：智慧型面板內建電路設計(1/3)

計畫類別：整合型計畫

計畫編號：NSC93-2215-E-009-075-

執行期間：93年08月01日至94年07月31日

執行單位：國立交通大學光電工程學系(所)

計畫主持人：戴亞翔

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 5 月 24 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

高效率智慧型面板之研究 - 子計畫四

智慧型面板內建電路設計(1/3)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC93 - 2215 - E - 009 - 075 -

執行期間：93 年 8 月 1 日至 94 年 7 月 31 日

計畫主持人：戴亞翔

共同主持人：

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學 光電工程學系 顯示科技研究所

中華民國九十四年五月十八日

➤ 摘要

本計畫第一年度目前完成低溫多晶矽薄膜電晶體(LTPS TFT)元件特性變動資料庫之建立及元件變動模型參數之建立，並依據設定出的元件參數組，以 Monte Carlo 模擬技巧，評估各種基礎電路區塊(function blocks)性能與元件參數變動的相關性，來判斷出各元件參數對電路區塊特性的衝擊因素，作為高變動容許度之電路設計的研究基礎。本計畫總目標為建立一套新的 LTPS TFT 電路模擬技術以及新的電路設計觀念，在本年度與後續的相關研究配合之下，可使智慧型面板產品的設計成功，並實現系統整合顯示技術。

➤ Abstract

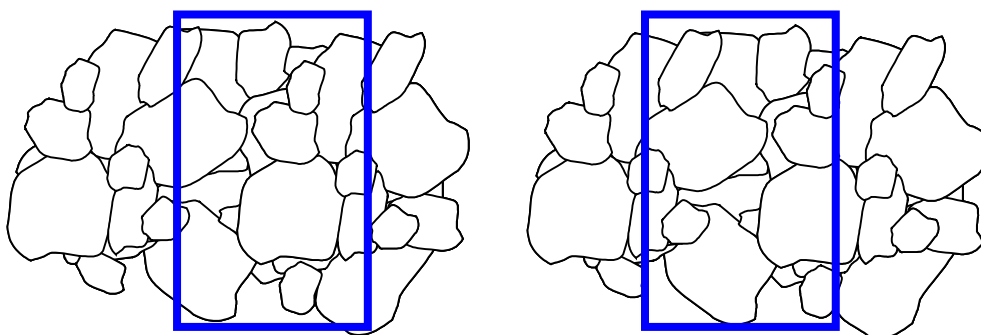
In this project for the first year, the device variation database and the corresponding model parameters are established. Based on the model parameters, the performances of some basic function blocks affected by the parameter variation are studied using Monte Carlo simulation. The impact factors of the device parameters on the circuit performance are analyzed to be the fundamentals of circuit design with device variation immunity. The final purpose of this project is to build up the new simulation skills and new design concepts with LTPS TFTs. With the research of this and following years, the successful design of smart panels can be confident, which enables the technology of display system integration.



前言及研究目的

本計畫為整合性計畫之一項子計畫。而計畫的主要目標，在建立 design for variation(包括 reliability)的內建電路設計技術，以下先就本計畫的主要重心加以說明。

目前內建電路之研究大都是以製程技術改善元件特性為主，而將元件特性的改善擴張解釋為先進內建電路的實現，但實際上，電路是許多元件的組合，除了考慮單一特性，更重要的是元件差異性必須在特定的範圍內，才能保證其正常運作。由於目前電路設計絕大部份以單晶矽元件實現，電路設計不需為了元件間的差異而苦心設想。而以低溫製程形成的元件，因為缺陷的分佈無法掌握避免，而會隨著均勻性、再現性、信賴性、與環境溫度而改變，故在智慧型面板內建電路之研究上，必須再做到 design for variation(含 reliability)。舉一個最簡單的例子，LTPS TFT 係在複晶矽材料上形成元件，如[圖一]所示，即使是一模一樣的複晶矽材料，若是通道的位置有所差異，所形成的元件特性會因為晶粒邊界之密度與分佈的不同而有所差異，不同的 LTPS-TFT 特性變動，既使改善製程條件[1]，亦只減少而無法消除。更何況，形成各個元件的複晶矽材料與閘極絕緣層的特性又各自不同，元件特性的差異性實無可避免[1~3]。



[圖一] 不同位置的 LTPS-TFT，通道中晶粒結構的不同，元件特性也會跟著不同

在目前的文獻中，由元件模型方面的論文來看[4~9]，論文著重在對元件物理的探討，以推導最符合實際元件特性的解析性公式組和參數值，其論文建立的基礎，僅為單一個元件的特性，即使其理論值與實際量測值的符合度再高，也不過只能代表該單一元件特性，而無法代表以相同製程一起製作出來的所有元件特性。

另外，由元件特性改善方面的論文來看，大都是針對元件整體特性的提昇技術[10~13]，僅有少數論文特別對元件的變動有所著墨；而有許多製程方面的研究計畫企圖以形成單晶通道之 LTPS-TFT 來徹底解決元件變動的問題，但以目前的研究狀況，即使晶粒愈做愈大，仍無法完全解決問題，反而形成的晶粒大，其元件變動也隨之變大。

甚至，由內建電路的設計方面的論文來看，除了針對 AMOLED 的畫素設計真正地面對元件變動性，而有許多提案[14~16]之外，其餘內建電路設計的相關論文[17~19]，皆基於單一 LTPS-TFT 特性來作設計。另外以廣義的元件變動來看，有一個很重要的元件變動因素是元件本身的可靠度，這方面也有非常多論文探討[20~34]，然而，與元件特性變動類似，並未有相對應的模擬技術與設計觀念。

本計畫目標在為智慧型面板建立一套新的電路模擬技術以及新的電路設計觀念，在”Design for variation”的相關研究配合之下，所建立之智慧型面板設計技術，必可使 SoP 產品的設計成功率大增，而使系統整合顯示技術早日實現。

➤ 文獻探討

1. S. Higashi, D. Abe, K. Miyashita, T. Kawamura, S. Inoue, and T. Shimoda, “Invited Paper: Interface – The Key to High-Performance Poly-Si TFT Fabrication,” in Proc. of the 2003 Society Information Display (SID), pp1302-1305, (2003).
2. M. Kimura, S. Inoue, T. Shimoda, and T. Eguchi, “Dependence of polycrystalline silicon thin-film transistor characteristics on the grain-boundary location,” J. Appl. Phys., vol. 89, pp. 596-600, (2001).
3. Y. H. Jung, J. M. Yoon, M. S. Yang, W. K. Park, H. S. Soh, H. S. Cho, A. B. Limanov, and J. S. Im, “The dependence of poly-Si TFT characteristics on the relative misorientation between grain boundaries and the active channel,” Mat. Res. Soc. Symp. Proc., vol. 621, Q9.14.1-Q9.14.6, (2000).
4. Y. Byun, M. Shur, M. Hack, and K. Lee, "New Analytical Poly-Silicon Thin-Film Transistor Model for CAD and Parameter Characterization," Solid State Electronics, vol. 35, No. 5, pp. 655-663 (1992).
5. A. A. Owusu, M. D. Jacunski, M. S. Shur, and T. Ytterdal, "SPICE Model for the Kink Effect in Polysilicon TFTs," 1996 Electrochemical Society Fall Meeting, San Antonio, TX, Oct. (1996).
6. B. Faughan, “Subthreshold Model of a Polycrystalline Silicon Thin-Film Field-Effect Transistor,” Appl. Phys. Lett., vol. 50, no. 5, pp. 290-292 (1987).
7. Shur, M. Hack, and Y. H. Byun, "Circuit Model and Parameter Extraction Technique for Polysilicon Thin Film Transistors", in Proc. of the 1993 Int'l. Semiconductor Device Research Symp., ISDRS'93, Charlottesville, VA, pp. 165-168 (1993).
8. M. Shur, M. Jacunski, H. Slade, M. Hack, "Analytical Models for Amorphous and Polysilicon Thin Film Transistors for High Definition Display Technology," J. of the Society Information Display, vol. 3, no. 4, p. 223 (1995).
9. K. Yamaguchi, “Modeling and characterization of polycrystalline-silicon thin-film transistors with a channel-length comparable to a grain size,” J. Appl. Phys., vol. 89, pp. 590-595, (2001).
10. C.-W. Lin, L.-J. Cheng, Y.-L. Lu, Y.-S. Lee, and H.-C. Cheng, “High-performance low-temperature poly-Si TFTs crystallized by excimer laser irradiation with recessed-channel structure,” IEEE Electron Device Lett., vol. 22, pp. 269-271, (2001).
11. R. S. Sposili and J. S. Im, “Sequential lateral solidification of thin silicon films on SiO₂,” Appl. Phys. Lett., vol. 69, pp. 2864-2866, (1996).

12. Y. H. Jung, J. M. Yoon, M. S. Yang, W. K. Park, H. S. Soh, H. S. Cho, A. B. Limanov, and J. S. Im, "Low temperature polycrystalline Si TFTs fabricated with directionally crystallized Si film," *Mat. Res. Soc. Symp. Proc.*, vol. 621, Q8.3.1-Q8.3.6, (2000).
13. M. A. Crowder, Robert S. Sposili, A. B. Limanov, and James. S. Im, "Sequential lateral solidification of PECVD and sputter deposited a-Si films," *Mat. Res. Soc. Symp. Proc.*, vol. 621, Q9.7.1-Q9.7.6, (2000).
14. M. Stewart, R. S. Howell, L. Pires, and M. K. Hatalis, "Polysilicon TFT Technology for Active Matrix OLED Displays," *IEEE Trans. on Electronic Devices*, vol. 48, no. 5, pp.845-851, (2001).
15. Y. He, R. Hattori, and J. Kanicki, "Improved A-Si:H TFT Pixel Electrode Circuits for Active-Matrix Organic Light Emitting Displays," *IEEE Trans. on Electronic Devices*, vol. 48, no. 7, pp.1322-1325, (2001).
16. Y. Si, Y. Zhao, X. Chen, and S. Liu, "A Simple and Effective ac Pixel Driving Circuit For Active Matrix OLED," *IEEE Trans. on Electronic Devices*, vol. 50, no. 4, pp.1137-1140, (2003).
17. Y. Mishima, K. Yoshino, F. Takeuchi, K. Ohgata, M. Takei, and N. Sasaki, "High-Performance CMOS Circuits Fabricated by Excimer-Laser-Annealed Poly-Si TFTs on Glass Substrate," *IEEE Electron Device Letter*, vol. 22, no. 2, pp.89-91, (2001).
18. H.-G. Yang, P. Migliorato, C. Reita, and S. Fluxman, "Circuit Performance of Low Temperature CMOS Polysilicon TFT Operational Amplifiers," *Electronics Letters*, vol. 29, no. 1, pp.38-40, (1993).
19. C.-W. Lu, "A Low Power High Speed Class-AB Buffer Amplifier for Flat Panel Display Signal Driver Application," in *Proc. of the 2002 Society Information Display (SID)*, pp. 281-283 (2002).
20. N. D. Young, et al., "Hot carrier degradation in low temperature processed polycrystalline silicon thin film transistors", *Semiconductor Science and Technology*, Vol. 7, No. 9, pp. 1183-1188, 1992.
21. J. R. Ayres, et al., "Hot carrier effects in devices and circuits formed from poly-Si", *IEE Proceedings: Circuits Devices and Systems*, Vol. 141, No. 1, pp. 38-44, 1994.
22. N. D. Young, et al., "Negative gate bias instability in polycrystalline silicon TFT's", *IEEE Trans. on Electron Devices*, Vol. 42, No. 9, pp. 1623-1627, 1995.
23. Y. Uraoka, et al., "New degradation phenomenon in wide channel poly-Si TFTs fabricated by low temperature process", *Technical Digest – Int'l. Electron Devices Meeting*, pp. 781-784, 1996.
24. Y. Uraoka, et al., "Analysis of threshold voltage shift caused by bias stress in low temperature poly-Si TFTs", *Technical Digest - Int'l. Electron Devices Meeting*, pp. 527-530, 1997.
25. J. R. Ayres, et al., "Analysis of drain field and hot carrier stability of poly-Si thin film transistors", *Jap. J. of Appl. Phys. Part 1: Regular Papers & Short Notes & Review Papers*, Vol. 37, No. 4A, pp. 1801-1808, 1998.

26. A. T. Krishnan, et al., “Off-state stress-induced reduction of off-state current in polycrystalline silicon thin film transistors”, Annual Proc. - Reliability Physics (Symposium), pp. 42-46, 1999.
27. Y. Uraoka, et al., “Hot carrier effects in low-temperature polysilicon thin-film transistors”, Jap. J. of Appl. Phys. Part 1: Regular Papers & Short Notes & Review Papers, Vol. 40, No. 4 B, pp. 2833-2836, 2001.
28. S. Inoue, et al., “Analysis of degradation phenomenon caused by self-heating in low-temperature-processed polycrystalline silicon thin film transistors”, Jap. J. of Appl. Phys. Part Part 1: Regular Papers & Short Notes & Review Papers, Vol. 41, No. 11A, pp. 6313-6319, 2002.
29. Y. Uraoka, et al., “Reliability evaluation method of low temperature poly-silicon TFTs using dynamic stress”, IEEE Int’l. Conf. on Microelectronic Test Structures, pp. 158-162, 2000.
30. Y. Uraoka, et al., “Reliability of low temperature poly-silicon TFTs under inverter operation”, IEEE Trans. on Electron Devices, Vol. 48, No. 10, pp. 2370-2374, 2001.
31. Y. Uraoka, et al., “Analysis of reliability in low-temperature poly-Si thin film transistors using pico-second time-resolved emission microscope”, Technical Digest – Int’l. Electron Devices Meeting, pp. 577-580, 2002.
32. Y. Uraoka, et al., “Hot carrier effect in low-temperature poly-Si p-ch thin-film transistors under dynamic stress”, Jap. J. of Appl. Phys. Part 2: Letters, Vol. 41, No. 1 A/B, pp. L13-L16, 2002.
33. Y. Uraoka, et al., “Mechanism of device degradation under AC stress in low-temperature polycrystalline silicon TFTs”, Annual Proc. - Reliability Physics (Symposium), pp. 278-282, 2002.
34. Y. Uraoka, et al., “New evaluation method for reliability of poly-si thin film transistors using pico-second time-resolved emission microscope”, IEEE Int’l. Conf. on Microelectronic Test Structures, pp. 173-177, 2003.

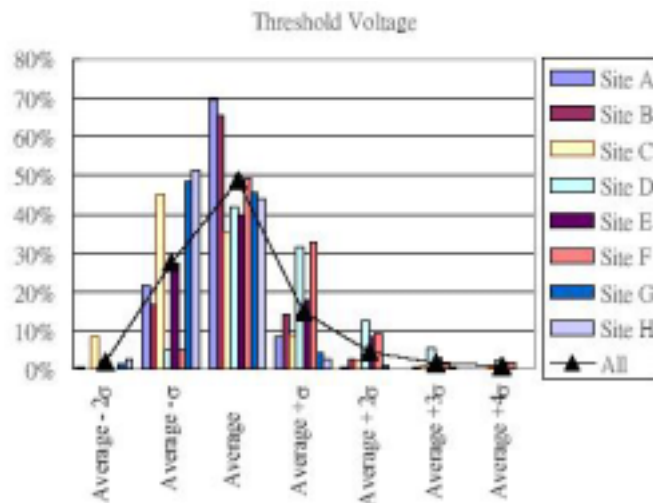
➤ 研究方法

A. 首先以相同的製程與尺寸之 TFT 為統計標的，建立元件特性變動(包括溫度變化及可靠度變化)之資料庫，以作為元件變動量的基礎。

B. 接著將元件變動量資料庫，以統計方式，轉化成以元件模型參數表示，以作為電路模擬的基礎。

C. 以 Monte Carlo 模擬技巧，依據設定出的元件參數組，評估各種基礎電路區塊(function blocks)性能與元件參數變動的相關性，來判斷出各元件參數對電路區塊特性的衝擊因素，作為高變動容許度之電路設計的研究基礎。

➤ 結果與建議



[圖二] 不同位置、不同玻璃的臨界電壓分布

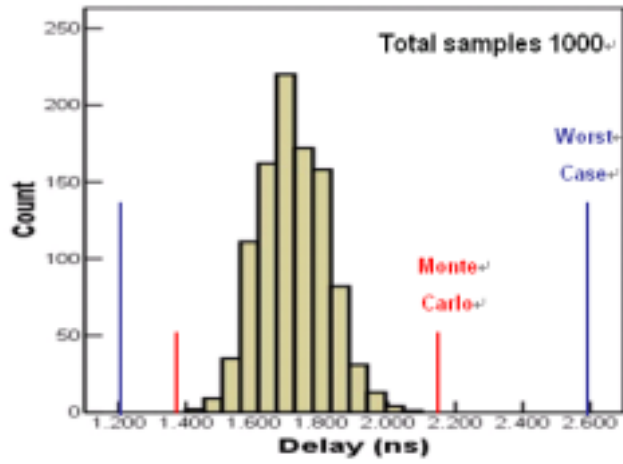
[圖二]為量產的 TFT 面板中針對不同位置、不同玻璃所萃取出來的臨界電壓分布，可以發現其特性變動程度並沒有 lot-to-lot 及 site-to-site 的趨勢，同時整體的變動程度與各點所萃取出來的平均值及標準差的分佈相似，意味著全部的元件特性的變動是雜亂的。為了有效的描述及建立元件變動的模型，本計畫先建立了此資料庫。

為了在實際製作之前充分掌握所設計的電路功能及特性，以 SPICE 作電路模擬是當然必要的。但是，若沒有注意到 LTPS TFT 的一個重要特點：元件的變動量，即沒有“正確”的電路模擬方式為基礎，所模擬出來的結果當然也是不對的。

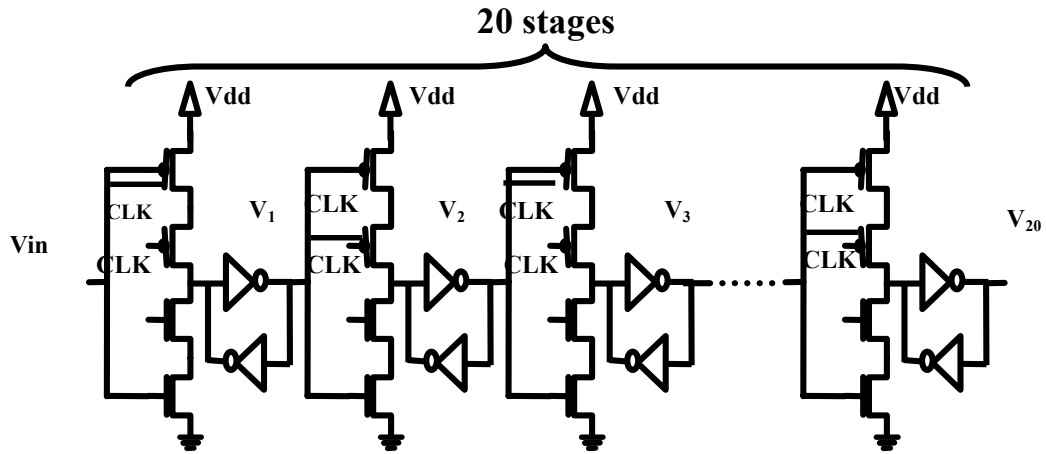
在 IC 的經驗中，可將元件的變動分為二類。第一類為宏觀變動(macro variation)：如閘極絕緣層的厚度、離子佈植量等等，其特點為元件的變動是同向的，在 LTPS TFT 中情況類似；第二類為微觀變動(micro variation)：其特點為元件的變動是隨機的，在 IC 的經驗中是幾乎可以忽略的，但是在 LTPS TFT 中，由於晶粒邊界的影響，此變動量甚至會大於宏觀變動，必須特別重視。

在 IC 產業中，若想針對數位積體電路評估其訊號傳遞之效能，往往可經由 SPICE 中 Worst Case 之模擬結果來進行分析，由於此種模擬技巧為針對電晶體之最好與最差參數進行整體電路之最快與最慢時間延遲分析，其優點為可快速評估數位積體電路之效能。然而，此種針對 IC 性能做評估之模擬方式卻不竟然可完全適用於 LTPS 之電路分析。以現今 LTPS 製程上的技術，在製程中會發生的製程物理變數變動是無法避免地，這同時也造成了在電路中是否每一個元件都互相匹配，亦或在同一片玻璃機板上也可能發生區域性元件不匹配之問題。有鑑於此，以 Monte Carlo 方式進行之電路模擬效能將會更適合 LTPS 之電路分析。如[圖三]，我們模擬了 Worst Case 與 Monte Carlo 針對一個 Inverter 電路分析其訊號延遲之結果比較，結果顯示，若用傳統 IC 之模擬方式套用於 LTPS TFT 時，其分佈區域將會較 Monte Carlo 之模擬結果寬 26%。

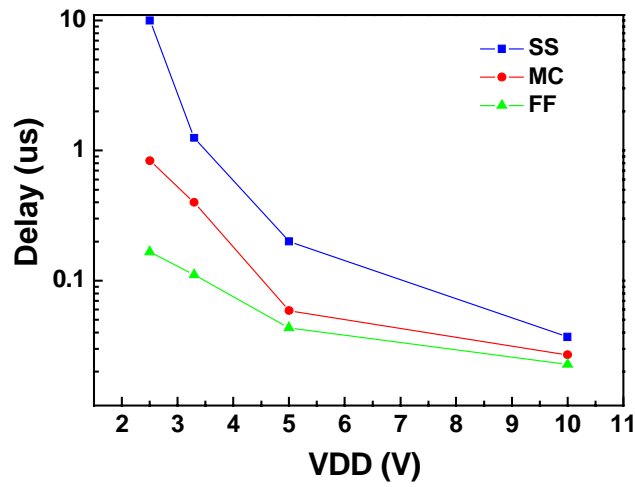
接著我們討論數位區塊單元移位暫存器(shift register)，亦即 sequential 型電路的根本，如[圖四]。基本電路架構是由 clock inverter 形式組成的 shift register 靜態電路。



[圖三] Worst Case 與 Monte Carlo 模擬之訊號延遲比較



[圖四] 移位暫存器(shift register)

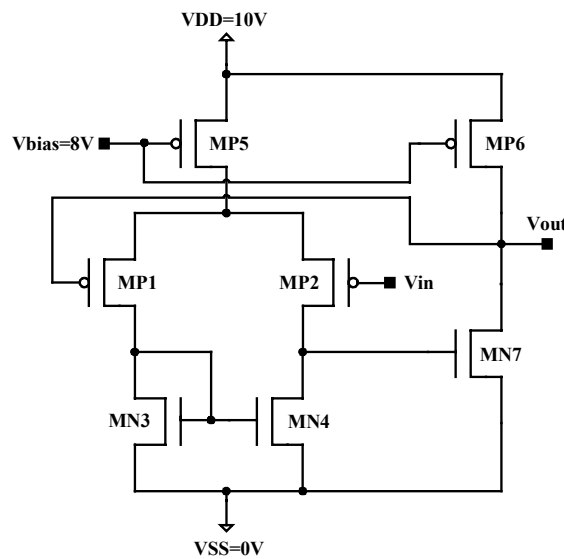


[圖五] 移位暫存器電路在不同電壓下之 delay

接著我們使用 Monte Carlo 方法模擬 20 級移位暫存器電路在不同電壓下之 delay(對應操作 frequency)，其模擬結果如[圖五]。圖中之 FF 與 SS 分別對應到的是 Worst Case 中之最快與最慢模擬結果，在不同的操作電壓下，與 MC simulation 相比較，觀察 shift register 的最大操作頻率範圍大約是 10 ~ 20 MHz 左右，其表示元件變動性所造成之變化範圍很廣。

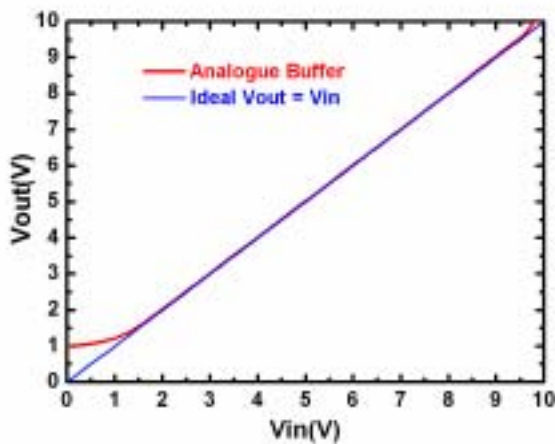
在 System on Panel 所用到的類比電路中，最重要的區塊單元即為單增益緩衝器(uni-gain buffer)，其主要的應用，一是承接 DAC 至 sample & hold 電路，二是承接 sample & hold 電路至 data bus；其角色是以更大的驅動能力，將所要顯示的灰階電壓忠實的傳遞下去，其功能的要求是使輸出電壓等於輸入電壓，而放大對負載的推動能力，因此一方面可以應用在 DAC 與 sample & hold 之間，使 DAC 所用的電阻加大而減少功率消耗，另一方面可以應用在 sample & hold 與 data bus 之間，使 sample & hold 所用的保持電容更小，來加快資料驅動電路的操作頻率。

[圖六]為一般常使用的運算放大器形式的單增益緩衝器，若只考慮元件的單一特性，[圖七]為單增益緩衝器電路輸出電壓模擬結果，圖形顯示輸出電壓值線性度及誤差值均非常優良。但在真實情況中，LTPS TFT 元件特性隨機分佈的特點，造成即使相鄰的元件特性亦可能有很大的不同，因此電路設計時利用 Monte Carlo simulation 是當然必要的。[圖八]所示為 Monte Carlo simulation 的輸出電壓模擬結果，圖形顯示輸出變動非常大，此為一般 Worst case simulation 所無法觀察到的，而大的輸出變動將直接造成不均勻的垂直線條，因此電路設計上如何補償元件變動的影響，又使其在消耗功率仍具有競爭力，且其佈局面積可容納在封框膠內，是非常值得研究的課題，將是本計畫之後研究的重點之一。

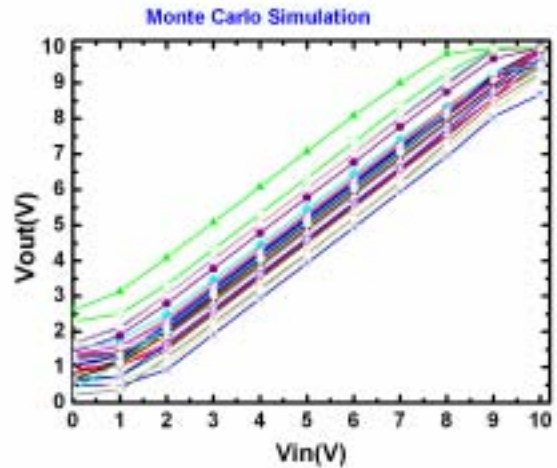


[圖六] OP-Amp-type 單增益緩衝器電路

LTPS TFT 面臨宏觀變動(macro variation)與微觀變動(micro variation)，在應用的層面，宏觀變動造成的結果是不同模組之間的差異，具有較大的忍受空間；而微觀變動卻會直接造成電路性能很大的衝擊。



[圖七]單增益緩衝器輸出電壓模擬結果



[圖八]單增益緩衝器輸出電壓 Monte Carlo simulation 結果

➤ 計畫成果自評

本計畫目前完成元件特性變動資料庫之建立及元件變動模型參數之建立，並完成各種基礎電路區塊性能與元件參數變動的相關性評估。也利用 Monte Carlo 模擬技巧，評估移位暫存器基礎電路區塊性能與元件參數變動的相關性^{a)}，來判斷出各元件參數對電路區塊特性的衝擊因素，作為高變動容許度之複雜數位電路設計的研究基礎。

第一年度的研究，已提出新的類比緩衝器電路設計技術^{b, c, e, f)}，繼續開發具元件變動容許度及功率消耗、佈局面積等方面皆可符合實際應用的其他各種基礎電路區塊，是非常值得研究的課題，也是本計畫之後研究的重點之一。

在執行本計畫的過程中，亦衍生出一些與可靠度相關的發現^{g)}，此有助於未來進階的元件可靠度模型之建立。

本年度研究相關的內容已於 2005 International TFT Conference^{d)} 的 invited talk 中總結性地發表。

由以上具體成果，認為本年度計畫已為後續研究建立了良好的基礎。

已發表之研討會論文

- a) H.-G. Liou and Y.-H. Tai, "Evaluation of the Operation for the Shift Register Circuit Implemented by Low Temperature Poly-Si Thin-Film Transistors," International Display Manufacturing Conference (IDMC), pp. 453-455, (2005).
- b) C.-C. Pai and Y.-H. Tai, "A New Analogue Buffer Using Poly-Si TFTs with Deviation Less Dependent on the Gray Level for Active Matrix Displays," Society for Information Display (SID), (2005).

- c) C.-C. Pai and Y.-H. Tai, "A Novel Analogue Buffer Using Poly-Si TFTs for Active Matrix Displays," International Display Manufacturing Conference (IDMC), pp. 483-486, (2005).
- d) Y.-H. Tai, "Device Variation and Its Influences on the LTPS TFT Circuits," ITC, (2005).

投稿審查中期刊論文

- e) Y.-H. Tai, C.-C. Pai, Bo-Ting Chen, and H.-C Cheng, "A Source-Follower Type Analogue Buffer Using Poly-Si TFTs with Large Design Windows," Submitted to IEEE Electron Device Letters.
- f) Y.-H. Tai, Bo-Ting Chen, C.-C. Pai, and H.-C Cheng, "Source-Follower Type Analogue Buffers Using Poly-Si TFTs with Large Design Windows," Submitted to Solid State Electronics.
- g) Y.-H. Tai, S.-Z. Huang and C.-H. Yu, "Diverse Degradation Behaviors of the Low Temperature Poly-Silicon Thin Film Transistors with Electrical Characteristic Variation," Submitted to Appl. Phys. Lett..