

行政院國家科學委員會專題研究計畫 成果報告

基地台所需之高崩潰電壓異質介面電晶體研究(2/2)

計畫類別：個別型計畫

計畫編號：NSC93-2215-E-009-025-

執行期間：93年08月01日至94年09月30日

執行單位：國立交通大學電子工程學系暨電子研究所

計畫主持人：李建平

計畫參與人員：廖志豪、李建騏、陳力輔

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 11 月 18 日

行政院國家科學委員會專題研究計畫成果報告

基地台所需之高崩潰電壓異質介面電晶體研究(2/2)

High breakdown voltage HBTs for base station applications

計畫編號：NSC 93-2215-E-009-025

執行期限：93年8月1日至94年7月31日

主持人：李建平教授 國立交通大學電子工程學系

計畫參與人員：廖志豪、李建騏、陳力輔 國立交通大學電子工程學系

一、中文摘要

本研究中，針對氮化鎵異質結構場效電晶體之結構特性，探討利用感應耦合電漿蝕刻改變閘極位置，以達成臨界電壓調整及改善元件特性之目的。蝕刻時，考慮之方向分兩部分，首先是為避免過度蝕刻導致主動區被挖穿，故蝕刻速率不可過快。其次是避免閘極在蝕刻中受到過多損傷導致特性衰減。

實驗中採用兩種不同掘入蝕刻 (recess etch) 條件，分別是純氯 (Cl₂) 蝕刻與氯氬 (Cl₂/Ar) 蝕刻，分別將閘極掘入 (gate recess) 50Å 與 80Å

處，臨界電壓由 -7V 調整至 -6V 及 -4V，掘入蝕刻後分析元件特性之衰減主要受到 surface trap 及 etch damage 所導致，利用 passivation 消除 surface trap 並量測 current collapse 驗證後，可分別評估 surface trap 與 etch damage 對元件特性所造成之影響。

實驗中使用 undoped Al_{0.3}Ga_{0.7}N / GaN HFET 閘極長度 1 μm 閘極寬度 50 μm 之元件作為比較基準，量測未加上閘極前之 V_{ds}-I_d 分佈判斷掘入蝕刻程度，並在元件完成後量測 C-V 來判斷蝕刻深度，量測元件之各項直流特性與高頻特性，並相互比較以評估掘入蝕刻所造成之影響。未經蝕刻之原始試片臨界電壓 -7V，室溫下之最大通道電流高達 37mA，單位閘極寬度之電流密度達到 740mA/mm，最大外部轉導 117mS/mm，元件之崩潰電壓大於 100V 扣除 Pad 寄生效應後之 f_t 與 f_{max} 分別達 7.5GHz 與 13GHz。

相同尺寸之元件經過掘入蝕刻並 passivation 後，臨界電壓縮小至 -4V，室溫下最高通道電流 20.55mA，單位閘極寬度之電流密度達到 411mA/mm，最大外部轉導為 112 mS/mm，崩潰電壓為 61V。在高頻特性上扣除 Pad 寄生效應後的 f_t 達到 9GHz，f_{max} 達到 12.5GHz。

因此可明白，除了崩潰電壓亦會因 passivation 下降外，etch damage 所造成之特性影響主要是外部轉導、通道電流及崩潰電壓。

關鍵詞：氮化鎵、調變摻雜、掘入蝕刻、崩潰電壓、高頻

Abstract

In this study, we focus on structure characteristics of GaN heterostructure FET

Gate recess can change gate position to modify threshold voltage and to optimize device performance. During recess etching, two things are concerned. One is to avoid active layer being over etched. And therefore the etching rate can not be too fast. The other is to avoid gate being over damaged, which causes degradation of device characteristics.

In this experiment, we use two different recess etching recipes. One is pure Cl₂, which induces gate recess to reach 50Å and threshold voltage to change from -7V to -6V; the other is Cl₂/Ar, which induces gate recess to reach 80Å and threshold voltage to change from -7V to -4V. After recess etching, we found that the degradation of device characteristics is mainly

caused by surface trap and etching damage. Therefore, by removing surface trap with passivation, and measuring current collapse, the influences of surface trap and etch damage on device characteristics can be evaluated respectively.

In this experiment, we use undoped Al_{0.3}Ga_{0.7}N/GaN HFET with gate length 1 μm and gate width 50μm as the basis. V_{ds}-I_d curves of the device are measured to determine recess etching degree. After the device is completed, C-V curves are measured to determine depth of etching. We measure DC characteristics and RF performance of the device to evaluate the influence of recess etching. Threshold voltage of no recess sample is -7V, maximum channel current is 37mA under room temperature, current density of unit gate width is 740mA/mm, maximum extrinsic transconductance is 117 mS/mm. breakdown voltage > 100V. After deembedding, f_t is 7.5GHz and f_{max} is 13GHz.

Recess sample after passivation, Threshold voltage of no recess sample is -4V, maximum channel current is 20.55mA under room temperature, current density of unit gate width is 411mA/mm, maximum extrinsic transconductance is 112 mS/mm. breakdown voltage is 61V. After deembedding, f_t is 9GHz and f_{max} is 12.5GHz.

Therefore, etch damage influences extrinsic transconductance, channel current, and breakdown voltage of its characteristics, however, breakdown voltage also reduces due to passivation.

Keywords: GaN HFET, modulation-doped, recess etch, breakdown voltage, RF

1 試片結構

元件結構如圖 1 所示，Al_xGa_{1-x}N Undoped，這也是一般異質結構電晶體常見的結構，由下而上結構為：Sapphire 基版、緩衝層、3 μm undoped 氮化鎵及 35 nm AlGa_N，載子濃度為 $1.09 \times 10^{13} \text{ cm}^{-2}$ ，電子遷移率為 $1470 \text{ cm}^2/\text{V-s}$ 。

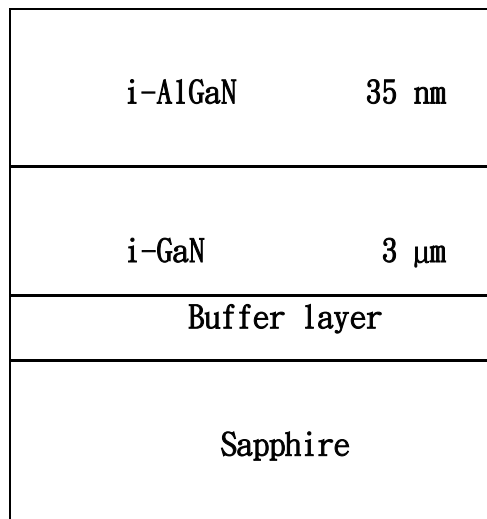


圖1 Undoped HFET 結構圖，其中Al=0.3、 d_{AlGa_N} =35nm。

圖 2 為 TLM 量測歐姆接觸電阻 (ohmic contact resistor)，歐姆接觸電阻約為 $0.447 \Omega\text{-mm}$ ，特性接觸電阻 (specific contact resistance) 為 $4.056 \times 10^{-6} \Omega\text{-cm}^2$ 顯示我們製程使用的表面處理步驟，即使在表面是 Undoped AlGaIn 的結構下，還能得到不錯的歐姆接觸電阻。

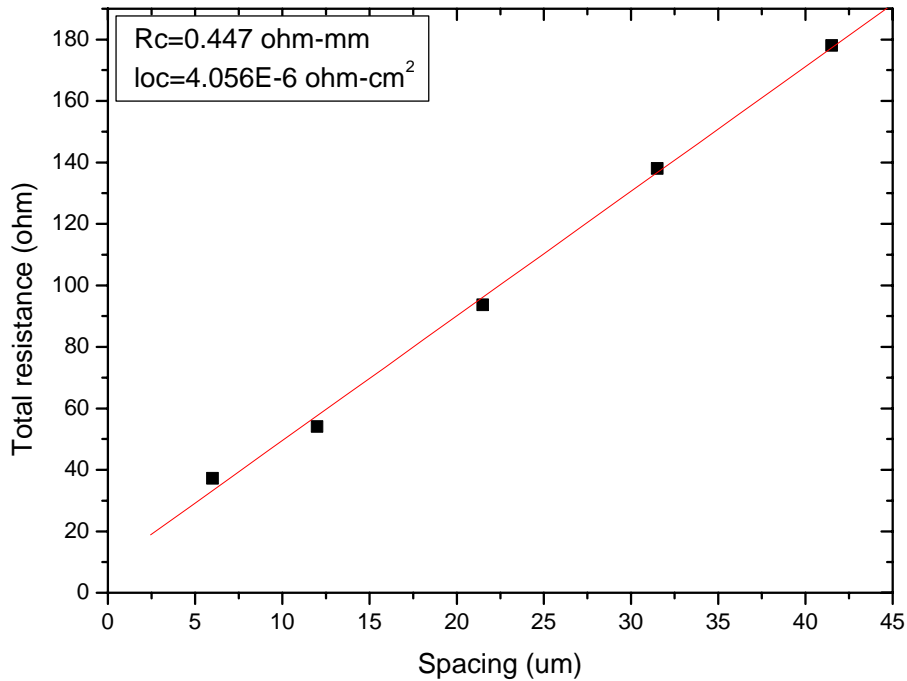


圖 2 TLM 歐姆接觸電阻

2 閘極掘入蝕刻

2.1 蝕刻條件

實驗中所採用之蝕刻條件如表 1 所示，蝕刻過程中藉量測汲極與源極間之電壓對電流關係判斷是否已達設定之目標深度，圖 3 為使用 Cl_2 蝕刻之條件所量得電壓對電流關係圖，最大電流由未蝕刻前之 82 mA 在掘入蝕刻後降至 76 mA，電流降低幅度約為 6 mA，圖 4 為使用 Cl_2/Ar 蝕刻時所量得之電壓對電流關係圖，最大電流由未蝕刻前之 76 mA 經第一次掘入蝕刻後降至 68 mA，第二次蝕刻後電流再降至 59 mA，總電流降低幅度約為 17 mA。

2.2 C-V 量測

利用 C-V 量測可清楚看出實際蝕刻之深度，圖 6 為未經掘入蝕刻之試片量得之載子分佈圖，二維電子氣 peak 位置位於表面以下 35nm 處，圖 7 為經 Cl₂ 偏壓 5 瓦蝕刻後量得之載子分佈圖，二維電子氣 peak 位置在表面以下約 30nm 處，可以此判斷經 Cl₂ 偏壓 5W 蝕刻 60 秒後蝕刻深度約為 50Å，故其蝕刻速率約為 50Å/min。圖 8 為經 Cl₂/Ar 偏壓 10 瓦蝕刻 15 秒兩次後量得之載子分佈圖，二維電子氣 peak 位置在表面以下約 27nm 處，可以此判斷經 Cl₂/Ar 偏壓 10W 蝕刻共 30 秒後蝕刻深度約為 80Å，故其蝕刻速率約為 160Å/min。

2.3 討論

將 Cl₂ 蝕刻與 Cl₂/Ar 蝕刻所量得之電壓電流關係圖整理後可得圖 5，可觀察到 Cl₂ 蝕刻電流降低幅度在第二次 20 秒蝕刻及第三次 20 秒蝕刻時均遠小於第一次蝕刻，而 Cl₂/Ar 蝕刻則無此問題，由圖 2-4 之蝕刻機制可解釋此一差異，電漿蝕刻時完整之程序為首先離子 (ion) 受偏壓加速後撞擊基材表面，破壞原子鍵結後自由基 (radical) 與表面原子進行反應後，經下一個離子轟擊基材表面時被打離表面，然後被真空系統抽出，整個蝕刻過程中離子之功能有二：

- (1) 利用離子轟擊破壞原子間之鍵結
- (2) 清除蝕刻過程中之產生物

所以 Cl₂ 蝕刻時因無氬離子 (Ar⁺) 協助清除蝕刻過程中之產生物，導致往下掘入一段距離後即因產生物之阻擋而影響蝕刻速率，Cl₂/Ar 蝕刻因有 Ar⁺ 離子之參與故無此問題可順利向下蝕刻。

由式 2-1 知臨界電壓與內件電位之和應與 2DEG 深度平方成正比，如 1 式所示，將實驗所得之通道深度與臨界電壓整理做圖後得圖 9，大致符合理論描述之趨勢。

$$(V_t + V_{bi}) \propto W^2 \quad (1)$$

| | | |
|--------------------------------|----|----|
| Cl ₂ flow (sccm) | 50 | 50 |
|--------------------------------|----|----|

| | | |
|-------------------------|------|-------|
| Ar flow (sccm) | 0 | 20 |
| ICP power (W) | 300 | 300 |
| Bias power (W) | 5 | 10 |
| Pressure (Pa) | 2 | 2 |
| Time (sec) | 60 | 15x2 |
| Etch rate (Å/min) | ~50 | ~160 |
| Total current drop (mA) | ~6mA | ~17mA |

表 1 ICP 蝕刻參數表

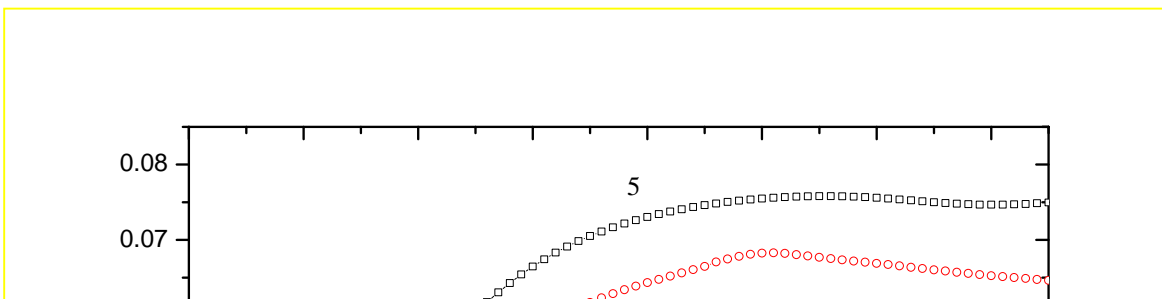
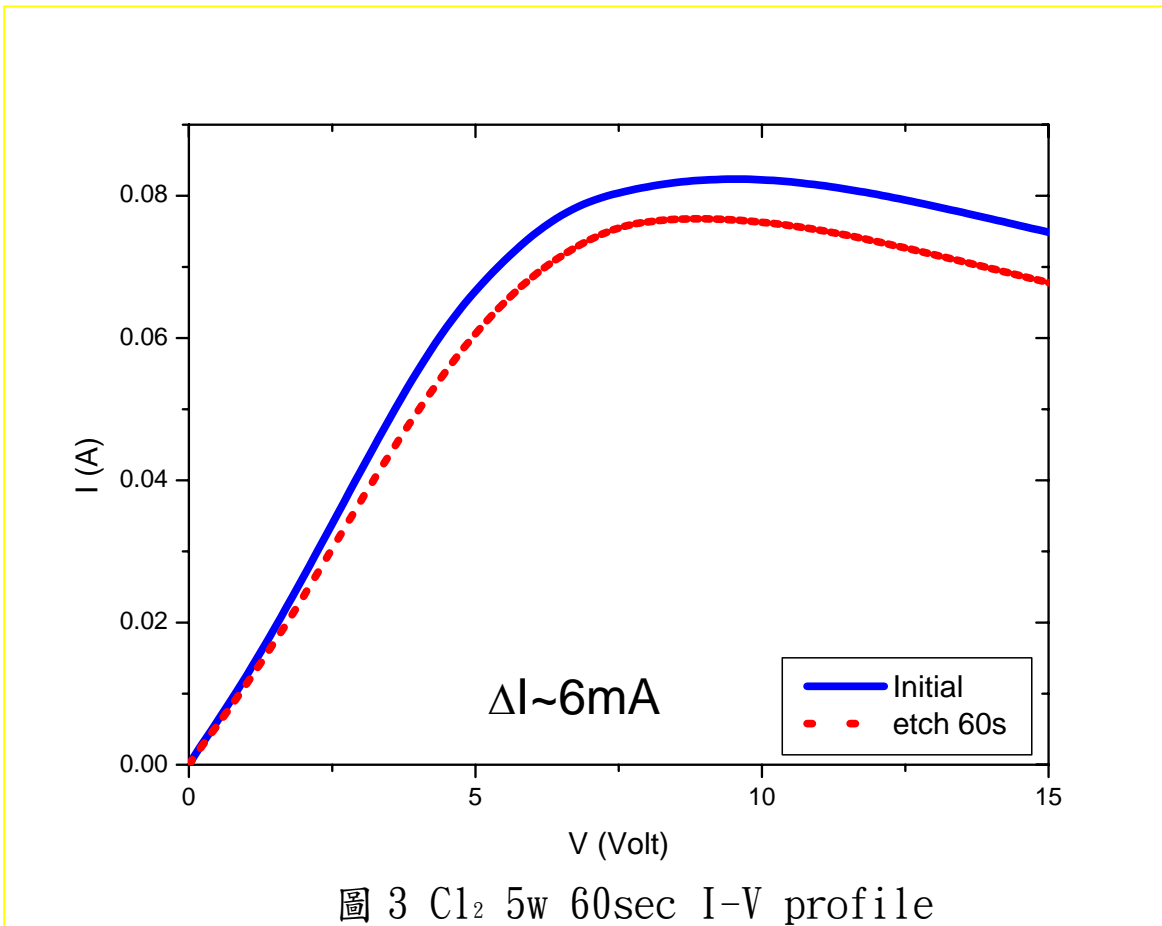


圖 4 Cl₂/Ar 10w 15sec X2 I-V profile

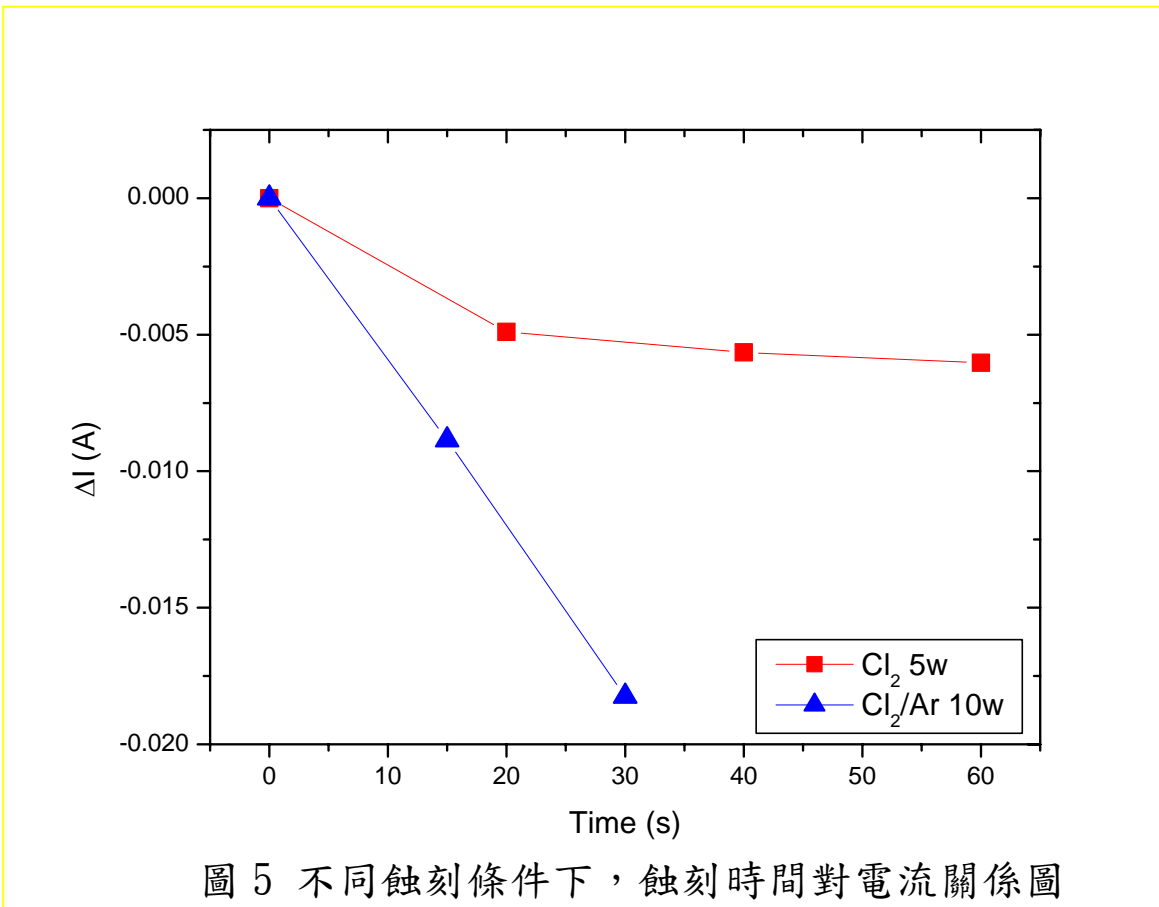


圖 5 不同蝕刻條件下，蝕刻時間對電流關係圖

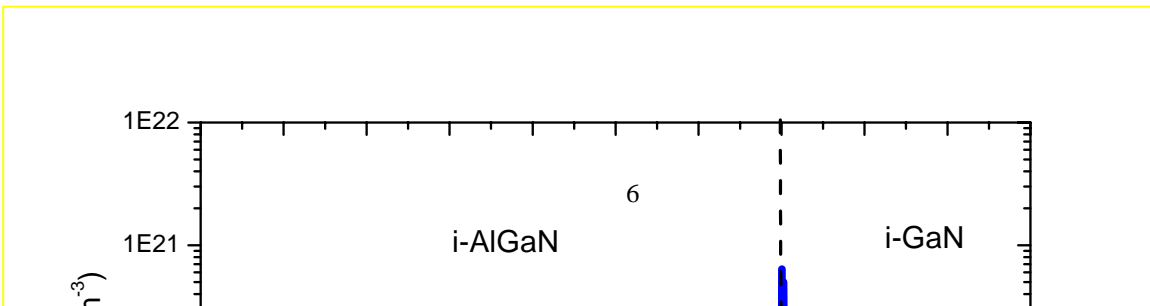


圖 6 未經掘入蝕刻之試片量得之載子分佈圖

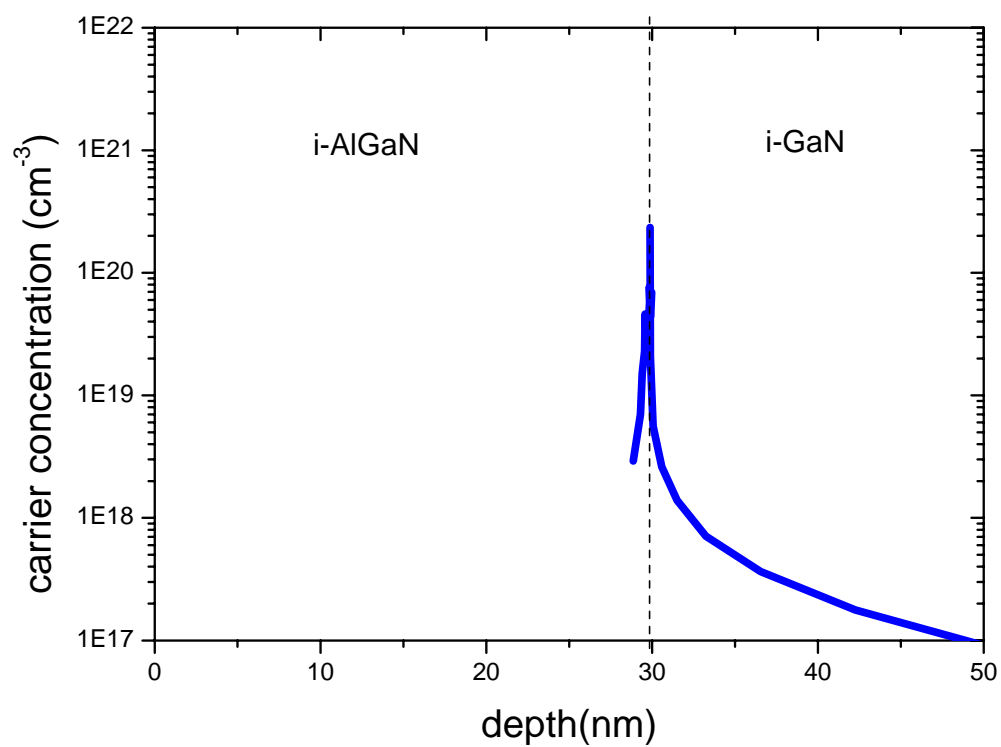


圖 7 Cl₂ 5w 60sec 蝕刻後量得之載子分佈圖

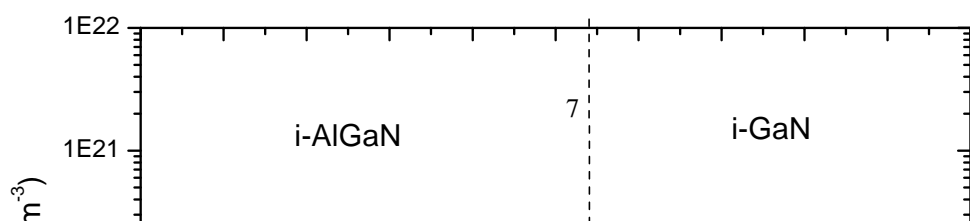


圖 8 Cl₂/Ar 10w 30sec 蝕刻後量得之載子分佈圖

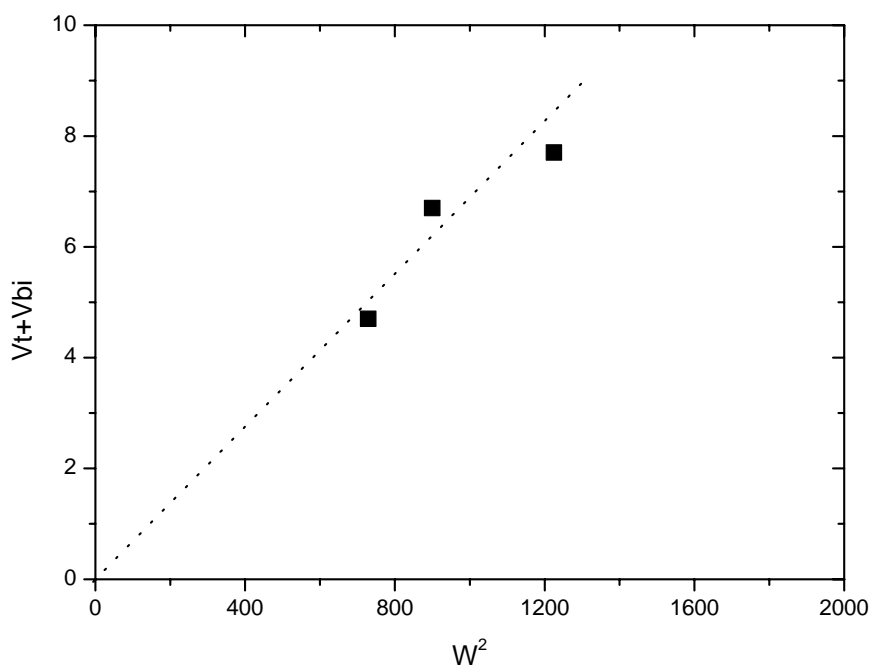


圖 9 臨界電壓對通道深度之關係

3 掘入蝕刻損傷評估 (recess etch damage evaluation)

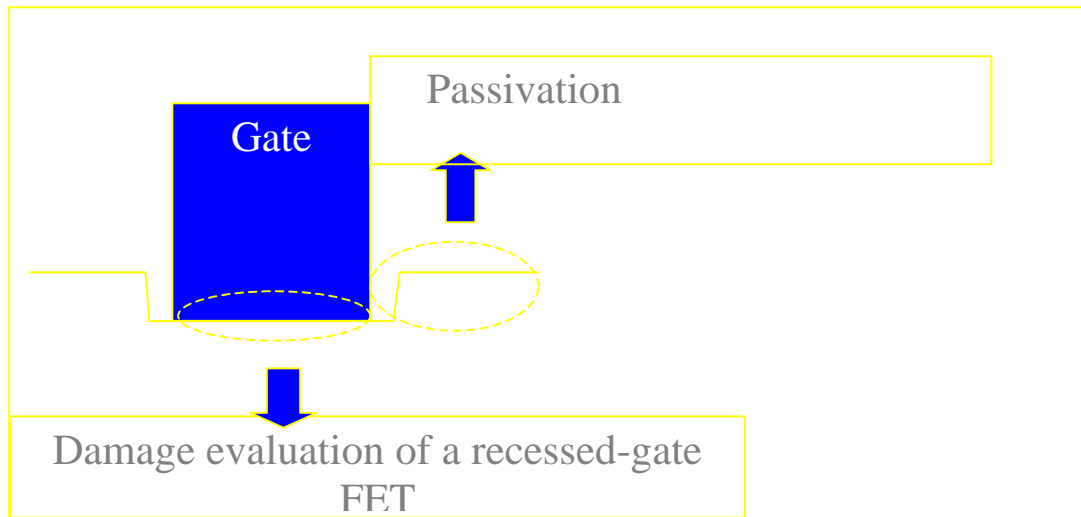


圖 10 掘入蝕刻所產生損傷及因應

由圖 10 可看出會影響元件特性主要原因有兩項，一是surface trap，另一則為etch damage，本節藉比較no recess sample、Cl₂ recessed sample與Cl₂/Ar recessed sample之元件特性來評估掘入蝕刻對元件之影響。

實驗中no recess sample與Cl₂ recessed sample主要量測元件為one finger閘極長度1 μ m，閘極寬度50 μ m高頻元件，Cl₂/Ar recessed sample使用two finger 閘極長度1 μ m，閘極寬度25 μ m高頻元件。

3.1 Device I-V

圖 11、圖 12 及圖 13 分別為no recess sample、Cl₂ recessed sample及Cl₂/Ar recessed sample之外部轉導（transconductance, G_m）與臨界電壓（threshold voltage, V_{th}）關係圖，掘入蝕刻前之臨界電壓為-7V，經Cl₂偏壓5W蝕刻60秒後，臨界電壓降至-6V。另外，經Cl₂/Ar 偏壓10W 蝕刻30秒後臨界電壓降至-4V，顯現利用Cl₂/Ar 偏壓10W 掘入蝕刻可大幅度且有效的調整臨界電壓。而在外部轉導方面，no recess sample 之最大外部轉導達117.8 mS/mm，Cl₂ recessed sample之最大外部轉導下降至89.6 mS/mm，Cl₂/Ar recessed sample之最大外部轉導下降至105 mS/mm可發現外部轉導有因蝕刻而衰減之現象。

圖 14、圖 15 及圖 16 分別為no recess sample、Cl₂ recessed sample及Cl₂/Ar recessed sample之family curve，比較後可看出no recess sample漏電流較大，這是因為由於晶片成長較不均勻致使元件截止後電流仍會由緩衝層漏出，與蝕刻無關。另外no recess sample 在V_{GS}=1V時之最大電流為37mA，Cl₂

recessed sample在 $V_{GS}=1V$ 時之最大電流為 36.2mA， Cl_2/Ar recessed sample在 $V_{GS}=1V$ 時之最大電流為 22.55mA電流下降的主因為閘極偏壓對電流之比率也就是外部轉導在閘極掘入蝕刻後衰減所致。

3.2 蕭特基(schottky)IV

圖 17 為順向偏壓蕭特基界面特性圖，可看出掘入蝕刻後蕭特基界面之導通電壓並沒有變化，但因蝕刻損傷(Etch damage)之影響導致導通阻值隨掘入蝕刻程度上升。

圖 18 為逆向偏壓蕭特基界面漏電流，no recess sample在逆向偏壓 30V時漏電流約為 $10^{-6}A$ ， Cl_2 recessed sample在逆向偏壓 30V時漏電流約為 $4 \times 10^{-6}A$ ， Cl_2/Ar recessed sample在逆向偏壓 30V時漏電流約為 $3 \times 10^{-7}A$ ，由此分佈並沒有觀察到蕭特基逆向偏壓漏電流與蝕刻之關連性。

圖 19、圖 20 與圖 21 指出各試片之逆向偏壓蕭特基界面崩潰電壓(V_{bk})，由圖 18 no recess sample之逆向偏壓蕭特基界面，在超出量測儀器HP4145之量測範圍前並無觀察到崩潰現象之發生故其崩潰電壓 $V_{bk}>100V$ 。經過掘入蝕刻後，由圖 19 觀察到 Cl_2 recessed sample之 $V_{bk}=85V$ ，由圖 20 觀察到 Cl_2/Ar recessed sample之 $V_{bk}=68V$ 顯示崩潰電壓隨著掘入蝕刻所造成之Etch damage增加而遞減。

3.3 current collapse

首先以圖 22 說明current collapse 之定義，collapse factor意指相同 V_{GS} 偏壓之下，較低之 V_{DS} 偏壓時之 I_{Dmax} 與高 V_{DS} 偏壓時 I_{Dmax} 間之差異電流。

圖 22、圖 23 及圖 24 為各試片量測current collapse之結果，由圖 22 觀察可發現即使是no recess sample也有current collapse之現象，顯示原始晶片表面即存在surface traps，由蝕刻過程導致的surface traps 問題可經由圖 23 與圖 24 的觀察得到驗證，隨著掘入蝕刻的深度增加current collapse也愈加嚴重。

3.4 討論

掘入蝕刻後雖然試片之臨界電壓如預期般改變，但元件之各項特性也受到影響，主要是來自兩項因素，surface trap與etch damage。

外部轉導由原本的no recess sample 的 117.8mS/mm 衰減至Cl₂/Ar recessed sample 的 105 mS/mm 及Cl₂ recessed sample 的 89.6 mS/mm，對於蝕刻所導致之外部轉導衰減主要有兩個原因，一是鄰近閘極的晶片受蝕刻所致之 surface trap 導致載子濃度下降。如前所述，可經由鈍化 (Passivation) 來改善，另一原因則是位於閘極金屬下之蝕刻損傷，這部分之影響可經由退火 (anneal) 來改善^[2]，外部轉導之衰減連帶使得最大輸出電流減少。

而在蕭特基接面特性方面，雖然順向偏壓導通點 (V_F) 均為 1.3V 且逆向偏壓漏電流方面看不出掘入蝕刻所造成的影響，但在崩潰電壓方面經過掘入蝕刻所造成之損傷確實造成崩潰電壓的下降，由 $V_{bk} > 100V$ 經掘入蝕刻後隨著蝕刻程度的增加下降至 68V。

在 current collapse 方面 原始晶片表面即存在 surface trap 之問題，但在經過掘入蝕刻之後 surface trap 之影響更加明顯，不過 surface trap 之影響可望在經過鈍化處理後獲得解決，因為 current collapse 是因為 surface trap 所引發，所以可用 current collapse 之程度來判斷 surface trap 是否已消除。

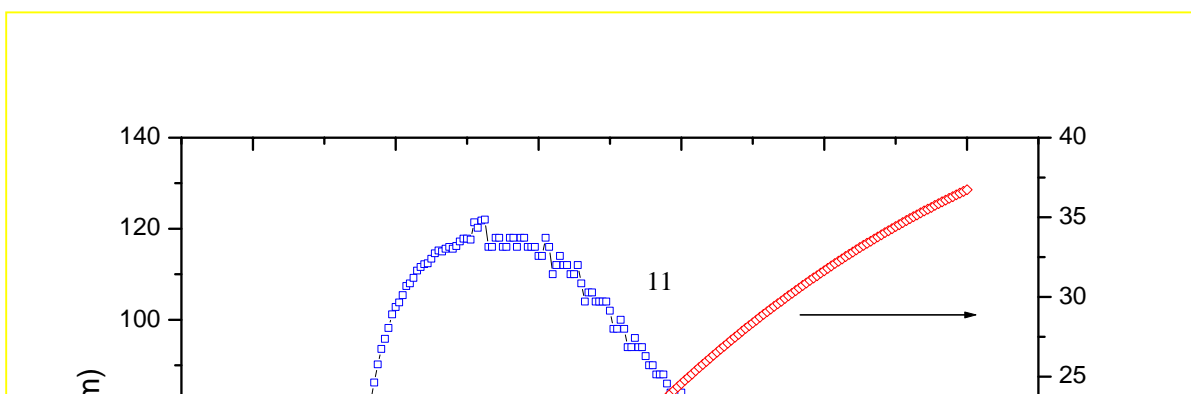


圖 11 no recess sample 之 I_d - V_{gs} 圖與外部轉導

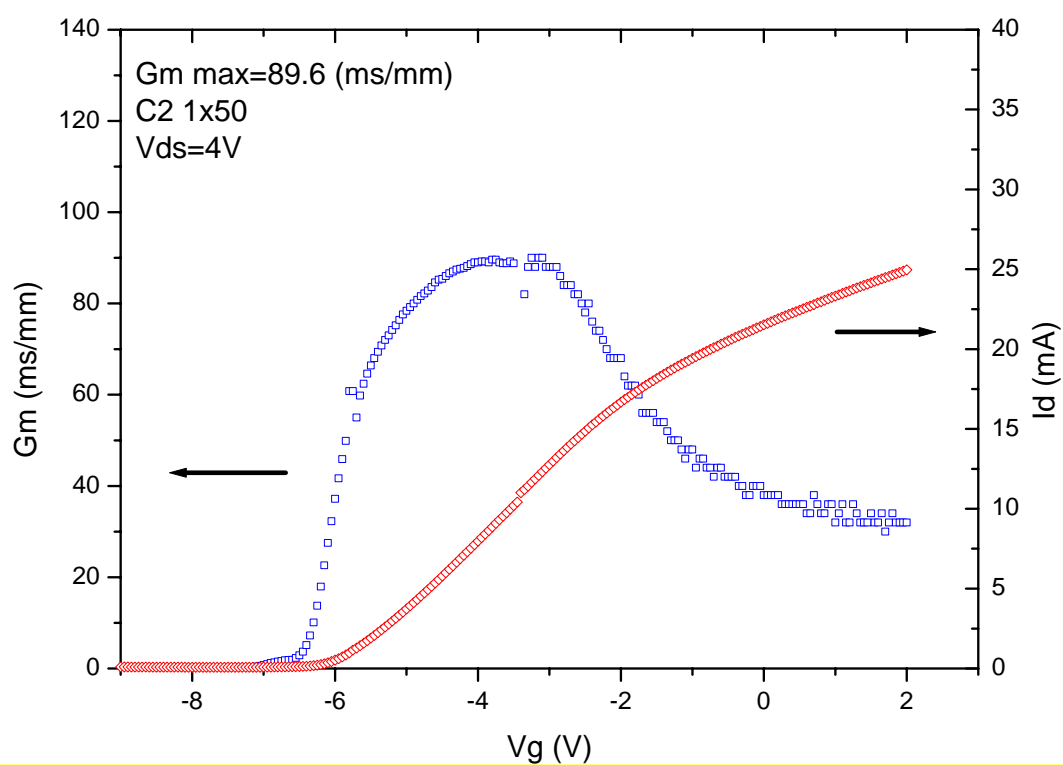


圖 12 Cl_2 recessed sample 之 I_d - V_{gs} 圖與外部轉導

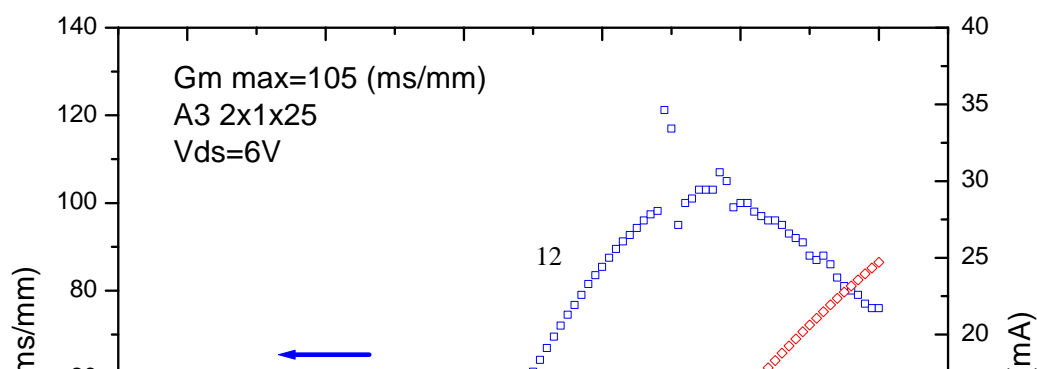


圖 13 Cl₂/Ar recessed sample之Id-Vgs圖與外部轉導

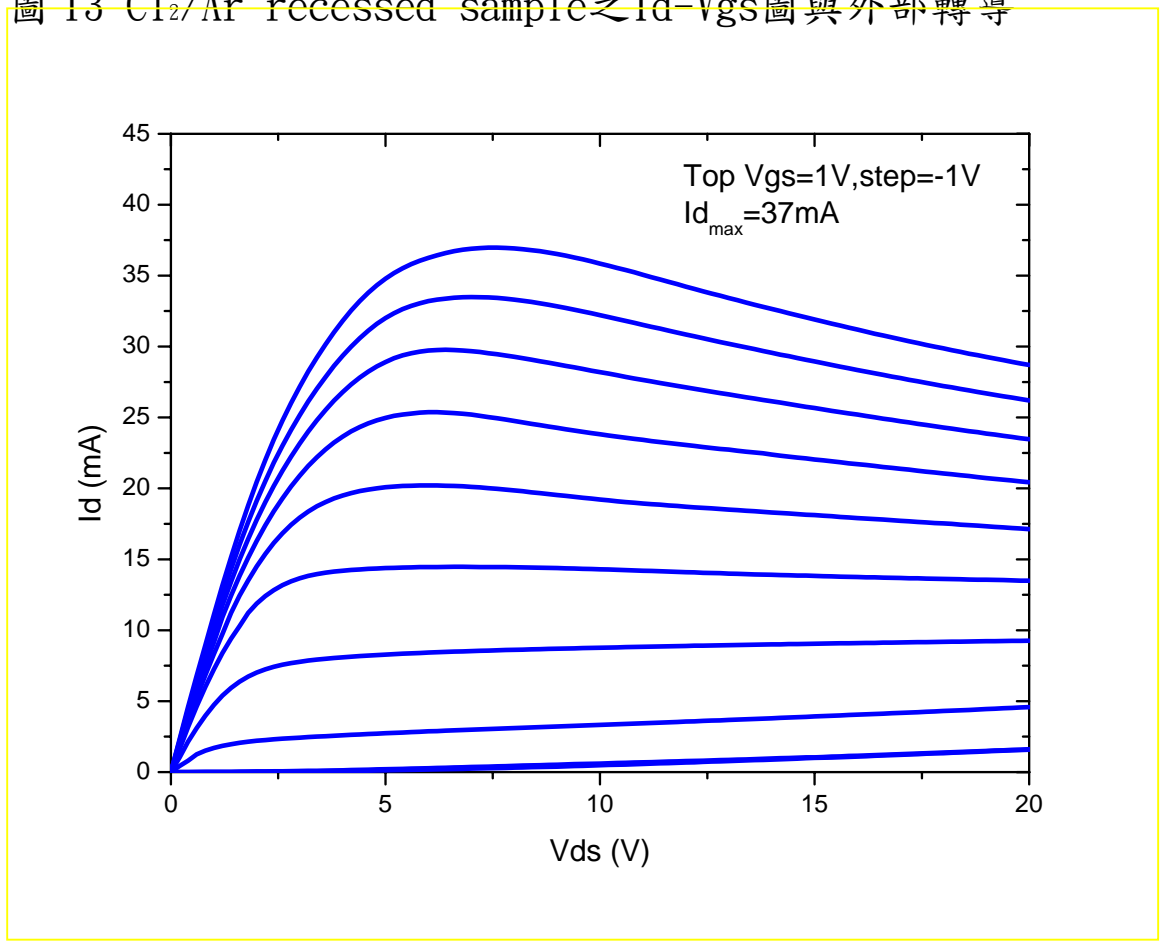


圖 14 no recess sample family curve

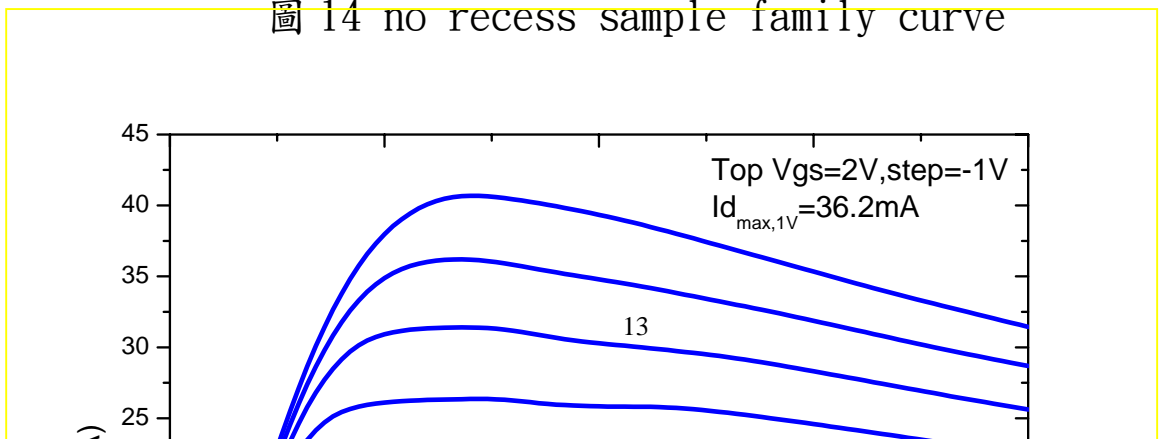


圖 15 Cl₂ 5w 60sec recessed sample family curve

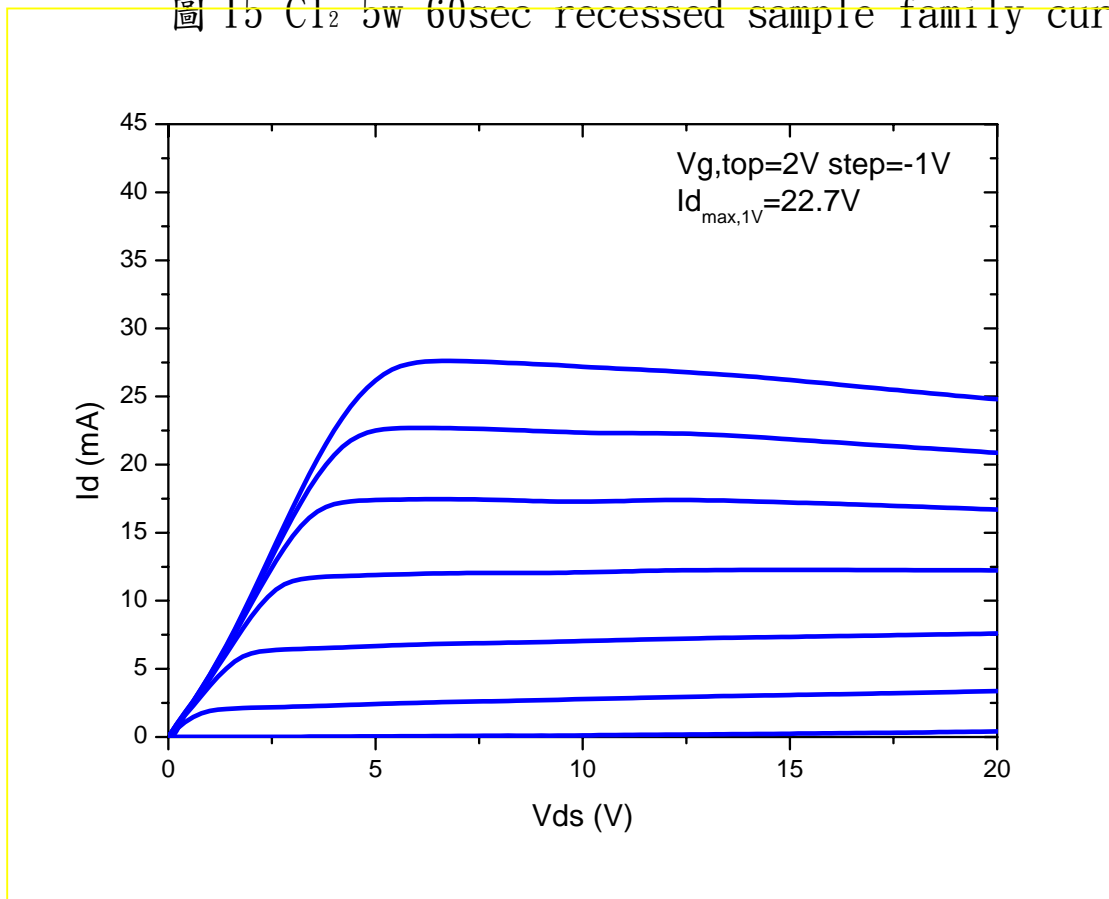


圖 16 Cl₂/Ar 10w 30sec recessed sample family curve

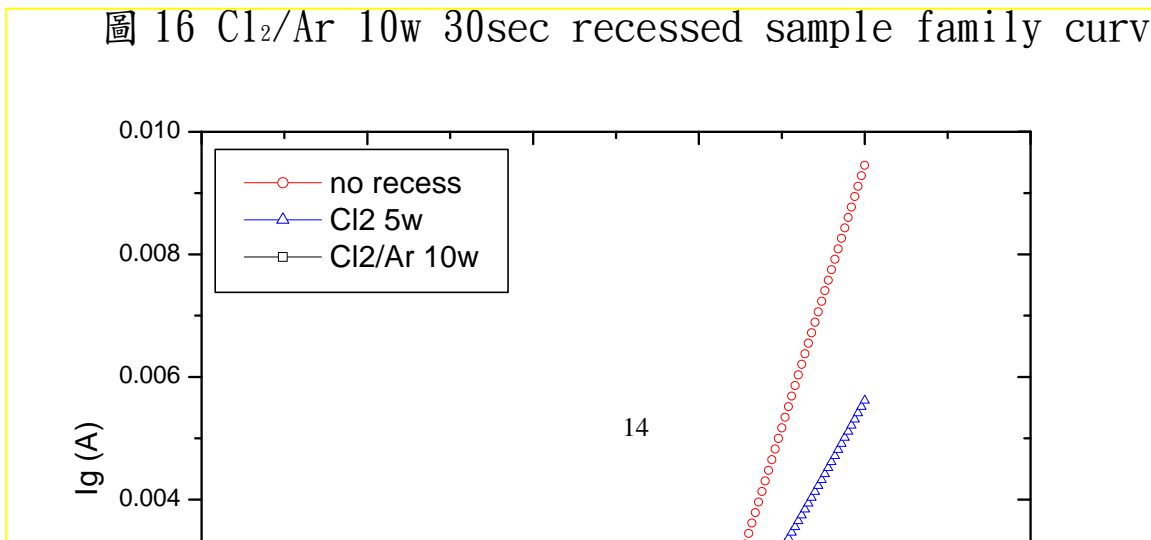


圖 17 順偏蕭特基接面特性

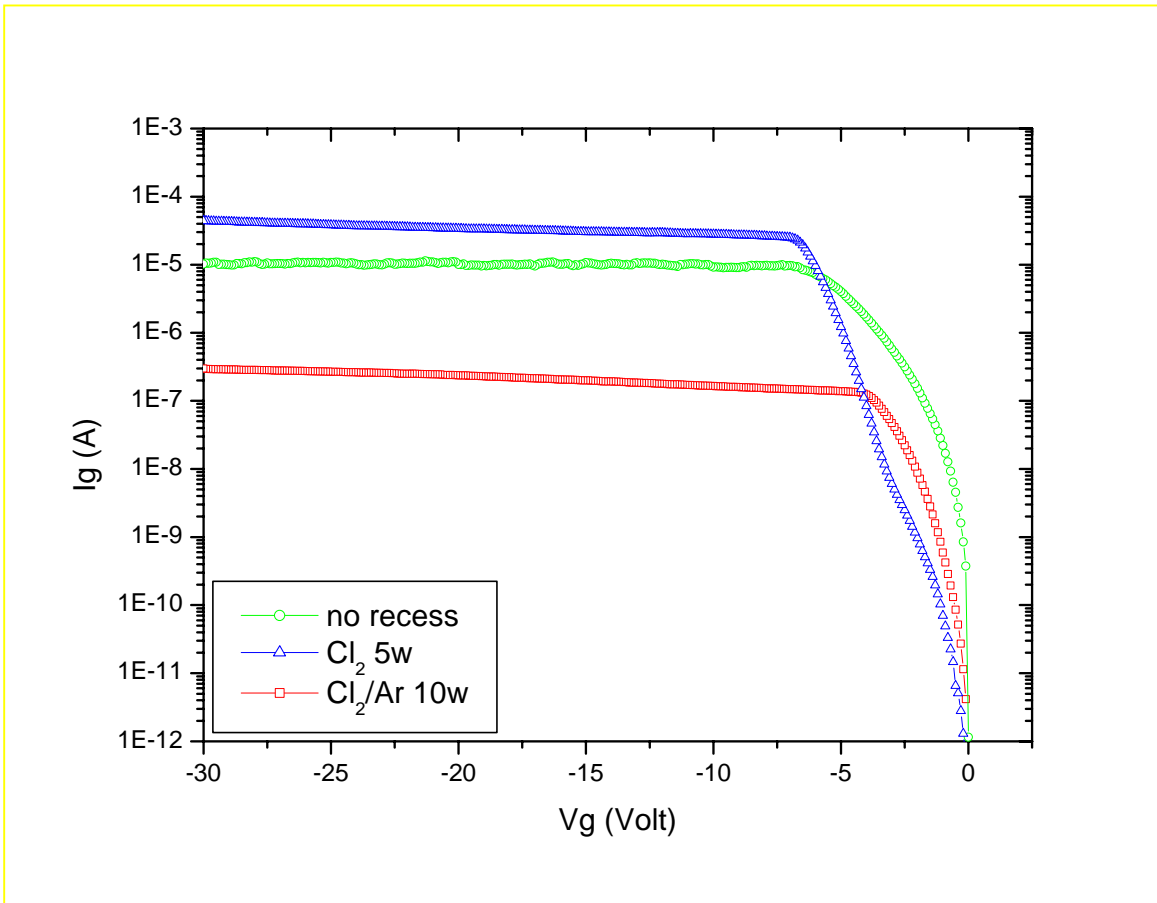


圖 18 逆偏蕭特基漏電流特性

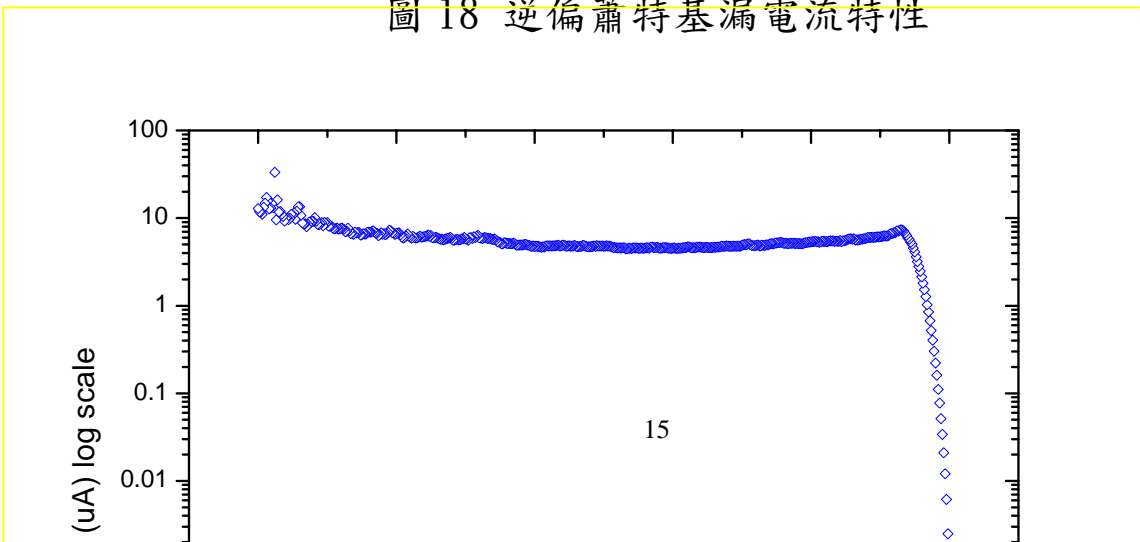


圖 19 no recess sample 逆向偏壓蕭特基接面崩潰電壓

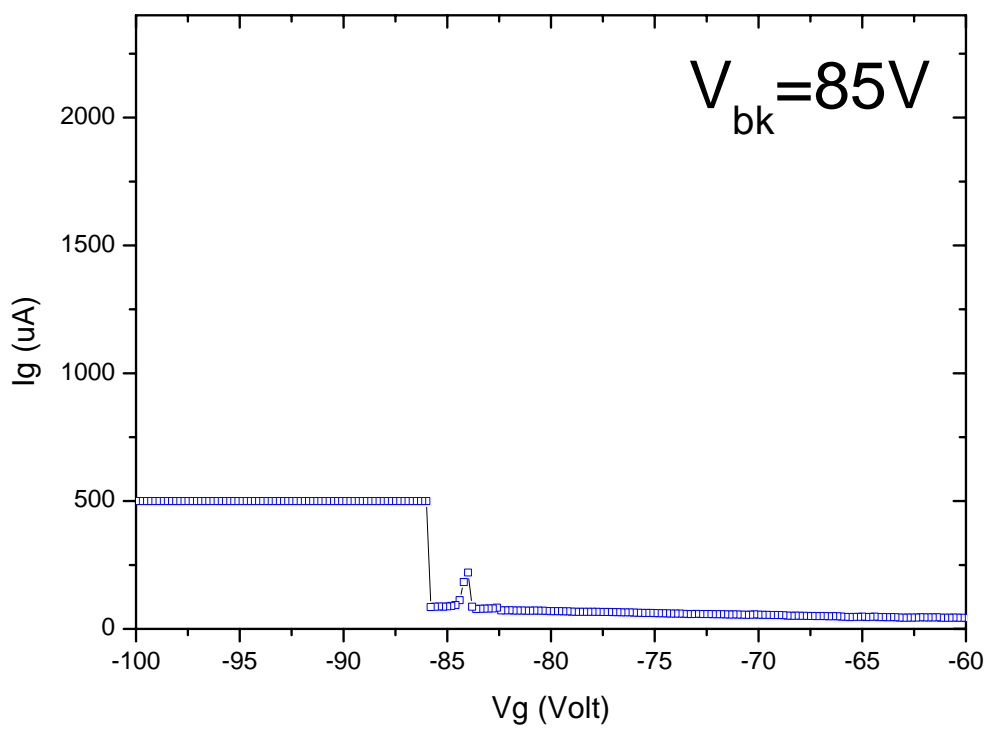


圖 20 Cl_2 recessed sample 逆向偏壓蕭特基接面崩潰電壓

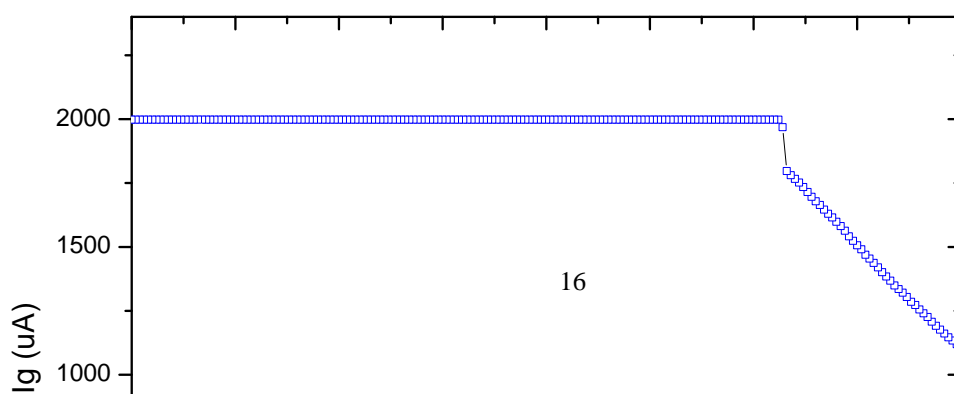


圖 21 Cl₂/Ar recessed sample 逆向偏壓 蕭特基界面崩潰電壓

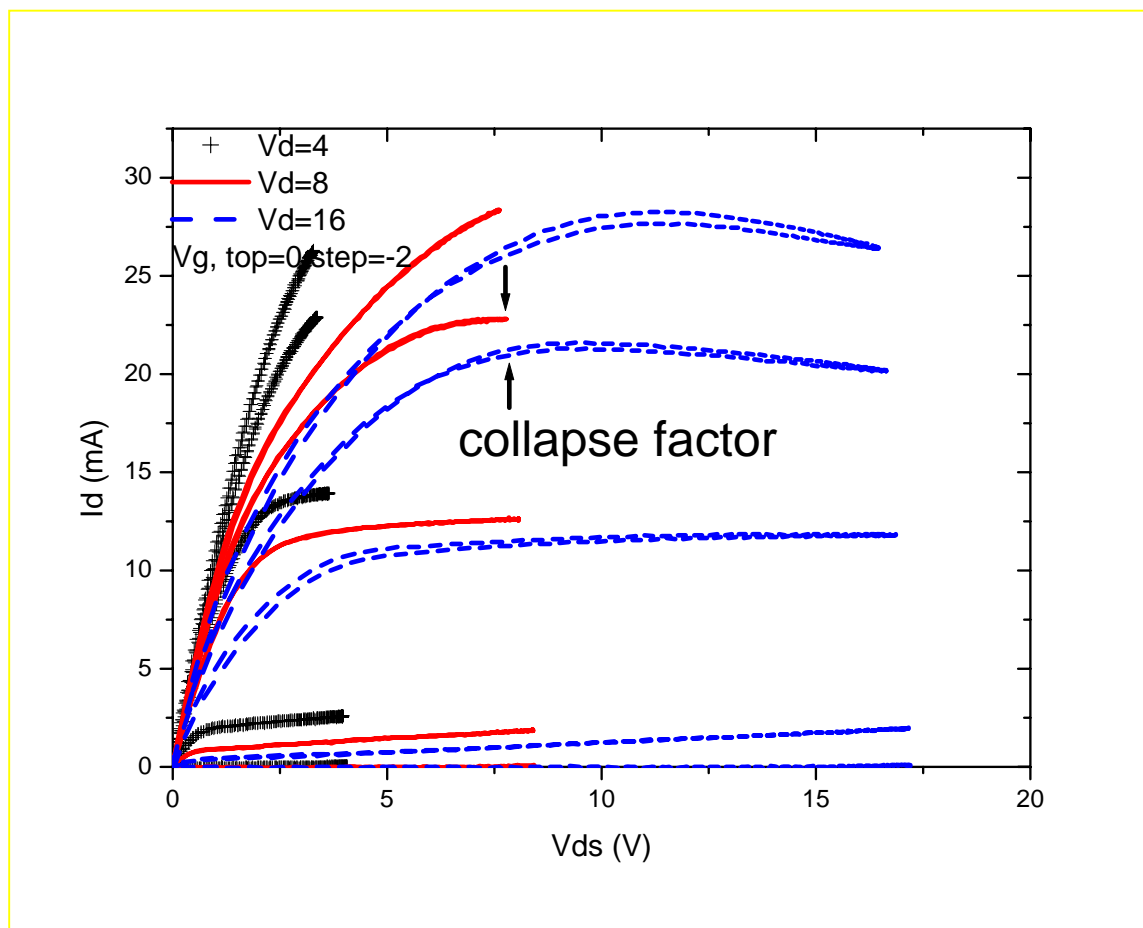


圖 22 no recess sample current collapse

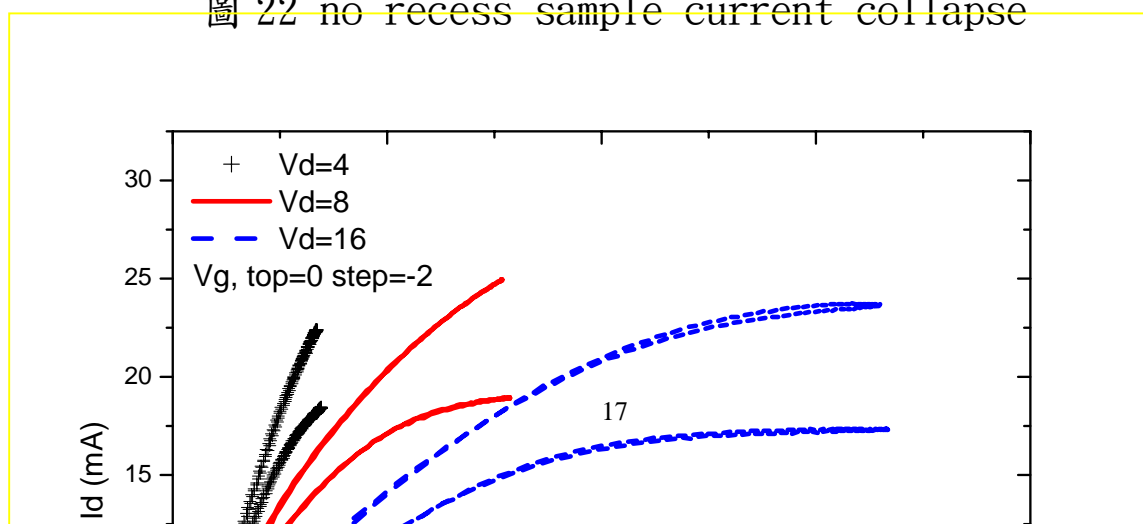


圖 23 Cl₂ recessed sample current collapse

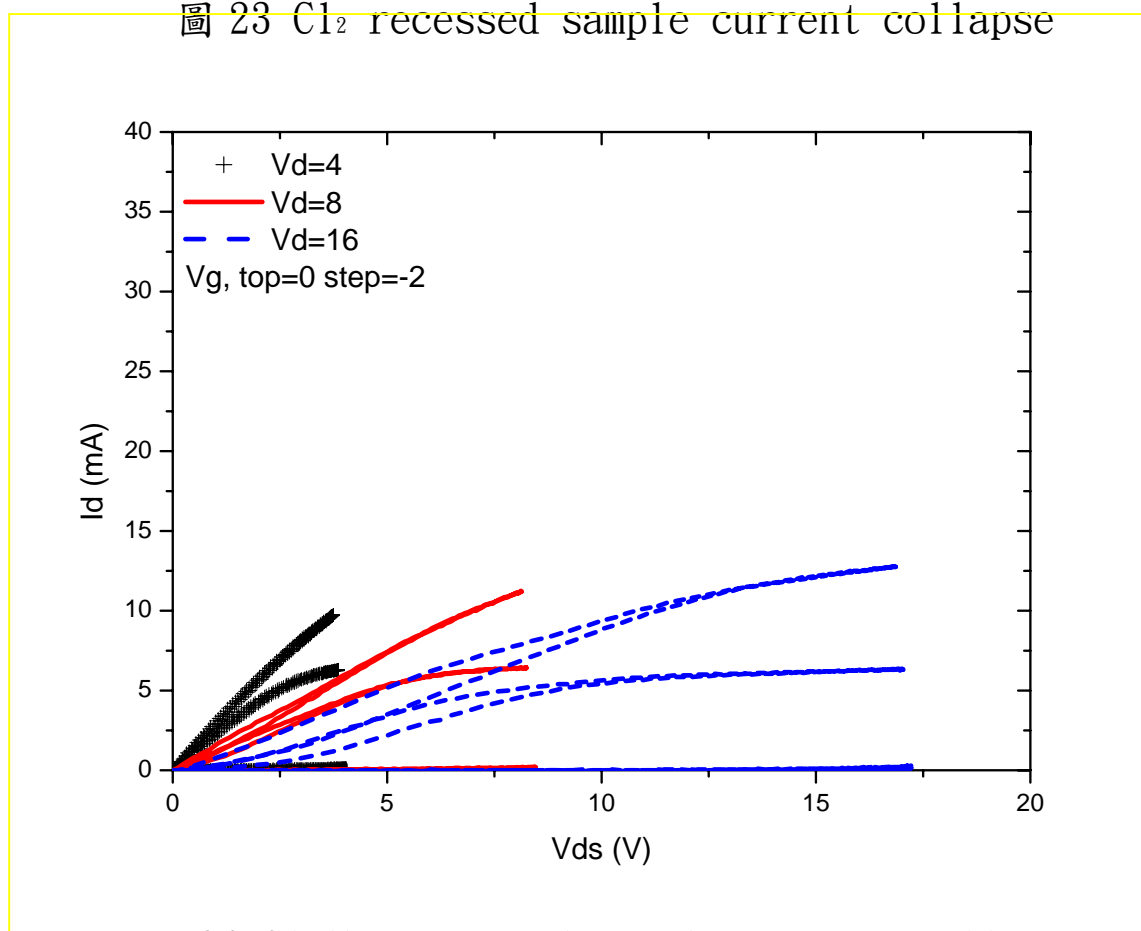


圖 24 Cl₂/Ar recessed sample current collapse

4 鈍化處理 (Passivation) 後之元件特性

4.1 製程參數

Passivation之主要目的為消除晶片表面surface trap對元件特性之影響，但 Passivation後將導致崩潰電壓 V_{bk} 的下降^[10]，Passivation主要是利用電漿增強化學氣相沉積(Plasma-Enhanced chemical vapor deposition ;PECVD)

在元件表面上沉積一層SiN膜，表 2 為SiN沉積製程所使用之製程參數。

| | |
|-----------------------------|------|
| RF power (W) | 70 |
| Temperature (°C) | 300 |
| Pressure (Pa) | 100 |
| SiH ₄ flow(sccm) | 20 |
| NH ₃ flow(sccm) | 10 |
| N ₂ flow(sccm) | 490 |
| Etch time (s) | 30 |
| Refractive index | 2.0 |
| Thickness (Å) | 1158 |

表 2 PECVD 製程參數

4.2 Current collapse

圖 25 為Passivation後Cl₂ recessed sample之current collapse，與圖 23 比較可發現current collapse現象已大幅改善，圖 26 為Cl₂/Ar recessed sample 經Passivation後之current collapse，與圖 24 比較後也可發現current collapse現象已大幅改善，顯現Passivation已有效消除surface trap。

4.3 Device IV

圖 27、圖 28 與圖 29 分別為no recess sample、Cl₂ recessed sample及Cl₂/Ar recessed sample之外部轉導 (G_m) 與臨界電壓 (V_{th}) 關係圖，由圖 27、圖 28 與圖 29 可看出Passivation前後臨界電壓並沒有任何改變，no recess sample V_{th}=-7V，Cl₂ recessed sample V_{th}=-6V，Cl₂/Ar recessed sample V_{th}=-4V。

由圖 27 與圖 11 比較 no recess sample 最大外部轉導由 117 mS/mm增加至 125 mS/mm。由圖 28 與圖 12 比較Cl₂ recessed sample最大外部轉導由 89.6 mS/mm增加至 119 mS/mm，由圖 29 與圖 13 比較Cl₂ /A r recessed sample最大外部轉導由 105 mS/mm增加至 112 mS/mm。

圖 30 為passivation後no recess sample family curve，V_{GS}=1V時最大通道電流 29mA，單位閘極寬度電流之電流密度為 580mA/mm。圖 31 為passivation後Cl₂ recessed sample family curve，V_{GS}=1V時最大通道電流 32mA，單位閘

極寬度電流之電流密度為 640mA/mm。圖 32 為passivation後Cl₂/Ar recessed sample family curve，V_{GS}=1V時最大通道電流 20.55mA，單位閘極寬度電流之電流密度為 640mA/mm。通道電流之衰減顯示etch damage仍影響外部轉導之大小。

4.4 Schottky IV

圖 33 為passivation後之順向偏壓蕭特基界面特性圖，順向導通電壓維持在 1.3V，順向導通電阻在passivation後有明顯減少之跡象但未完全恢復。

圖 34 為passivation後逆向偏壓蕭特基界面漏電流，no recess sample在逆向偏壓 30V時漏電流約為 5X10⁻⁵A，Cl₂ recessed sample在逆向偏壓 30V時漏電流約為 10⁻⁴A，Cl₂/Ar recessed sample在逆向偏壓 30V時漏電流約為 10⁻⁵A，在passivation後蕭特基逆偏漏電流均增加。

圖 35 為passivation後no recess sample逆向偏壓蕭特基界面崩潰電壓，V_{bk}=94V。圖 36 為passivation後Cl₂ recessed sample逆向偏壓蕭特基界面崩潰電壓，V_{bk}=77V。圖 37 為passivation後Cl₂/Ar recessed sample逆向偏壓蕭特基界面崩潰電壓，V_{bk}=61V。

4.5 高頻特性

圖 38 為no recess sample扣除金屬襯墊輸出電容影響之高頻特性，本試片之ft為 7.5GHz，f_{max}為 13GHz。圖 39 為Cl₂ recessed sample扣除金屬襯墊輸出電容影響之高頻特性，本試片之ft為 11GHz，f_{max}為 17GHz。圖 40 為Cl₂/Ar recessed sample扣除金屬襯墊輸出電容影響之高頻特性，本試片之ft為 9GHz，f_{max}為 12.5GHz。

4.6 討論

Passivation後，由current collapse的改善可確知surface trap 大致已消除，雖然SiN deposition其間曾加熱至 300°C，但並未發生threshold voltage shift，V_{th}仍維持不變。外部轉導雖有增加至與未掘入蝕刻前相同水準之大小，但因閘極掘入蝕刻理應獲得外部轉導之增加，故判斷應是閘極金屬底部之etch damage所致。

由順偏蕭特基來看導通電阻的縮減但未回復成為蝕刻前，顯示閘極金屬

底部之etch damage 在Passivation後雖然有部分減少，仍有極大部分存在。

由元件的高頻特性量測結果來看，並沒有觀察到掘入蝕刻所造成之影響。表 3 為利用 passivation 消除 surface trap 前後元件特性比較表，進一步的特性改善則需退火 (annealing) 來達成 etch damage recovery。

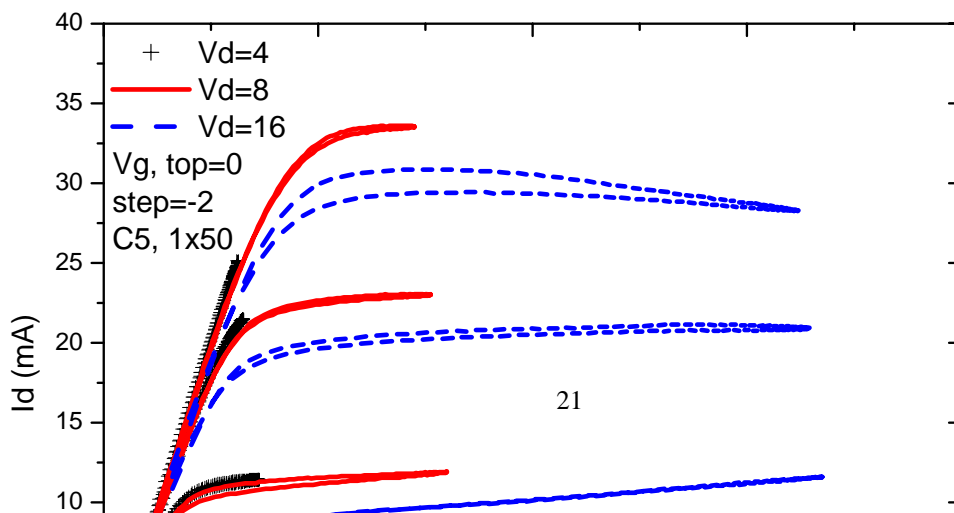


圖 25 Passivation 後Cl₂ recessed sample current collapse

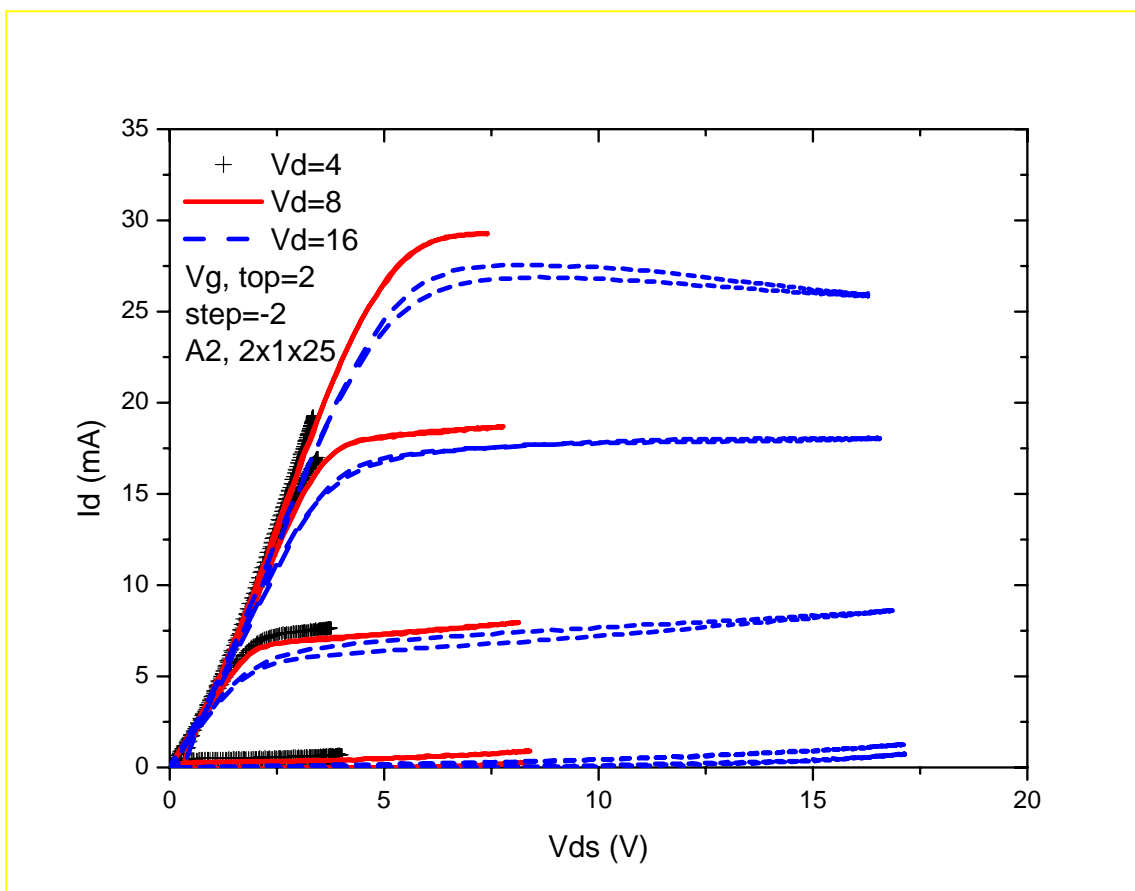


圖 26 Passivation 後Cl₂/Ar recessed sample current collapse

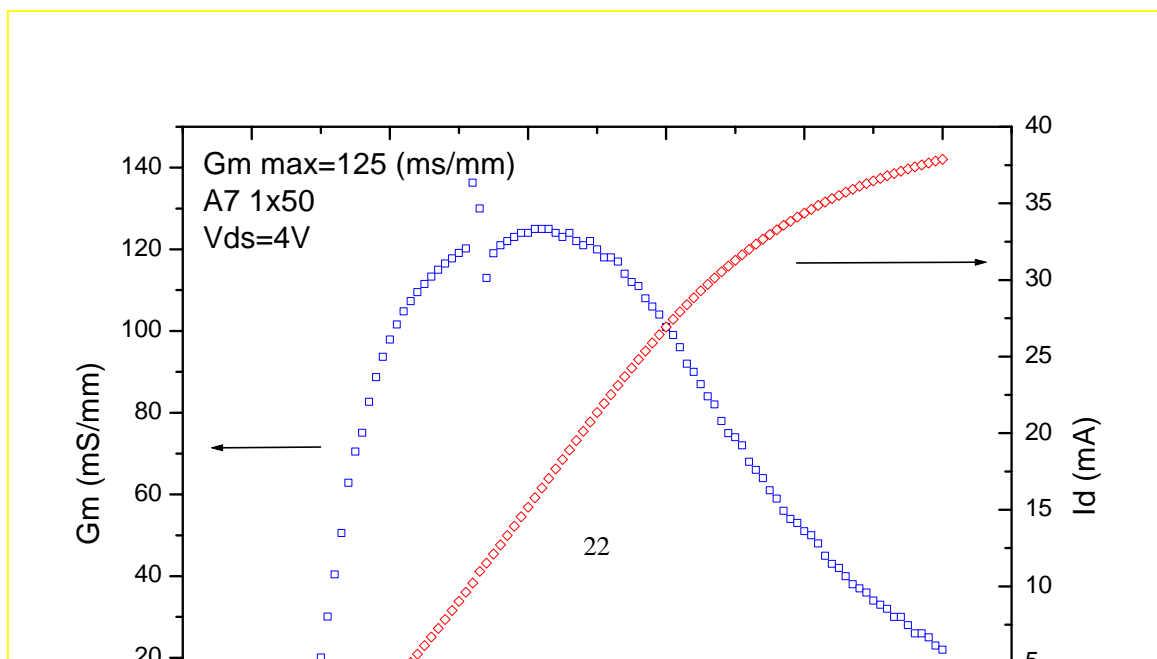


圖 27 Passivation 後 no recess sample Id-Vgs 圖與外部轉導

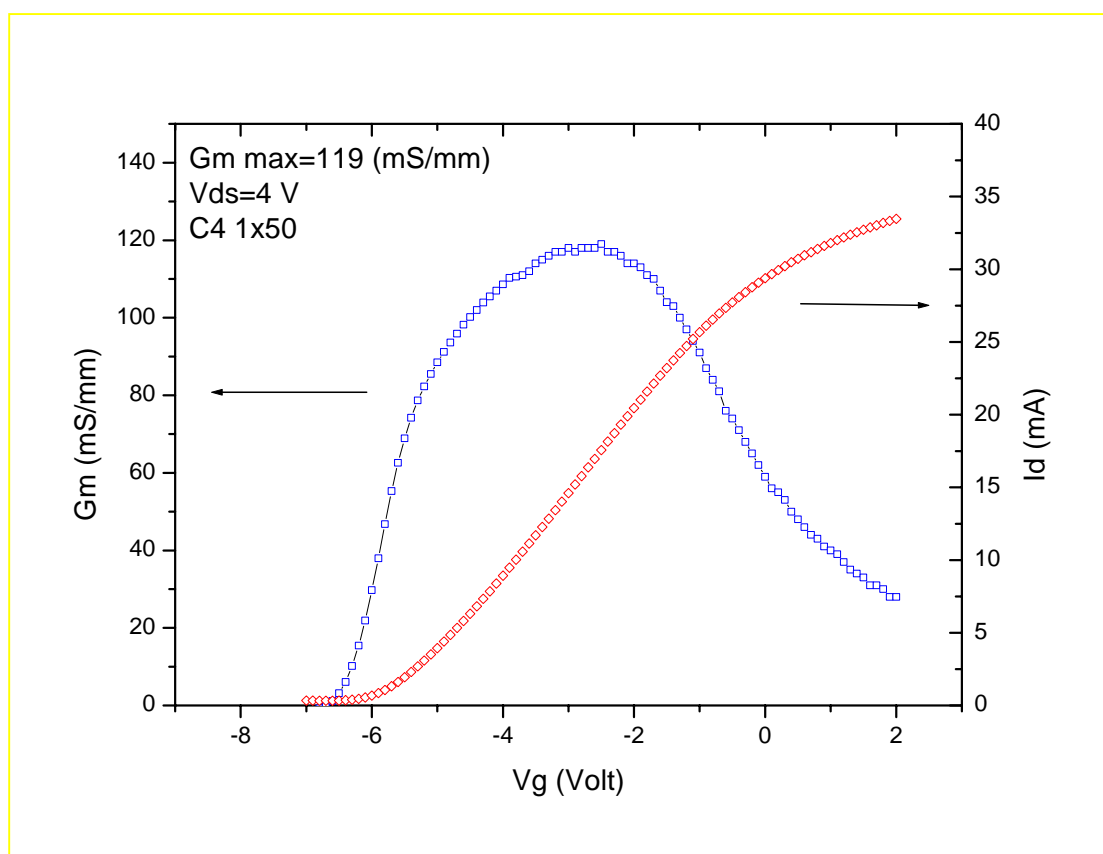


圖 28 Passivation 後 Cl_2 recessed sample 之 I_d - V_{gs} 圖與外部轉導

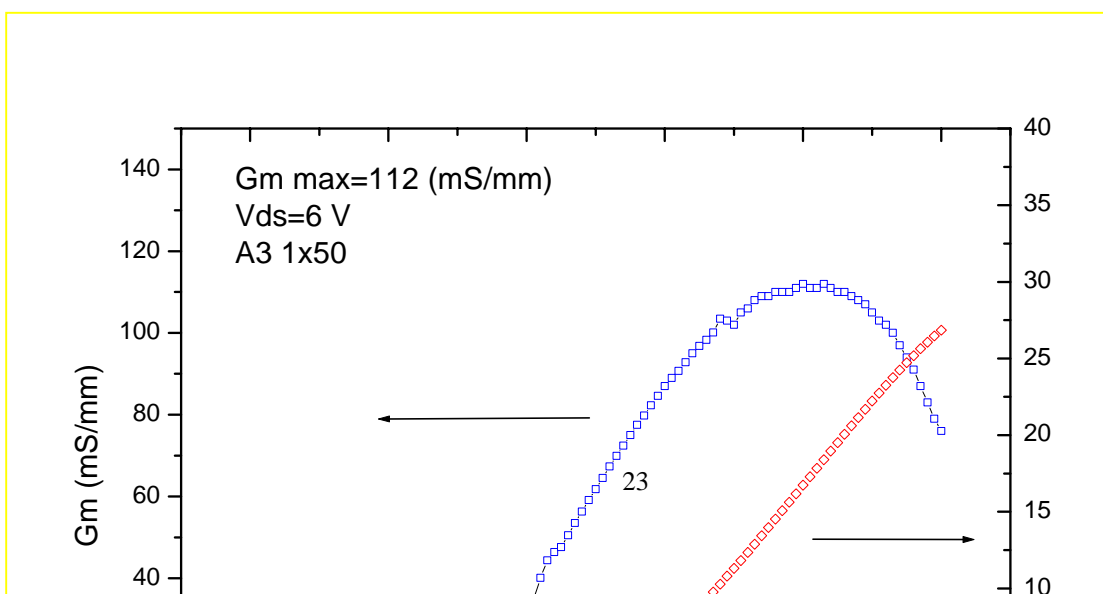


圖 29 Passivation後Cl₂/Ar recessed sample Id-Vgs圖與外部轉導

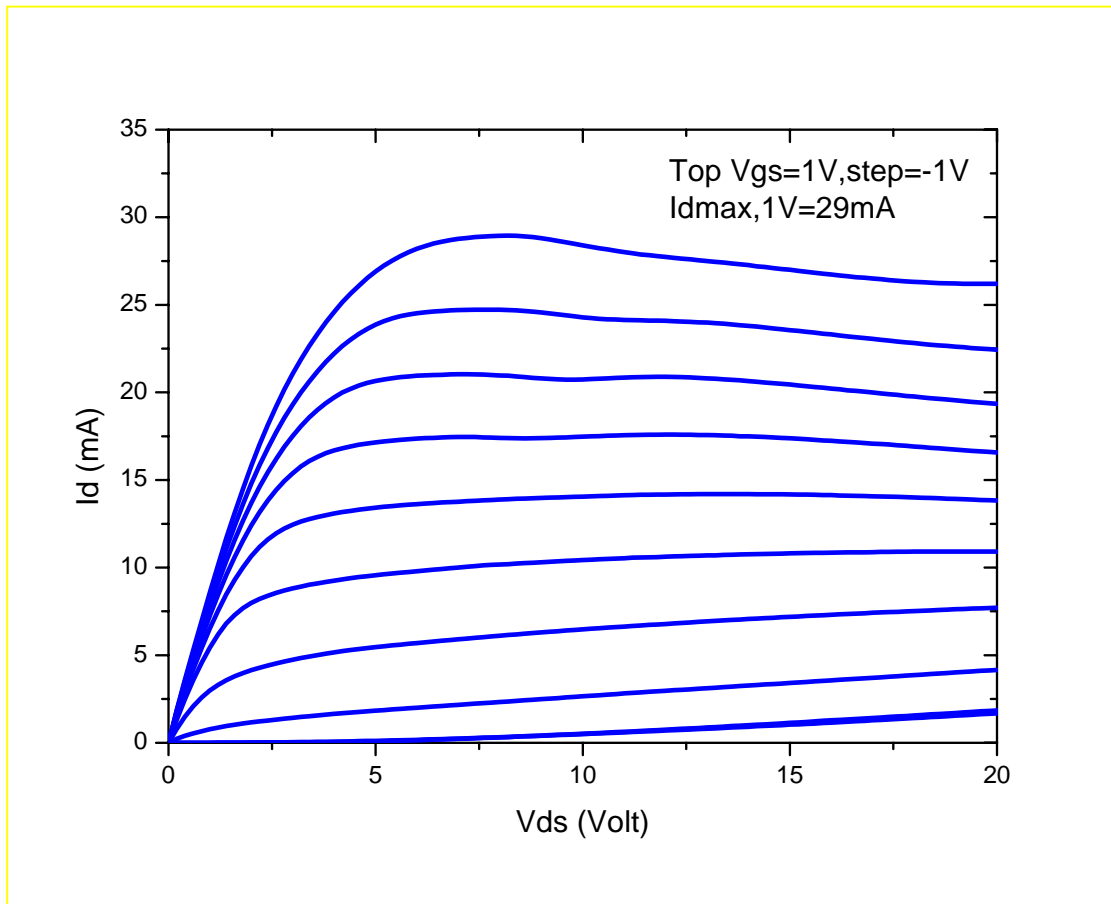


圖 30 Passivation 後 no recess sample family curve

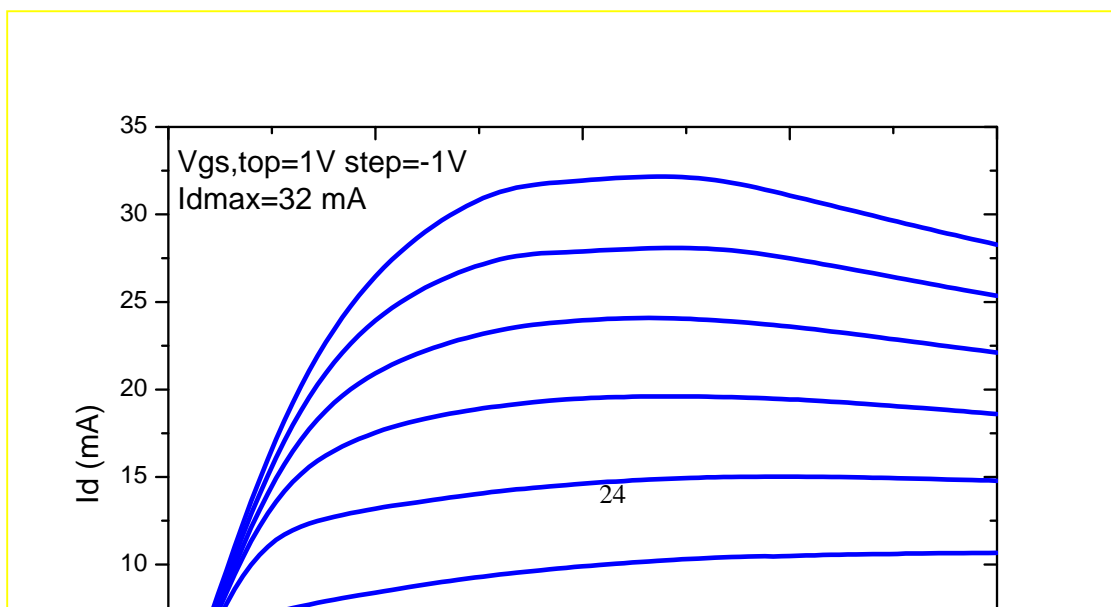


圖 31 Passivation 後Cl₂ recessed sample family curve

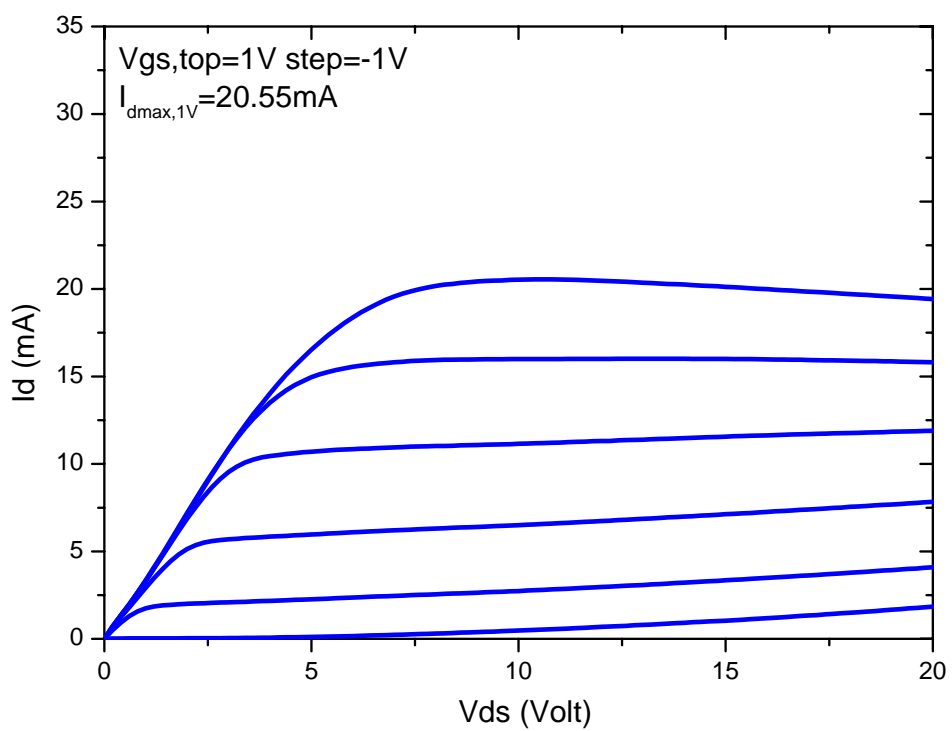


圖 32 Passivation 後Cl₂/Ar recessed sample family curve

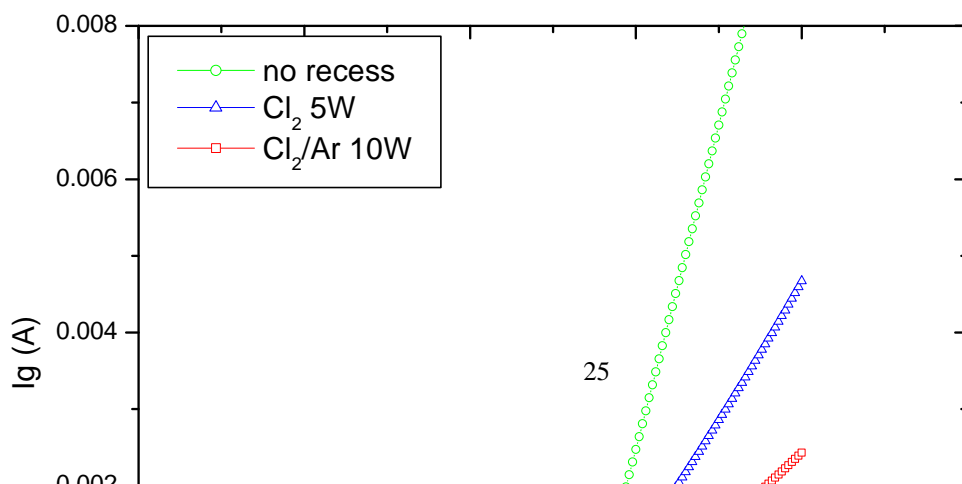


圖 33 Passivation 後之順偏蕭特基接面特性

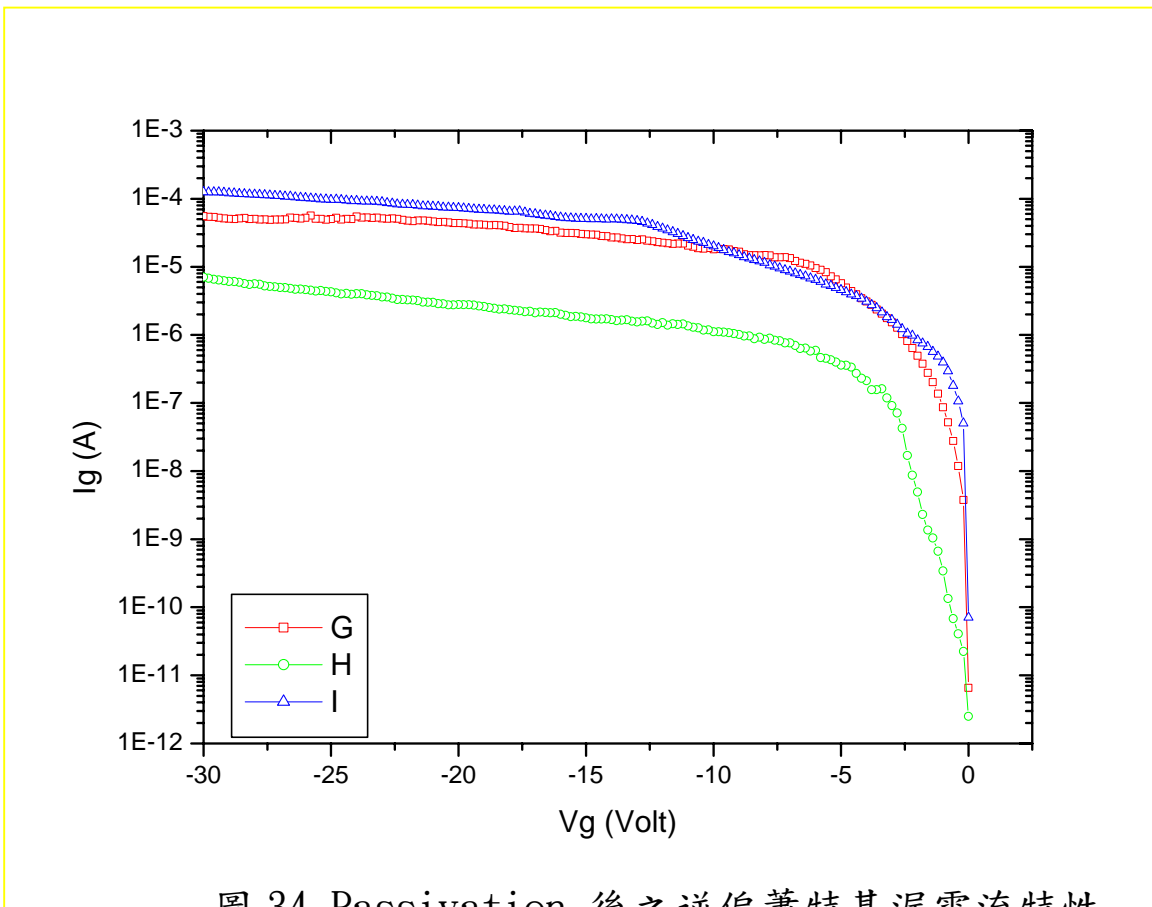


圖 34 Passivation 後之逆偏蕭特基漏電流特性

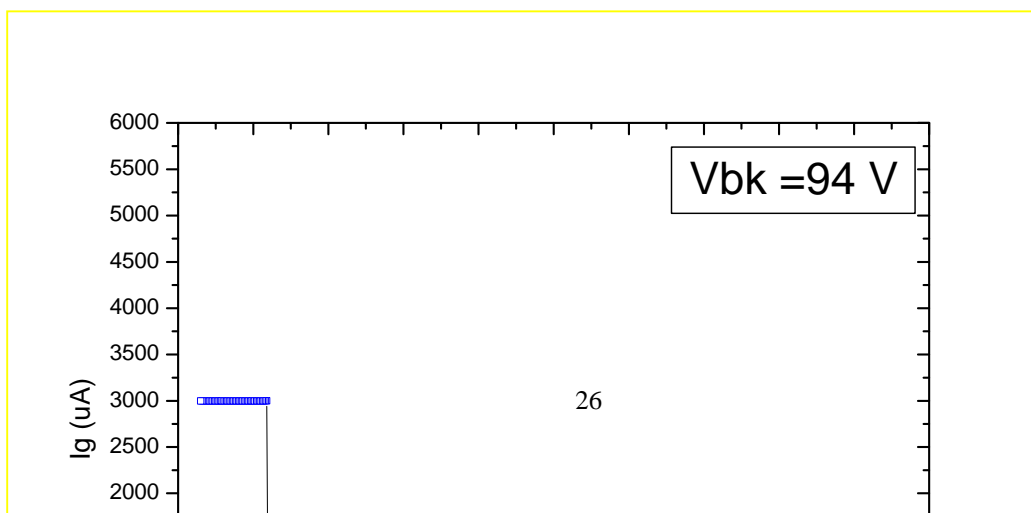


圖 35 Passivation 後 no recess sample 逆向偏壓蕭特基接面崩潰電壓

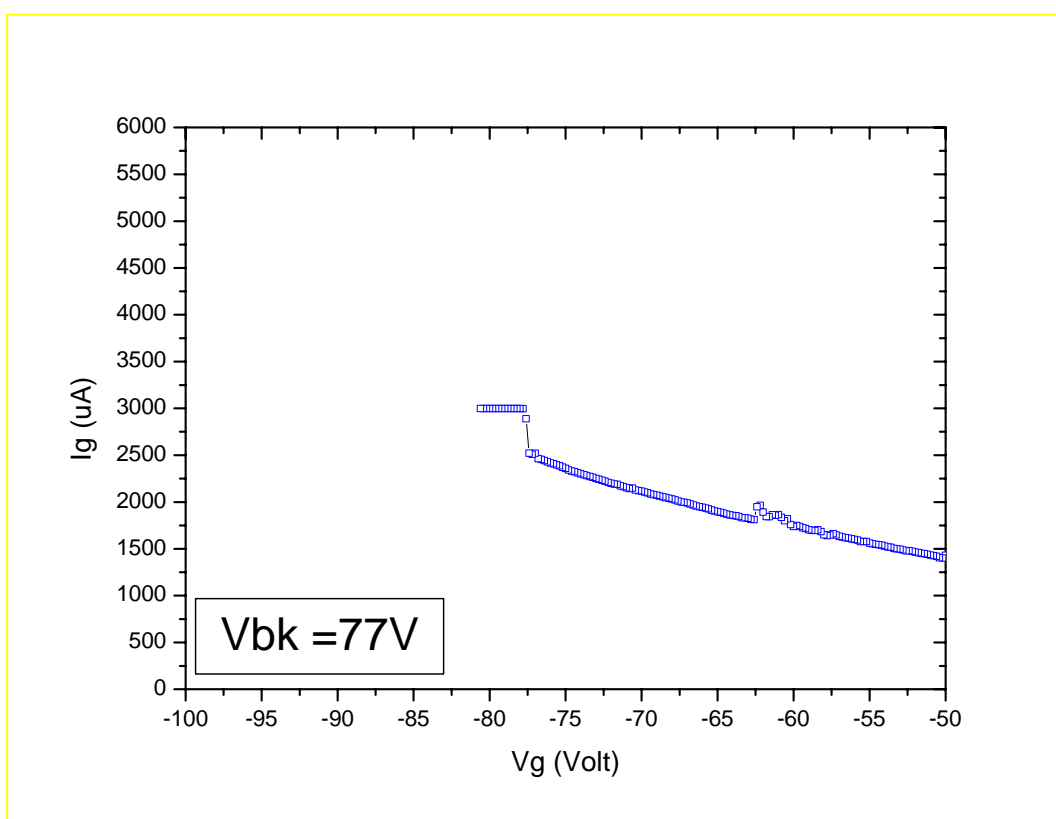


圖 36 Passivation 後 Cl_2 recessed sample 逆向偏壓蕭特基接面崩潰電壓

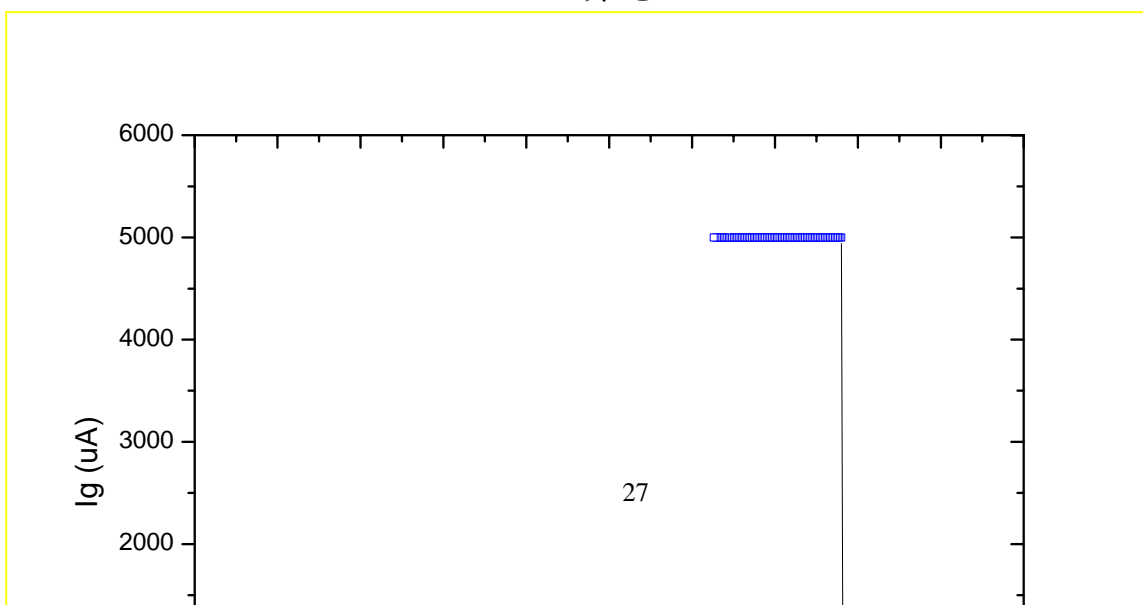


圖 37 Passivation後Cl₂/Ar recessed sample逆向偏壓蕭特基接
面崩潰電壓

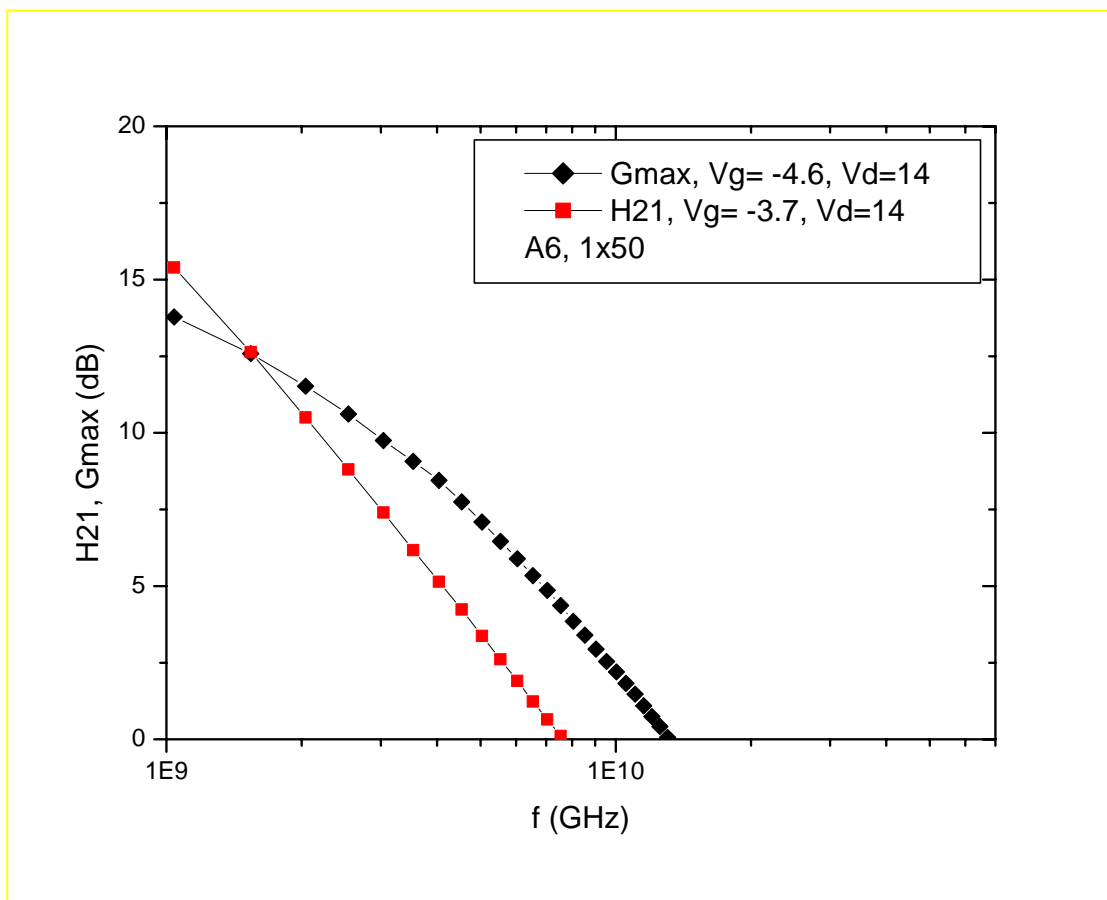


圖 38 no recess sample 高頻特性

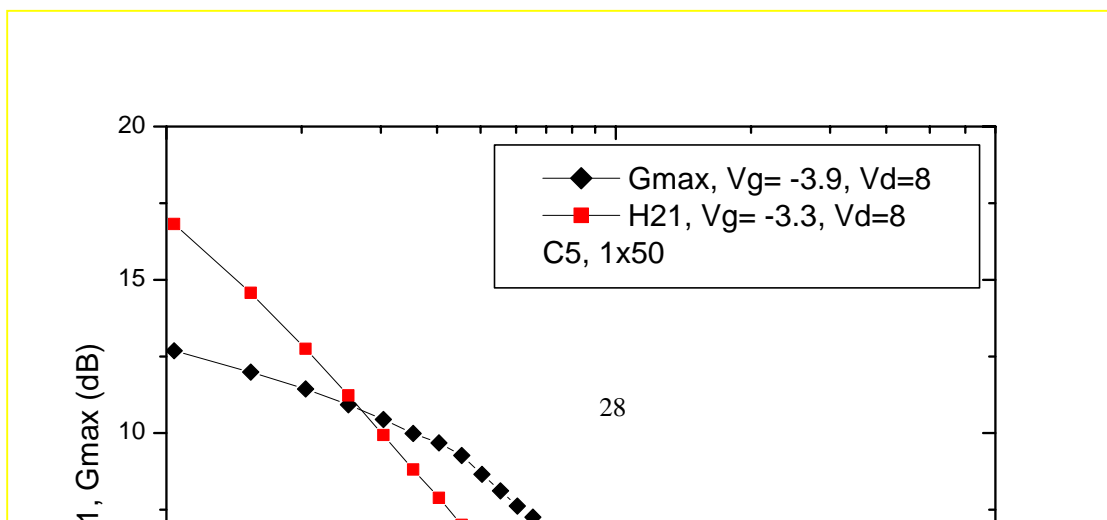


圖 39 Cl₂ recessed sample 高頻特性

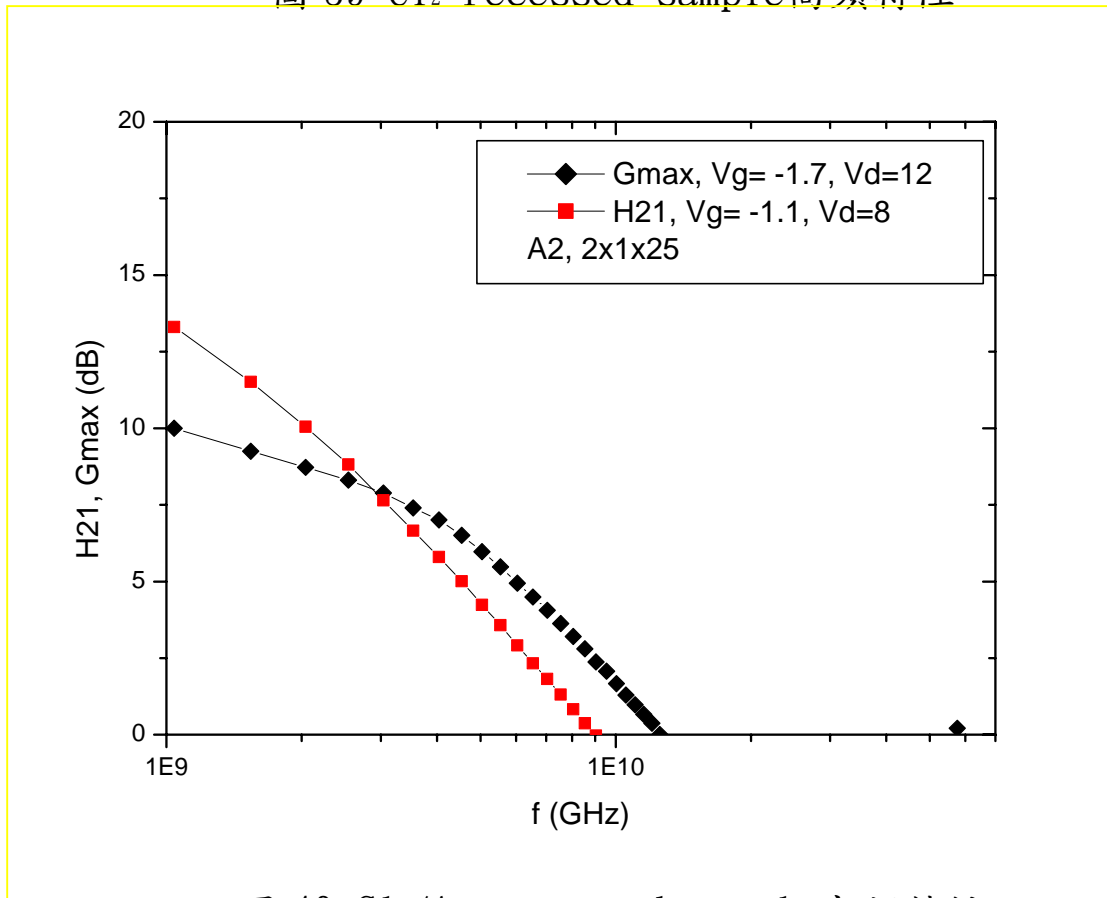


圖 40 Cl₂/Ar recessed sample 高頻特性