

行政院國家科學委員會專題研究計畫 成果報告

高介電氧化層奈米 CMOS 元件可靠性關鍵問題及界面量測技術研究(2/2)

計畫類別：個別型計畫

計畫編號：NSC93-2215-E-009-026-

執行期間：93年08月01日至94年10月31日

執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：莊紹勳

計畫參與人員：李冠德 朱益輝 劉又仁

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 95 年 3 月 14 日

高介電氧化層奈米CMOS元件可靠性關鍵問題及界面量測技術研究(2/2)

Key Reliability Issues and Interface Characterization Techniques for High Gate Dielectric Nano-CMOS Devices

計畫編號：NSC93-2215-E009-026

執行期限：93年8月1日至94年7月31日

主持人：莊紹勳 教授 國立交通大學電子工程學系

一、中文摘要

當閘極氧化層微縮到約 10 Å 時，閘極介電質的穿隧漏電流 (gate dielectric leakage tunneling current) 也隨之呈指數增加。有多種不同的方法被運用來改善元件的性能與可靠度，其中一種選擇就是利用高介電係數閘極氧化層結構來提昇元件的性能。在本計劃中，主要是在探討非對稱的正偏壓高溫不穩定性 (asymmetrical PBTI) 所產生的效應並與傳統氧化層元件比較其優劣。並針對超薄氧化層量測時所導致大量的閘極穿隧漏電流問題，將開發出一套可有效排除漏電流效應的方法去觀測氧化層界面的缺陷分佈。此外，我們發展一套簡單、快速且適用於高介電係數氧化層結構的方法去分析高介電閘極氧化層在縱向的缺陷分佈。

第一種方法是利用雙閘極二極體法 (Twin gated-diode)，先利用微量汲極偏壓使汲極界面產生空乏區再加大閘極偏壓來得到通道中界面陷阱的分佈情形。使用微量的基極偏壓可有效移除在超薄氧化層下的漏電流成分，使我們可以正確的決定界面缺陷的分佈情形。利用這個方法我們可以得到非對稱性的 PBTI 影響。

第二種方法是利用差頻電荷幫浦法 (IFCP, Incremental Frequency Charge Pumping)，我們結合 IFCP 方法和陷阱道

係基板傳導代的穿隧時間常數來得知缺陷在高介電係數氧化層的位置。

關鍵詞：超薄氧化層、閘極漏電流、氧化層界面缺陷、正偏壓高溫不穩定性、雙閘極二極體方法、臨界電壓的不穩定。

Abstract

With the scaling of gate oxide thickness into 1 nm regime, the gate dielectric leakage current will increase exponentially with reducing thickness. Several different methods can be employed to improve device performance and reliability. Among them, high-k gate stack CMOS device is a good choice. This project has extensively studied the asymmetrical positive bias temperature instability, and compared with conventional control oxide devices. In order to overcome gate leakage tunneling current during measuring ultra-thin gate oxide devices, we will develop an effective method which can remove gate leakage current and monitor the profiling of interface traps. On the other hand, we have developed a simple method to plot the spatial distribution of oxide traps in the high-k gate dielectric.

This first method is called Twin gated-diode method (T-GD). A small forward drain bias can generate junction depletion region. Sweeping gate bias has been implemented for determining the profiling of

interface traps. Using small substrate bias can remove the leakage current in the ultra-thin gate oxide. It can be removed from the measured T-GD current, which enables accurate determination of the interface traps. This method has been demonstrated successfully for characterizing the asymmetrical PBTi effects.

The second method is called Incremental Frequency Charge Pumping (IFCP) method. By combining IFCP method and trap-to-trap tunneling time constant, the calculation of trap position in the HfSiON has been implemented. By using this technique, it was found that the spatial distribution of oxide traps in the high-k layer can be identified.

Keywords: ultra-thin gate oxide, gate leakage current, oxide interface traps, PBTi, Twin Gated-Diode method, V_T instability.

二、計劃緣由與目的

美國 ITRS 指出，在未來的 CMOS 製程技術中，以傳統 SiO_2 結構為主的氧化層結構微縮到一定程度時，會有其物理結構上的極限。此一極限使得半導體製程中最為關鍵的閘極氧化層技術變得更為困難，尤其是傳統閘極氧化層會存在相當大的閘極穿隧漏電流 (gate leakage tunneling current)[1]。因此，氧化層厚度持續微縮除了能增加閘極控制能力外，要如何降低 gate leakage current，成為未來 CMOS 技術最重要的課題。目前普遍相信，通道長度在 65nm 以下引進所謂高介電氧化層技術是不可或缺的，除了可增加氧化層厚度來降低閘極漏電流之外，亦不會因增加氧化層厚度而犧牲掉閘極的通道控制能力。而目前由於 high-K 元件有許多可靠性上的問題，例如，phonon scattering、hysteresis

以及 Fermi level pinning 效應[2-4]等，使得 high-k 元件目前仍然無法成為工業量產的主流技術。

在早期， HfO_2 普遍被認為可能成為新一代的 high-K 元件氧化層材料，但隨著各研究群的致力研究，發現以 HfO_2 為氧化層材料時，會有相當大的氧化層缺陷、通道界面缺陷以及嚴重的磁滯效應[5]，除了偏壓不穩定效應明顯之外，氧化層存在大量的缺陷造成相當大的庫倫散射效應，使得通道載子移動率大大的降低。故目前工業界主要是使用 HfSiON 當作 high-K 元件的氧化層材料。

然而 HfSiON 雖然比起 HfO_2 的氧化層缺陷來的少，但比起傳統以 SiO_2 為基底的氧化層結構還是來的多，這使得本研究群之前針對修正閘極漏電流的量測方法[6-9]變的不適用在超薄 high-K 氧化層元件中。

儘管本研究群已開發出可有效排除閘極漏電流的 IFCP 與 $L^2\text{GD}$ 量測技術，但因高頻與低頻 CP 所量得的電流其所代表的是不同的物理量，使得扣除漏電流變成一件複雜的工作。而 $L^2\text{GD}$ 量測技術雖然可以有效抑制閘極漏電流，但仍有其物理上的極限，當氧化層等效厚度到了約 10\AA 時，漏電流與 gated-diode 電流的大小(order)相當，使得分析上更加困難。

本計劃著眼於此，發展出具有超薄高介電氧化層 CMOS 元件的可靠性分析方法研究，這當中結合了以 HfSiON 為高介電氧化層以及 SiON 為界面層的超薄高介電氧化層 CMOS 元件為測試樣本，以我們已發展的 IFCP 和 $L^2\text{GD}$ 分析方法為基礎，嘗試改善並開發新的量測方法，用於

研究超薄高介電氧化層 CMOS 元件，找出適用下一世代的 high-k 元件可靠性分析方法。

三、結果與討論

本計劃重新修正我們之前已發展完成的氧化層界面分析方法，開發出適用於高介電氧化層 CMOS 元件分析的兩種方法。

(1) 目前電荷幫浦技術發展

基本上，電荷幫浦技術主要是被使用於求沿著通道方向 N_{it} 和 Q_{ot} 的 profiling。元件的可靠性和這些界面陷阱和氧化層陷阱的關係可以被決定。因高介電氧化層內多數陷阱，在元件正常操作時，電荷的快速捕捉與釋放會造成遷移率的下降及臨界電壓的漂移。我們發展一種新的電荷幫浦方法，可以使用於當氧化層以高介電係數材料所取代時的量測，這新的方法稱作增量頻率電荷幫浦法(IFCP)，適用於高介電氧化層可靠性分析量測。

A. 電荷幫浦法的原理

Fig. 1 顯示當元件操作在低頻時，電荷幫浦電流會明顯的增加，代表有另一股電荷複合成分，而這股成分就是來自於高介電氧化層裡的缺陷電荷。利用 trap-to-band 的時間長數：

$$\tau_{T-B}(x, \phi_T) = \tau_{T-B}^* \exp(\alpha_n^e x)$$

配合我們所發展的 IFCP 可得知在不同高度氧化層的位置，其所在位置的缺陷密度。

B. 氧化層缺陷密度在不同高度上的分佈

分析氧化層陷阱電荷的步驟如下所示：

1. 首先，從 $I_{cp,5.1M}$ 扣掉 $I_{cp,5M}$ 來得到 $I_{cp,100K}$ ，在這麼高頻的情況下，這 $I_{cp,100K}$ 完全是由 N_{it} 所貢獻的量。
2. 接下來，我們選擇兩種分別對應到氧化層特定高度的不同頻率。藉由上述方法，我們可先分別扣除不同頻率所對應到 N_{it} 的量。
3. 為了移除漏電流的影響，我們把兩種不同的 I_{cp} 相扣，剩餘的量即是代表 N_{ot} 的部份。
4. 因為高介電材料在低頻的量測下是非常的不穩定，所以再這裡我們選擇一個點量五次並取其平均值。

經由上述的方法，Fig. 2 顯示以 $HfSiON$ 作為高介電氧化層，其缺陷密度沿垂直方向離界面層(Interfacial Layer)的距離。

C. nMOSFET IFCP 的特性應用

為了更進一步利用此分析方法去分析高介電氧化層元件在電性加壓下(electrical stress)缺陷的產生情況，我們使用定電壓的加壓方式。Fig. 3, Fig. 4, Fig. 5, Fig. 6 分別顯示介面陷阱密度和高介電材料的本體缺陷密度的成長情況在正偏壓及負偏壓的電性加壓下。其中，我們可發現在閘極注入時，介面陷阱密度的成長情況遠比高介電材料的本體缺陷密度來的快。而在基極注入時，介面陷阱密度的成長情況則比高介電材料的本體缺陷密度來的慢。綜合上述，我們可以得知，當電性加壓時，靠近陽極的地方，傷害總是比較大，因為其所受到的能量比較多，所造成的缺陷密度也較大。

(2) 目前閘極二極體量測技術的發展

基本上，閘極二極體量測技術主要是用來分析 channel 到 drain extension 內的界面缺陷分佈情形。當氧化層厚度持續微縮下，閘極漏電流將會把接面的複合電流成分蓋過，導致高介電超薄氧化層的量測產生誤差。我們發展出一套新的閘極二極體量測方法，可以有效扣除 gated-diode 電流中的漏電流成分並用於氧化層厚度約 10Å 左右的高介電氧化層 CMOS 元件。

A. 雙閘極二極體法的原理

Fig. 7 是利用不同的汲集 (drain) 偏壓，加大介面 (junction) 的複合電流 (recombination current)，使得我們可以進一步忽略閘極的漏電流。但圖中顯示舊有的 L²GD 法應用在厚度約 10Å 左右的高介電氧化層 CMOS 元件，我們可以發現，即使將 drain 電壓加大，接面的 recombination current 依然會受到閘極漏電流的影響，使得分析上益加困難。Fig. 8 所代表的是傳統 gated-diode 的量測接法，I₁、I₂ 與 I₃ 所代表的是由 drain 端流向 gate 端的漏電流分佈，此時 drain 端所量得的電流公式如下所示：

$$I_D = I_{GD} - I_1 - I_2 - I_3. \quad (1)$$

接下來比較傳統的 gated-diode 方法在基極 (substrate) 接地 (ground) 與浮接 (floating) 時的 drain 電流。我們假設當 substrate floating 時所量得的 drain 電流是 I₁ 與 I₂ 的漏電流成分，我們可以發現 I₁ 與 I₂ 並無明顯的下降趨勢，因此我們可以合理的相信 I₃ 是造成拉低 gated-diode current 的主要原因。而且我們可以很直觀的看出 I₃ 成分是與元件的通道長度 (channel length) 呈正比的。為了壓低 I₃ 的漏電流成分，我

們將 drain 與 source 端短接在一起，如 Fig.10 所示，即為雙閘極二極體 (Twin gated-diode, T-GD) 法。其所量得電流為：

$$I_{D, \text{twin gated-diode}} = I_{GD1} + I_{GD2} - 2I_1 - 2I_2 - I_3. \quad (2)$$

我們從公式(2)中可以看出，junction recombination current 成分增加，但造成誤差原因的 I₃ 卻仍維持不變，故我們可以有效運用在高介電氧化層元件，如 Fig. 11 所示，第一個峰值 (peak) 所代表的是元件通道的界面缺陷，第二個 peak 所代表的即是 extension 上方的界面缺陷。

但不幸的，在傳統的氧化層元件 (control oxide device) 中，閘極漏電比起高介電氧化層元件來的大，即使我們運用 T-GD 量測技術，第二個 peak 仍會被漏電流給拉低，使得我們無法可靠的比較兩者的優劣。所以我們勢必針對 I₃ 漏電流的部分再做一次修正。

我們知道在不同的 substrate bias 中 I₁ 與 I₂ 是維持定值不變的，所以我們將兩個不同 substrate bias 的 T-GD 量測互扣以求得 junction recombination 電流，如公式(3)所示。

$$\begin{aligned} I_{D, \text{twin gated-diode}} @ V_B = 0.04 - I_{D, \text{twin gated-diode}} @ V_B = 0 \\ = (I_{GD} @ V_B = 0.04 - I_{GD} @ V_B = 0) - (I_3 @ V_B = 0.04 - I_3 @ V_B = 0). \end{aligned} \quad (3)$$

Fig. 12 利用上述的技術雖然可以量得兩個 peak，但我們依然可以看出第二個 peak 其實依然受到一點點漏電流的影響，這是因為 substrate bias 會增加 I₃ 的電流分佈。故我們可以利用短通道的元件，使得 I₃ 的成分即使是在不同的 substrate

bias 幾乎是相等的，如此在公式(3)中的 I_3 成分就可完全的扣除了。Fig. 13 完全的驗證了以上的說法，除了可以明顯看出兩個 peak，而且完全不受漏電流的影響。

B. nMOSFET 非對稱 PBTI 特性的應用

為了更進一步利用此分析方法去分析傳統氧化層元件與高介電氧化層元件的界面特性，我們將其應用在非對稱的 PBTI 所產生的界面退化研究。對於非對稱的 PBTI 是正偏壓加在 drain 與 gate 端，其他則都接地。而 Fig. 14 是在經過 125°C 的高溫環境下，加壓(Stress)1500 秒後的 GIDL 量測。我們可以發現 control oxide 在 drain 端上方的氧化層陷阱(oxide traps)遠小於 high-K 元件。Figs. 15 與 16 分別是 control 與 high-K 元件在 stress 前後的 T-GD 量測圖。總合在 Fig. 17，我們可以發現因為 high-K 的氧化層中捕捉了相當數量的電子，使得 stress 時降低了 gate 端的垂直電場，讓元件的界面傷害沒有 control oxide 元件來的大。

C. 結果與討論

對於超薄氧化層元件在量測時，因閘極漏電流所造成的誤差，我們已經開發出一套雙閘極二極體量測技術，其有效的克服漏電流並應用在分析 control 與 high-K 元件的非對稱 PBTI 的界面退化。我們得到的結論是儘管 high-K 的氧化層陷阱雖高於 control oxide 元件，但卻因此降低了在 stress 期間所產生的界面缺陷密度，使得 high-k 元件在以界面缺陷為指標的存活時間遠遠高於傳統的 control oxide 元件。

四、計劃成果自評

本計劃第二年，發展出改良版的 gated-diode measurement 及 IPCF 方法，成功的應用於 high-k 介電層的可靠性研究，此一研究成果，是目前唯一可以適當應用於 high-k 的界面陷阱研究，是一大突破。亦且相關的論文也陸續發表中，也有部份可以提出專利申請。研究的成果已發表一篇國際會議論文在 SISC[10]。本計劃的完成，將對學術研究水準的提昇及工業界的實際應用上都有莫大的助益。

五、參考文獻

- [1] R. Degraeve et al., in *IEDM Tech. Dig.*, pp. 327-330, 1999.
- [2] A. Kerber et al., in *Symposium on VLSI Tech.*, pp. 159-160, 2003.
- [3] A. S. Oates, in *IEDM Tech. Dig.*, pp. 923-926, 2003
- [4] C. Hobbs. et al., in *Symposium on VLSI Tech.*, pp. 9-10, 2003.
- [5] A. Sanware et al., in *IEDM Tech. Dig.*, pp. 939-942, 2003
- [6] S. S. Chung et al., in *Symposium on VLSI Tech.*, pp. 11-13, 2002.
- [7] S. S. Chung et al., in *IEDM Tech. Dig.*, pp. 477-480., 2004.
- [8] S. S. Chung et al., *Proc. of IPFA*, pp. 127-133, 2003.
- [9] S. S. Chung et al. in *IEDM Tech. Dig.*, pp. 513-516, 2002.
- [10] G. D. Lee et al., to appear in *Extended Abs.*, SISC, Washington D. C., December 1-3, 2005.

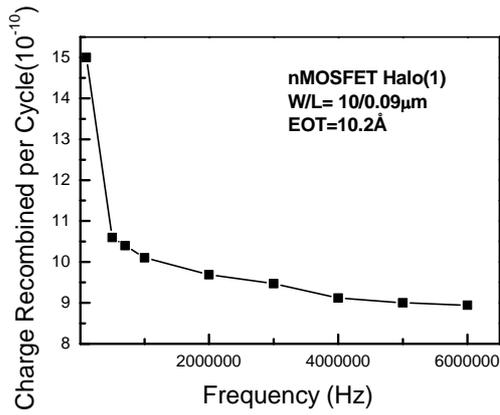


Fig. 1 The recombined charge per cycle (Q_{cp}) for the high-k device.

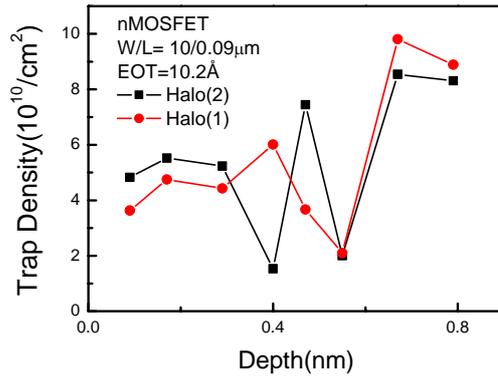


Fig. 2 Comparison of the trap density in HfSiON for two different halo implant species.

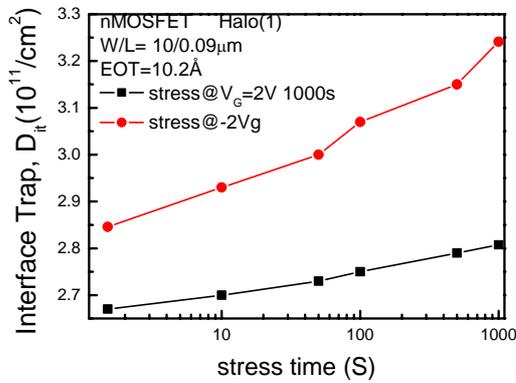


Fig. 3 Comparison of the interface trap density in halo(1) for two different stress voltage.

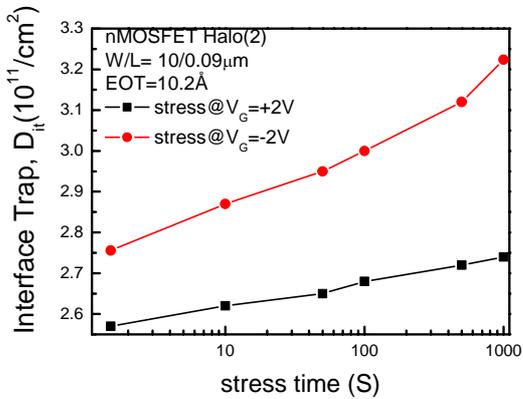


Fig. 4 The interface trap generation is faster, during negative voltage stress.

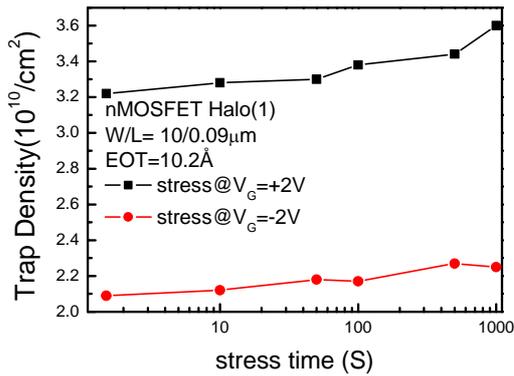


Fig. 5 The bulk trap in HfSiON generation is faster, during positive voltage stress.

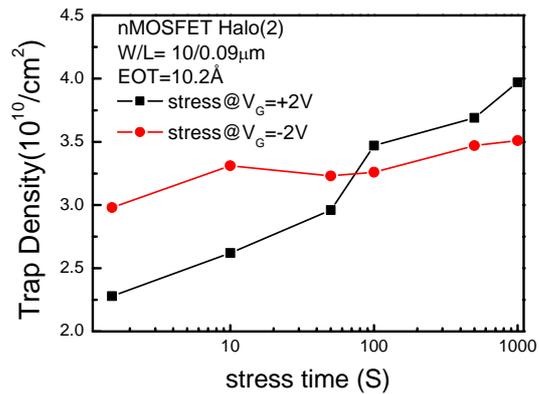


Fig. 6 Comparison of the bulk trap density in halo(2) for two different stress voltages.

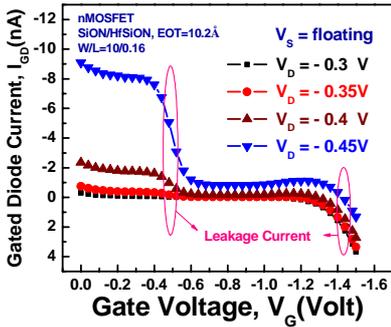


Fig. 7 The gated-diode measurement in ultra-thin (10Å) gate oxide under various forward biases.

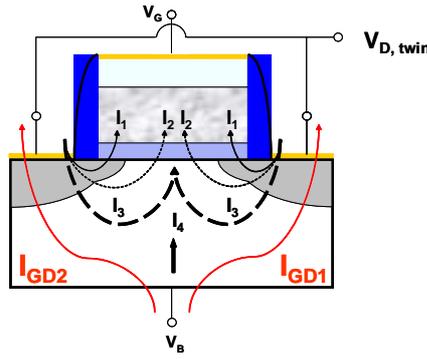


Fig. 10 The gate to drain leakage current distribution during twin gated-diode measurement

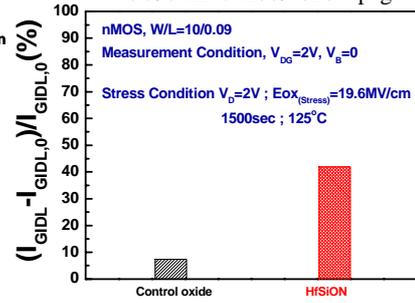


Fig. 14 The changing percentage GIDL of control oxide and high-K devices. The amounts of oxide traps in control oxide are much lower than those in high-K device.

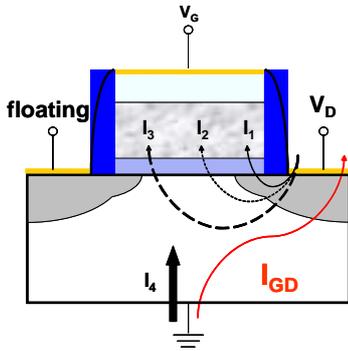


Fig. 8 The gate to drain leakage current distribution during the gated-diode measurement.

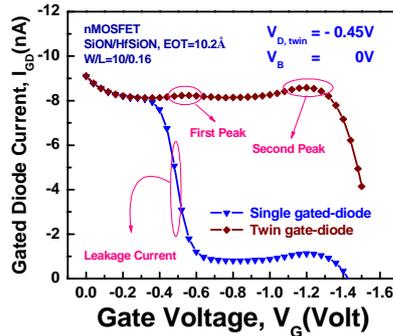


Fig. 11 The I_3 is covered by twin gated-diode current, and we can see unapparent second peak.

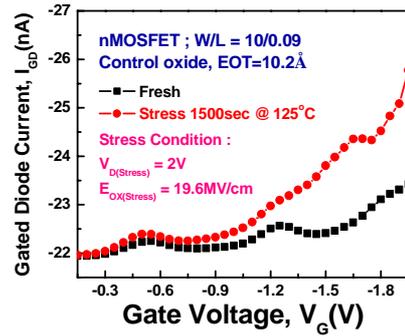


Fig. 15 Using modified twin gated-diode measurement on control oxide sample with fresh and stressed.

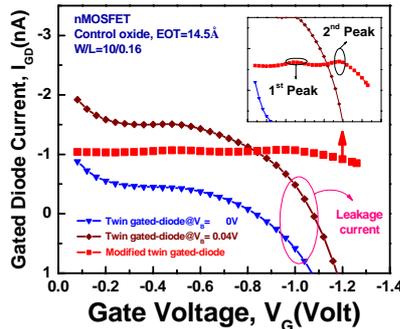


Fig. 12 The T-GD measurement is modified by two different substrate biases subtracted each other. We can see second peak, but it is still unobvious.

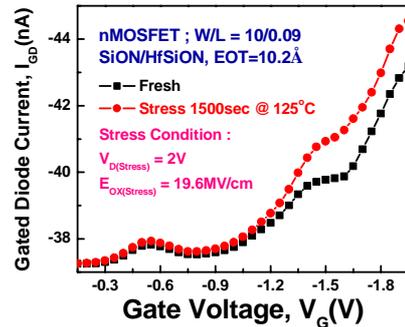


Fig. 16 Using modified twin gated-diode measurement on high-K sample with fresh and stressed.

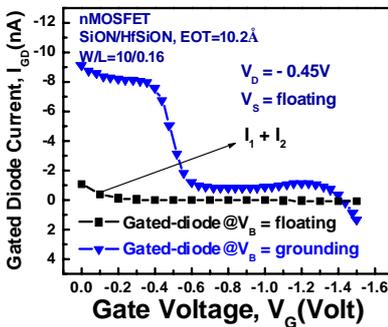


Fig. 9 I_1 and I_2 are the same leakage component, which can be measured by gated-diode measurement with substrate grounding. They are smaller than gated-diode current and without dropping.

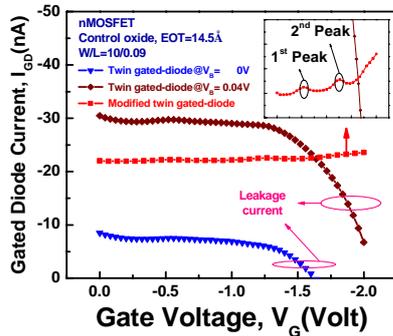


Fig. 13 The T-GD measurement is modified by two different substrate biases subtracted each other. We can see second peak clearly.

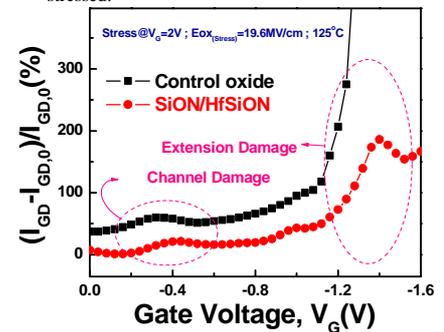


Fig. 17 The percentage variation of the measured modified twin gated-diode current of control oxide and high-K. Control oxide sample shows higher than high-K due to higher effective stress field that causes worse damage to the interface near the drain edge.