

行政院國家科學委員會專題研究計畫 成果報告

子計畫三：5 GHz 高性能無線通訊系統中主要積體電路的設計與整合(3/3)

計畫類別：整合型計畫

計畫編號：NSC93-2215-E-009-017-

執行期間：93年08月01日至94年10月31日

執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：吳重雨

計畫參與人員：周忠昫、王文傑、虞繼堯、蘇烜毅、陳旻琰、Fadi、Ismail

報告類型：完整報告

報告附件：國際合作計畫研究心得報告

處理方式：本計畫可公開查詢

中華民國 95 年 1 月 25 日

行政院國家科學委員會專題研究計畫成果報告

高性能混合訊號式介面積體電路 — 子計畫三(3/3)： 5GHz 高性能無線通訊系統中主要積體電路的設計與整合

計畫編號：NSC 93-2215-E-009-017

執行期限：93 年 8 月 1 日至 94 年 7 月 31 日

主持人：吳重雨 國立交通大學電子工程學系暨電子研究所

E-mail: cywu@alab.ee.nctu.edu.tw

計畫參與人員：周忠昫、王文傑、虞繼堯、蘇烜毅、陳旻琰、Fadi、Ismail

摘要

由於高傳輸速度的無線通訊系統越來越熱門，5-GHz 的免付費頻段勢必會成為下一代通訊系統設計的目標。在 1999 年國際電子電機協會 (IEEE) 802.11 委員會已根據原本的 2.4-GHz 頻段的規格，增加了 5-GHz 的版本-IEEE 802.11a；除此之外 HIPERLAN 亦已在這個頻段提出了新的規格。

此計劃主要是以 0.18 ~ 0.13 μ m 場效金氧半電晶體的製程來實現 5-GHz 高頻段無線射頻金氧半電晶體收發機元件，設計從類比的射頻輸入訊號至數位輸出的整合系統為目標。預計完成的電路元件包括低雜訊放大器、混波器、多相位中頻濾波器、自動增益控制器、類比至數位資料轉換器、電壓控制振盪器、功率放大器。

Abstract

In recent years, there are many existing Wireless Local Area Network (WLAN) systems operate in the 2.4-GHz ISM band. These products currently achieve maximum data rates of 1-2 Mbits/s. Due to the growing popularity of high data-rate WLAN system, the next natural step is to extend the communications to unlicensed 5-GHz band. In fact, the IEEE 802.11 committee has supplemented its 2.4-GHz standard with a 5-GHz version in 1999. Additionally, the High Performance Radio Local Area Network (HIPERLAN) standard has been defined for operation in this band.

The purpose of this project is to develop

components in RF transceiver with 0.18 ~ 0.13 μ m CMOS process for wireless applications in the 5-GHz frequency band. Besides, aim at the integration of whole chip consists of LNAs, mixers, Polyphase filters, A/D converter, VCOs, PA.

一、簡介

近年來，無線通訊的快速發展為人們的生活上提供了更多的便利，最為明顯的即是行動電話系統如 GSM，PHS，WCDMA 的快速發展。而在不久的將來，除了聲音之外，即時影像、資料等需要較大頻寬傳遞的訊息，也可藉由 Bluetooth、WLAN 等系統傳遞與交換。因此，如何設計無線網路系統，藉以提供更大的頻寬，以及將製作成本降低，例如單晶片整合，已經成為目前研究的熱門重點。

在 IEEE 802.11a 所制訂的無線通訊區域網路 (WLAN) 中所描述，此無線通訊系統分別操作於 5.15-5.25 GHz, 5.25-5.35 GHz 及 5.725-5.825GHz 三個頻段；其中，5.725-5.825 GHz 頻段僅適用於美國。

此系統採用 OFDM 的調變方法，每個 Channel 頻寬為 20MHz；而每一個 Channel 則有 52 個 sub-carrier，並且相互正交；每個 sub-carrier 頻寬約為 325KHz。最大接收訊號的功率為-30dBm，而輸出功率則根據頻段不同有不同的要求，分別為 40mW, 200mW, 800mW。理論上，最高傳輸速率可以達到每秒 54Mbits。

在 IEEE802.11a 中，OFDM 根據使用者不同傳輸速率的需求而採用不同的調變方法 (BPSK, QPSK, 16QAM, 64QAM)；在設計射頻接收機時，不同的調變方法需要不同的訊雜

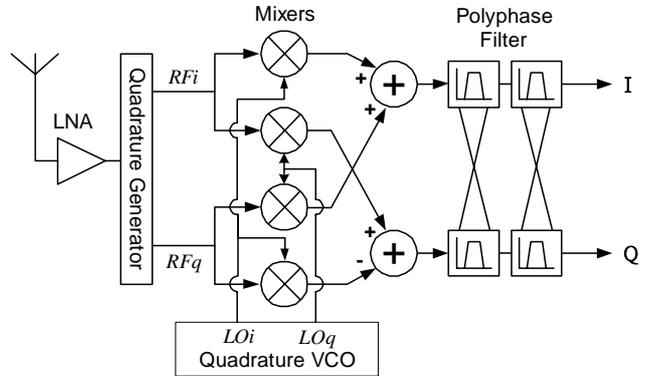
比 (SNR)，以達到 10% 的 PER (Peak Error Rate)，這也代表電路需要不同的雜音指數 (Noise Figure, NF)。為了避免接收機設計上的困擾，規格制訂者建議能達到 10dB 的 NF，為了確認電路能操作在線性範圍，根據經驗法則，接收機的 1dB Compression point (CP1dB) 需達到 -26dBm (最大接收訊號功率減 4dB)。而在傳送機的設計上，在達到所需的輸出功率下，訊號的頻譜需在規格中所設定的 MASK 之內，以避免對其他頻段產生干擾並避免訊號失真。

在此計畫之中，我們選擇較為普遍的 5.15 ~ 5.35GHz 頻段來設計執行。並實現以下的電路模組：

1. 低雜訊放大器：此電路操作在 5-GHz，目的在降低後級電路對雜訊的影響，對整個系統的靈敏度有決定性的影響，所以需提供足夠的增益以及低的雜音指數。
2. 混波器：將射頻訊號與本地震盪訊號相乘，使訊號頻率降至中頻或基頻，混波器需有足夠的線性度已提高動態區間(dynamic range)。
3. 多相位中頻濾波器：具有消除鏡像訊號的功能，需要好的線性特性以及足夠的頻寬。
4. 自動增益控制器：將輸入的變動訊號調整為固定振幅的輸出訊號，以利後級的類比至數位資料轉換器轉換成數位訊號；此電路需要低雜訊、好的線性特性、足夠的頻寬以及高動態範圍。
5. 類比至數位資料轉換器：預期類比至數位轉換器所需的規格為輸入頻率 40-MHz，取樣頻率為 80-MHz，解析度八位元以上，低電壓、高速度的類比至數位資料轉換器。
6. 電壓控制振盪器：產生本地震盪訊號供給混波器做移頻，所產生的訊號頻率變動範圍需涵括整個頻段，且多次諧波要小、相位雜訊雜訊要低。
7. 功率放大器：將射頻訊號放大再由天線發射出去，需有足夠的輸出功率，以及好的效能，如線性度、功率效益。

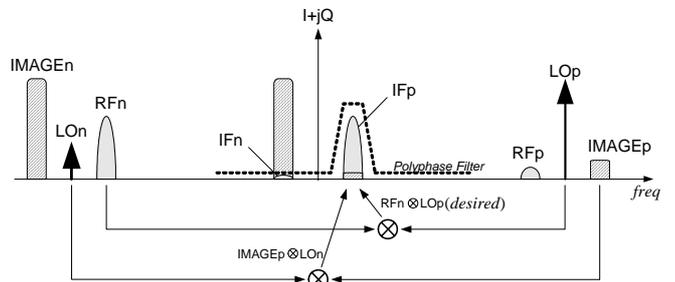
在各元件的功能經過改進後，並進一步加以整合，再經由實際測試來確認結果。

為了提供高整合性、避免 DC-Offset、flicker noise、multi-path mismatch 的影響以提高接收機性能，本計畫採用了圖(一)的接收器架構：



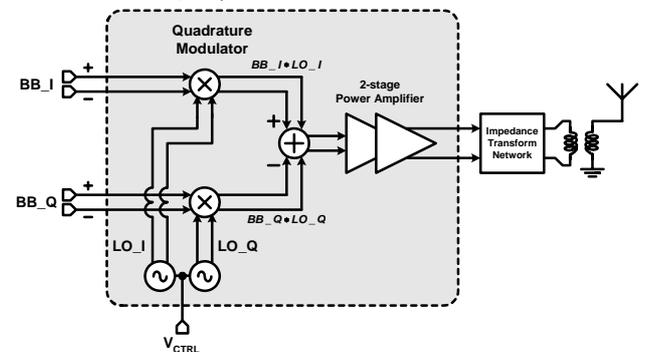
圖一 雙正交接收機架構圖

此架構由 Jan Crols 及 Michael Steyaert 於 1995 年提出，藉由將輸入及 LO 訊號都轉為正交形式，可以對 Multi-Path 電路製程上無法完全匹配的缺點有較大的容忍力，並降低了鏡像訊號的干擾。採用複數分析法，其原因可以由圖(二)中看出：



圖二 雙正交接收機受鏡像訊號影響頻譜圖

在提高整合度以及降低電路複雜性，發射機的架構選擇了圖(三)所示之 Direct Conversion 架構。

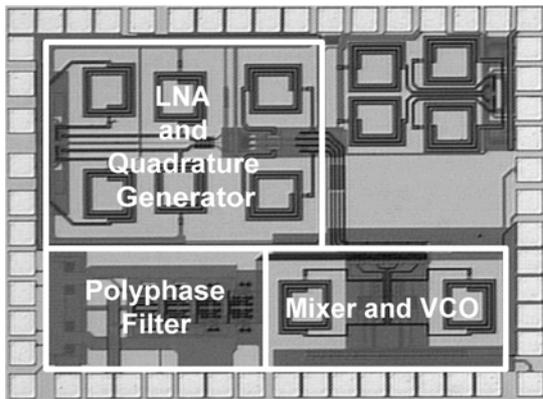


圖三 Direct conversion 發射機架構圖

二、電路設計

1. 5-GHz Double-Quadrature 接收器(RX)

在驗證過 5-GHz 接收端的各電路方塊後，包括低雜訊放大器、正交相位產生器、正交相位混波器、正交相位電壓控制振盪器，及多相位濾波器，本計畫將過去所設計過的這一些電路方塊整合起來，並完成一使用 CMOS 製程製作的 5-GHz Double- Quadrature 接收端電路，此接收器的電路方塊圖如圖(一)所示。圖(四)為製作完成的接收器晶片照相圖。經過量測後，此接收端的特性如表(一)所示：



圖四 5-GHz Double-Quadrature 接收器之晶片照相圖

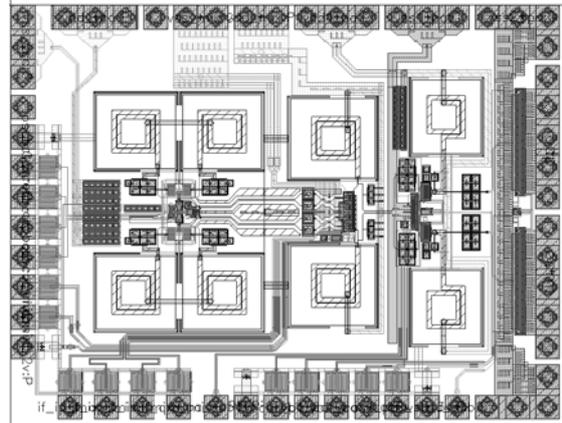
表一 5-GHz 雙正交接收器量測結果

Technology	TSMC 0.18 μ m 1P6M CMOS
S11	< -10dB @ 4.83GHz~ 5.4GHz
Total NF	8.5dB @ 5.2GHz
Total Gain	16dB
IP1dB	-24dBm
IIP3	-13dBm
VCO Tuning Range	240MHz (5.13GHz~5.37GHz)
Image Rejection	50.6dB
Die Area	3mm ²
Power Consumption	22.4mW

2. 5-GHz Direct Conversion 傳送器(TX)

本計畫將過去所設計的 5-GHz 傳送器的各個電路方塊，包括功率放大器(PA)、正交相位調變器(Quadrature Modulator)、電壓控制震盪器(VCO)相互整合，並實現一單晶片傳送器，並使用 0.18 μ m 1P6M 的 CMOS 製程來設計並製作，電路的晶片佈局如下圖(五)所示。在考慮晶片佈局後之雜散效應並完整模擬

後，此傳送器的特性如下表(二)所示：



圖五 5-GHz Direct Conversion 傳送器之 Layout 佈局圖

表二 5-GHz Direct Conversion 傳送器之 Post-Simulation 結果

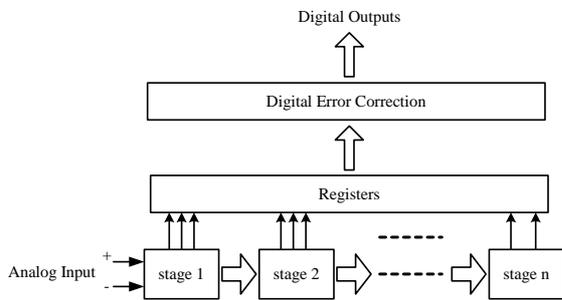
TX	Supply Voltage	1.8V / 3.3V
	Max Output Power	20 dBm
	OP1dB	16.4 dBm
	IP1dB	-3.3 dBm
	Conversion Gain	~ 20 dB
	QVCO Tuning Range	5GHz ~ 5.4GHz
	QVCO Phase Noise	-120 dBc/Hz ($\Delta f=1$ MHz)
	Power Consumption	3.3V : 707.6 mW
		1.8V : 12.2 mW
	Chip Area	1380 μ m x 1820 μ m

3. 類比至數位資料轉換器(ADC)

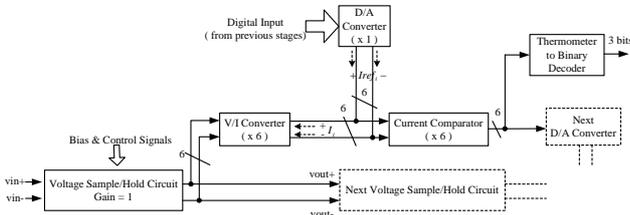
圖(六)為所設計的ADC架構方塊圖。整個ADC中包含了管線化的每一級、暫存器及數位錯誤修正等電路。此種架構中的每一級所處理的解析度為 $\log_2(2^n - 1)$ 位元，其中n為每一級所產生的數位輸出。在此次設計中n為 3，故其每一級所能處理的解析度為 2.8 位元，而最後一級為 2 位元。總共需要四級來完成全部八位元的解析度。在經過每一級的訊號處理之後所有的數位輸出將同時送往暫存器及之後的數位錯誤修正電路中，最後八位元的數位輸出將平行地被送出。

每一級的詳細電路架構如圖(七)所示，其包含了一組取樣保持電路(sample-and-hold)、六組電壓轉電流電路(VIC)、一顆電流汲取式數位類比轉換器(current steering DAC)、六組

電流比較器及一組 thermometer-to-binary 編碼器，最後同時產生三位元 Binary 碼及六位元的 Thermometer 碼。然而最後一級只需要產生 2 位元 Binary 碼，所以只需要三組 VICs 及電流比較器即可。圖中電壓取樣保持電路(SHC)是用來傳遞及保持輸入訊號準位，其輸出將送至 VIC 電路讓它產生相對應的電流，同時也將輸入電壓以增益為一的大小送往下一級。為了改善其速度的特性，此 SHC 電路將採用開放式架構。因為開放式架構很難實現電壓相減的功能，故此設計透過 VIC 將電壓轉成電流，使得相減的動作能夠在電流模式下輕易的被完成。



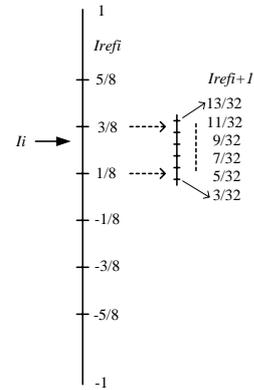
圖六 ADC 架構方塊圖



圖七 第 i 級詳細架構圖

因為許多高速的DAC都是利用電流模式架構來完成[7][8]，所以此次設計亦利用此種方法來設計sub-DAC並產生相對應的參考電流。每一級sub-DAC的輸入皆為前一級的數位輸出而輸出的六組電流 $Iref_i$ 將和VIC的輸出 I_i 完成相減的動作。整個ADC的處理是採用 successive approximation 演算法，圖(八)所示為其詳細演算法的過程，為了容易說明，圖(八)所示為單端的演算法，雙端亦很容易以此類推。當輸入訊號落在落在參考電流某一區間時，即可利用本級所得到的數位訊號將下一級 sub-DAC設定到此一區間並在此區間產生數

個參考電流 $Iref_{i+1}$ 。經過電流相減後的剩餘電流將被送至電流比較器，用來完成quantization動作，最後產生的 6 位元 thermometer code 用來控制下一級的sub-DAC，同時此數位輸出亦透過Thermometer-to-Binary編碼器送到數位錯誤修正電路。



圖八 successive approximation 演算法

此外為了壓低偶數次諧波失真及時脈穿透(clock feedthrough)雜訊整個路徑皆採取雙端差動電路架構。

此 ADC 動態特性亦利用 HSPICE 來模擬，並將所得到的數位碼利用 Matlab 做 FFT 分析。取樣頻率為 71.43MHz 時，輸入頻率為 20MHz，經過 FFT 分析後，其 SNDR 為 44dB，約為 7.01 位元的解析度。表(三)為整個 ADC 模擬特性。

表三 ADC 模擬結果

Technology	0.25 μ m 1P5M CMOS (Thick oxide is selected) (Minimum channel length is 0.35 μ m)	
Input Frequency f_{in}	10 MHz	20 MHz
Accuracy	8 bits	7.01 bits
Pipelined Stages	4	
Sample Rate	71.4 MS/s	
Full Scale Voltage	1.2 V	
Full Scale Current	256 μ A	
Unit LSB Current	1 μ A	
Power Dissipation	205 mW @ f_{in} =20 M Hz	
Power Supply	3.3 V	

4. 20GHz 高頻電壓控制振盪器

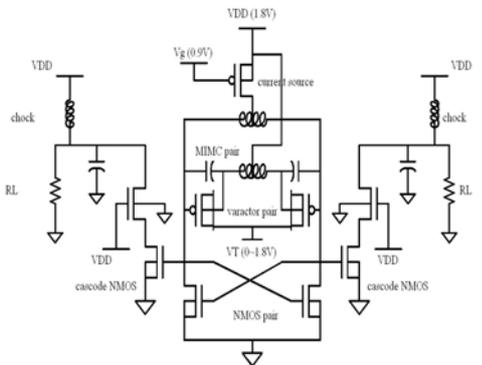
本電路使用NMOS cross couple pair產生負電阻，用以抵消在被動元件電感與電容在振盪週期中所消耗的能量。在螺旋電感方面則使

用單圈圓型電感，因為本設計的重點在於希望達到高頻且寬頻的目的，而單圈的電感由於互感值較不嚴重，因此其品質參數對於頻率的變化將較為和緩，此特性將有助於設計寬頻的振盪器。電感的模擬是使用ADS Momentum，電感內徑為 $95\mu\text{m}$ ，線寬為 $10\mu\text{m}$ 。在壓控電容器方面則選擇Inversion-mode MOS電容器，當MOS的gate端接到最負偏壓時，MOS將進入Inversion mode，並且可以得到最大電容值，約為 C_{ox} 加上MOS天生的寄生電容值。而當MOS的gate端接至最正偏壓時，MOS將進入accumulation mode，此時的電容值將最小，約為MOS的寄生電容。因此若可減小MOS的寄生電容將可以增加壓控振盪器的 C_{max}/C_{min} 值，本電路使用了一額外的電感來消除gate至bulk的寄生電容用以增加振盪器的頻寬。圖(九)為此電壓控制振盪器的電路圖，如(十)為此電路之晶片佈局圖，表(四)為此大範圍調整VCO之Post-simulation結果。

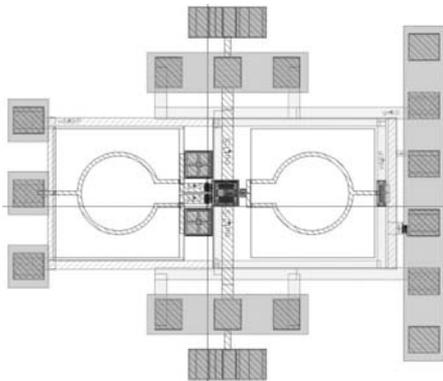
Tuning range	12GHz~20GHz >50%
Phase noise	< -100dBc
Power of core circuit (without buffer)	14.4mW

5. 高頻電感元件設計與模型建立

目前2.4-GHz或5-GHz頻段之射頻積體電路發展愈趨成熟，在此計畫中，我們預備要建立一組能夠適用於更高頻的電路設計使用之電感，例如超過10GHz電路。本計畫中，所設定的電感值介於 $0.3\text{nH}\sim 0.8\text{nH}$ 之間，並將品質因素(Quality Factor)的最佳值設定在15GHz處。小電感的設計方式有兩種，第一種方是就是把內徑縮到非常小，但仍維持電感的圈數，此種電感受外面金屬拉線的影響較輕微，但是因為圈數過多，使得串聯寄生電阻值高，電感的品質因素下降。另外一種方是就是減少電感的圈數，此種方式可得到較高的電感品質因素，但是對於外面其他金屬的拉線影響相當嚴重。在此次設計中，以後者的電感為主要設計對象。下圖(十一)為此電感測試元件的晶片照相圖，其中包含了電感測試元件、De-Embed時所需之Open PAD以及Through。目前我們量測好此電感測試元件，並正著手於此電感的等效模型建立。

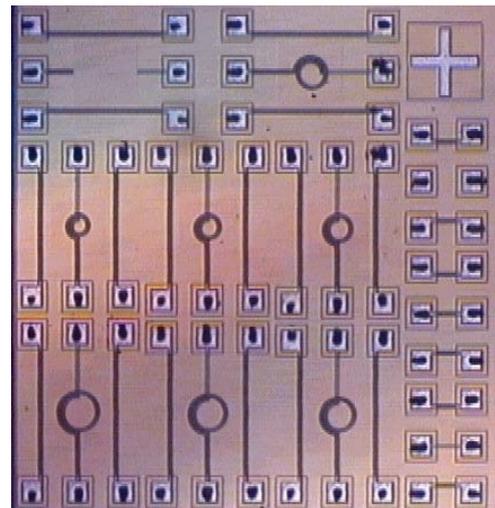


圖九 大範圍調整之高頻電壓控制振盪器



圖十 大範圍調整電壓控制振盪器晶片佈局圖
表四 大範圍調整之高頻電壓控制振盪器結果

Tuning voltage	0.5~1.7V (1.2V)
----------------	-----------------

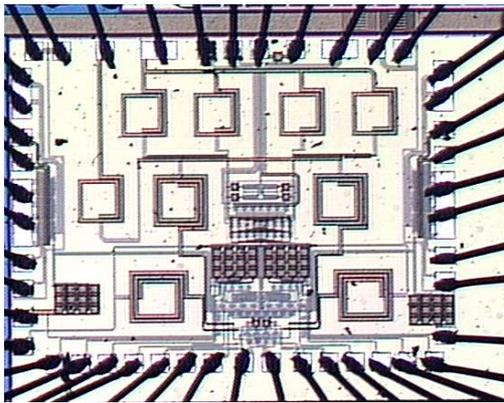


圖十一 電感測試元件晶片照相圖

6. 5-GHz 低電壓 Direct-Conversion 接收器

隨著 CMOS 製程的不短演進，工作電壓

也隨之降低，以確保 Reliability 的考量，在此計畫當中，我們在設計了一個工作電壓為 1-V，並且操作頻率在 5-GHz 頻段的 Direct-Conversion 接收器。在此電路中，我們提出了一個直接消除自我混波所產生的 DC Offset 的電路，此接收器另外也包含且整合了低雜訊放大器、正交電壓控制振盪器、以及降頻器。圖(十二)為此 1-V 5-GHz 接收器之晶片照相圖。



圖十二 1-V 5-GHz 接收器晶片照相圖

量測結果顯示，此 5-GHz 的射頻前端接收器可於 1.1V 的工作電壓下正常運作，在 5-GHz 所規範的的頻段中，其輸入反射係數均能小於 -15dB，並有 17.8dB 的電壓增益、14.9dB 的 NF，輸入 1dB 壓縮點為 -23dBm。當我們自輸入端加入一個同振盪器頻率相同且強度為 -50dBm 的訊號來觀察自我消除 DC Offset 電路的運作，我們發現在此條件下，DC Offset 可以被壓抑在 1~3mV。此接收器消耗了 37.56mW 的功率，其晶片面積為 2.09mm²。

三、結論

目前已完成量測的電路方塊有：低雜訊放大器、多相位濾波電路、整合後的 5-GHz Double Quadrature Receiver、整合後的 1-V 5-GHz Direct-Conversion Receiver；完成模擬的電路方塊有：整合後的 5-GHz Direct Conversion Transmitter、大範圍調整之電壓控制振盪器、及類比至數位資料轉換器。正交相

位混波器和正交相位電壓控制振盪器使用了電流重複使用的技巧，大幅的降低功率消耗，在考慮製程上的飄移，此電路在四個 Corners 模擬下，其性能皆能滿足需求。使用主動元件的方式來實現多相位濾波器，除能達到好的鏡像頻率的抑制，相較於使用被動元件 R-C 網路所實現的多相位濾波器，此主動的多相位濾波器還能夠提供額外的增益。而 ADC 電路採用開放式架構來改善類比至數位資料轉換器速度的特性。功率放大器被設計能提供足夠大的功率輸出，與單端的架構相比，使用差動架構的功率放大器，能夠有較大的電壓可運作區間、偶次諧波消除效果等優點。為因應製程技術不段的進步，我們也著手設計完成適合於低電壓(1-V)運用的 5-GHz 接收器，經量測驗證後，證明該接收器在低電壓下可以正常的運作。同時，為了繼續發展更高頻電路的設計，本計畫也建立操作頻率在 10GHz 以上電路所將使用之電感被動元件之等效模型。

四、計畫成果自評

此子計畫已經邁入了最後一年，各個子電路以及整合後的接收器、傳送器、頻率合成器皆已完成模擬並製作晶片，以上大部分的電路也皆以完成了量測並驗證能正常操作。接下來是繼續驗證尚未量測之電路，並進一步改善這些電路或系統的效能。

五、參考文獻

- [1] Chung-Yu Wu and Chi-Yao Yu, "A 0.8V 5.9GHz Wide Tuning Range CMOS VCO Using Inversion-Mode Bandswitching Varactors," Submitted to ISCAS 2005.
- [2] Chung-Yu Wu and Min-Chiao Chen, "The Design and Application of Spiral Inductor with Variable Inductance," Submitted to ISCAS 2005.
- [3] Chung-Yu Wu and Hsuan-Yi Su, "The Design of 0.6-V Low-Power 2.4-GHz CMOS Low IF Front-End Receiver Design with a Quadrature Mixer," Submitted to ISCAS 2005.
- [4] Chung-Yu Wu, Wen-Chieh Wang, and Wei-Ming Chen, "A Fully Integrated High-Performance 5.2-GHz CMOS Direct-Conversion Transmitter

- Front-End using Linear Multipliers as Mixers,” in Workshop on Wireless Circuits and Systems 2004 (WoWCAS 2004), Vancouver, May. 2003.
- [5] Chung-Yu Wu, and Ismail I. Nabhan, “A Low-Power High Dynamic Range AGC for 5-GHz Direct-Conversion Receivers,” in Workshop on Wireless Circuits and Systems 2004 (WoWCAS 2004), Vancouver, May. 2003.
- [6] Chung-Yun Chou, Chung-Yu Wu, “The Design of a New Wideband and Low-Power CMOS Active Polyphase Filter for Low-IF Receiver Applications,” in Symposium on APCCAS 2002, Singapore, Dec. 2002, pp. 241-244.
- [7] Jose Bastos et al., "A 12-Bit Intrinsic Accuracy High-Speed CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1959-1969, Dec. 1998.
- [8] C. H. Lin and Klaas Bult, "A 10-b, 500-Msample/s CMOS DAC in 0.6 mm²," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1948-1958, Dec. 1998.
- [9] Y.-Y. Liow; C.-Y. Wu, “The design of high-speed pipelined analog-to-digital converters using voltage-mode sampling and current-mode processing techniques,” in the proceeding of *IEEE International Symposium on Circuits and Systems ISCAS 2002*, May 2002, vol. 3, pp. 117-120.