

行政院國家科學委員會專題研究計畫 成果報告

III-V 高頻通訊積體電路及覆晶系統構裝 (SPN) 新製程發展
計畫(II)

計畫類別：個別型計畫

計畫編號：NSC93-2623-7-009-016-IT

執行期間：93年08月01日至94年07月31日

執行單位：國立交通大學材料科學與工程學系(所)

計畫主持人：張翼

報告類型：完整報告

處理方式：本計畫可公開查詢

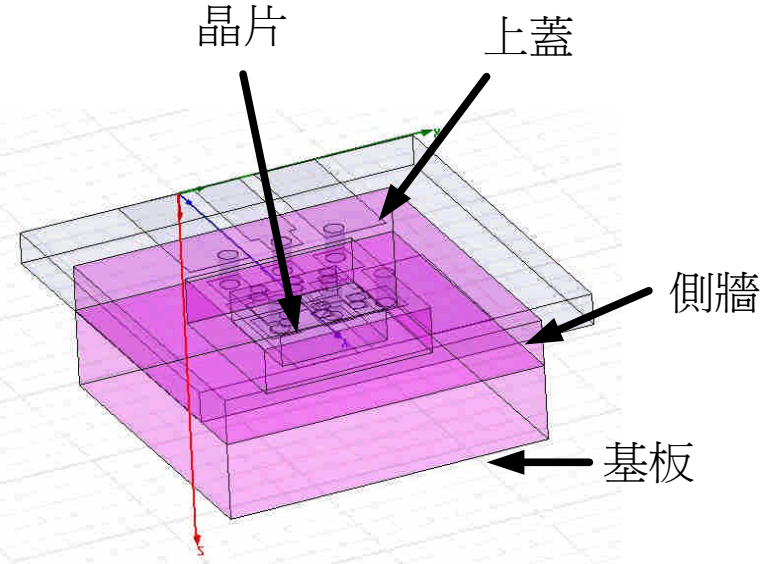
中 華 民 國 94 年 11 月 8 日

表一

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫內容及預定進度	落後原因/改善措施	預定趕上進度時間
一.分項計畫一： 覆晶封裝電磁模擬發展計畫	<p>A. *封裝結構內部之共振現象及場強分析</p> <p>1. 本項分析的結構如圖一所示，包含晶片、基板以及封裝體。封裝體的上蓋厚度為 200 μm，側牆厚度為 200 μm，內側空腔尺寸為 1000 μm x 1000 μm x 200 μm。</p>  <p style="text-align: center;">圖一</p>	●是 ○否		

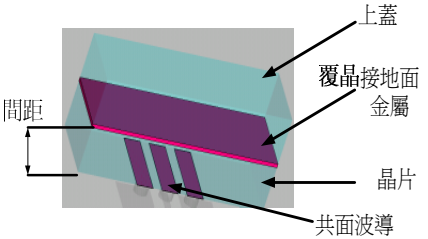
說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原 計畫內容及 預定進度	落後原因/ 改善措施	預定趕上 進度時間
<p>一.分項計畫一： 覆晶封裝電磁模 擬發展計畫</p>	<p>2. 利用時域差分之理論計算封裝結構內部之電磁場，當覆晶之接地面金屬與共面波導傳輸線之間距(如圖二)維持 50 μm 以上時，可以降低平行板波導波模對於能量傳輸損耗之影響(如圖三)。</p> <div style="text-align: center;">  <p>圖二</p> </div>			

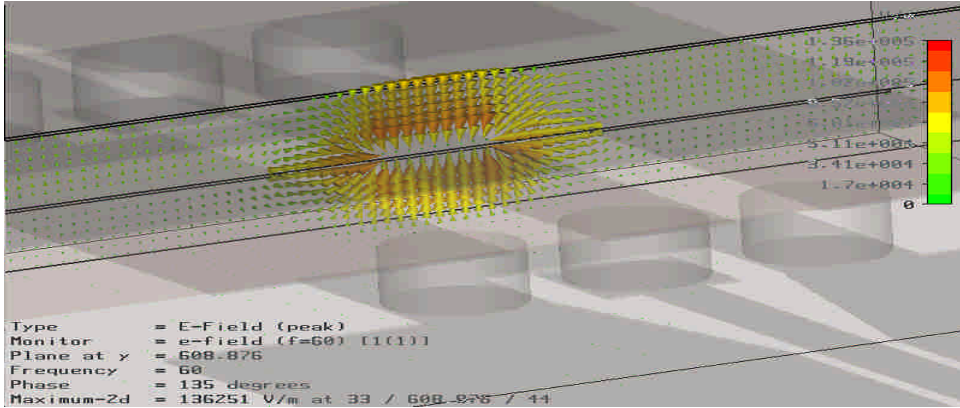
說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原 計畫內容及 預定進度	落後原因/ 改善 措施	預定趕 上進度 時間
<p>一.分項計畫一： 覆晶封裝電磁模 擬發展計畫</p>	 <p style="text-align: center;">圖三</p>			

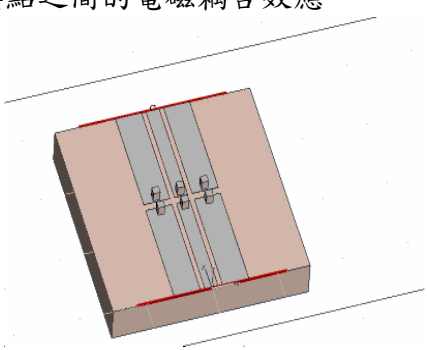
說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫內容及預定進度	落後原因/改善措施	預定趕上進度時間
一.分項計畫一： 覆晶封裝電磁模擬發展計畫	<p>B.*覆晶構裝結構內金屬凸塊接點之耦合與輻射分析</p> <p>1. 本項分析的結構如圖四所示,藉由改變金屬凸塊之高度和金屬凸塊之間距來觀察金屬凸塊接點之間的電磁耦合效應。</p>  <p style="text-align: center;">圖四</p> <p>2. 由研究發現金屬凸塊之高度與電磁耦合效應較不相關,當金屬凸塊高度(H)(如圖五)從 20 μm 增加至 100 μm,對整體結構的電氣特性並無明顯變化。</p>	●是 ○否		


說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫內容及預定進度	落後原因/改善措施	預定趕上進度時間
一.分項計畫一： 覆晶封裝電磁模擬發展計畫	<p>3. 但兩對金屬凸塊之間距與電磁耦合效應有極大之相關性，於 60GHz 時，當間距(L) (如圖五)小於 25 μm 時，其折返損耗將大於-20dB。此一數據將有助於安排金屬凸塊之位置。</p>  <p style="text-align: center;">圖五</p>			

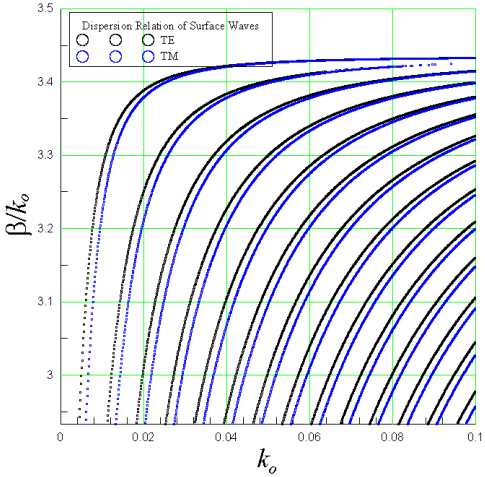
說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
一. 分項計畫一： 覆晶封裝電磁模 擬發展計畫	<p>C. *構裝基板之表面波分析</p> <p>1.由於表面波存在於多層結構，我們利用嚴謹之電磁理論，配合傳輸線網路分析及橫向共振方法計算出表面波色散關係曲線(如圖六)。該曲線可以提供設計者瞭解在特定的基板結構、和操作頻率下會有多少表面波波模被激發出來。</p>  <p>圖六</p> <p>2.由表面波色散關係曲線(如圖六)，我們發現基板的厚度對表面波波模被激發的程度有很大的影響。適當的減少基板的厚度可以有效地抑制表面波波模被激發的程度。</p>	●是 ○否		

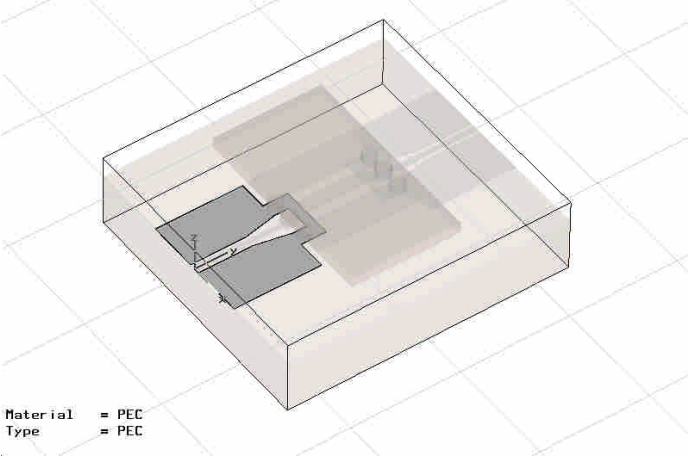
說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫內容及預定進度	落後原因/改善措施	預定趕上進度時間
一.分項計畫一： 覆晶封裝電磁模擬發展計畫	<p>D. *覆晶系統構裝最佳化設計</p> <p>1.利用最佳化設計之方法，適當地調整共面波導之結構，設計出槽線寬度漸變之共面波導結構來改善轉接效應，如圖七所示，當金屬凸塊之高度和直徑為 40μm 和 30μm 時，目前已達到直流到 80GHz 皆可具有-20dB 以下之反射耗損設計。</p>  <p style="text-align: center;">圖七</p>	●是 ○否		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

表一

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫內容及預定進度	落後原因/ 改善措施	預定趕上進度時間
一. 分項計畫一： 覆晶封裝電磁模擬發展計畫	<p>E. *同軸式覆晶接線設計</p> <p>1. 已設計三組不同的同軸式連接線，此一結構在於利用同軸式凸塊結構來取代傳統三根凸塊之設計，可以將垂直轉接部分之結構封閉於同軸結構中。</p> <p>同軸式覆晶接線對於填膠造成電磁場之影響可以降至最低。同時該結構又可以增加對於電磁干擾之防護能力，因此可降低傳統三根凸塊之耦合損失，且實驗數據皆已經達到所預期之目標。</p> <p>F. 完成設計 60G Hz CPW MMIC 電路</p> <p>1. 設計電路</p> <p>訂定工作頻率為 60GHz 的放大器，採用分項計畫二的共平面波導(Coplanar waveguide)設計準則；電路架構方面，使用有著最大電路增益的共源極電路，而 PHEMT 元件其源極端接地可以符合這樣特性，所以我們利用兩級共源極放大器作為電路的架構。</p> <p>兩級間以及輸入輸出端加上組抗匹配電路，以達到最佳的增益輸出特性。並且兩端 matching Network 匹配到 50 歐姆系統。中間的 Interstage matching，是作共軛匹配，以利於功率傳送。Bias 端使用電阻電容並聯結構濾除高頻雜訊。</p>	<p>●是 ○否</p> <p>●是 ○否</p>		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫內容及預定進度	落後原因/改善措施	預定趕上進度時間
一.分項計畫一： 覆晶封裝電磁模擬發展計畫	<p>2. 模擬電路 利用 ADS 做 transistor level 的電路設計及動作驗證與模擬，再使用 cadence tool 做實際佈局後，將佈局轉回 IE3D 做 EM 效應模擬以符合設計需求。模擬整體電路，驗證 S 參數、輸出功率、線性增益、P1dB 點、穩定度、附加功率效益等，滿足設計需求。</p> <p>3. Tape out 60GHz CPW MMIC 電路 完成晶片佈局後，將設計的 60GHz CPW MMIC 電路經由子計畫二製作。</p> <p>G. 完成 30GHz MMIC 覆晶封裝 經由 NDL 量測完成 30GHz MMIC 電路，請分項計畫三製作覆晶封裝(flip chip)，封裝完成後，再度量測，證實覆晶封裝並未改變電路特性與性能，可借鏡為 60GHz 的經驗依據。</p>	●是 ○否		
合 計		落後項數=0		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫 內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
二.分項計畫二: 高頻 IC 製程發展 計畫	<p>A. <0.1 μm 閘極製程技術</p> <ol style="list-style-type: none"> 1. 完成以加熱方式熱回流光阻的製程技術,達成線寬為 90nm 的 T 型閘極,相關專利已獲准。 2. 完成以電子束微影及 stepper 技術,利用兩次曝光技術,完成小線寬 T 形閘極。相關技術正申請國內外專利中。 3. 光阻為雙層之高分子光阻 PMMA 及(P(MMA-MAA)),先用高加速電壓之電子束微影系統曝光,接著以熱板加熱方式回流光阻,透過適當的加熱時間及溫度,達成小於 0.1 μm 閘極製程技術。 4. 已成功將 0.1 μm 線寬的 T 型閘極製程整合於低噪音及功率 PHEMT、MHEMT 元件。 5. 已將小線寬 T 形閘極技術整合於 60GHz MMIC 製程。 <p>B. V 波段低噪音 MHEMT 元件</p> <p>已經完成低噪音 MHEMT 元件的製程研發,並完成下列製程之整合:</p> <ol style="list-style-type: none"> 1. 平台隔絕(MESA)製程 使用磷酸/過氧化氫溶液作為平台蝕刻溶液。並可成功的將元件阻隔,並且具有適當的蝕刻輪廓,讓跨越的金屬電極不至於斷線。 2. 歐姆接觸製程 包括 GeAuNi 的電子束蒸鍍條件最佳化、歐姆接觸電阻值量測、RTA 參數最佳化、lift-off 製程等,已經整合上述製程條件,並已經成功整合於實際 MHEMT 元件。 	<p>●是 ○否</p> <p>●是 ○否</p>		

說明:1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形,遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數,如「落後項數=3」代表共有三項工作進度落後。

表一

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫 內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
二.分項計畫二: 高頻 IC 製程發展 計畫	<p>3. 閘極蝕刻技術 選用高選擇比蝕刻的閘極蝕刻溶液可以增加元件的均勻度，增加閘極蝕刻製程的彈性。MHEMT 之閘極蝕刻使用琥珀酸/過氧化氫/氨水系統作為閘極蝕刻溶液，蝕刻溶液之選擇比可達 1000 以上。</p> <p>4. 空氣橋製程 研發完成金和銅金屬之空氣橋製程，分析完成銅空氣橋之高溫介面穩定性及電氣特性。</p> <p>5. 保護層沉積與蝕刻製程</p> <p>6. 晶片薄化(Lapping)製程 完成晶片的薄化製程，可將砷化鎵晶片磨至 100 μm 以下，並完成背面拋光製程。</p> <p>7. 背面 via-hole 製程 使用乾式蝕刻方式，完成 via-hole 製程研發，蝕刻氣體為 BCl_3/Cl_2，蝕刻速率 1.5 $\mu\text{m}/\text{min}$。並可藉由控制氣體組成，改變孔洞蝕刻輪廓，以適合後續的金屬化製程。</p> <p>C*. V 波段功率 MHEMT 元件</p> <p>1. 本元件採用較高 In 含量 InGaAs 為通道(In=0.4)，undoped InxGaAs(x=0.1~0.4) 為漸變緩衝層，undoped InAlAs 為反向隔離層</p> <p>2. 佈局最佳化： 考量高功率元件在操作時產生的高熱量，佈局時針對元件電極排列方式、散熱及閘極長度等參數作最佳化處理。單一閘極長度為 20μm 及 40μm，總閘極長度為 80μm、160μm、320μm 及 640μm。</p>	●是 ○否		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫 內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
二.分項計畫二: 高頻 IC 製程發展 計畫	<p>3. 製程整合 為增加功率電晶體的散熱特性，整合第一年中所發展的銅製程與 MHEMT 製程，將銅空氣橋、銅電極等製程應用於功率電晶體。另外並配合背面製程(Backside process)，完成晶片薄化、via-hole 及背面金屬化等製程。</p> <p>4. 高頻特性量測 已經完成功率 MHEMT 元件的 S 參數及 load pull 量測。</p> <p>D. MMIC 被動元件製作</p> <p>1. 完成 NiCr(80/20)電阻之製程，使用電子束蒸鍍方法，採用 in-situ 控制電阻方法，可控制 NiCr 片電阻在 $50\Omega/\square$，誤差在 $\pm 5\Omega/\square$。</p> <p>2. MIM 電容製作已完成，包括電子束蒸鍍金屬電極，氮化矽薄膜之沉積及空氣橋製程。</p> <p>E. MMIC 結構佈局最佳化</p> <p>1. 已經完成 60GHz 之 MMIC 佈局最佳化。 配合分項計畫三所作的覆晶結構之熱傳模擬結果，設計金屬凸塊的位置、外型及材料，配合 thermal bump 及 thermal via 設計，使 MMIC 有較好的散熱效果及可靠度表現。</p>	<p>●是 ○否</p> <p>●是 ○否</p>		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫 內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
二.分項計畫二: 高頻 IC 製程發展 計畫	F*. 60GHz MMIC 製作 1. 結合分項計劃一的元件模型及分項計劃二的 PHEMT 及 MHEMT 元件製程,提供設計 60GHz MMIC 所需的設計參數,並已完成 60GHz MMIC 設計。 2. 已完成 60GHz MMIC 的光罩製作。 3. 整合 MHEMT 及 PHEMT 主動元件製程及被動元件製程(包括 NiCr 電阻製程及 MIM 電容製程)。 4. 完成空氣橋及電鍍金之製程整合。 5. 開發完成 MMIC 的後段製程,可將 MS MMIC 晶片研磨至 100 μ m 的厚度, via hole 蝕刻製程也已經研發完成, via hole 直徑 50 μ m, 並可藉由氣體組成控制 via hole 孔洞輪廓。 完成 60GHz MMIC 製程整合, MMIC 採用 MS/CPW 設計, 並完成高頻 S 參數量測。	●是 ○否		
合 計		落後項數=0		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
 遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫 內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
三. 分項計畫三: 覆晶封裝發展 計畫	<p>A. 高頻被動元件之覆晶結構製程</p> <ol style="list-style-type: none"> 1. 完成 CPW-CPW 結構的被動轉接覆晶結構製程，並且完成毫米波段的高頻 S 參數量測。 2. 完成採用 stud bump 及電鍍金凸塊的覆晶製程，凸塊高度約 40 μm。stud bump 具有不需 UBM(Under bump metallization)製程、製程簡單等優點，適合於研發或小、中量的生產，電鍍製程可同時在 wafer-level 層次上形成凸塊，適合於 I/O 數目多的大量生產，本計畫同時完成兩種製程的覆晶封裝結構研究。 3. 完成利用乾膜光阻製作金凸塊的技術，乾膜光阻製程具有成本低的優點，本計劃配合電鍍製成完成 30 μm 至 50 μm 高的凸塊製程。 4. 基板線路採用分項計畫一所設計的數種補償結構，以降低高頻轉接損耗，S 參數量測結果顯示在高頻時可以有效降低轉接損耗。被動元件也同時採用數種補償結構，在 GaAs 晶片上製作成 CPW 傳輸線，金屬厚度大於 2 μm。 5. 完成 Au 凸塊的覆晶熱壓製程及 AuSn 接合製程的研發，Au 凸塊的熱壓製程之接和溫度 260°C~300°C，壓力 30g~35g/bump。 	●是 ○否		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫 內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
三.分項計畫三: 覆晶封裝發展 計畫	<p>B.* 無鉛電鍍凸塊製作</p> <ol style="list-style-type: none"> 1. 完成 Sn-Ag 合金之無鉛凸塊電鍍製程。錫銀合金具有優良機械性質及抗腐蝕之優點，唯須克服兩者電位差異極大，不易於二元合金電鍍之困難。本研究已完成：(1) 電鍍製程條件之擇定與鍍液之陰極曲線量測，找出適合電鍍範圍，並將此條件應用於凸塊電鍍；(2) 可製成 50 μm 高度之凸塊；(3) 凸塊接合方面，已完成相關熱壓製程資訊之蒐集，並應用於 IC 與凸塊化基板之接合，初步結果顯示，利用助錒劑 (Flux) 可成功地完成凸塊接合。 2. 完成 Sn-Cu 合金之無鉛凸塊電鍍製程。錫銅合金具有濕潤性良好、成本低且加工性良好等優點，唯須克服兩者析出比例之二元合金電鍍困難。本研究已完成：(1) 電鍍製程條件之擇定，以找出適合電鍍範圍，並將此條件應用於凸塊電鍍；(2) 可製成 50 μm 高度之凸塊；(3) 凸塊接合方面，已完成相關熱壓製程資訊之蒐集，將進一步應用於 IC 與凸塊化基板之接合。 3. 電遷移設備之建立 電遷移設備需能量測 I-V 曲線，並可於某特定溫度下持續通電數天，以加速試驗電遷移之破壞。目前已完成 (1) 蒐集所需設備，包括電遷移座台、光學顯微鏡、電流供應器、探針組數組、加熱器等；(2) 撰寫實驗控制與數據記錄所需之電腦軟體；(3) 完整之軟硬體設備組裝與機台整合測試、設計修改等。 	●是 ○否		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫 內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
三.分項計畫三: 覆晶封裝發展 計畫	<p>C.乾膜光阻製程</p> <ol style="list-style-type: none"> 1. 完成乾膜光阻的電鍍金屬導柱製程。 2. 完成乾膜光阻應用於高頻覆晶製程的研發,光阻厚度 $50\mu\text{m} \sim 120\mu\text{m}$,電鍍金凸塊高度$\sim 35\mu\text{m}$。 3. 完成乾膜光阻應用於被動元件(CPW)之覆晶封裝,並完成高頻 S 參數的量測,在 40GHz 時,被動元件覆晶結構(基板線路有補償結構)的 insertion loss 為 1.5dB。 4. 利用乾膜光阻技術配合銅電鍍技術,開發完成銅金屬導柱的技術,且利用 cladding 金屬保護銅金屬導柱,使銅導柱不會受到大氣影響而氧化。此技術將配合無鉛焊料之電鍍技術,將 V 波段元件整合在覆晶結構中。 <p>D.新穎同軸式轉接覆晶結構製程及高頻量測</p> <ol style="list-style-type: none"> 1. 已與分項計畫一共同研發出新穎之同軸式轉接覆晶結構,此結構具有非常低之插入損耗及反射損耗,可適用 underfill 的製程,可使 underfill 對高頻特性的影響降到最低,有助於 underfill 的填入。 2. 完成同軸式轉接覆晶結構之設計有三組,考慮結構有無 BCB 介電層,完成轉接佈局,並送交製作光罩。 3. 已完成開發同軸式轉接覆晶結構之製程,並完成結構之製作,等待接合後,並進行高頻 S 參數量測,比較分項計畫一模擬結果及實驗量測之結果,進行下一步之驗證分析。 <p>完成之雙 C Shape 之同軸式轉接覆晶接合結構,完成結構之 CPW 傳輸線金屬厚度為 $2\mu\text{m}$,材料為 Ti/Au 金屬層、Ti/Au/Cu 金屬層,同軸轉接之 C Shape 凸塊高度為 $30\mu\text{m}$,凸塊金屬為 Au、Cu。</p>	<p>●是 ○否</p> <p>●是 ○否</p>		

說明:1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形,

遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數,如「落後項數=3」代表共有三項工作進度落後。

表一

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫 內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
三. 分項計畫三: 覆晶封裝發 展計畫	<p>E*. 覆晶接合元件的 DC 與 RF 量測</p> <ol style="list-style-type: none"> 1. 完成覆晶接和元件的高頻 S 參數量測，CPW-CPW 轉接結構在 40GHz 時，insertion loss < 1.4dB。 2. 分別完成 Stud bump、Au 電鍍、乾膜光阻+電鍍等方法所作之覆晶封裝結構的 DC 及 RF 量測，CPW 傳輸線為 Ti/Au 金屬層，總厚度約 2μm。 3. 完成主動及被動元件的覆晶高頻量測，藉由 NDL 的量測設備，量測範圍從 DC 至 100GHz。 <p>F*. 覆晶接和之熱傳導分析與散熱設計</p> <ol style="list-style-type: none"> 1. 針對所設計的覆晶封裝結構，已進行熱傳分析之模擬，並設計各種不同 thermal via 作為覆晶結構散熱之用。 2. 由熱傳分析結果，設計 MMIC 線路及功率元件的覆晶結構。 	<p>●是 ○否</p> <p>●是 ○否</p>		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

第一年度學界科專計畫執行情形表

資料期間(93 年 6 月 1 日至 94 年 5 月 31 日)

計畫名稱： III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程發展三年計畫

分項計畫	計畫實際執行內容 (以實際達成狀況具體詳細填寫,屬計畫查核點並請以 * 表示)	是否符合原計畫 內容及預定進度	落後原因/ 改善措施	預定趕上 進度時間
三. 分項計畫三: 覆晶封裝發展 計畫	<p>G*. 高頻主動元件的單晶片覆晶封裝製程技術</p> <ol style="list-style-type: none"> 1. 採用分項計畫二所完成的低噪音 HEMT 元件,以 Au stud bump 或 Au 電鍍凸塊結構,配合熱壓用覆晶方式接合在陶瓷基板,壓合壓力 30g~35g/bump,壓和溫度: 基板 300℃,晶片 250℃。 2. 改變 HEMT 元件之金屬墊,排列方式及大小,增加覆晶接和封裝的電氣特性,結合分項一之電磁模擬,設計符合 60GHz 的元件 layout。 3. 完成 V 波段 MHEMT 元件的覆晶製程技術,並已經完成 V 波段的高頻 S 參數量測,在 60GHz 時,覆晶封裝之後增益值的變化< 1dB,此封裝技術整合分項計劃一的電磁模擬及熱傳分析的結果,使 MHEMT 元件在電氣特性和熱傳特性方面有較佳的表現。 <p>設計完成新型低噪音 HEMT 元件的覆晶封裝結構,可以減少覆晶封裝所造成的高頻損耗。</p>	●是 ○否		
合 計		落後項數=0		

說明：1.填寫計畫實際執行內容依計畫書最小工作單位(子項計畫或工作項目)具體化、數字化及階段性之技術指標、技術規格等執行情形，
遇有進度落後時請述明落後原因、改善措施及預定趕上進度時間。

2.'合計'欄內請統計不符計畫進度項目之項數，如「落後項數=3」代表共有三項工作進度落後。

