

行政院國家科學委員會專題研究計畫 成果報告

晶片系統相關實作技術整合推動專案(3/3)

計畫類別：個別型計畫

計畫編號：NSC93-2217-E-009-005-

執行期間：93年08月01日至94年07月31日

執行單位：國立交通大學電子工程學系暨電子研究所

計畫主持人：周景揚

共同主持人：吳誠文

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 10 月 25 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

晶片系統相關實作技術整合推動專案(3/3)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 93-2217-E-009-005

執行期間：93年8月1日至94年7月31日

計畫主持人：周景揚 教授 交通大學 電子工程系
計畫共同主持人：吳誠文 教授 清華大學 電機系
計畫參與人員：袁世一 助理教授 逢甲大學 通訊工程系
謝韶徽 講師 勤益技術學院 電子系
陳漢臣 講師 聯合技術學院 電子系
張文峰 助理教授 萬能技術學院 資訊工程系

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

執行單位：國立交通大學 電子工程學系
國立清華大學 電機系

中華民國 94 年 10 月 25 日

1 摘要

在二十一世紀，系統晶片(SoC)是電腦、通訊、消費性電子產品之關鍵零組件，而 SoC 設計也居於我國產業發展的主流地位。如何提升 SoC 設計的競爭優勢，是我們產官學研界，共同面對的一項重要議題。國科會微電子學門基於此，提出 SoC 推動方案，希望能創造出豐碩的研究成果，培育更多的 SoC 設計優秀人才。中區推動的重點領域在於 SoC 與其自動化設計，協調整合相關的研究團隊，從事前瞻性的主題研究，並建立研究人力資料庫，加強產、學、研之溝通。同時鼓勵教授參與此領域之研究，擴大研發人力規模。

關鍵詞：系統晶片、自動化設計

Abstract

In this new era, System-on-Chip (SoC) has become the emerging key components in 3C products and industries due to the advance of IC technology and rapid changes in demands. SoC designs also become the most important issue among the semiconductor industry developments. Therefore, how to enhance our competition capability of the SoC design is a critical topic of the government at present. Facing the situation, we propose this SoC Promotion Program to achieve this goal. By the program, we hope the universities in Taiwan can strengthen the research infrastructure, expand its SoC design capabilities and educate more talent SoC design engineers. The Central Branch (Northern and South Branches are others) of this SoC Promotion Program focuses the research areas on the “SoC and its Design Automation.” The main tasks include – (1) coordinate the research teams to conduct more advanced researches; (2) encourage more professors to start the researches in this area; and (3) establish the web-page to increase the interaction channels between universities and industries.

Keywords: System-on-Chip (SoC), design automation

2 計畫緣由與目的

由於積體電路製程技術的快速進步，已使得單晶片系統，或稱系統晶片(System-on-Chip, SoC)可以將通訊、電腦、消費性電子，整個系統實現在矽晶片上，而具有輕巧、價廉、性能佳的優點。在 2001 年之今日，SoC 已成為 3C 電子產品的最重要核心零組件。而 SoC 設計也成為我國產業發展的主流，扮演關鍵性的角色，它對上游半導體晶圓製造或下游之系統製造產業（如無線通訊、寬頻通訊、電腦資訊、影音等消費性產業），都具樞紐性舉足輕重的地位。面臨國際和兩岸在科技產業的劇烈競爭，如何維持 IC 設計乃至提昇 SoC 設計的競爭優勢，是關乎我國經濟發展的命脈。我們不僅要重視此情勢且要立即地付諸行動來強化我們在 SoC 的設計能力。過去幾年，國科會工程處微電子學門已將 SoC 相關研究的規劃列在規劃書上，也得到各學校研究團隊的熱烈支持，提出多項的研究計劃。為了更進一步推動 SoC 研究，我們因而提出 SoC 推動方案，希望在此推動方案下，能創造出更豐碩的研究成果，培育更多的 SoC 人材，以提昇國家發展 SoC 的能力。

3. 研究方法與成果

中區推動方案的重點在於「SoC 與其自動化設計」，主要的領域規劃為下列八個：

- System-level Design：含系統描述、平台架構、軟體/硬體分割、效能評估等
- Hardware Design and Synthesis：含硬體架構設計、邏輯合成、界面合成、模型與分析模擬等
- Physical-level Design：含 floorplanning、placement 及 routing、module generation、physical verification 等
- Embedded Software Design：含 real-time OS、kernel、driver、application program interface 以及 software/hardware verification 等
- RF/Mixed-signal/Analog Design：含上述電路之 synthesis、optimization、layout、simulation 等
- Validation and Verification：含高階驗證、實體模型模擬、時間－功率分析等
- Testing and Testable Design：含 BIST、DFT、System、boundary、memory test、fault modeling、fault simulation、ATPG 等
- Design Drivers：以某些 SoC 整合設計為例來帶動設計自動化技術之研發，包括低功率無線通訊、寬頻傳輸、資訊、消費性產品之 SoC 設計等

針對國科會工程處為推動 VLSI/CAD/SoC 相關領域之各類研究計畫所規劃之補助辦法，我們整理出：

- 微電子學門個別型研究計畫
- 微電子學門整合型群體研究計畫
- SoC 整合型研究計畫
- 應用性先期研究計畫

之重點說明與申請須知等資料，撰寫完成一個整理過的說明，結合中部地區（包括桃竹苗、台中縣市、南投、雲林等）各大學院校（包括綜合大學、技職院校），希望大家有機會參與國

科會所推展的研究工作。在今年的推動方案中合作研究的對象及內容如下：

一、嵌入式系統中斷處理之可靠性分析結案報告

(袁世一助理教授 逢甲大學通訊系)

不論是 general purpose OS 或是 RTOS，在系統內均只負責資源的調動與分配，並不涉及真正的功能與服務。由這個角度而言，OS 或是 RTOS 均是某種程度的系統浪費 (overhead)，一般統計約為 5%到 25%左右。但是因為需要提升系統整體的效能與可靠度，在複雜硬體技術快速發展的今日，這樣的 overhead 可以接受並進一步的加以降低。

我們以此研究成果順利投稿[1]，也依此研究成果推動完成遠端控制的驅動程式中斷控制碼的最佳化與自動化[2]。

本計畫開發出發展出一套可以進行即時作業系統於嵌入式系統上之中斷處理之可靠性分析平台技術。其分項成果如下：

一、軟體發展

甲、Tool-chain porting for SID

- i. 產生 GNU tool chain (圖一、圖二)
- ii. 使用 SID 與 GNU tool chain 加以整合 (圖三 a, b)

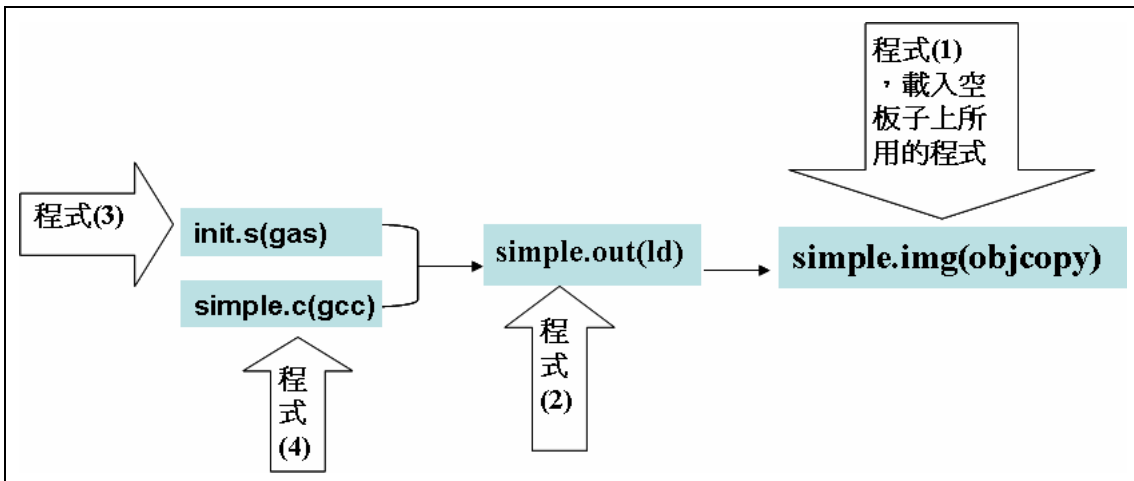
乙、實作軟硬體模擬環境 (圖四)

二、RTOS 與測試 AP 發展

甲、SID 之 hardware behavior model coding 發展

- i. 發展一個硬體模型的概念 (圖五、peak for TCP/IP control)
- ii. 使用 C++描述發展硬體模型的實作 (圖六)

乙、整體技術整合與軟硬體模擬 (圖七)



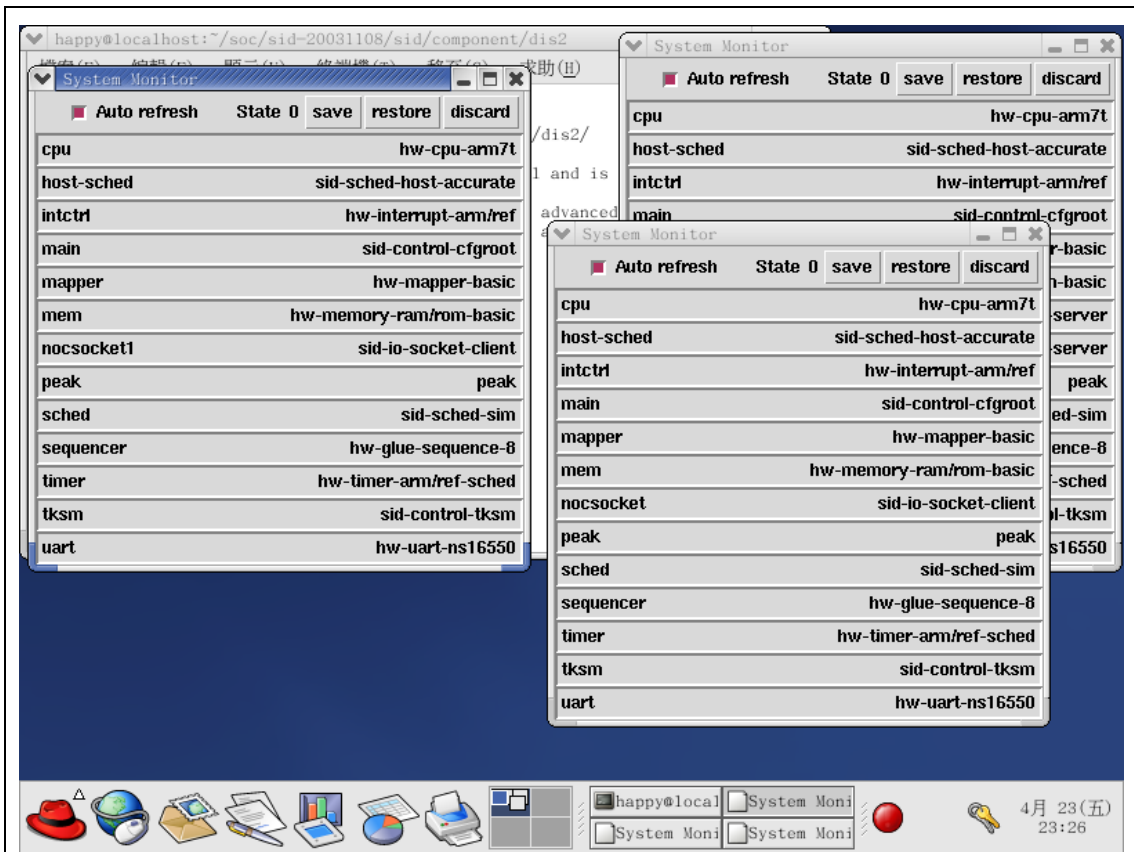
圖一、Tool-Chain 示意圖

```

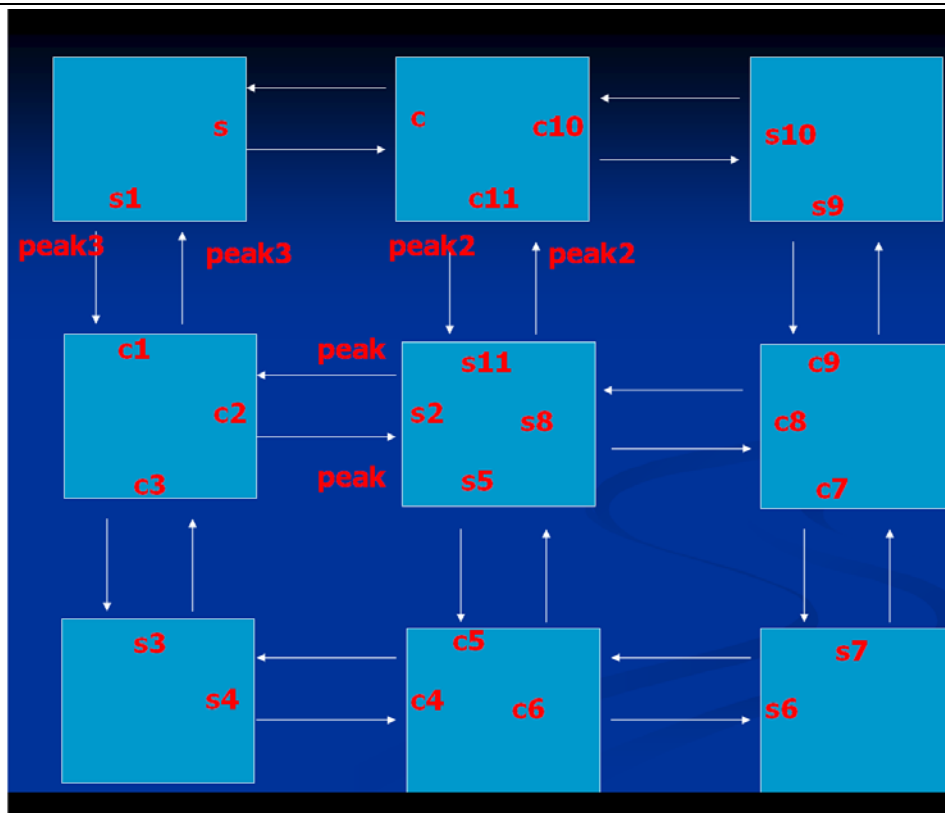
[adam@localhost gnu_v31]$ make
mkdir build-bin;
cd build-bin;../binutils-2.13.2.1/configure --target=arm-elf --prefix=/home/adam/gnu_v3/local-arm-elf -v
Configuring for a i686-pc-linux-gnu host.
Created "Makefile" in /home/adam/gnu_v3/build-bin
Configuring bfd...
creating cache ../config.cache
checking for Cygwin environment... no
checking for mingw32 environment... no
checking host system type... i686-pc-linux-gnu
checking target system type... arm-unknown-elf
checking build system type... i686-pc-linux-gnu
checking for gcc... gcc
checking whether the C compiler (gcc -g -O2 ) works... yes
checking whether the C compiler (gcc -g -O2 ) is a cross-compiler... no
checking whether we are using GNU C... yes
checking whether gcc accepts -g... yes
checking for POSIXized ISC... no
checking for a BSD compatible install... /usr/bin/install -c
checking whether build environment is sane... yes
checking whether make sets ${MAKE}... yes
_
  
```

圖二、Tool Chain 產生圖示

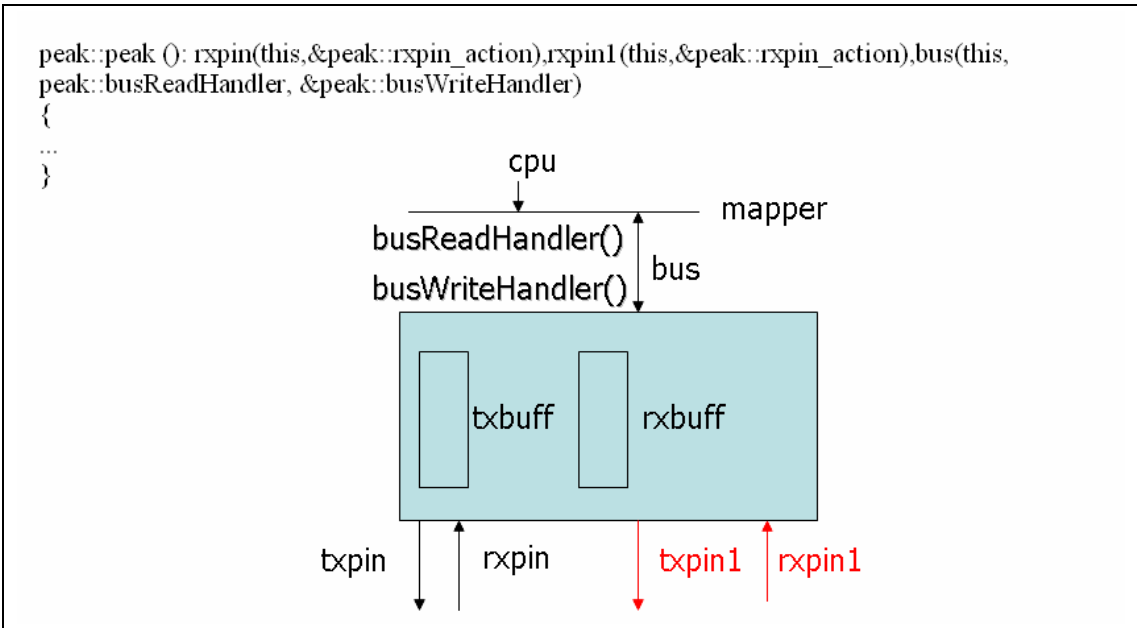
<p>圖三 a、 ToolChain-SID-debug 共同運作圖示 (RTOS subroutine: _exit)</p>	<p>圖三 b、 ToolChain-SID-debug 共同運作圖示(UART)</p>



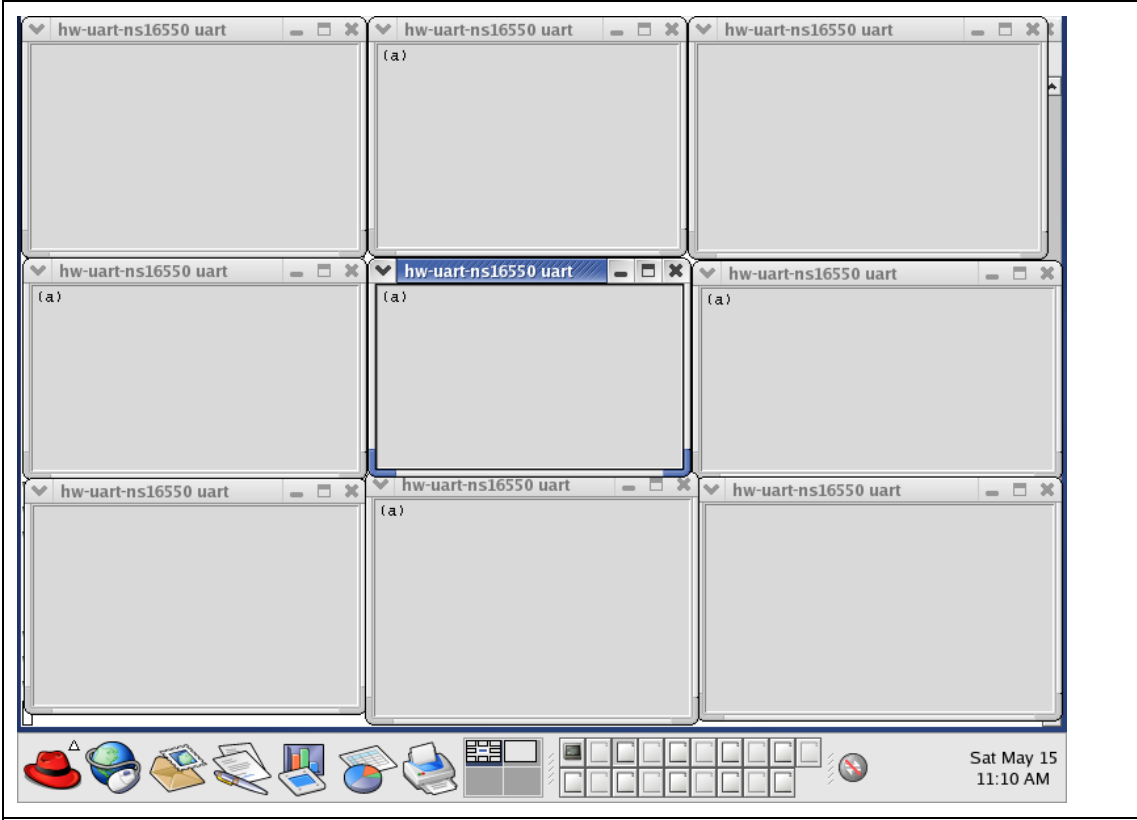
圖四、SID HW/SW-co-simulation 畫面



圖五、SID hardware behavior model coding 示意圖



圖六、一個硬體模型的 C++描述(peak for TCP/IP control)



圖七、SID hardware behavior model 整體技術整合與軟硬體模擬執行畫面

1. Shih-Yi Yuan and C.S. Wang, 2004, "Increasing RTOS Interrupt Handling for Platform-Based SoC Design," 2004 電子商務與數位生活研討會.
2. Shih-Yi Yuan and Jichiang Tsai, "Vertical integration of remote control on heterogeneous networks," *Proc. International Conference on Automation Technology*, Taichung, Taiwan, May 2005.

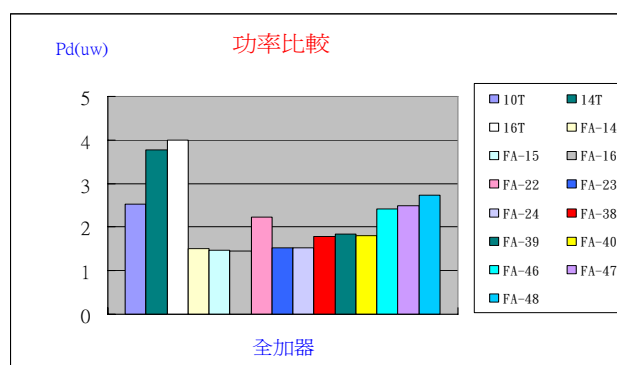
二、基於內嵌式架構之全加器核心電路的分析與比較

(謝韶徽講師 勤益技術學院電子系)

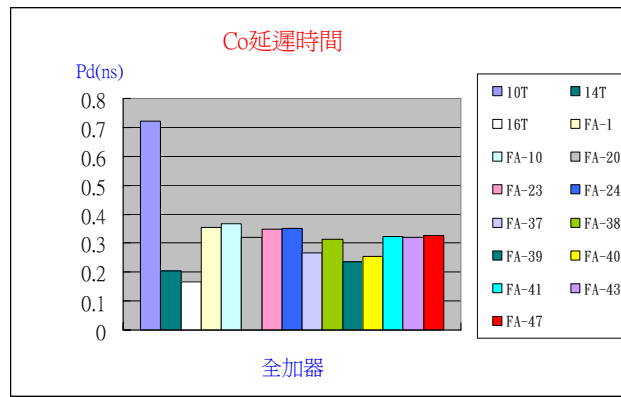
本計畫研究主要著重於分析與比較近年來不同設計方法、不同電路架構及不同設計目的之內嵌式全加器核心電路設計，內嵌式全加器核心電路設計目前均朝向具有低電壓(Low Voltage)低功率(Low Power)之特性，本計畫除分析與比較近年來所有內嵌式全加器核心電路之外，並計畫找出應用導向之最佳內嵌式全加器核心，同時將全加器核心電路設計結構細化，期能找出更佳之新的內嵌式全加器核心電路設計。高性能的處理器要求高速的運算處理能力，而加法器為一切需要大量計算的處理器之構成基石，故若能提升加法器的效能意即可大幅的改善計算機或運算處理器積體電路的效能。再加上市場上對於可攜帶式系統的需求正快速的增加當中，因此也要求更小的積體電路晶片面積及功率消耗。為了實現速度、功率及面積皆要取得最佳化的理想，內嵌式加法器結構的改進，一直為計算機及積體電路設計領域中最基本也是最重要的研究之一。

本研究計畫提出系統化設計 48 種的高速度、低功率全加器電路設計。這些設計比傳統的全加器能有更高的執行速度，低的消耗功率和較小的面積。其中在提出的 48 種全加器設計電路裡的最佳設計，延遲時間上比傳統的全加器節省了 67.4%;而在延遲功率乘積上，亦節省了 76.1%。

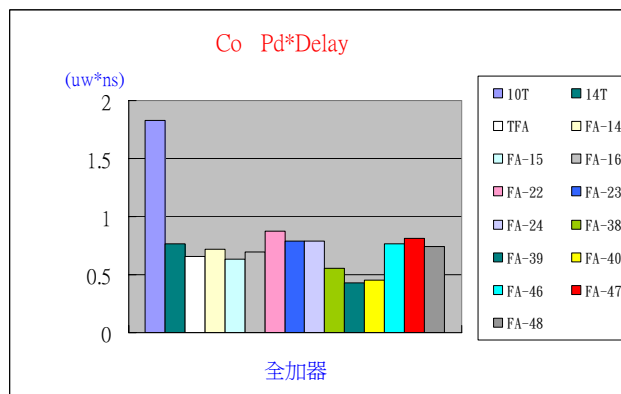
我們提出 48 種 10 個電晶體全加器電路設計，使用 TSMC 0.35um 製程，電源用 5 伏，信號頻率為 100Hz 做以下實驗：功率消耗、延遲時間及平均功率消耗與延遲時間乘積之比較，並將較佳之實驗結果與之前文獻中設計的傳統全加器電路(10T、14T 及 16T)做比較，並作柱狀圖八至圖十，以顯示其比較特質。



圖八：最佳功率消耗之比較



圖九：最佳延遲時間之比較



圖十：最佳功率消耗與延遲時間乘積之比較

實驗顯示：我們提出的 FA_15 相較於之前文獻中傳統全加器電路設計的 10T 之功率消耗節省了 42.7%；較 14T 之功率消耗節省了 60.7%；較 16T 之功率消耗節省了 63.5%！我們提出的 FA_39 相較於之前文獻中傳統全加器電路設計的 10T 之延遲時間節省了 67.4%；較 14T 之延遲時間節省了 31.4%；但較 16T 之延遲時間慢了 29.7%！FA_39 相較之前文獻中傳統全加器電路設計的 10T 之平均功率消耗與延遲時間乘積節省了 76.1%；較 14T 之平均功率消耗與延遲時間乘積節省了 43.5%；較 16T 之平均功率消耗與延遲時間乘積節省了 34.3%！由實驗結果顯示：選擇使用這樣的全加器核心電路設計應用，相信對提升整體電路設計效能，或降低設計成本應有相當的助益。

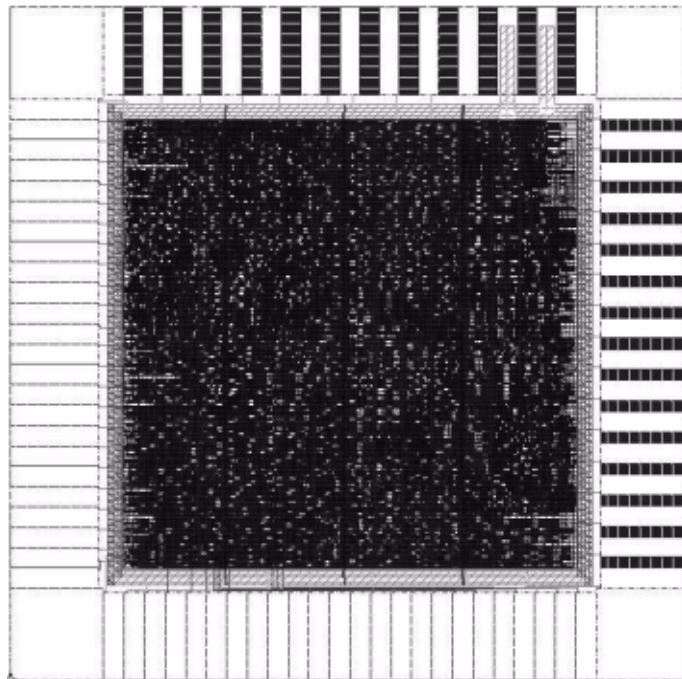
三、基於渾沌系統之效能導向資料保密數位矽智產設計及晶片實現

(陳漢臣講師 聯合技術學院電子系)

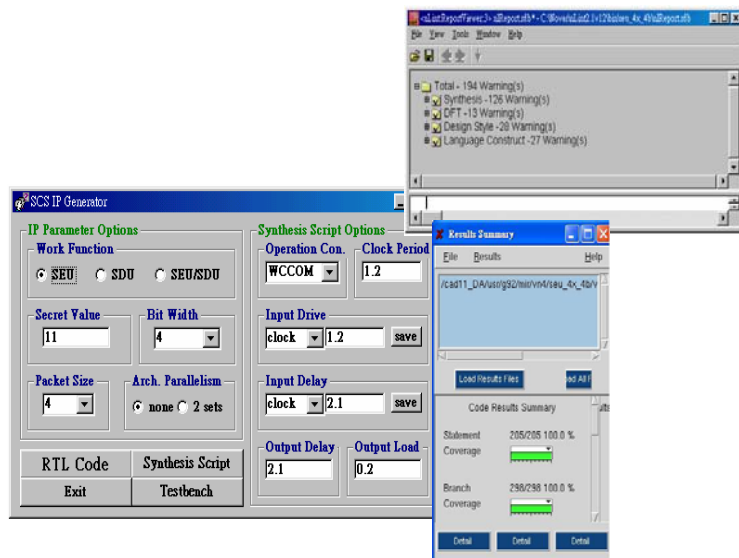
探討針對不同系統應用要求下之影像資料傳輸與儲存時，如何進行有效率之資料保密，以符合系統效能要求。所提出之效能導向資料保密數位矽智財設計的特點在於可透

過參數設定方式，依系統效能需求進行效能調整(如加解密資料封包數、處理速度、加密性等)，以滿足在不同的系統應用中(portable/desktop, different frame sizes 等)之效能需求；所提出以參數化方式效能導向資料保密數位矽智財設計以硬體方式實現時均經嚴謹的 Coding Guideline 檢驗以及接近 100% 的 code coverage。此參數化 IP 模組可供 SoC 晶片系統設計者所採用。

本計劃中，我們實現一個使用 0.35um CMOS 製程(圖十一)、以效能為導向的資料保密數位矽智財設計；同時我們也設計了一個具圖形介面(GUI)之程式(圖十二)以供設計者輸入參數，並可自動合成 SEU 及 SDU 之可合成 RTL 碼、測試向量及合成器所需之合成 scripts。此設計使用五級管線的 SEU 及 SDU 架構，並已經過驗證。該設計在特定的參數組合下，SEU 及 SDU 的產出率分別可達 312.5Mbps 及 1.428Gps。相較於現有之設計，我們的設計在 DRPA 的評估標準上應可得到較佳之效能。我們相信在多媒體系統上可整合此設計，而在資料儲存及傳輸上得到高度的資料安全性。



圖十一：佈局圖



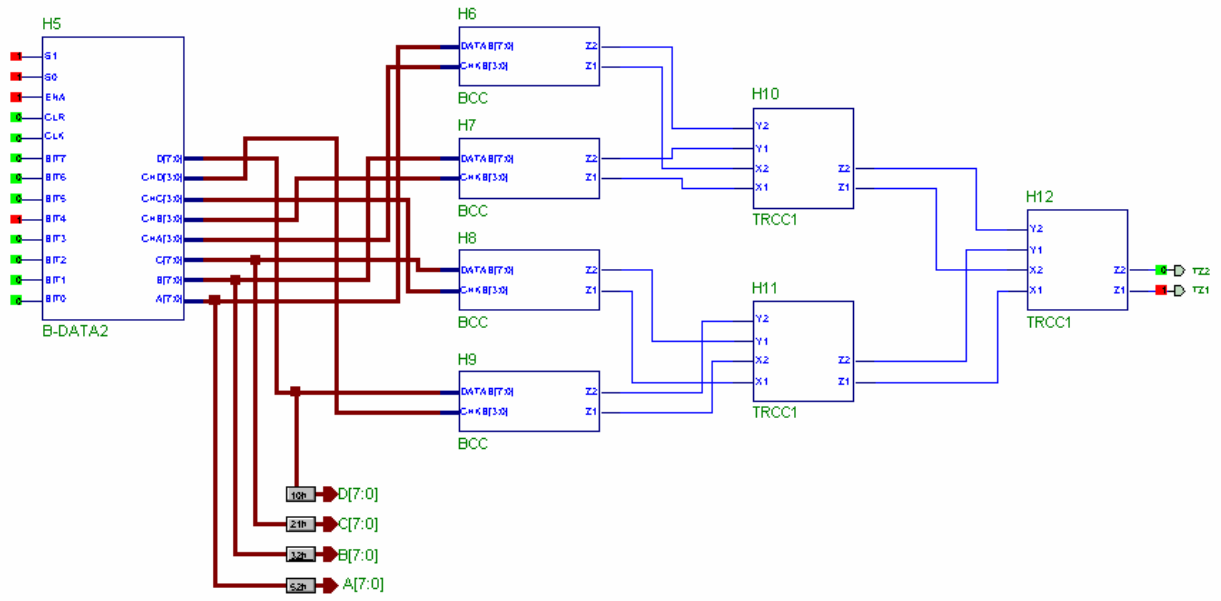
圖十二: GUI 程式

四、用伯格碼編碼技術來設計一個自我測試奇偶排序器

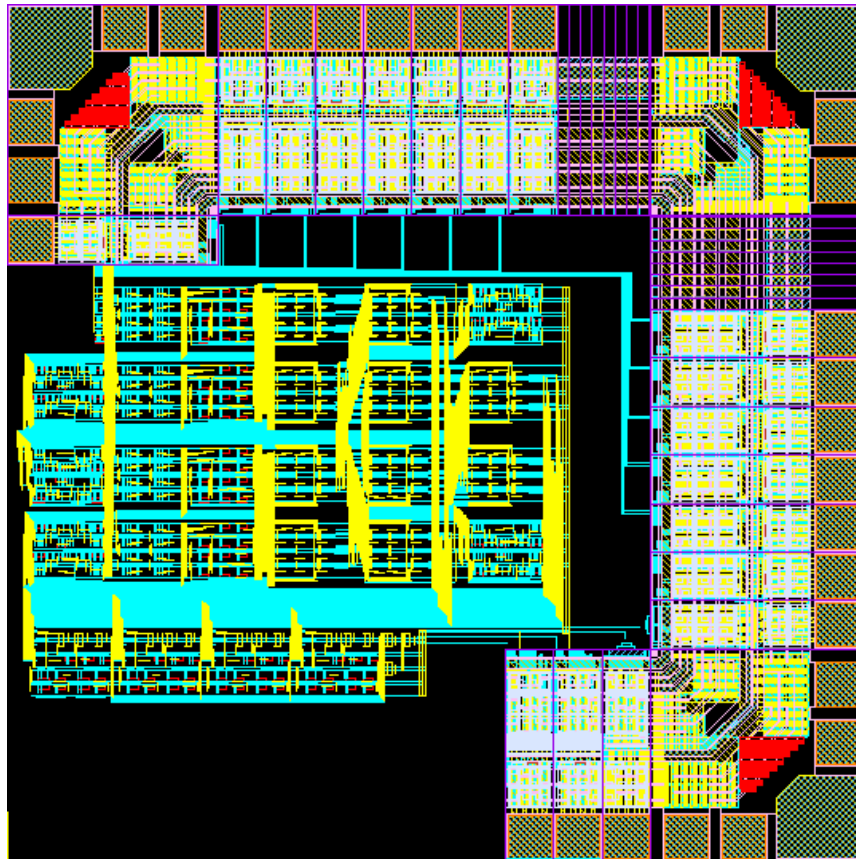
(張文峰助理教授 萬能技術學院資訊工程系)

在許多資料處理的場合，都會用到排序處理（例如：資料庫的蒐尋），故其重要性不言而喻。以硬體排序而言，著名的演算法有 bubble sorter, bitonic sorter, odd-even sorter 等，其中以 odd-even sorter (奇偶排序) 的硬體效能最好。隨著的時代的進步，要排序的資料數成長快速，排序器的複雜度也快速增加。一般而言，複雜度越高可靠度越低。讓電路能立即偵測到錯誤（最好是線上自我測試），並立即更換錯誤模組，可以提高電路可靠度。“錯誤偵測編碼”已被證實是讓電路具有自我測試能力的好方法。它是先定義一些輸入為合法輸入（稱為輸入碼），以及一些輸出為合法輸出（稱為輸出碼），藉由觀察輸出是否合法可知電路是否有誤。伯格碼是錯誤偵測碼的一種。本研究計畫的目的即在運用伯格碼編碼技術來設計一個具有自我測試能力的奇偶排序器 (odd-even sorter)。

本計劃中，我們完成了四資料，每資料有八位元 (0-255) 的自我測試排序器的設計與模擬，採用 Xilinx tool，電路如圖十三所示，該電路經模擬後，已驗證無誤。同時我們使用了 Cadence tool，採 0.35 2p4m 之製程實現此設計（圖十四）。我們所提出的方法除了可偵測電路本身的錯誤，同時也可偵測 Sorter 輸入的錯誤。



圖十三：電路圖



圖十四：佈局圖

4. 重要成果自評

我們已完成下列重要成果：

- 輔導相關教師從事規劃性的主題研究，並與表現優良之私立大專院校及技職體系研究團隊結盟。
- 完成原訂計劃之 SoC 相關技術開發，培植參與學生之專業能力，部份成果並已發表於期刊或研討會。
- 持續維護並增加充實網頁之內容，作為產、學、研互通之橋樑。
- 建立中區有興趣在這些領域從事研究的教師資料庫。

這些成果將有助於達成下列目標：

- 協調在 SoC 領域的研究團隊，從事規劃性的主題研究，以期更有效率地研發上述各領域之新的技術。
- 加強產、研、學溝通與結合，期使學校之研發成果能直接地有助於 SoC 設計產業之技術。並進一步獲得產業界之回饋，以充實學校之研發資源。
- 本計劃之研究經驗及成果，可成為未來開發更多 SoC 相關技術之基礎。