

行政院國家科學委員會專題研究計畫 期中進度報告

雙位元儲存氮化矽快閃式記憶元件技術及可靠性(2/3)

計畫類別：個別型計畫

計畫編號：NSC93-2215-E-009-023-

執行期間：93年08月01日至94年07月31日

執行單位：國立交通大學電子工程學系暨電子研究所

計畫主持人：汪大暉

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 5 月 5 日

雙位元儲存氮化矽快閃式記憶元件技術與可靠性(2/3)

Dual-bit Storage Nitride Trap Flash Memory Device Technology and Reliability

計畫編號：NSC 93-2215-E-009-023

執行期限：93 年 8 月 1 日至 94 年 7 月 31 日

主持人：汪大暉 國立交通大學電子工程學系

一、中文摘要

本計畫在於利用一改良過電荷幫浦技術來觀測一熱電子寫入/熱電洞抹除之氮化矽記憶元件寫入電荷之水平分佈。每一位元寫入的電荷分佈可以單獨地被萃取出來。吾人研究中發現，在同一元件中，第二寫入的位元有著比第一寫入位元較寬的電荷分佈。此原因為第一寫入位元產生的電場會加速通道電子使其提早注入氮化矽層中。另外，吾人發現寫入電荷分佈隨著寫入抹除次數增加而延伸到通道中央。

關鍵詞：電荷幫浦，氮化矽記憶元件，熱電子寫入，熱電洞抹除，電荷分佈，寫入抹除

Abstract

In this project, we use a modified charge pumping technique to probe the lateral distribution of programmed charge in a hot electron program/hot hole erase dual-bit storage nitride trap flash memory device. The stored charge distribution of each bit over the source/drain junctions can be profiled separately. Our study shows that the secondly programmed bit has a broader trapped charge distribution than the first programmed bit. This is because that a large field built by the first programmed bit accelerates channel electrons and causes earlier electron injection into the nitride. In addition, we find the programmed charge distribution spreads further into the channel with P/E cycle number.

Keywords: charge pumping technique, dual-bit storage nitride trap flash memory

device, hot electron program, hot hole erase, charge distribution, P/E cycle

二、計劃緣由與目的

雙位元氮化矽快閃式記憶元件有較小的位元面積[1]、製程簡單、較小的汲極導通電流及絕佳的寫入抹除能力[2,3]而受到矚目。藉著熱電子寫入、熱電洞抹除[4]，將訊號區域性地操作在接面上，再利用反相讀取而達成一元件雙位元的目標。對於雙位元儲存元件，寫入電荷水平分佈控制對此記憶體微縮能力有極大影響。由於第一寫入位元電荷的分佈會大大地影響到第二位元臨界電壓(此種現象稱之為 second bit effect)。甚者，寫入電荷水平散佈，也會影響到儲存電子與抹除電洞之分佈，因而產生了抹除能力的衰退[6]。

在本研究中，吾人將使用電荷幫浦技術來探討每個位元其寫入電荷的分佈。另外，經過寫入抹除加壓後，電荷分佈擴張效應也一併在此討論。

三、電荷幫浦技術

在本實驗中，吾人所使用為氮化矽層記憶元件。而其各個端點電壓波形如圖一所示。閘極脈衝固定在高準位($V_{gh}=6V$)，變動低準位脈衝電壓。為了描繪出汲極端(或是源極端)寫入電荷之水平分佈，吾人藉由調變汲極電壓(或是源極電壓)去改變汲極端(或是源極端)之空乏寬度。此時，源極端(或是汲極端)為浮接狀態，這是為了避免另一端點影響到所要探測之電流。其電荷幫浦電流(I_{cp})由基極端量測到。汲極電壓反相於閘極電壓，也就是說汲極電壓只有在電子散失狀態才被施加

上去並且量測到[6]。另外，量測頻率為 2.5M 赫茲。

四、結果與討論

(a) 單一位元儲存

以圖一所示，右邊的位元，吾人稱為第一位元，而左邊的則稱為第二位元。由於電荷幫浦電流隨頻率增大而增加，為了得到好的 resolution，操作頻率愈大愈好。圖二表示，當頻率到達 2.5MHz 時，電荷幫浦電流仍然是可相信的。圖三分別為未寫入抹除傷害、寫入狀態與抹除狀態元件之電荷幫浦電流 vs. 低準位電壓之對應圖。在圖中，寫入狀態觀察到的電荷幫浦電流突起部分是由於儲存在氮化矽層中負電荷所造成的。圖四顯示了電荷幫浦電流突起部分隨著臨界電壓變大而增加，這表示了隨著儲存在氮化矽層電荷愈多，則突起部分愈容易觀測到。而電荷幫浦電流突起部分與汲極電壓大小關係如圖五所示。隨著汲極電壓愈大，寫入狀態電荷幫浦電流愈趨近於抹除狀態。在一足夠大的汲極電壓下，寫入電荷下界面缺陷會被汲極端空乏層給遮蓋而不能參與電荷幫浦電流反應，進而使得突起部分消失。

(b) 雙位元儲存電荷幫浦電流

雙位元儲存元件資料的四種狀態，"11"、"10"、"01"和"00"之電荷幫浦電流分別顯示在圖六上。"00"表示為雙位元都處於寫入狀態。圖七為比較單一第一寫入位元與單一第二寫入位元之電荷幫浦電流。在這裡，第二位元電荷幫浦電流藉由兩種方式得到，第一種為在當第一位元處於抹除狀態時所量測到的；另外一種則是在"00"狀態時扣掉第一位元電荷幫浦電流而得到的。圖八中可發現，經由此兩種方式得到的結果幾乎是相同的。在圖七中，有一明顯地交叉，這表示了與第一寫入位元電荷比較，第二寫入位元之電荷有著較寬的水平電荷分佈，但是，其電荷密度較低。在吾人利用電荷空間分佈探測技術[7]之前，有幾點假設要注意：第一，吾

人假設在通道中 Nit 為均勻分佈，所以電荷幫浦電流與通道位置 x 為線性關係：

$$x = \frac{I_{cp}(V_{gl})}{I_{cp,max}} L_{ch} \quad (1)$$

x=0 所指的是源極或是汲極界面位置， $I_{cp,max}$ 為最大電荷幫浦電流， L_{ch} 為通道長度。第二假設為當一次 P/E 所產生的 Nit 是可以被忽略的。基於這兩個假設，寫入電荷的空間分佈為：

$$Q_N(x) = \frac{C_{ONO}}{q} (V_{gl} - V_{ti}) \quad (2)$$

Q_N 為氮化矽電荷面密度， C_{ONO} 為雙位元儲存元件等效電容， V_{ti} 為元件抹除狀態之臨界電壓。粹取出來的電荷分佈如圖九所示。第二寫入位元電荷在寫入時，由於汲極端存在著極大通道電場而使得其電荷分佈較寬，如圖九所示。

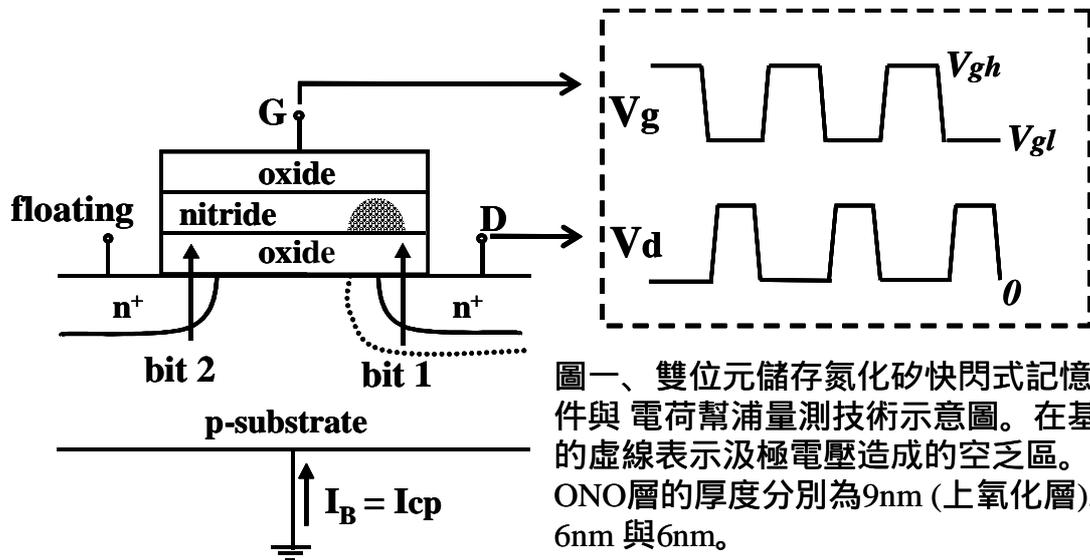
寫入電荷水平範圍也可藉由改變汲極（或源極）偏壓所得知。寫入狀態電荷幫浦電流突起隨著汲極（或源極）偏壓增加而降低，如圖十所示。第二寫入位元電荷需要更大的界面電壓才可以去遮蓋住寫入電荷。換而言之，第二寫入位元電荷有著較寬的電荷分佈。

(c) 寫入抹除加壓

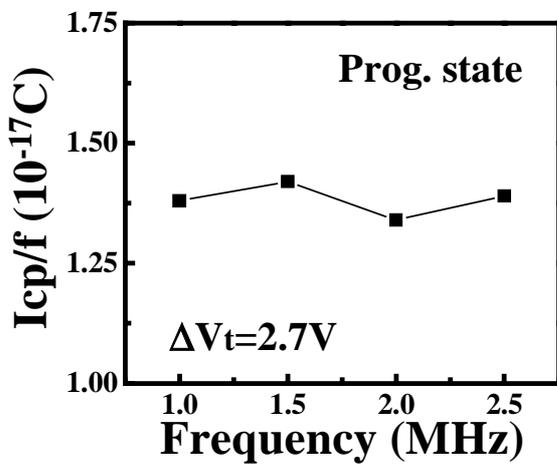
在寫入抹除過程中，會使得底部氧化層產生缺陷，且隨加壓時間增加而擴散。這些缺陷，特別是正電性的缺陷，會增加電子注入到氮化矽層的機率。因此，當 P/E 次數增加時，底部氧化層傷害範圍變寬。所以，在初始相同臨界電壓($V_d=0.1V$ 定義)，當 V_d 慢慢加大，P/E 次數多的元件，需要更大的汲極偏壓才能遮蓋掉寫入電荷，因此使得臨界電壓增大。

五、參考文獻

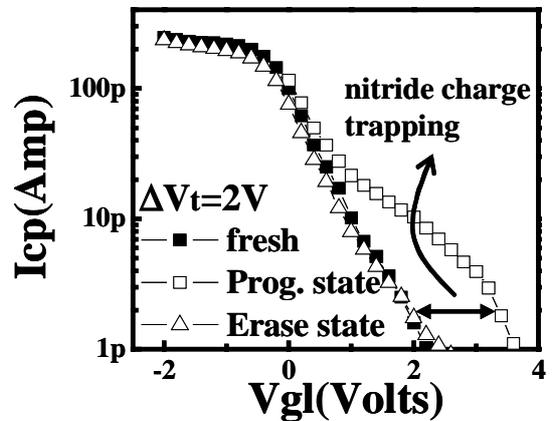
- [1] B. Eitan et al., *IEEE EDL.*, vol. 21, p.543, 2000.
- [2] W. J. Tsai et al., *IEDM Tech. Dig.*, p. 719, 2001
- [3] W. J. Tsai et al., *IRPS Proc.*, p.404, 2002.
- [4] T. Y. Chan et al., *IEEE EDL.*, vol. 8, p.93, 1987.
- [5] W. J. Tsai et al., *IRPS Proc.*, p.522, 2004.
- [6] W. Chen et al, *IEEE TED*, p.187, 1993.
- [7] C. Chen et al, *IEEE TED*, p.512, 1998.
- [8] S. H. Gu et al., *IRPS Proc.*, p.639, 2004



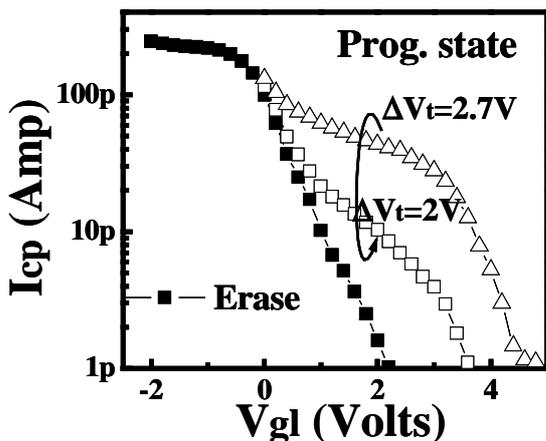
圖一、雙位元儲存氮化矽快閃式記憶元件與電荷幫浦量測技術示意圖。在基底的虛線表示汲極電壓造成的空乏區。ONO層的厚度分別為9nm (上氧化層), 6nm 與6nm。



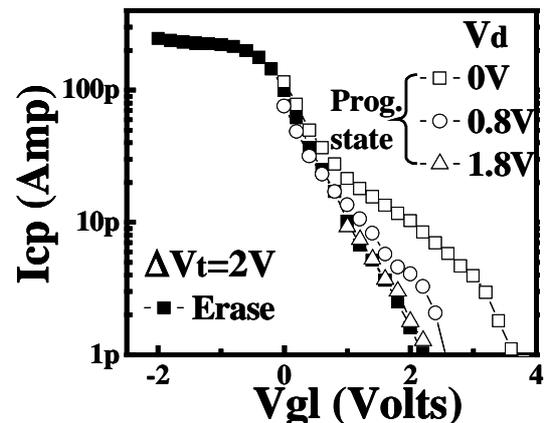
圖二、頻率與電荷中和關係之示意圖。在此電荷幫浦實驗中，臨界電壓差為 2.7V 且操作在 $V_{gl}=1.6V$ ， $V_d=0V$ 。



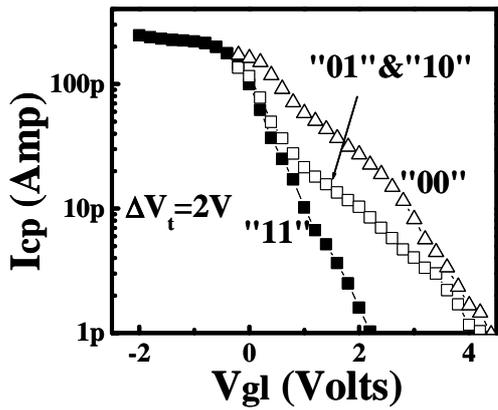
圖三、電荷幫浦電流在 fresh, one programming 與 one P/E cycle 時所表現的特性，臨界電壓差為 2V 且操作在 $V_d=0V$ 。



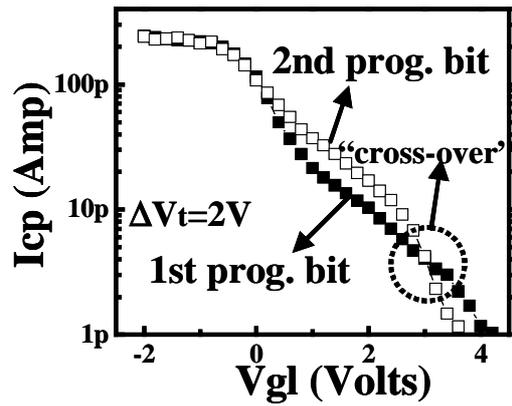
圖四、寫入狀態電荷幫浦電流突起部分隨臨界電壓窗增加而增加。這是由於儲存電荷增加，改變了區域臨界電壓與區域平帶電壓。



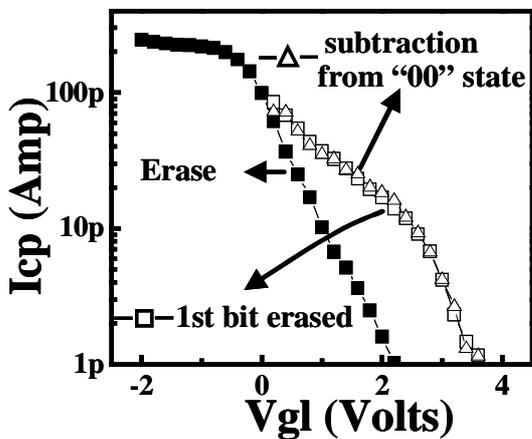
圖五、寫入狀態電荷幫浦電流突起部分隨汲極電壓增加而減少。汲極電壓變大，使得空乏區加大，而“掩蓋”住寫入電荷的影響。



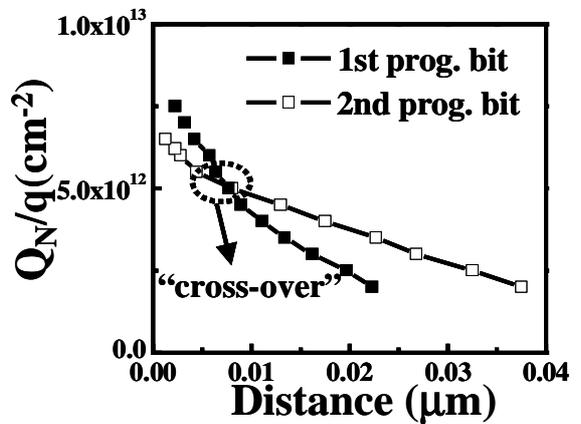
圖六、雙位元儲存元件資料的四種狀態，"11"、"10"、"01"和"00"之電荷幫浦電流。"11"表示為雙位元都處於抹除狀態而"10"表示一個位元為寫入，一個位元為抹除狀態。



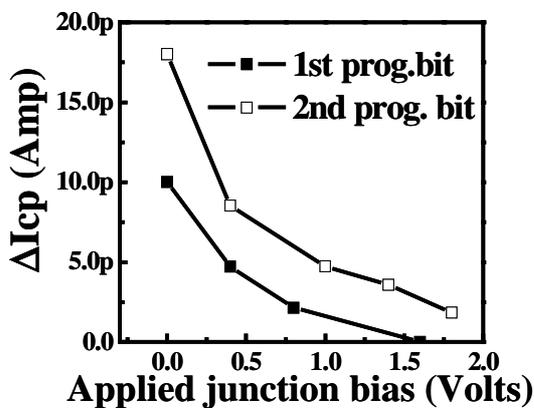
圖七、比較第一寫入位元與第二寫入位元之電荷幫浦電流。在量測第二位元電荷幫浦電流時，第一位元是在抹除狀態。



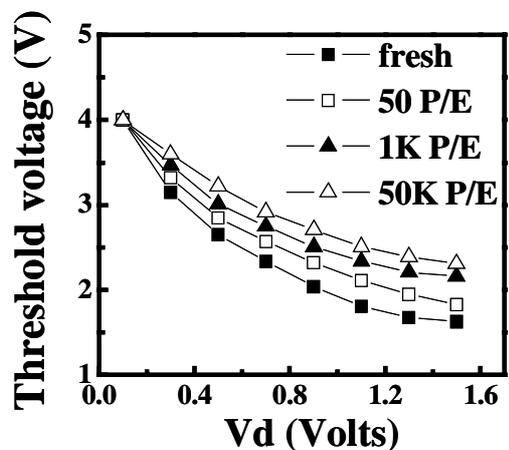
圖八、兩種方法萃取第二寫入電荷之電荷幫浦電流。一是第一位元在抹除狀態時直接量測第二寫入電荷 另一種方法則是在"00"狀態時扣掉第一位元電流。



圖九、第一寫入位元之寫入電荷與第二寫入電荷之水平分佈。假設界面缺陷隨著通道位置為均勻分佈。Icp,max 為 195pA。



圖十、第一寫入位元與第二寫入位元電荷幫浦電流差與汲極源極偏壓關係圖。



圖十一、臨界電壓與寫入抹除次數之關係圖。