

行政院國家科學委員會專題研究計畫 成果報告

系統面板之低溫非揮發性記憶體技術開發與研究

計畫類別：個別型計畫

計畫編號：NSC93-2218-E-009-067-

執行期間：93年11月01日至94年07月31日

執行單位：國立交通大學光電工程學系(所)

計畫主持人：劉柏村

計畫參與人員：陳致宏、陳建良、凌嘉駿、李逸哲

報告類型：精簡報告

處理方式：本計畫可公開查詢

中華民國 94 年 8 月 8 日

行政院國家科學委員會專題研究計畫期末報告

系統面板之低溫非揮發性記憶體技術開發與研究

Development of Low-temperature Nonvolatile Memory Technology for System on Panel Application

計畫編號：NSC 93-2218-E-009-067

執行期間：93 年 11 月 1 日至 94 年 7 月 31 日

計畫主持人：劉柏村

計畫參與人員：陳致宏、陳建良、凌嘉駿、李逸哲

一.中文摘要

由於低溫複晶矽薄膜電晶體(Low Temperature Polycrystalline Thin Film Transistor; LTPTFT)具有較佳的電子遷移率(Mobility),因此應用於光電顯示面板技術時可以有效增加畫素的開口率,此外,亦可做為顯示面板週邊的驅動電路(Driving circuit),將周邊電路製作在同一面板上,進而達到系統整合於玻璃(System on Panel; SOP)上的目標[1-2]。

因此本計畫主要的目標是發展應用於系統面板上的低溫非揮發性記憶體技術。我們首先研究低溫($< 600^{\circ}\text{C}$)穿遂氧化層的成长因為穿遂氧化層的電性良否對非揮發性記憶體有決定性的影響。我們以電漿氧化法製做穿遂氧化層,並藉由材料分析,電性分析找尋其成长最佳化條件。之後我們也將製作氧化矽-氮化矽-氧化矽(ONO)的垂直結構,發現在 $+15\text{V}$ 的偏壓操作下其C-V曲線的偏移量,即記憶窗口(memory window)約 1.9V 。另一方面,我們在複晶矽薄膜上製作非揮發性記憶體元件,由於在複晶矽薄膜上與晶圓的單晶矽的特性並不一致,必須尋找一適合的條件來操作複晶矽非揮發性記憶體。我們以不同元件寫入與抹除機制來測試元件特性找出最適合的操作條件,並對一般

傳統非揮發性記憶體元件做一比較。

關鍵詞: 低溫複晶矽、系統面板、非揮發性記憶體元件

Abstract

The technology of Low temperature poly-silicon (LTPS) makes it possible to fabricate display driving circuit onto the glass, or integrate systemic components on the panel (SOP). The goal of this project is to manufacture nonvolatile memory on the poly-silicon film with low temperature. First, we research in tunneling oxide grown at low temperature ($<600^{\circ}\text{C}$). The characteristic of tunneling oxide plays a important role of nonvolatile memory. Plasma oxidation implemented the deposition tunneling oxide layer and find optima condition. The oxide-nitride-oxide ONO structure was fabricated and measured the C-V characteristics. The 1.9V memory window was observed under $+15\text{V}$ bias operation. On the other hand, the nonvolatile memory devices fabricated on the low temperature poly silicon (LTPS) layer was performance. Because of the difference between the LTPS film and single crystalline silicon wafer, a

suitable conditions it is necessary to perform the devices. Various operational mechanisms were employed to investigate the characteristics of devices and compared with traditional nonvolatile memory devices.

Key word: LTPS、SOP、nonvolatile memory

二.緣由與目的

但是近年來，低溫複晶矽(low temperature polysilicon; LTPS)薄膜的成長技術日益成熟，而且利用複晶矽薄膜製作成的複晶矽薄膜電晶體擁有傳統薄膜電晶體所沒有的優點，因此產業界(如奇美光電、友達光電、中華映管及統寶光電等公司)正積極地進行研發，希望複晶矽薄膜電晶體能成為下一世代的主動矩陣式液晶顯示面板產品[1~5]。

複晶矽薄膜電晶體擁有較高的載子遷移率(相較於傳統非晶矽薄膜電晶體)，可以提供較大的驅動電流，提高顯示器的反應速度，此外，複晶矽薄膜電晶體的電性可靠度較非晶矽薄膜電晶體來得好，有助於增加產品的使用壽命。更重要的是，由於高的驅動電流，使得我們可以將電路上的不同單元整合於玻璃基板上，製作出不需顯示驅動 IC 的系統面板(system on panel; SOP)，如此可以有效地降低生產成本，提升面板的附加價值，此亦為面板驅動 IC 發展的主要趨勢。在系統面板整合架構之中，非揮發性記憶體單元對系統的效能扮演著關鍵的角色，若將非揮發性記憶體應用於面板中，可以做為畫面資料的儲存單元，在靜態顯示時能有效節省電力消耗，並且非揮發性記憶體在不提供電源時仍可保存資料，可以配合電路設計衍生其他功能、提升面板價值，延長可攜式產品的使用時間；另外，由於靜態時消耗功率的降低，面板產生的熱量亦會減少，此對面板的使用壽命將有顯著提升的作用。目前國內外顯示面板廠商正積極地研發此一相關技術，不過有許多關鍵的技術仍有待開發與解決。因此，在本計畫中我們主要將進行低

溫(<600°C)非揮發性記憶體元件製程技術的研究與開發。此一低溫非揮發性記憶體技術平台的建構，除了可應用於顯示科技產業上，更可推廣到智慧型晶片卡(smart card)及無線電識別系統(RFID)等技術領域中，有助於提昇人類生活的便利與舒適性。以下將針對非揮發性記憶體技術的背景以及本計畫執行的目的作一闡述。

傳統非揮發性記憶體，又稱快閃記憶體(Flash memory)，非揮發性記憶體的基本結構如(圖一)所示，當我們希望元件儲存資料時，在通道上的熱電子會經由穿隧機制通過最底層的穿隧氧化層而局限在多晶矽浮停閘(floating gate)中，因為自由載子的存入，會導致非揮發性記憶體元件起始電壓(threshold voltage)的改變，我們便是藉由記憶體元件起始電壓的變化，來紀錄數位資訊中的 0 與 1。此記憶體由於有較低的資訊保存時間(retention time)，以及在元件尺寸上無法再繼續縮小的困難，目前非揮發性記憶體的研究已朝向電子抹除式唯讀記憶體(N-ROM)發展 [3-5]。快閃記憶體和 N-ROM，在基本操作原理和基本結構上是一樣的，唯一不同的地方在於快閃記憶體使用多晶矽為儲存機構，而 N-ROM 是利用以介電層的缺陷態位來儲存自由載子。圖(二)為一 N-ROM 在進行儲存和消除電荷動作時能帶的變化圖。而圖(三)則顯示了 Si_3N_4 的能帶與其缺陷態位的能帶位置。N-ROM 相較於快閃記憶體，其操作速度較慢，然而氮化矽基本上為一良好絕緣體，所以儲存的載子不易流失，擁有較高的可靠度。在非揮發性記憶體元件的製作中，最困難的地方在於如何成長出一層高品質的穿隧氧化層(tunneling oxide)。所以在本計畫中，我們首先將研究低溫(<600°C)高品質穿隧氧化層的成長技術。我們將藉由材料及電性分析的技術來探討各種製程對低溫穿隧氧化層所造成的影響。此外，我們亦在複晶薄膜上製作 N-ROM 元件，並探討其元件特性。

三.實驗步驟

關於低溫穿遂氧化薄膜的研究方面，我們著重於電漿氧化薄膜的製作[6-7]。首先將 4 吋 n 型晶圓，以標準 RCA 清洗步驟去除晶片上的微塵、有機物、及金屬離子，之後將晶片置入電感式耦合電漿化學氣相沉積 (ICP-CVD) 系統，進行電漿氧化。所通入的反應氣體為氧化亞氮(N_2O)，產生電漿的功率為 900 瓦。氧化薄膜製作完成後，將此試片以傅立葉轉換紅外線吸收光譜儀 (FTIR) 和化學分析電子儀 (electron spectroscopy for chemical analysis, ESCA) 分析其化學鍵結，並將薄膜鍍上鋁電極，製作成 MIS 電容結構，以研究薄膜的電性行為。我們調變反應溫度及氧化時間，找出最佳化條件，並且與低壓化學氣相沉積系統以四乙氧基矽 (TEOS) 沉積之 SiO_2 薄膜的電性作一比較。此外，對於低溫沉積 Si_3N_4 薄膜的載子儲存效應，我們也進行了研究。首先將 4 吋 n 型晶圓，以標準 RCA 清洗步驟去除晶片上的微塵、有機物、及金屬離子，之後再以電漿氧化方式成長穿遂氧化層。接著在相同的系統內，連續成長 Si_3N_4 薄膜和 SiO_2 薄膜，分別作為載子儲存介電層以及控制氧化層。最後蒸鍍上鋁電極，製作成 MIS 電容結構，以 1M Hz 的高頻 AC 訊號來量測電壓-電容 (C-V) 曲線。用來量測高頻 C-V 訊號的儀器為 Agilent 4284A 精密 LCR 分析儀，藉以探討低溫 ONO 結構的記憶效應。

另一方面，關於低溫非揮發性記憶體的製作與電性探討，我們則製作了 P-通道低溫非揮發性記憶體。如圖 (四) 所示，其中閘極以下為金屬-二氧化矽-氮化矽-二氧化矽-複晶矽 (MONOS) 的垂直結構結構。此記憶元件是製作於低溫複晶矽薄膜上的。首先在玻璃基板上利用 PECVD 沉積底層 oxide 和 50 奈米厚的非晶矽薄膜，接著利用爐管退火去氫。非晶矽薄膜在爐管退火去氫之後經由準分子雷射退火結晶將非晶矽薄膜退火成複晶矽薄膜，此為低溫複晶晶矽製程

(LTPS)。此氧化矽-氮化矽-氧化矽 (ONO) 堆疊結構利用 15 奈米的穿遂氧化層，25 奈米的氮化矽介電儲存層以及 30 奈米控制氧化層，在這裡穿遂氧化層沉積在多晶矽上防止儲存載子流失，而氮化矽介電儲存層儲存電荷載子。利用濺鍍方式沉積 MoW 當作閘極電極，並以離子佈植方式形成源極和汲極區域。此時金屬-氧化層-氮化層-氧化層-矽 (MONOS) 形式的記憶體元件尺寸大小為通道寬度 $W=0.5\sim 50$ 微米以及通道長度 $L=0.5\sim 50$ 微米。而金屬閘極與 p+ 佈植區域重疊的部份為 1 微米。元件製作完成後，以 Agilent 4156 半導體參數分析儀量測其電性。由於低溫複晶矽薄膜與晶圓上單晶矽的材料特性不盡相同，造成其載子傳輸行為上的差異。因此，我們檢驗此低溫複晶矽記憶體元件的操作特性，嘗試以不同的操作偏壓，達到記憶元件的寫入與抹除，尋找其最佳的操作條件，並解釋其操作機制。

四.結果與討論

圖 (五) 為以 N_2O 電漿氧化法成長之氧化層隨不同溫度之 FTIR 特性。製程時間為 300 秒。由圖可以看出，當成長時的溫度愈高時，其約在 $1100cm^{-1}$ 的 Si-O-Si 主鍵越明顯，表示得到的氧化成品質越好。這也意味著以電漿氧化成長的氧化層，其製程溫度與薄膜品質間需要做一取捨。當我們溫度控制在 $350^\circ C$ ，氧化層的品質與製程時間成正比，如圖 (六) 所示。然而，由於電漿氧化成長機制是破壞基板表面的矽鍵結，使其產生的電漿分子能夠有機會和矽原子結合。換句話說，當電漿氧化的製程時間越久時，在基板與氧化層之間的介面所產生也就越嚴重。此結果大大影響一個 MOSFET 的載子遷移率與次臨界波動 (subthreshold swing)，尤其在複晶矽上的影響更甚，因為複晶矽薄膜的表面粗糙度大於單晶矽數十倍，當施加閘極電壓時基板表面的粗糙將導致電場分佈的不均勻，使的在某些地方出現電場集中效應，進而加速穿遂氧化層的劣化。若有過

多的介面缺陷將加速劣化效應。因此我們亦需控制電漿氧化的製程時間，避免產生過多的介面缺陷。與低壓化學氣相沉積爐管成長之 TEOS 氧化層相比，如圖（七）所示，N₂O 電漿氧化法成長之氧化層的漏電較為嚴重，大約是 TEOS 氧化層的一個數量級，但是仍然小於 10⁻⁹ 安培，足以應用在複晶矽非揮發性記憶元件上。

我們將 N₂O 電漿氧化法成長之氧化層薄膜，以 ESCA 分析其鍵結，如圖（八）所示，我們發現除了二氧化矽的鍵結外，也偵測到矽化氮的鍵結。由於絕緣試片的電荷蓄積效應，使得訊號峰值朝高束縛能方向偏移。此結果說明 N₂O 電漿氧化薄膜乃是由二氧化矽以及矽化氮兩種鍵結所組成。在 N₂O 氣體中解離出來的氮分子，在製程中亦有足夠的能量與矽原子反應，使得薄膜特性介於 SiO₂ 與 Si₃N₄ 之間。薄膜具有較 SiO₂ 高的介電常數，可以降低元件的操作電壓，同時擁有與 SiO₂ 相當的能隙，維持儲存電荷的保存時間 (retention time)。在尋找穿遂氧化層最佳化的同時，我們亦對於以 ICP-CVD 系統製作 ONO 結構，探討其低溫 ONO 結構電子儲存特性。當此結構經由 +15V 的寫入與抹除，如圖（九）所示，可以看到 C-V 曲線的偏移，其記憶窗口 (memory window) 約 1.9V。此電荷儲存量足夠應用於非揮發性記憶元件資料的邏輯辨別。

關於低溫複晶矽非揮發性記憶體元件，在 TEM 橫截面圖 (圖 (十)) 中可以看到氧化層-氮化層-氧化層的三層 ONO 結構成長在複晶矽上，其厚度分別為 15nm 的穿遂氧化層，25nm 的氮化矽介電儲存層，以及 30nm 控制氧化層。當介電儲存層越厚時，其缺陷儲存中心越多易儲存更多的電荷載子。至於穿遂氧化層，由 F-N 穿遂電流方程式：

$$J = E^2 \exp\left[-\frac{8\pi\sqrt{2m^*}(q\phi_B)^{3/2}}{3qhE}\right] \quad (1)$$

其中 E 為施加偏壓時氧化層所受到的電場，

m^* 為電子有效質量，h 為布朗克常數， ϕ_B 為矽基板與二氧化矽間的介面能障。值得注意的是電場與氧化層厚度成反比。當有很大的電壓加在絕緣體上，由於高電場，載子由複晶矽的價帶或導帶經過三角能障，其能障的寬度與是根據電場的大小改變。只要有足夠大小的電場，其能障的寬度就會足夠小到讓載子穿遂 [8]。但假如穿遂氧化層太厚，則在相同操作電壓下其電場會相對下降造成穿遂電流明顯降低。穿遂電流的降低將使的載子的儲存及抹除速度降低，這是我們不願樂見的。然而，由於準分子雷射退火結晶技術對於複晶矽薄膜的表面粗糙度影響十分嚴重，因此，除了對複晶矽薄膜表面做平坦化處理外，仍覆蓋一層 15nm 厚的穿遂氧化層，以改良複晶矽非揮發性記憶體元件的耐久度 (endurance)。控制氧化層是垂直結構最頂層，其為防止閘極電極的載子以 F-N 穿遂的方式進入介電儲存層中。

在寫入抹除的操作下， I_D-V_G 特性圖記錄了經過寫入及抹除操作後臨界電壓的改變量。而記憶窗口的定義即為寫入的臨界電壓以及抹除的臨界電壓之間的差異。低溫複晶矽記憶體元件量測流程可以由表 (一) 說明。在記憶體元件讀取模式時，我們在室溫下固定汲極電壓為 $V_D=0.1V$ ，量測由閘極電壓 -10 伏特到 10 伏特的汲極電流。並且由薄膜電晶體 (TFT) 之定義，臨界電壓為當汲極電壓 $V_D=0.1V$ 時，歸一化汲極電流後其值在 10⁻⁸A 時的閘極電壓。我們用不同的寫入及抹除方式操作，比較其元件在不同操作機制時電性的改變，並對這些結果加以說明。

首先關於 p 型通道低溫非揮發性記憶體元件的寫入抹除操作元件特性：

(a) 寫入模式特性

圖 (十一) 顯示 p 通道記憶體元件以 Fowler-Nordheim 穿遂模式寫入時的 I_D-V_G 圖。由於我們所製作之元件其 ONO 結構過厚 (總厚度 70nm)，所以在元件閘極偏壓操作在 25V，而操作時間為 50ms。在此條件操作下其臨界電壓漂移量約有 0.6V，若是將整體

ONO結構厚度降低，相信還有改良的空間。在 I_D - V_G 圖中其元件次臨界波動以及載子移動率保持良好的特性。另一方面，若此元件以熱載子(hot carrier)寫入方式操作的話，則會造成元件之劣化(degradation)[9-11]，然而詳細的劣化機制還是不清楚。目前考慮可能的原因為熱載子的能量過高，導致介面產生嚴重的缺陷。尤其在複晶薄膜中晶粒與晶粒間的晶界為較弱的鍵結，高能熱載子極容易打斷此處造成缺陷，因而降低元件的載子移動率以及傳導電流。

(b) 抹除模式特性

圖(十二)為p通道元件以Fowler-Nordheim穿遂模式抹除時的汲極電流與閘極電壓(I_D - V_G)關係。當我們嘗試以F-N操作模式來抹除已寫入之元件(閘極偏壓操作25V，而操作時間為50ms)，使用閘極偏壓操作為-25V，操作時間為50ms。然而，抹除模式時切入電壓並不會跟一開始尚未寫入的切入電壓相同，即使增加抹除的時間也是得到相同的結果。也就是說，F-N抹除機制並不能有效地消除儲存在介電儲存層中的電荷。

為了完成抹除模式，我們嘗試用熱電洞從通道注入介電儲存層來抹除介電儲存層內的過量電子。在施加夠大的汲極電壓下，在靠近汲極端的通道會有足夠的電場來產生撞擊游離化(impact ionization)電子以及電洞。其中一部分的電子以及電洞會得到很大的能量稱為熱載子(hot carrier)，這些高能量熱載子被閘極的垂直方向電場所吸引而輕易地越過穿遂氧化層，故稱為熱載子注入，如圖(十三)。在p型通道中，熱電洞的注入可以達到抹除模式。由於熱載子注入是以崩潰機制來提供大量高能量的載子，因此比較起來和以F-N穿遂機制操作的速度快上許多。然而，也因為這些大量高能的熱載子，一般來說，容易造成穿遂氧化層快速的劣化[12-13]。圖(十四)是顯示在熱電洞注入的抹除模式下其汲極電壓與臨界電壓的關係，操作時間為50ms。由圖可知，當源極和

汲極的電位差相差越大，其電荷抹除的效果越好，而源極-汲極的電位差 V_{DS} 達到-20V時，在介電層中的電子可以完全被抹除掉。這是因為 V_{DS} 當源極和汲極的電位差越大，在接近汲極端的電場越強，其熱電子、熱電洞產生的機率就會越高，而使臨界電壓改變。值得注意的是，不管 V_{DS} 電位差值是-10V或-20V，其電子抹除的能力都會比以F-N穿遂機制($V_{DS}=0V$)操作的效果來的好。

經由上述元件的寫入以及抹除的操作研究，我們可以決定我們元件的操作方式：以F-N方式來做寫入電子，而利用熱電洞注入完成電子抹除的動作。圖(十五)即為利用此操作條件而表現出的 I_D - V_G 轉換曲線。在經過寫入及抹除的動作之後，電子完全被抹除乾淨，而且電流特性並不會造成劣化，這可能是由於電洞撞擊游離化機率比電子小。所以熱電洞注入時並不會發生劣化的。不管是寫入或是抹除，我們都可以在50ms的時間內完成。此時間接近一般傳統非揮發性記憶體元件的操作時間，然而，閘極的操作偏壓仍然過高，因此未來的研究重點將是朝著降低閘極操作電壓而努力。當我們決定了元件的操作條件後，我們亦對元件的endurance做了調查。其中寫入條件為閘極電壓25伏特，而抹除條件為閘極電壓-25V，源極-汲極的電位差-10V，而寫入與抹除的時間為皆為50ms。實驗結果如圖(十六)所示。其元件臨界電壓差為約為0.8伏特。在寫入與抹除 10^4 次後，元件仍然保持0.8伏特的記憶窗口。此結果顯示以複晶記憶體元件在此種操作模式亦有不錯的忍耐度(endurance)。

四. 結論

我們以電漿氧化成長方式來形成穿遂氧化層薄膜。在尋找此方式的最佳化條件，目前認為較好的條件是在溫度350°C時，以 N_2O 電漿成長300s。然而，此絕緣體之漏電仍然稍微大於以LP-CVD成長之TEOS氧化層。在由ESCA的化學分析得知，此薄膜乃是含有 Si_3N_4 鍵結的混合氧化層。製作ONO

的結構後發現，此結構經由 $\pm 15V$ 的寫入與抹除，可以獲得約 $1.9V$ 記憶窗口。在複晶矽薄非揮發性記憶體元件的製作方面，我們製作P型通道低溫非揮發性記憶體，其較佳的操作模式為寫入方式以Fowler-Nordheim穿遂寫入，抹除方式以熱電洞注入抹除。此元件可以在 $50ms$ 的操作時間內完成寫入或抹除的動作。若是以其他方式對元件進行寫入或抹除，可能會對元件的次臨界波動以或是載子移動率造成影響。在我們找出的操作條件下，低溫複晶矽記憶體元件並沒有明顯的劣化現象。而且其元件耐久度可以達到 10^4 次以上。

五.參考文獻

[1] M. Yoshimi et al, IEEE Trans Electron Devices, vol. 44, no. 3, Mar 1997

[2] A. Nishiyama et al, IEEE Trans Electron Devices, vol. 44, no. 12, Dec 1997.

[3] Kencke, D.L.; Xin Wang; Ouyang, Q.; Mudanai, S.; Tasch, A., Jr.; Banerjee, S.K., Electron Devices Meeting, 2000. IEDM Technical Digest. International , 10-13 Dec. 2000 Page(s): 105 -108

[4] Hao Fang; Haddad, S.; Chi Chang; Jih Lien, Electron Devices Meeting, 1994. Technical Digest., International , 11-14 Dec. 1994 Page(s): 467 -470

[5] Reisinger, H.; Franosch, M.; Hasle, B.; Bohm, T., VLSI Technology, 1997. Digest of Technical Papers. , 1997 Symposium on , June 10-12, 1997 Page(s): 113 -114

[6] C.W. Leu, S.F. Hu, P.C. Chen, H.L. Hwang, Applied Surface Science, 142, Page(s): 113 -114, 1999

[7] Sardia and S.K. Dhali, Applied Physics letters, 56, Page(s): 21 -23, 1990

[8] M.Lenzlinger,..” Fowler-Nordheim

Tunneling in thermally grown SiO_2 ” ,J, App. Phys.,vol. 40, p.278, 1969

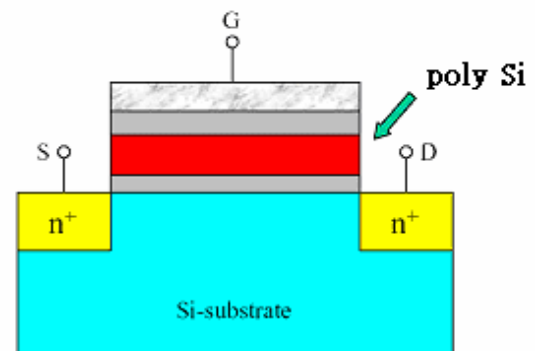
[9] G. Tallarida, A. Pecora, G. Fortunato, F. Plais, P. Legagneux, T. Kretz and D. Privat: J. Non-Cryst. Solids 187 (1995) 195.

[10] G. Fortunato, A. Pecora, G. Tallarida, L. Mariucci, C. Reita and P. Migliorato: IEEE Trans. Electron Devices 41 (1994) 340.

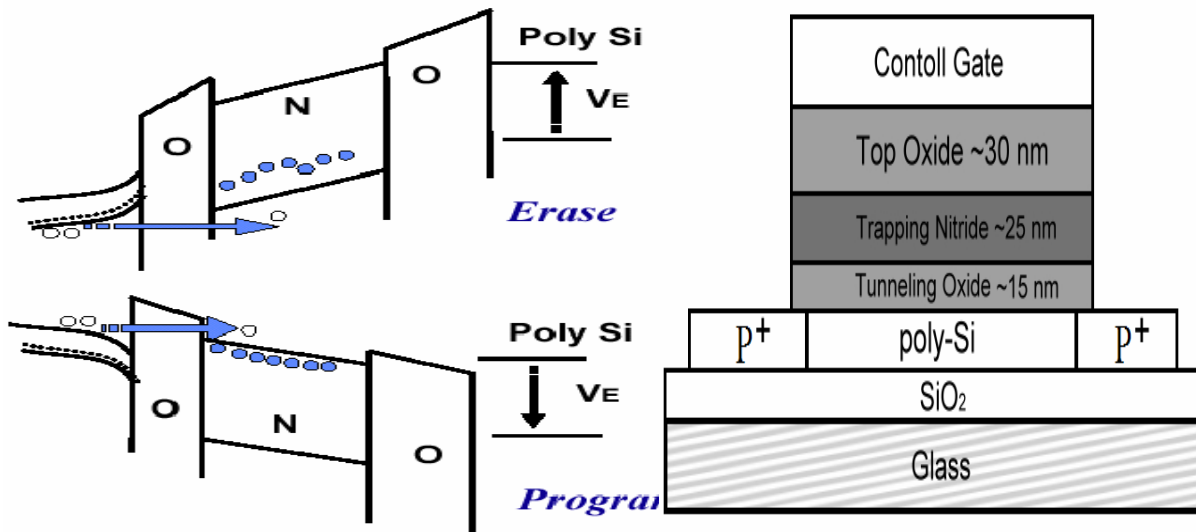
[11] F. V. Farmakis, C. A. Dimitriadis, J. Brini, G. Kamarinos, V. K. Gueorguiev and T. E. Ivanov: Solid-State Electron. 43 (1999) 1259.

[12] P. E. Cottrell, R. R. Troutman, “Hot electron emission in n-channel IGFET’S,” IEEE vol.sc-14, p442, 1979

[13] B. eitan...et, ”Hot electron injection into oxide in n channel mos devices, IEEE Trans. Electron.

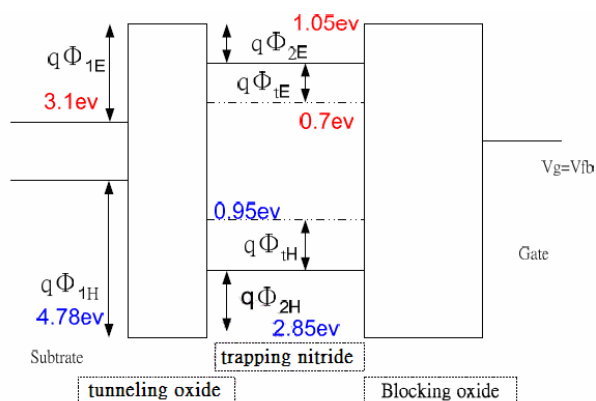


圖（一）快閃記憶體元件結構示意圖



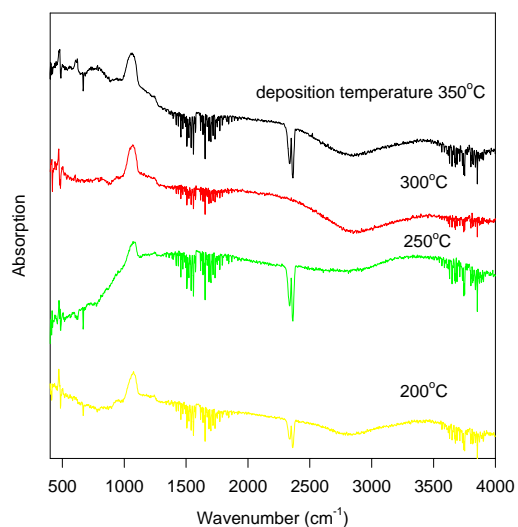
圖（二）N-ROM 在進行消除儲存和電荷時能帶的變化

圖（四） p 型通道低溫非揮發性記憶體

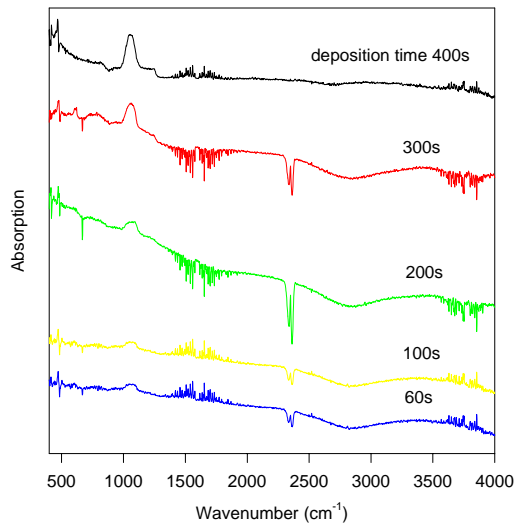


$$\begin{aligned}
 q\Phi_{1E} &= 3.1\text{eV} \\
 q\Phi_{1H} &= 4.78\text{eV} \\
 q\Phi_{2E} &= 1.05\text{eV} \\
 q\Phi_{2H} &= 2.85\text{eV} \\
 q\Phi_{iE} &= 0.7\text{eV} \\
 q\Phi_{iH} &= 0.95\text{eV}
 \end{aligned}$$

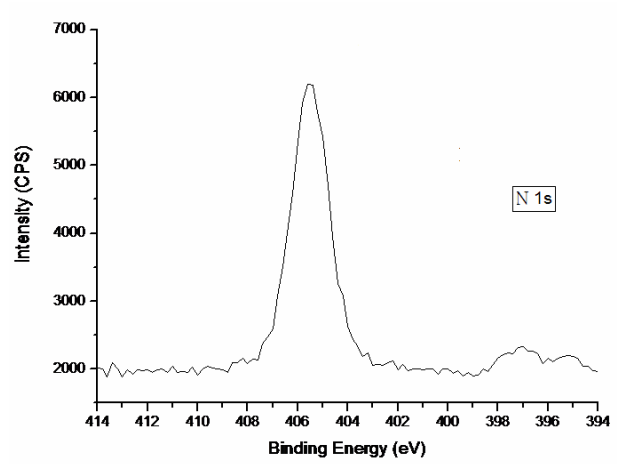
圖（三）則顯示了 Si_3N_4 的能帶與其缺陷態位的能帶位置。



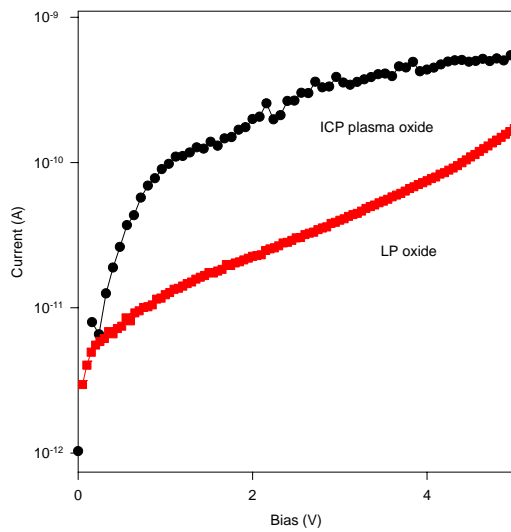
圖（五） N_2O 電漿氧化法成長之氧化層隨不同溫度的 FTIR 特性比較



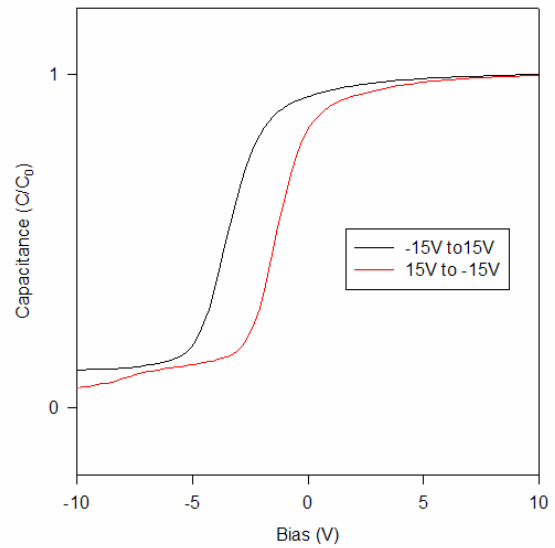
圖(六) N_2O 電漿氧化法成長之氧化層在成長溫度 $350^\circ C$ 時的 FTIR 特性比較



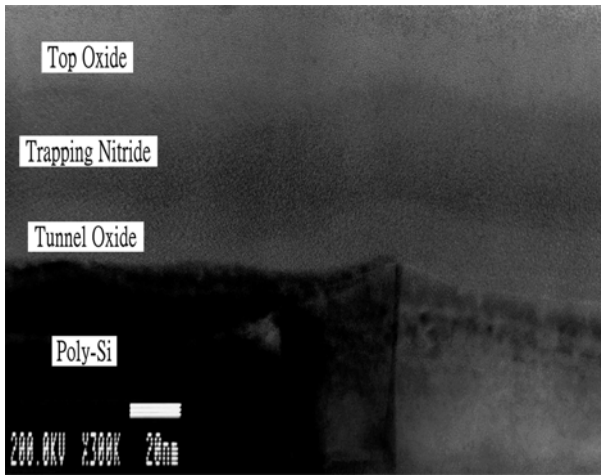
圖(八) N_2O 電漿氧化薄膜在 ESCA 之能譜圖。此為 N 1s 軌域之偵測訊號



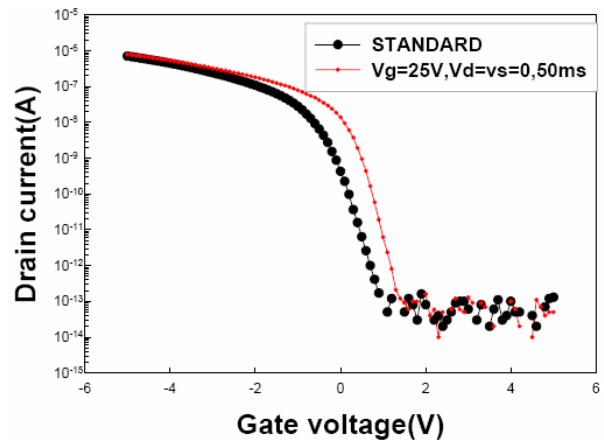
圖(七) N_2O 電漿氧化法成長之氧化層與低壓化學氣相沉積爐管成長之 TEOS 氧化層時的電性比較



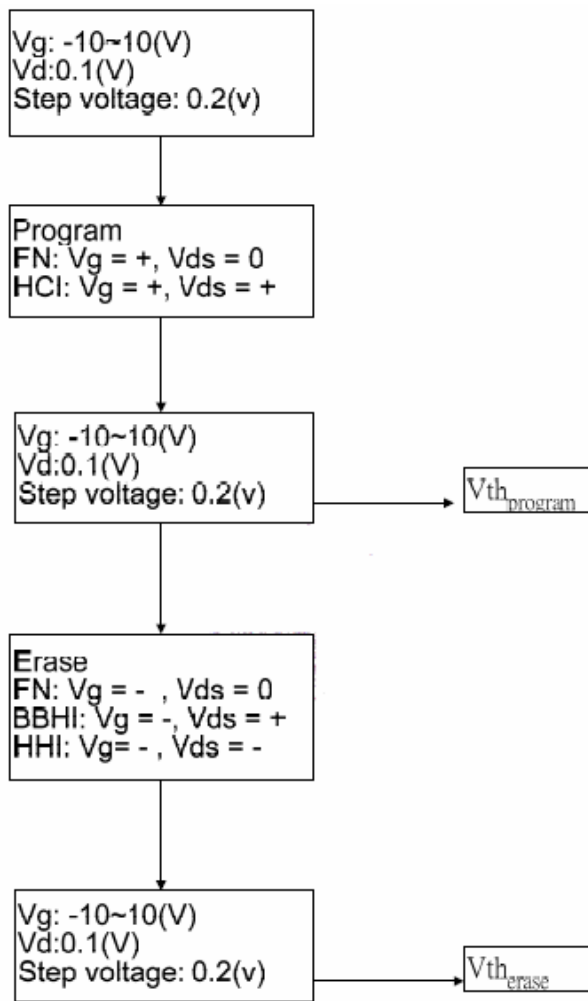
圖(九) 以 ICP-CVD 系統製作之低溫 ONO 結構，在 $+15V$ 及 $-15V$ 偏壓操作下，產生之 C-V 延滯曲線



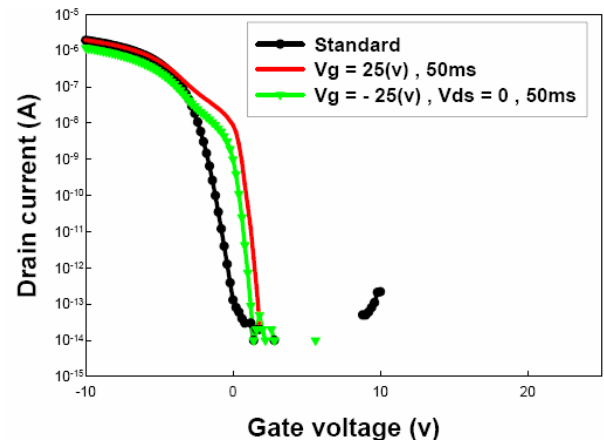
圖(十) 電子穿遂式顯微鏡所拍的 ONO 結構在多晶矽截面圖



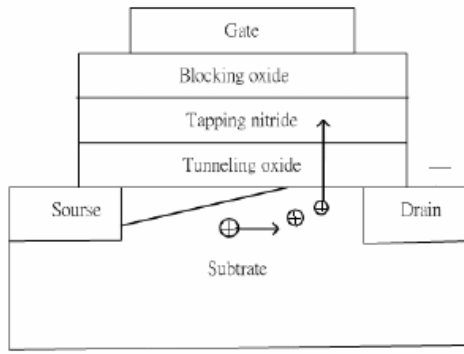
圖(十一) p 通道元件以 Fowler-Nordheim 穿遂模式寫入時的汲極電流與閘極電壓 (I_D-V_G) 關係



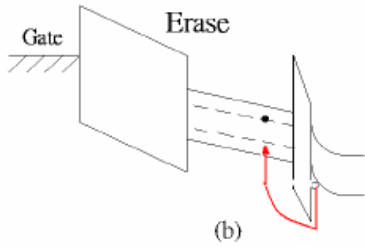
表(一) 量測流程圖



圖(十二) p 通道元件以 Fowler-Nordheim 穿遂模式抹除時的汲極電流與閘極電壓 (I_D-V_G) 關係

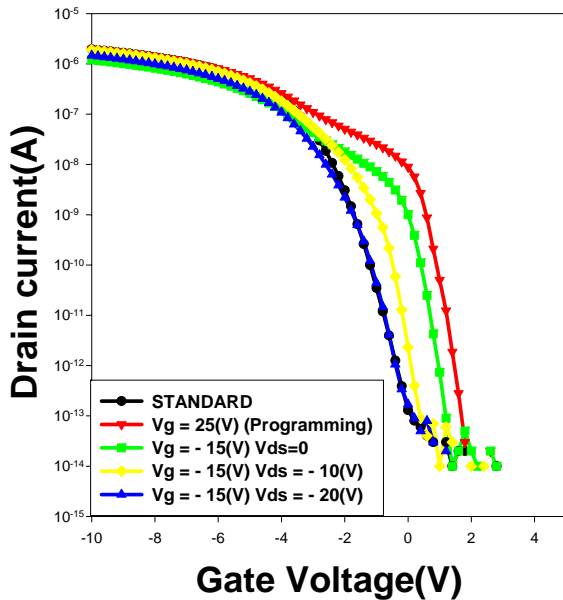


(a)

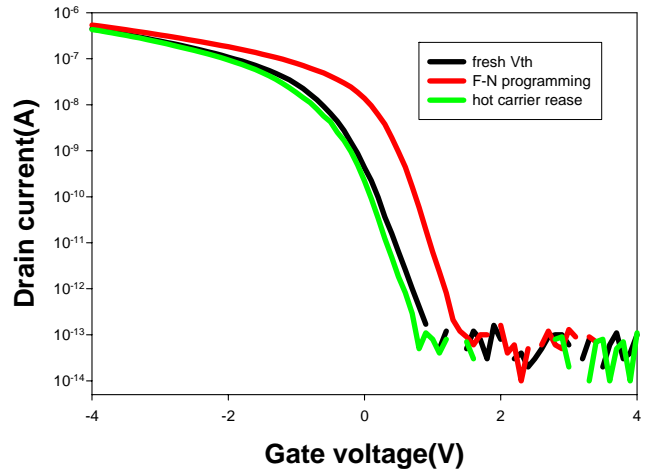


(b)

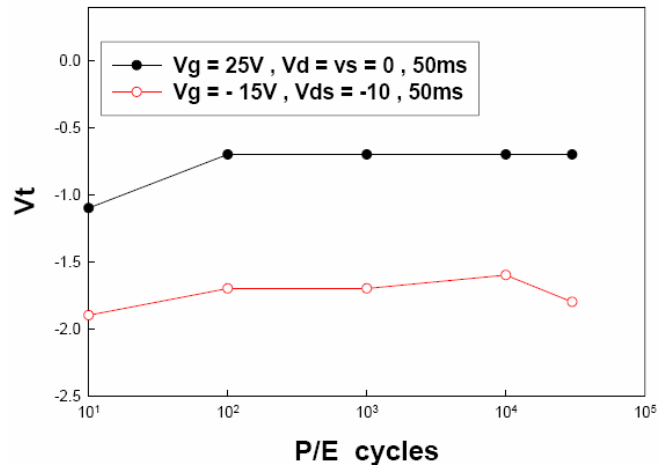
圖(十三) 熱電洞注入抹除與的能帶示意圖



圖(十四) 熱電洞注入的抹除模式下其汲極電流與開極電壓(I_D - V_G)關係



圖(十五) 即為利用 F-N 穿隧寫入，熱電洞抹除操作元件而表現出的 I_D - V_G 轉換曲線



圖(十六) p 型通道記憶體元件利用熱電洞注入當作抹除方法的忍耐度圖

行政院國家科學委員會補助專題研究計畫 成果報告
期中進度報告

系統面板之低溫非揮發性記憶體技術開發與研究
Development of Low-temperature Nonvolatile Memory Technology for
System on Panel Application

計畫類別： 個別型計畫 整合型計畫

計畫編號： NSC 93-2218-E-009-067

執行期間： 93年 11月 1日至 94年 7月 31日

計畫主持人：劉柏村

計畫參與人員：陳致宏、陳建良、凌嘉駿、李逸哲

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學電子工程研究所

中 華 民 國 94 年 08 月 07 日