

行政院國家科學委員會專題研究計畫 成果報告

子計畫三：系統面板非揮發性記憶體之製作研究(1)

計畫類別：整合型計畫

計畫編號：NSC93-2215-E-009-047-

執行期間：93年08月01日至94年07月31日

執行單位：國立交通大學電子工程學系暨電子研究所

計畫主持人：張俊彥

計畫參與人員：陳緯仁 陳紀文 楊哲育

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 10 月 21 日

系統面板關鍵技術之開發-子計畫三：系統面板非揮 發性記憶體之製作研究 (I)

Fabricaton of Nonvolatile Memory for System on Panel (I)

計畫編號: NSC93-2215-E009-047

執行期間: 94/08/01~95/07/31

計畫主持人: 交通大學電子所 張俊彥 教授

中文摘要

多晶矽(poly-S)元件其高載子遷移率不僅可以應用於控制畫素的薄膜電晶體(thin film transistors),也能符合構成電路系統的需求,所以系統面板(System on Panel; SOP)的概念得以實現。一個完整的系統面板包括輸出輸入單元、邏輯電路、記憶單元、能源單元。在本計畫中我們主要研究如何在面板上製作非揮發性記憶體(nonvolatile memory),由於非揮發性記憶體在電源中斷狀況下仍可保存資料,其省電的特性使攜帶式產品更為市場所歡迎接受。計畫中我們首先研究低溫(<600°C)高品質穿隧氧化層的開發,穿隧氧化層的品質對於非揮發性記憶體的電性特徵與可靠度影響甚大,我們也將製作兩種非揮發性記憶體:快閃

記憶體(flash)與唯讀記憶體(N-ROM)。記憶體元件操作特性分析也將被研究,如熱電子寫入後起始電壓改變量,記憶體元件耐力(endurance),記憶體元件的保存時間(retention time)、元件操作寫入/抹除(write/erase)速度之萃取,並探討閘極穿隧氧化層相關製程條件對元件特性的影響。

關鍵詞: 系統面板, 非揮發性記憶體, 低溫

英文摘要

Poly-Si TFT with high carrier mobility is essential for realization of System-on-Panel which integrates circuit logic, I/O interfaces, data memory and power supplies onto the glass. The manufacture of nonvolatile memory for panel is the goal of this plan. The

advantage of nonvolatile memory is to keep the information in the device without power consumption and suitable for portable products. Tunneling oxide plays a key role of nonvolatile memory. The improvement of tunneling oxide grown at low temperature ($<600^{\circ}\text{C}$) is the first task for us to accomplish. We will fabricate two types of nonvolatile memory, Flash and NROM. The characteristics of two memories, such as endurance, memory window, retention time and write/erase speed will be investigated.

Key words: System-on-Panel, nonvolatile memory, low temperature

(1)研究目的與研究方法

目前在液晶顯示器的領域都有興趣朝向系統整合面板方向發展，增加 TFT LCD 的附加價值或效能以引起消費者購買動機。而系統整合面板的其中一個重要的方向就是將周邊驅動電路與液晶螢幕一起製作於玻璃基板上。而週邊驅動電路需要記憶體的配合來做資料存取的動作。在玻璃基板上製作記憶體所要考量的到是製程溫度與繁雜度，因而在此製作出 simple twin poly-Si TFT EEPROM 以符合要求。

我們的元件製作方面的流程，主要

是朝向低溫化的製程來完成面板上的記憶體元件的製作。其流程如以下所敘：

1. 首先利用低溫電漿輔助式化學氣相沉積系統 PECVD (plasma enhanced chemical vapor deposition) 沉積 100nm 的非晶矽薄膜(a-Si)。
2. 隨即將非晶矽薄膜以雷射結晶，使非晶矽結晶後形成多晶矽(Poly-Si)。
3. 再使用低溫電漿輔助式化學氣相沉積系統 PECVD (plasma enhanced chemical vapor deposition)沉積 15nm 的 SiO_2 介電層。
4. 使用離子佈植技術對所定義的源/汲極做重度離子參雜，並隨後施以退火製程活化離子。
5. 蒸鍍 MoW，並透過電漿蝕刻定義 T1 和 T2 的浮停閘。最後保護元件會再用 PECVD 沉積 SiO_2 復蓋所有元件，避免污染源的進入。其結構圖如圖一所示，其元件結構的製造流程如圖二的元件製造流程圖所示。

(2)目前研究成果

由圖二的結構圖，我們所提出的元件結構是由兩顆電晶體組合而成的。串接兩個電晶體的 GATE 當作浮停閘

(Floating gate)，把第二顆電晶體的源極以及汲極(Source / drain)相接當作控制閘 (Control gate)。這樣的話就可以達到記憶體的基本結構。由元件結構的俯視圖，如圖三所示，我們可以發現這兩顆 TFT 的面積不同，這是為了形成不相等電容，使得在控制閘(control gate)施加電壓時大部分的電壓降會跨在第一顆薄膜電晶體(Thin Film Transistors)上，大部分的電荷進出動作也將在第一顆 TFT 上進行。這個結構是由兩個基本 TFT 所構成，所以他最有優勢的優點是製程簡單與製程相容性高。所以此結構是具有潛力玻璃基板記憶體。此外，我們提出的記憶體元件仍具有相當大的潛力來做改善改善。以增加電晶體的特性以及記憶體元件的特性。當我們增加第二顆電晶體的閘極(gate)與源極及汲極(S/D)的相互重疊的部份(overlap)，將可以增加記憶體的儲存性能。所以我們接下來在玻璃基板上製作兩種不同 overlap 的元件來驗證這個想法。

由圖四的 V_g -ID 圖，可以顯示出 TFT 的開關特性。並由此圖可以發現隨著 overlap 的增加，導通電流 (Ion) 也會增加。這樣的原因乃源自於 overlap 的增加導致第二顆電晶體的電容變大，使得控制閘極耦合浮停閘極 (Control gate

Couple floating gate)的能力增加。導致更多的電壓降座落於第一顆 TFT，第一顆 TFT 的電流也將變大。

我們調整 overlap 的面積，來改變記憶體元件的儲存能力。其電性結果如圖五所示，其記憶體的效能也可以由此圖得到。我們可以發現隨著 overlap 的增加在同樣操作條件下記憶體開啟的視窗也變大，這樣的差距到達 1V 之多。這樣的原因我們也認為是來自於第二顆 TFT 電容增加所引起的。

除了檢驗記憶體的特性外，我們也對記憶體的可靠度(reliability)做探討。從圖六以及圖七的分析結果，我們可以得知此元件的容忍性(endurance)和保存能力(retention) 已達一定水準，因此 Poly-Si EEPROM 製作於玻璃基板上是可行的。

(3)結論

從上述實驗結果可以獲得結論。首先我們成功在玻璃基板上製作 Poly-Si EEPROM。ON/OFF ratio 達 8 個 order 和 S.S 達 0.172 V/dec.。再來我們應證了增加第二顆電晶體的 overlap 可以有效的增加記憶體 Ion 與效率，增加 Ion 可以加快讀取的動作；增加記憶體的效率則可以縮短資料寫入時間。

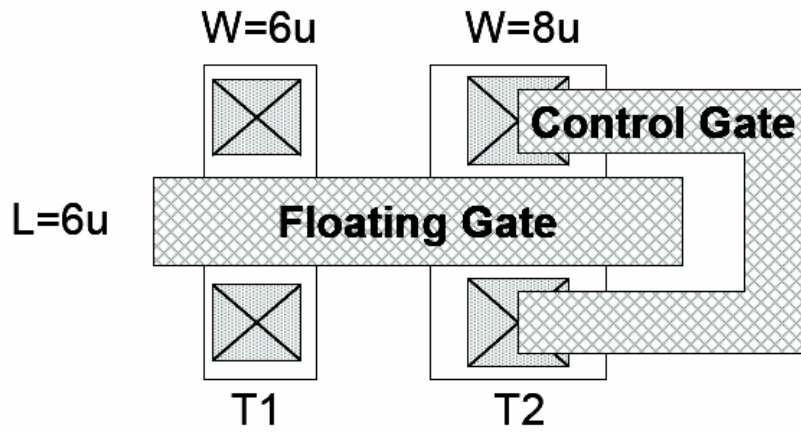
(4) References

度自評比例為 95%。

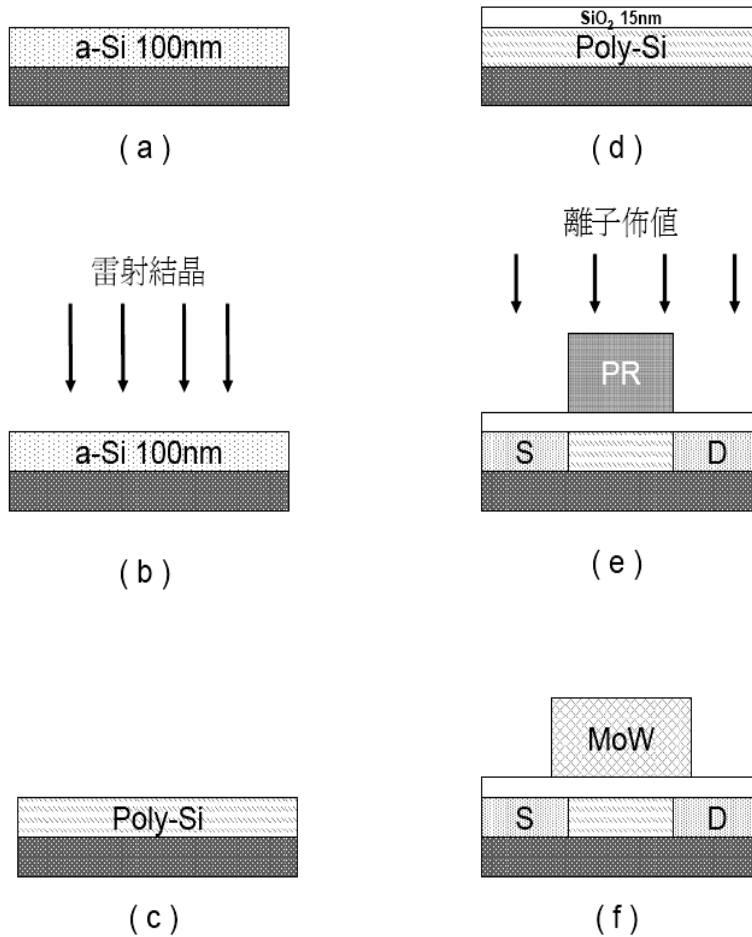
- [1] S. Seki, et al., IEEE Electron Device Letter., vol. EDL-8, no. 9, pp. 425-427, Sept. 1987.
- [2] M. Matsuo, et al., Conference SSDM, pp. 437-439. 1993.
- [3] M. Yoshimi et al, IEEE Trans Electron Devices, vol. 44, no. 3, Mar 1997
- [4] A. Nishiyama et al, IEEE Trans Electron Devices, vol. 44, no. 12, Dec 1997.
- [5] J. R. Tucker et al., Appl Phys. Letter. 1 Aug, pp. 618-620 1994.
- [6] Myung Kwan Cho; Kim, D.M., Electron Device Letters , Volume: 21 Issue: 8 , Aug. 2000 Page(s): 399 -401
- [7] Min She; Takeuchi, H.; Tsu-Jae King , Electron Device Letters, IEEE , Volume: 24 Issue: 5 , May 2003 Page(s): 309 -311
- [8] Castrucci, D.P.; Nonvolatile Memory Technology Conference, 1998. 1998 Proceedings. Seventh Biennial IEEE , 22-24 June 1998 Page(s): 100
- [9] Kencke, D.L.; Xin Wang; Ouyang, Q.; Mudanai, S.; Tasch, A., Jr.; Banerjee, S.K., Electron Devices Meeting, 2000. IEDM Technical Digest. International , 10-13 Dec. 2000 Page(s): 105 -108
- [10] Hao Fang; Haddad, S.; Chi Chang; Jih Lien, Electron Devices Meeting, 1994. Technical Digest., International , 11-14 Dec. 1994 Page(s): 467 -470

(5) 計畫成果自評

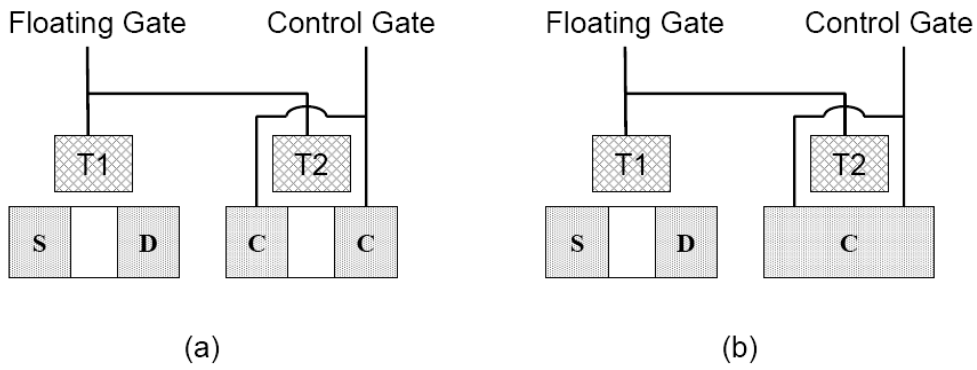
本計畫大部分已經完成，在電性以及結構上都可以達到預期的結果，顯示此方法可以運用在面板上的可能性大幅提升，未來 SONOS 結構的引進也是我們所需要著重的重點。本計畫的達成程



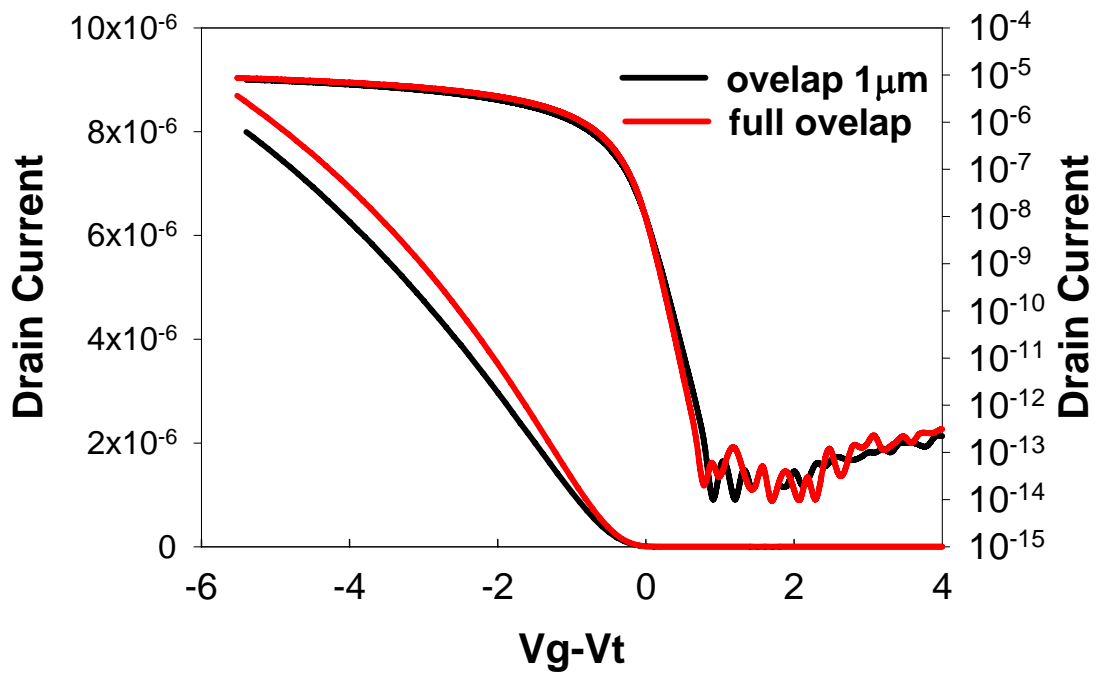
圖一.面板上新穎結構之非揮發性記憶體元件結構圖



圖二.面板上新穎結構之非揮發性記憶體元件製作流程圖

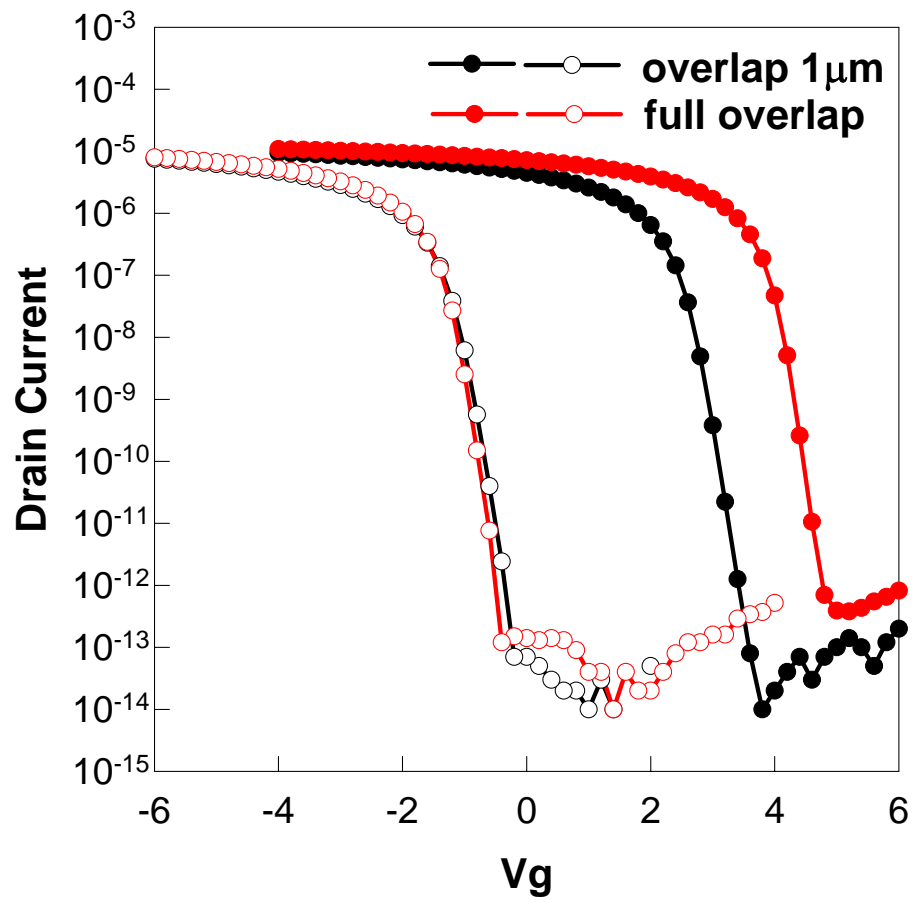


圖三.面板上新穎結構之非揮發性記憶體元件結構俯視圖



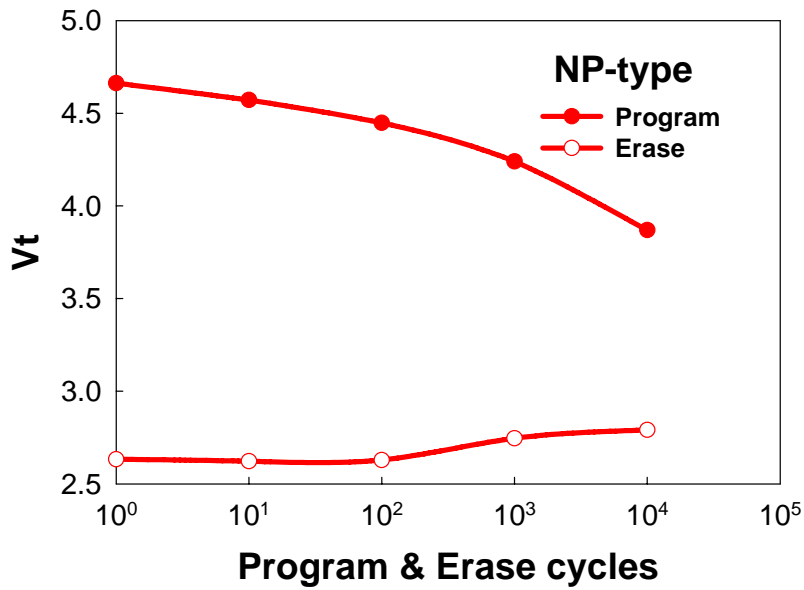
圖四.面板上新穎結構之非揮發性記憶體元件的低溫複晶矽薄膜電晶體的開關特性

圖(ID versus $V_g - V_t$)

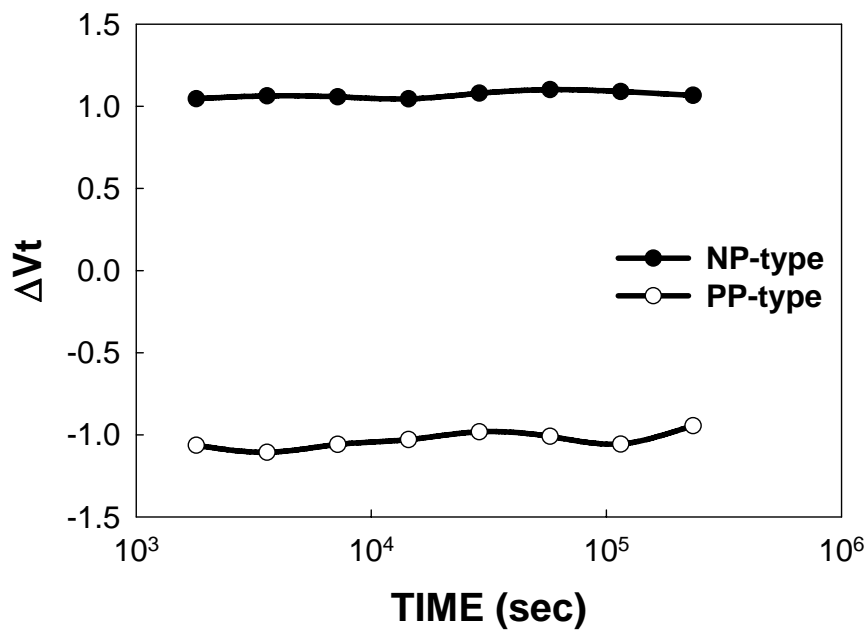


圖五.面板上新穎結構之非揮發性記憶體元件的低溫複晶矽薄膜電晶體的開關特性

圖(ID versus V_g)



圖六.面板上新穎結構之非揮發性記憶體元件的啟始電壓對記憶體元件的讀寫特性
圖



圖七.面板上新穎結構之非揮發性記憶體元件的啟始電壓變化對記憶體元件的讀寫
時間的特性