

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 高介電常數鈦酸鋇基閘極氧化物及元件的製作、結構與特性 研究(1/3)

計畫類別：整合型計畫

計畫編號：NSC93-2215-E-009-048-

執行期間：93年08月01日至94年07月31日

執行單位：國立交通大學電子工程學系暨電子研究所

計畫主持人：曾俊元

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 5 月 20 日

行政院國家科學委員會補助專題研究計畫  成果報告  
 期中進度報告

高介電常數鈦酸鋇基閘極氧化物及元件的製作、結構與特性  
研究(1/3)

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC93-2215-E-009-048-

執行期間：2004年08月01日至2005年07月31日

計畫主持人：曾俊元

共同主持人：

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、  
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年  二年後可公開查詢

執行單位：國立交通大學電子研究所

中華民國 94 年 05 月 31 日

## 摘要

我們利用交流濺鍍法濺鍍鈦酸鋇-二氧化矽 ( $\text{SrTiO}_3\text{-SiO}_2$ ) 非晶質薄膜於 P 型矽基板，作為高介電常數閘極氧化層，濺鍍標靶是由鈦酸鋇及二氧化矽之粉末混合而成。濺鍍薄膜之表面型態、晶體結構及化學鍵型態，我們分別用掃描式電子顯微鏡 (SEM)、掠角 X 光繞射分析儀 (GIAXRD) 及化學分析電子儀 (ESCA) 來分析該薄膜的材料特性。此外，我們藉由量測電容電壓圖 (CV) 及電流電壓圖 (IV) 來分析該薄膜的電學特性。由實驗數據得知，該薄膜經過  $900^\circ\text{C}$  的高溫退火後仍呈現非晶質狀態；由白金、鈦酸鋇-二氧化矽及矽基板依序組成之金氧半結構，在電場為  $100\text{ kV/cm}$  下漏電流約為  $2 \times 10^{-8}\text{ A/cm}^2$ ；經過  $800^\circ\text{C}$  高溫退火之薄膜之介電常數為 24。經過  $600^\circ\text{C}$  退火之薄膜呈現典型的電壓電流特性，但經過  $700^\circ\text{C}$  退火之薄膜卻呈現變形的電壓電流圖，原因是鈦及鋇兩種元素擴散進入矽基板所造成。

## 關鍵詞：

高介電常數、氧化物、漏電流、介電常數。

## Abstract

$\text{SrTiO}_3\text{-SiO}_2$  amorphous thin films for high-k gate dielectrics were deposited on p-Si substrate by sputtering. The surface morphology, crystal structure, and chemical bonding configuration were investigated by using scanning electron microscopy (SEM), glancing incident angle X-ray diffraction (GIAXRD), and X-ray photoelectron spectroscopy (XPS), respectively. For demonstrating electrical properties, the capacitance-voltage (CV) and current-voltage (IV) measurements were used. The  $\text{SrTiO}_3\text{-SiO}_2$  thin films remained amorphous structure when annealed at up to  $900^\circ\text{C}$ . The Pt/ $\text{SrTiO}_3\text{-SiO}_2$ /Si MOS structure had a leakage current density of about  $2 \times 10^{-8}\text{ A/cm}^2$  at  $100\text{ kV/cm}$  and dielectric constants of 24 for  $800^\circ\text{C}$  annealed film. The films annealed at  $600^\circ\text{C}$  showed typical CV characteristics. However, the deformed CV curve was found for  $700^\circ\text{C}$  annealed films due to Sr or Ti species in the  $\text{SrTiO}_3\text{-SiO}_2$  film diffused into Si substrate.

## Keywords:

high-k, binary oxide, leakage current, dielectric constant.

## 研究目的

二氧化矽為目前最廣泛被使用的閘極氧化層材料，但在二氧化矽之厚度小於 20 奈米，諸多問題將浮上檯面，例如薄氧化層無法忍受閘極電場的增加；穿隧電流造成閘極漏電流上升；氧化層厚度的均勻性不佳等，其中又以閘極漏電流的問題最為嚴重，因此採用高介電常數材料取代傳統的二氧化矽，是無可避免的選擇。以高介電常數材料取代二氧化矽，則閘極氧化層厚度較厚即可達到相同的等效電容值，因此在一定跨壓下，可以減低閘極氧化層內的電場強度，並大幅降低漏電流，而達到元件的要求。

本研究計畫採用高介電常數之鈦酸鋇薄膜作為閘極氧化層之應用研究，其介電常數相較於二氧化鋯及二氧化鉛高出甚多，但是鈦酸鋇薄膜極易成長為結晶態，且薄膜表面粗度高，因此我們藉由加入二氧化矽，提升其結晶溫度而製作成非晶質薄膜，進而增進薄膜之平坦性，以期達到降低其漏電流密度和減小薄膜表面粗度的目的。

## 文獻探討

為了要符合國際半導體技術方針（International Technology Roadmap for Semiconductors）的規範，二氧化矽閘極的厚度將小於 2 奈米 [1]，然而這樣的閘極厚度將導致電壓為 3V 時之漏電流增加至  $1 \text{ A/cm}^2$  的忍受上限 [2]。漏電流的增加是因為直接穿隧現象的發生，而電流的直接穿隧現象將造成元件的功率消耗 [3]。因為高介電常數材料可以以較厚的膜達到相同的等效電容值，因此過去幾年有非常多的相關研究被提出 [2-5]。在各種可能的高介電常數材料中，鈦酸鋇擁有超高的介電常數，是個很好的選擇 [6,7]。然而鈦酸鋇的結晶溫度過低（低於  $700^\circ\text{C}$ ），經過後續高溫製程後會造成漏電流增加，因此我們將二氧化矽加入鈦酸鋇，作為閘極氧化層的材料，以期能得到較高的結晶溫度。在我們的研究結果中發現，鈦酸鋇-二氧化矽薄膜經過  $900^\circ\text{C}$  的高溫退火後仍呈現非晶質，因此可以避免漏電流的增加。諸如二氧化鋯-二氧化矽及二氧化鉛-二氧化矽等混合氧化物薄膜均有相關研究提出 [2,8]，惟獨鈦酸鋇-二氧化矽混合氧化物薄膜過去並未有類似的研究，為了要更了解此種材料的電學性質及材料特性，我們有深入的研究及探討。

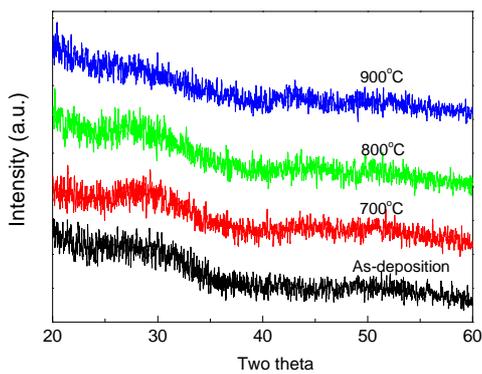
## 研究方法及步驟

硼摻雜之 P 型矽基板經過標準的 RCA 清潔步驟後，再浸泡氫弗酸去除矽基板的原生氧化層。接著用磁控射頻濺鍍設備濺鍍鈦酸鋇-二氧化矽薄膜，濺鍍標靶是由莫耳比 1:1 的鈦酸鋇及二氧化矽粉末所組成，濺鍍時的工作氣壓為 10 mtorr；基板溫度為  $300^\circ\text{C}$ ；濺鍍環境為氫氣 8sccm 及氮氣 2 sccm。濺鍍完成之薄膜隨後在氮氣的環境下經過各種溫度的快速退火處理一分鐘，包括 600、700、800 及  $900^\circ\text{C}$ 。

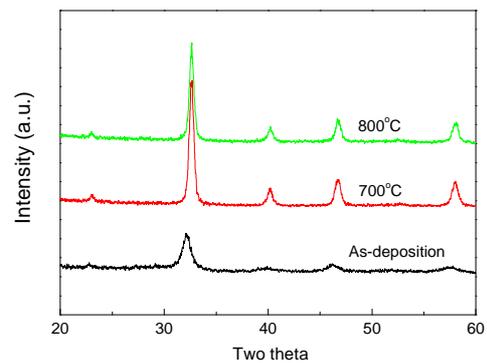
薄膜的材料分析的部分，我們分別用掃描式電子顯微鏡 (SEM) 來分析薄膜的表面型態；用掠角 X 光繞射分析儀 (GIAXRD) 來分析薄膜的晶體結構；最後用化學分析電子儀 (ESCA) 來分析該薄膜的化學鍵型態。電性量測方面，利用電子束蒸鍍方法成長白金上電極，電極面積為  $4.9 \times 10^{-4} \text{ cm}^2$ ，隨後經過 5 分鐘  $400^\circ\text{C}$  的退處理；背電極則是利用熱蒸鍍法在矽基板的背面鍍鋁。隨後在不同頻率下量測薄膜的電容電壓圖，並量測薄膜的電流電壓圖。

## 結果與討論

圖一為鈦酸鋇-二氧化矽混合氧化物及純鈦酸鋇薄膜經過不同溫度退火後，藉由掠角 X 光分析儀分析薄膜的結晶情形，圖一(a)為鈦酸鋇-二氧化矽混合氧化物經過  $900^\circ\text{C}$  的高溫退火仍然保持非晶質狀態，然而，圖一(b)顯示純鈦酸鋇薄膜經過  $700^\circ\text{C}$  的退火即有結晶態出現。

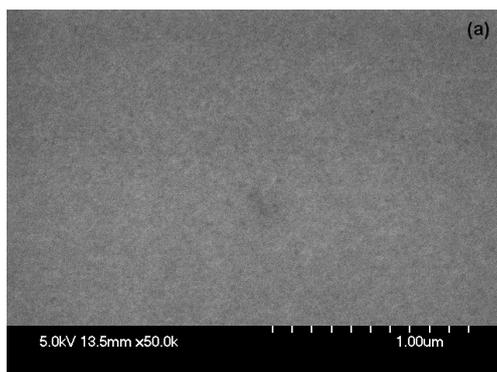


圖一(a) SrTiO<sub>3</sub>-SiO<sub>2</sub>

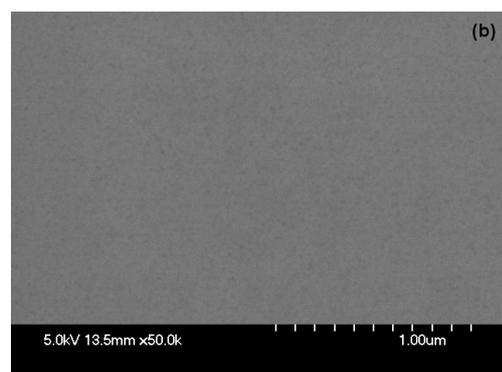


圖一(b) 純 SrTiO<sub>3</sub>

圖二展現的掃描式電子顯微鏡圖形為鈦酸鋇-二氧化矽薄膜經過  $700^\circ\text{C}$  及  $800^\circ\text{C}$  退火後仍然擁有平坦的表面，表面的平坦度在電學性質上有重要的影響，平坦的表面才能得到較低的漏電流。

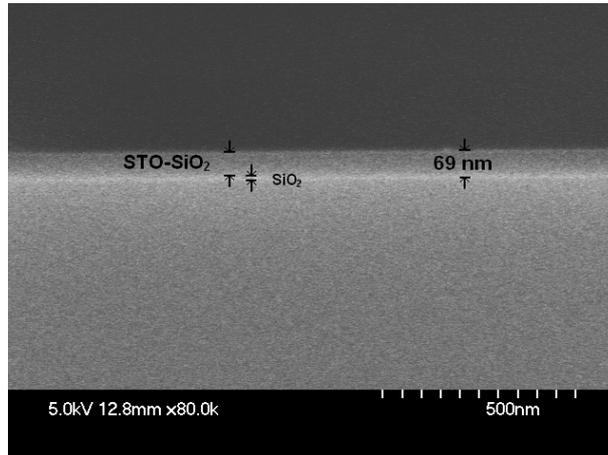


圖二(a)  $700^\circ\text{C}$  退火



圖二(b)  $800^\circ\text{C}$  退火

圖三為鈦酸鋇-二氧化矽薄膜經過 700°C 退火後的剖面圖，膜厚約為 69 奈米，其中包含約 10 奈米的界面層。

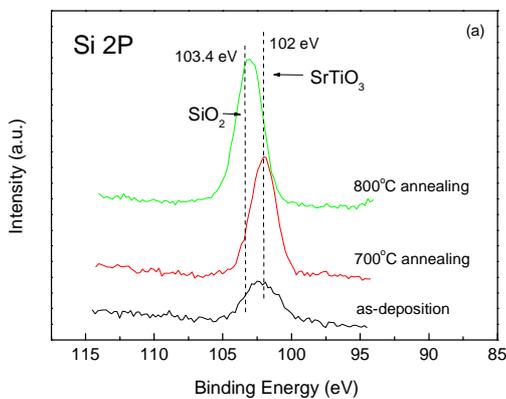


圖三

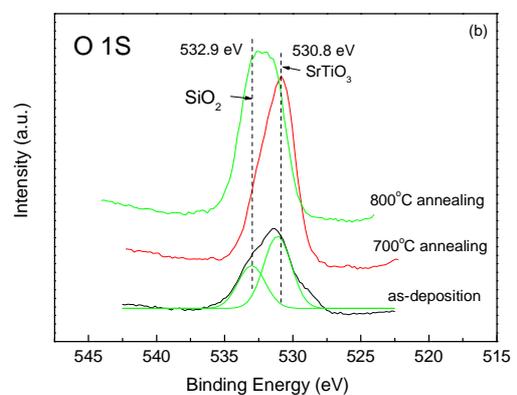
初鍍、經過 700°C 及 800°C 退火之純鈦酸鋇薄膜，其介電常數分別為 18.1、149.3 及 109.4。然而，初鍍、經過 700°C 及 800°C 退火之鈦酸鋇-二氧化矽薄膜，其介電常數分別為 17.9、23.6 及 19.5。鈦酸鋇-二氧化矽混合氧化物的介電常數介於純鈦酸鋇與二氧化矽(3.9)之間，這個結果是可以被預期的。

然而，經過 800°C 退火之薄膜的介電常數比 700°C 之薄膜略為下降，這個結果可以用化學分析電子儀 (ESCA) 的實驗結果來解釋。圖四(a)為矽 2P 電子的鍵結能量圖，經過 800°C 退火薄膜之矽 2P 光電子峰值非常接近二氧化矽之峯值，然而經過 700°C 退火薄膜之矽 2P 光電子峰值約為 102eV，由文獻中得知金屬與矽之鍵結能也約為 102eV，因此我們認為 700°C 薄膜之鈦酸鋇鍵結較強，所以介電常數也因而較高。

同樣的現象也可以在氧 1S 電子的鍵結能量圖中觀察的到，圖四(b)顯示經過 700°C 退火薄膜之氧 1S 光電子峰值靠近 530.8eV，此值對應到純鈦酸鋇，然而 800°C 之峰值接近 532.9eV，此值對應到二氧化矽，因此經過 800°C 退火薄膜的介電常數略為下降。



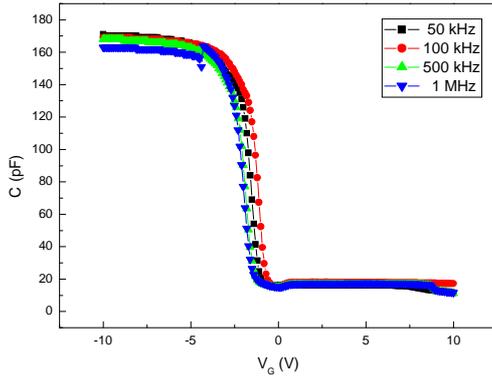
圖四(a)



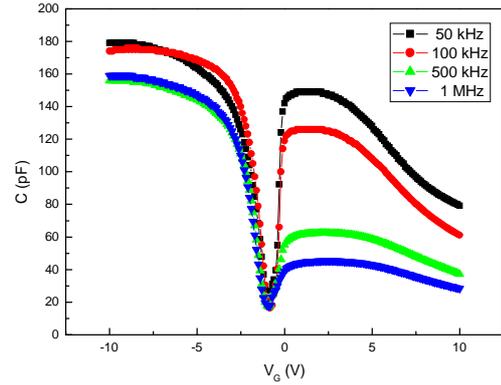
圖四(b)

電學分析方面，鈦酸鋇-二氧化矽之電容電壓分析圖，是由反轉區(inversion region)量測到電荷累積區(accumulation region)，圖五顯示經過 600°C 退火薄膜的量測結果，量測頻率為 50、100、500 及 1000 kHz，由圖中可觀查到電容值隨頻率變化的情形，此現象可由串聯阻抗及電感來解釋 [9]。在反轉區，少數載子需要較長的反應時間，因此電荷的轉換跟不上頻率的變化，因此電容值比電荷累積區來的低。

圖六則為經過 700°C 退火薄膜的電容電壓分析圖，此圖形在反轉區與圖五有明顯的不同，此現象推測可能是鈦及鋇兩種元素由氧化層區擴散進入矽基板，使得矽基板的少數載子增加，電荷的轉換變快，電容值因此上升。



圖五



圖六

漏電流密度方面，電場為 100 kV/cm 下，初鍍、經過 700 及 800°C 退火薄膜的漏電流密度分別為  $1.8 \times 10^{-8}$ 、 $2.0 \times 10^{-8}$  及  $2.2 \times 10^{-8}$  A/cm<sup>2</sup>，漏電流隨著退火溫度的增加而上升，我們推測是高溫退火後氧化層內的陷阱(trap)數目增加。

## 結論

平坦且緻密的鈦酸鋇-二氧化矽薄膜成功的濺鍍於矽基板上，且鈦酸鋇-二氧化矽薄膜經過 900°C 之高溫退火後仍然呈現非晶質狀態，該薄膜經過 800°C 退火後的電學性質優異，介電常數為 24，漏電流密度為  $2.2 \times 10^{-8}$  A/cm<sup>2</sup>，因此鈦酸鋇-二氧化矽薄膜是極可能取代二氧化矽，作為閘極氧化層的材料。

## 參考文獻

- [1] International Technology Roadmap for semiconductors (Semiconductor Industry Association, Austin, Texas, 2004)
- [2] A. I. Kingon, J.-P. Maria, and S. K. Streiffer, *nature*, 406 (2000) 1032
- [3] G. D. Wilk, R. M. Wallace, and J. M. Anthony, *J. Appl. Phys.*, 89 (2001) 5243
- [4] J. C. Lee, H. J. Cho, C. S. Kang, S. J. Rhee, Y. H. Kim, R. Choi, C. Y. Kang, C. H. Choi, and M. Akbar, *IEDM Tech. Dig.* 2003, (2003) 999
- [5] H. Harris, K. Choi, N. Mehta, A. Chandolu, N. Biswas, G. Kipshidze, S. Nikishin, S. Gangopadhyay, and H. Temkin, *Appl. Phys. Lett.*, 81 (2002) 1065
- [6] C. Y. Liu, H. T. Lue, and T. Y. Tseng, *Appl. Phys. Lett.*, 81 (2002) 4416
- [7] C. Y. Liu, B. Y. Chen, and T. Y. Tseng, *J. Appl. Phys.*, 95 (2004) 5602
- [8] D. A. Neumayer and E. Cartier, *Appl. Phys. Lett.*, 90 (2001) 1801
- [9] H. T. Lue, C. Y. Liu and T. Y. Tseng, *IEEE Electron Device Lett.*, 23 (2002) 553
- [10] Nicollian and Brews, MOS Physics and Technology, John Wiley & Sons, New Jersey, 2003, p. 105