

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫三：用於寬頻網路之微波頻率合成電路技術(1/3)

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-009-008-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：陳巍仁

計畫參與人員：張家華，李宗霖，盧台祐，余岱原，魏進元

報告類型：完整報告

處理方式：本計畫涉及專利或其他智慧財產權，1年後可公開查詢

中 華 民 國 93 年 5 月 31 日

用於寬頻網路之微波頻率合成電路技術 (1/3)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 92 -2220-E009-008

執行期間： 92 年 8 月 1 日至 93 年 7 月 31 日

計畫主持人：交通大學電子工程系 陳巍仁 助理教授

共同主持人：

計畫參與人員：張家華, 李宗霖, 盧台祐, 余岱原, 魏進元

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及
下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：交通大學電子工程系

中 華 民 國 93 年 5 月 20 日

子計畫三：用於寬頻網路之微波頻率合成電路技術 (1/3)

Microwave Frequency Synthesis Circuit Techniques

for Wide-band Networking (1/3)

計劃編號: NSC 92-2220-E009-008 執行期間: 92年8月~93年7月

計劃主持人: 交通大學電子工程學系 陳巍仁 助理教授 e-mail: wzchen@alab.ee.nctu.edu.tw

摘要

本年度之計劃目標為開發微波頻率合成器中最主要之關鍵性組件，亦即高速除頻器與振盪器。其發展之技術成果可應用在工業標準之高速傳輸介面時脈倍頻器電路及無線收發機系統之本地振盪器製作上，如 SONET、Ultra Wide Band 之傳收機電路等。本年度之開發成果包含一個 10GHz 四相位振盪器，一個 10GHz，除數為 8 之除頻器電路，以及一個 15 GHz，除數範圍介於 512~519 之可程式化除頻器電路。其中，除頻器電路之設計應用了本研究群新開發之環型陣列注入鎖定式除頻器，並使用多相位切換機制來實現高速除頻與可程式化除數之功能。量測結果顯示壓控振盪器在 9.4GHz 輸出頻率、5MHz 頻率偏移下之相位雜訊為 -120 dBc/Hz。於 1.8 V 操作電壓之下，除頻電路與壓控振盪器之耗電量分別為 41mW 與 21.6mW。

Abstract

In the first year, the research works of this project are focused on the explorations of the key components of a microwave frequency synthesizer, including a high frequency divider and a voltage controlled oscillator. The developed circuit techniques can be applied in the clock multiplier unit of a serial link transmitter or a local oscillator of a wireless transceiver, such as SONET or UWB systems. Objective achievements include a 4 phases 10 GHz voltage controlled oscillator, a divide by 8, 10 GHz divider, and a programmable frequency divider with operating frequency up to 15 GHz and divide ratio ranging from 512~519. The programmable divider incorporates circuit techniques of our recently developed ring-array injection locked divider and phase rotation divider. The measured VCO phase noise from a 9.395GHz carrier is -120dBc/Hz at 5MHz offset. Operating under a 1.8V supply, the power consumption of the programmable divider and 10GHz VCO respectively consume 41mW and 21.6mW only.

系統架構

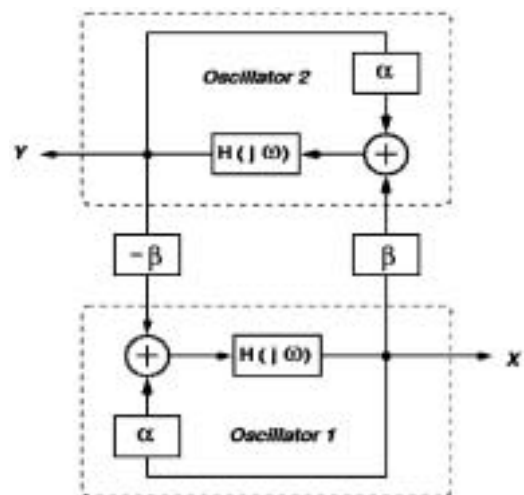
如圖一所示為一鎖相迴路式頻率合成器，其主要內部電路包含相位頻率比較器、充放電式濾波器、壓控振盪器與迴授端之除頻器。欲實現一微波 (> 10 GHz) 頻率合成器，其中壓控

振盪器與除頻器之設計為主要挑戰，同時，在極高速操作頻率下，此二元件需兼顧足夠之操作頻率範圍有其困難。



圖一 頻率合成器架構

目前常見之壓控振盪器中，其頻率控制方法多是藉由改變振盪器中壓控電容之容值，並經由控制電壓之變化，藉此改變振盪器頻率。然而，此法應用在高頻振盪器之實現上有其困難。其主要問題在於若要實現可操作頻率範圍夠大之振盪器，則壓控電容需要足夠之可變動電容值，如此一來，其寄生電容將使得振盪頻率難以到達所需之高頻輸出頻率。在此，本壓控振盪器之設計採用了「無壓控電容」技術，其同時具有四相位輸出，可應用在無線及有線收發機中。本壓控振盪器之電路架構如圖二所示。其主要由兩個相互耦合之固定頻率電感電容振盪器所構成，如圖中之 oscillator1 與 oscillator 2，其中圖中之 α 為此二耦合之振盪器之耦合強度參數， β 為迴路補償增益， $H(j\omega)$ 為迴路增益。



圖二 四相位壓控振盪器架構

在本設計中， α 與 β 為定值。且其因數採全差動控制，此機制將使注入於 LC 振盪器中之電流和維持定值，如此將使振幅調變所產生之相位雜訊大幅降低。茲將本電路之工作原理推導

如下：

假設此二固定頻率之振盪器全然相同，並且於穩定狀態下相位同步，令此二振盪器之輸出分別為 X 與 Y，則

$$(X - Y)H(j\omega) = X \quad (1)$$

$$(Y + X)H(j\omega) = Y \quad (2)$$

由式(1)(2)得知

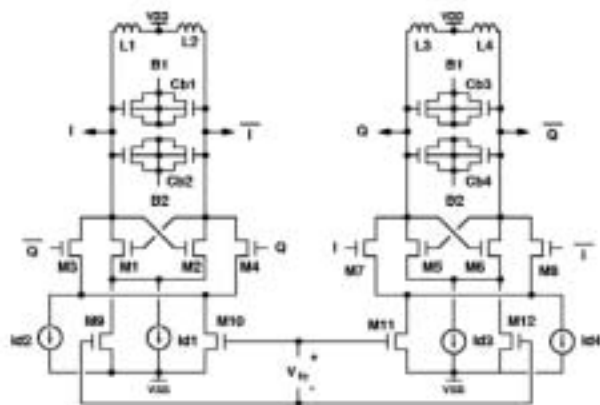
$$X = \pm jY \quad (3)$$

如此一來，可由 X 與 Y 得出四相位輸出，同時，由式(3)代回式(1)或式(2) 可得其振盪頻率條件為

$$(1 \pm j)H(j\omega) = 1 \quad (4)$$

由式(4)可知，此壓控振盪器之閉迴路相位響應受 ω 改變而影響，因此其輸出頻率也將隨著 ω 與 ω_0 之比例而改變。

圖三所示為本設計中四相位壓控振盪器之實際電路架構，其中 M1、M2、M9、L1 與 L2 為振盪器 1，M5、M6、M12、L3 與 L4 為振盪器 2，此二振盪器藉由差動放大器 M3、M4、M10 及 M7、M8、M11 相互耦合，而振盪器之迴路增益() 由 M9 與 M12 之閘極控制，而耦合係數()則由 M10 與 M11 此二電流源所決定，除此之外，Cb1、Cb2、Cb3 與 Cb4 在此負責振盪器之多頻段粗調機制，藉由此機制可再提高振盪頻率範圍。



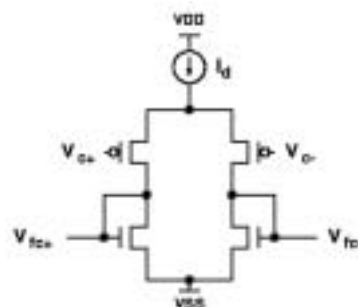
圖三 四相位壓控振盪器電路架構

圖三中之 V_{fc} 為控制電壓訊號，其由圖四之調控訊號所產生，此調控電路的設計乃為降低壓控振盪器之轉換增益，並減少雜訊干擾。此外，圖三所示之 $I_{d1} \sim I_{d4}$ 電流源以並聯型式加入 M9 ~ M12 之控制電流源上。以確保此二振盪器在耦合量最小值之情況下能正常操作，

在除頻電路的設計上，我們提出一新型除數為 N 之注入鎖定式除頻器架構，而除數之值可為自行設計，如圖五所示。此注入鎖定式除頻器由 N 級延遲單元所構成，而注入訊號將注入於各級之延遲單元，當此注入訊號成功鎖定輸出頻率時，本迴路將同時符合二準則，一、輸入 V_{RF} 與 V_x 相互同步，二、巴克豪生準則以確保除頻器之振盪，為了解其運作理論，首先假

定各輸出級之信號分別為 V_i ，

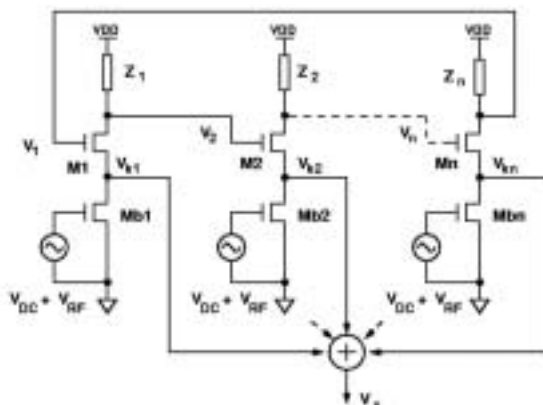
$$V_i = A \sin[\omega_0 t + (2j - 1)\pi/n] \quad (j=1, 2, \dots, n)$$



圖四 壓控振盪器之控制電路

經由推導得知，由於多相位電流相互累加， V_x 點上之電壓唯有第 N 階之諧波得以留存，其餘各階諧波皆彼此相消，此現象促使了我們使用環型振盪器來實現 N 階注入鎖定式除頻器。而此種除頻器具有除 N 之功能，且可同時產生 N 筆同步且相位相差為 $2\pi/N$ 之訊號。另外，由於除頻器輸入頻率可達到其自然振盪頻率之 N 倍，對於高速除頻應用而言，此特點更具競爭力。也因此，我們嘗試使用高除數與高振盪頻率之設計來提高此除頻器之可除頻率，基於此設計目標，我們提出了如圖六所示之環形陣列注入鎖定式除頻器，一方面其除數為 8，即可除頻率為其振盪頻率之八倍，另一方面環形陣列式架構相較於單一環形架構其振盪頻率可相對提高。

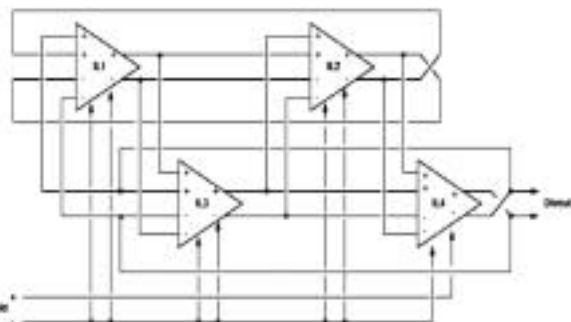
圖六所示之環形陣列注入鎖定式除頻器包含了兩個相互耦合之環形陣盪器 IL1、IL2 與 IL3、IL4，此除頻器之輸入訊號 R_f 分別注入 IL1~IL4 此四延遲單元。



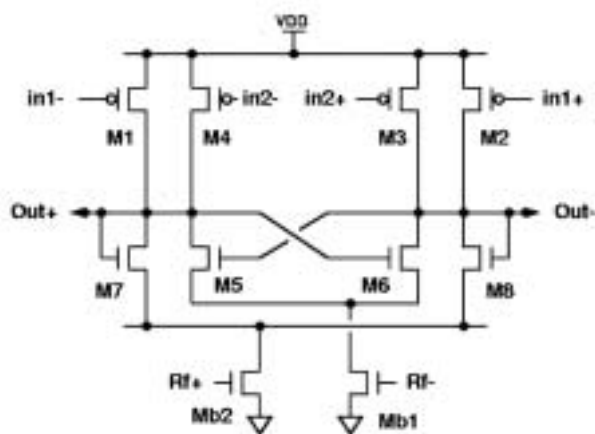
圖五 新型除 N 注入鎖定式除頻器

圖七所示為環形陣列式除頻器之延遲單元電路架構，M1、M2 與 M3、M4 分別為兩組全差動輸入，此二全差動輸入端共享相同之主動負載 M5~M8，而 Mb1 與 Mb2 上閘極電壓 $RF+$ 與 $RF-$ 為待

除頻訊號之輸入端。其可經由調變 Mb1 與 Mb2 之輸出電流進而達到注入鎖定之目標。



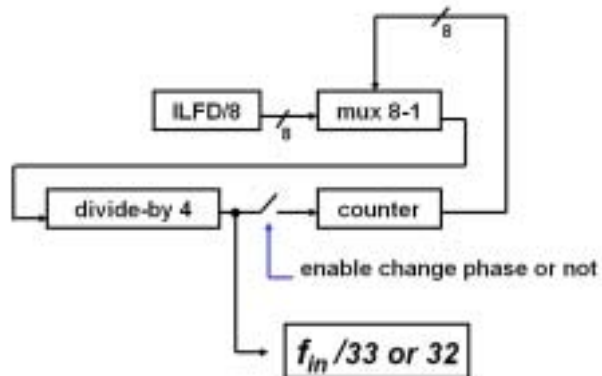
圖六 環形陣列式除 8 注入鎖定式除頻器



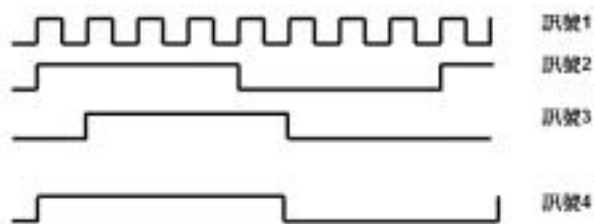
圖七 環型陣列式除頻器之延遲單元
電路架構

基於此一研究成果，我們更提出一嶄新之可程式除頻器電路架構。圖八所示為一應用注入鎖定理論實現之可程式化除數之前置除頻器，主要係由注入鎖定式除頻器、相位選擇器、低速除頻器、相位改變致能開關以及計數器所組成；其中，欲除頻之訊號自前述之注入鎖定式除頻器輸入，而此除頻器將可同步產生出 8 筆除八之結果，且此八筆相位彼此均勻相差 22.5° ，將此 8 筆相位送交至相位選擇多工器，其中多工器將選擇單一相位之輸出結果送至低速除頻器，低速除頻器把此輸入訊號作第二次除頻，同時將輸出結果分別送至相位改變致能開關與此前置除頻器輸出，其中相位改變致能開關啟動時，其等效之除頻器除數將由原先之 32 變為 33。如圖九所示為切換相位之一範例，訊號一為輸入之高頻訊號，訊號二為輸出八筆相位之其中一筆，訊號三為輸出訊號二之鄰近相差 22.5° 之其中一筆訊號，今若初始狀態下，多工器所輸出的訊號是訊號二，而此訊號二經過除四電路則將產生除 32 之輸出結果，若啟動相位選擇器，且相位選擇機制由除四除頻器之輸出觸發，則每隔 32 個輸入週期，其計數器便會改變多工器之選取相位至鄰近

相位，如此產生除 33 之輸出結果。

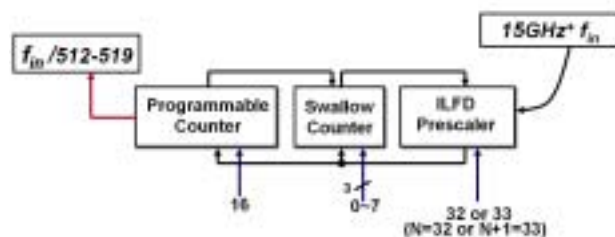


圖八 可變動除數之前置除頻器



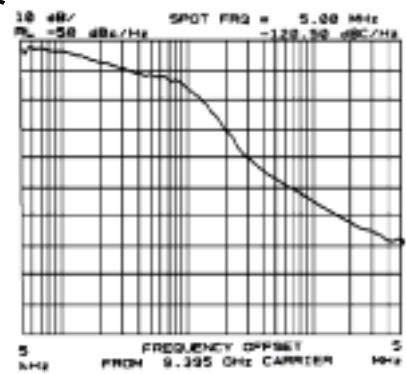
圖九 訊號切換時序圖

應用此技術所設計之前置除頻器，搭配 swallow counter 與 programmable counter，如圖十所示便可設計出可程式化除頻電路。



圖十 可程式化除數之除頻器

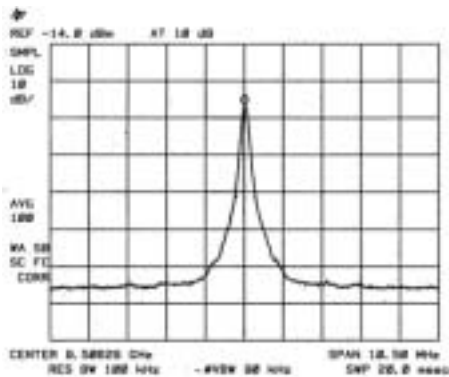
實驗結果



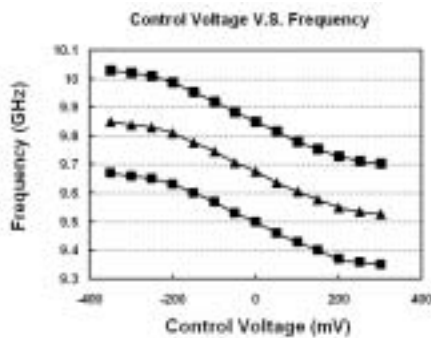
圖十一 壓控振盪器量測結果

圖十一為壓控振盪器相位雜訊之量測結果。在 9.4GHz 輸出頻率、5MHz 頻率偏移下之相位雜訊為 -120 dBc/Hz，圖十二為其輸出頻譜圖，其輸出功率約為 -20 dBm。圖十三為壓控振

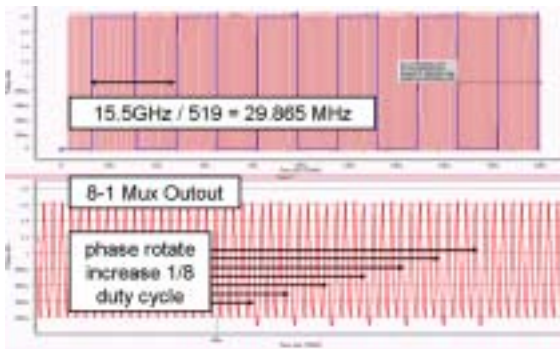
盪器之電壓對頻率之關係圖。其電壓轉移增亦約為 233MHz/V，輸出頻率範圍為 10.03 GHz ~9.35GHz 之間。



圖十二 壓控盪器輸出頻譜



圖十三 壓控盪器之電壓對頻率之關係圖



圖十四 15GHz 可程式化除頻器模擬圖

圖十四為 15GHz 可程式化除頻器模擬圖，其中上圖是 15.5GHz 經過除 519 後之輸出結果，下圖為相位切換過程，其中七筆為除 33，其餘 9 筆為除 32，故總共除數為 519。

結論

本年度之開發成果包含一個 10GHz 四相位盪器，一個 10GHz，除數為 8 之除頻器電路，以及一個 15 GHz，除數範圍介於 512~519 之可程式化除頻器電路。其中，除頻器電路之設計應用了本研究群新開發之環型陣列注入鎖定式除頻器，並使用多相位切換機制來實現高速除頻與可程式化除數之功能。量測結果顯示壓

控盪器在 9.4GHz 輸出頻率、5MHz 頻率偏移下之相位雜訊為 -120 dBc/Hz。於 1.8 V 操作電壓之下，除頻電路與壓控盪器之耗電量分別為 41mW 與 21.6mW。表一與表二分別總結壓控盪器與可程式化除數除頻器之規格。

Function	10GHz Voltage Control Oscillator
Technology	0.18 μ m 1P6M CMOS
Supply voltage	1.8V
Operating frequency	10GHz
Phase noise	-120dBc/Hz@5MHz
Conversion gain	233MHz/V
Frequency range	10.03 GHz ~9.35GHz
Chip Size	650.2 μ m×423.2 μ m
power	21.6mW

表一 壓控盪器規格

Function	15GHz Programmable Divider
Technology	0.18 μ m 1P6M CMOS
Supply voltage	1.8V
Operating frequency	15GHz
Highest operating frequency	19GHz
Prescaler divide ratio	33 or 32
Divide ratio	512 ~ 519
ILFD (including buffer) power	9.3mA
Total power	41mW

表一 可程式化除頻器規格

研究成果

(一)晶片：

- [1] 晶片：CIC 前瞻性晶片。10GHz 壓控盪器與前置除頻器(一版)
- [2] 晶片：CIC 前瞻性晶片。高速可程式化除頻器(一版)

(二)論文：

- [1] Wei-Zen Chen and Chien-Liang Kuo, " 18 GHz and 7 GHz Superharmonic Injection-locked Dividers in 0.25 μ m CMOS Technology ", 2002 IEEE European Solid-State Circuits Conference (02' ESSCIRC), September
- [2] Wei-Zen Chen, Chien-Liang Kuo, and Chia-Chun Liu, " 10 GHz Quadrature-Phase Voltage Controlled Oscillator and Prescaler ", 2003 IEEE European Solid-State Circuits Conference (03' ESSCIRC), September
- [3] 陳巍仁, " 高頻除頻器電路技術 ", 中華民國專利 154831.
- [4] Wei-Zen Chen, Chien-Liang Kuo, " High speed programmable divider ", ROC, US patent pending.