

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 奈米 MOS 元件之矽化物、超淺接面及接觸孔之研發(2/3)

計畫類別：個別型計畫

計畫編號：NSC92-2215-E-009-022-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電子工程研究所

計畫主持人：雷添福

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 93 年 5 月 31 日

# 行政院國家科學委員會專題研究計畫期中報告

## 奈米 MOS 元件之矽化物、超淺界面及接觸孔之研發(2/3)

### Development of silicide, ultra-shallow junction and contact hole in nano MOS devices (2/3)

計畫編號：NSC 92-2215-E-009-022

執行期限：92 年 8 月 1 日至 93 年 7 月 31 日

主持人：雷添福\* 交通大學電子研究所教授

#### 一、中文摘要

本計畫,目的是奈米級 MOS 元件之金屬矽化物、金屬矽化物超淺界面及 50nm 的接觸孔研發,並期望能符合 50nm 奈米元件的製程。在金屬矽化物方面,為了解決元件間金屬連線的阻抗延遲可能導致的效能降低或誤判動作,而發展出自動對準之複晶矽連線技術,以降低在細線寬之複晶矽連線的阻抗,並避免以金屬做連線所造成之污染。本計畫成功地使用鎳形成低矽消耗係數及低矽化物形成溫度的金屬矽化物;並大幅提高矽化鎳的熱穩定性。在超淺界面方面,為了增加元件密度並維持積體電路之特性,金氧半場效電晶體之汲極與源極的 PN 界面縱深必須做淺,然而當界面做淺時,便會衍生高截止漏電流及高片電阻等問題,我們已研究出超淺及低片電阻的界面。在接觸孔洞方面,由於元件密集度增加,使得晶片的表面無法提供足夠的面積,來做單一金屬層連線,故多層金屬連線之技術,逐漸成為積體電路設計必須採用的方法,但為了減少光罩並降低製程複雜性,各金屬層之間的金屬栓塞,或連接電晶體之源極(Source),汲極(Drain)和閘極(Gate)至金屬導線的接觸窗(Contact hole)之接觸孔洞孔徑勢必要縮小,本研究已做出 50 nm 的接觸孔。

關鍵詞:超淺界面,金屬矽化物,接觸孔。

#### Abstract

This study is to investigate the developments of silicide, ultra-shallow junction with silicide and 50 nm contact hole for the application of 50nm MOSFET devices.

Self-aligned polysilicon connection technique has been developed to reduce the resistance in narrow polysilicon connection lines and prevent the contamination from metal line processes. In our project, we used Ni as the silicide material to form Ni silicide, which has less silicon consumption and low silicidation temperature.

To increase device density and maintain the performance of integrated circuits, a shallow junction of the S/D region in MOSFETs is required. However, some problems such as high leakage current and high sheet resistance are introduced as the junction becomes shallower. Our research proposed a new method to form ultra-shallow junctions by controlling the annealing process.

As device density increases, single-layer metal will be not sufficient for devices connection. Multi-layered metal connection technology becomes a major requirement in the integrated circuit technology. However, to reduce mask numbers and process complexity, the size of the metal plug between metal layers and the contact hole to interconnect the source, drain and gate must be shrunken. The lithography and etching process to form small contact holes were one of the main topics of our study.

**Keywords:** ultra-shallow junction, silicide, contact hole.

\* E-mail: tflei@cc.nctu.edu.tw

## 二、緣由與目的

金屬矽化物已經廣泛的應用於元件的製程材料中，如接觸電極和局部連線中，且其具有自我對準(self-aligned)的優點，可以有效地增加接觸面積、降低接觸電阻、及減少製程步驟。

在金屬的選擇上多種金屬都曾被考量(Pt, Ti, Co, Ni)但因各有優缺點而有所不同應用之處[4]。在深次微米製程中，鎳金屬矽化物(NiSi)是其中一種被廣泛研究的金屬[5]，它的優點包括低的電阻係數(~14  $\mu\Omega\text{-cm}$ )、低的接觸電阻、較少的矽原子消耗(~1 nm 的鎳和 1.84 nm 的矽形成 2.22 nm 的金屬矽化物)、低的形成溫度(~500 )、且無窄線寬效應和相位轉換的問題。在形成金屬矽化物的過程中鎳金屬為移動的物質(moving species)，在經過單一步驟的回火過程即可形成鎳矽化物。當元件持續縮小的進度下，製程使用低溫化的趨勢愈見明顯，故鎳金屬在熱穩定性方面的顧慮也漸被其優點所取代。

快速退火系統目前於工業界之使用非常的廣泛，尤其在深次微米的製程上更是不可或缺，此系統可以大量減少熱處理的時間，以減少元件因熱處理所造成的退化。當元件縮小至奈米等級的尺寸時，對於抑制短通道效應和其他負面的電性影響，超淺接面已是一個重要的關鍵 [1]。在本計劃中我們採用離子佈植非晶矽固態擴散源法，再結合超薄的絕緣層堆疊結構，以預防離子濃度的尾端(tail)擴散過深[2]，接著利用快速退火裝置(Rapid thermal annealing, RTA)進行推入(drive in)及活化(activation)的步驟來形成淺接面。另一方面，形成一個低阻值的汲/源極區也是一個重大的議題，故我們另一個淺接面的重點在於形成高濃度低阻值的摻雜區。本計畫藉由快速退火的系統有效的降低離子的擴散深度，並大幅提高離子的活化程度，以達到我們所需要的高濃度低阻值的超淺接面[3]。

在微影製程方面。雖然電子束微影系統已經開始大量研究於微小元件的製作上的運用，但隨著解析度的需求，往往使得所需的光阻厚度變薄，所以對於極小之圖形定義通常伴隨著超薄的光阻層[1,2]，但是在此薄的光阻層條件下，其抗蝕刻力往往不足，以致於造成過蝕刻現象產生。電子束阻劑的抗蝕刻能力往往令人詬病，為了克服上述之問題，我們嘗試將光阻劑與有高度抗蝕刻能力的奈米粒子做結合[3]，稱為電子束阻劑修飾法。碳粒子團的高抗蝕刻能力在幾個研究內已經被提出來討論，如 Broers et al. 已經的成功證實碳粒子團對乾式蝕刻有著非常好的抗蝕刻能力奈米碳粒子團，能填補阻劑中的自由體積 (free volume)，降低阻劑中抗蝕刻物質與蝕刻氣體反應的機會，進而增加阻劑蝕刻率。在微影製程之中，未曝到光的聚合物經顯影和硬烤之後，必須能夠增加抵擋電漿蝕刻 (plasma etching) 的能力 Ishii 及他的工作群使用了 C60 去修飾其電子束阻劑。他們發現了加入 C60 後圖案的對比度、蝕刻抵擋能力及熱穩定性等方面都有增進。因此，在此方面的研究，我們將 C60、C70 奈米粒子與光阻劑做結合，研究增進光阻的抗蝕刻率。

## 三、結果與討論

首先，我們在矽晶片上成長超薄絕緣層，作為擴散阻擋層防止雜質擴散時造成接面過深的現象。接著再沉積低溫非晶矽將雜質佈植至低溫非晶矽和超薄絕緣層介面，接下來再進行快速退火，最後剝離低溫非晶矽和絕緣層以得到超淺接面如下圖一所示。

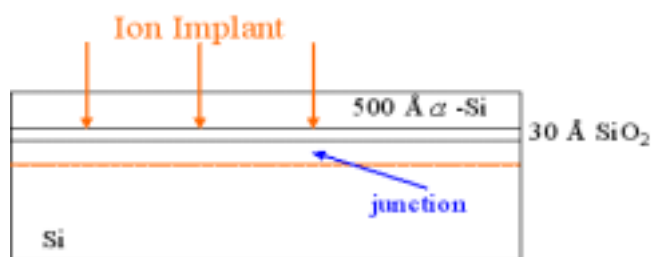


Fig. 1

下圖二為硼離子佈植能量 40 keV 下在不同的 RTA 條件下的 SIMS PROFILE，可知當 RTA 條件不同時，接面的深度也隨之變化。

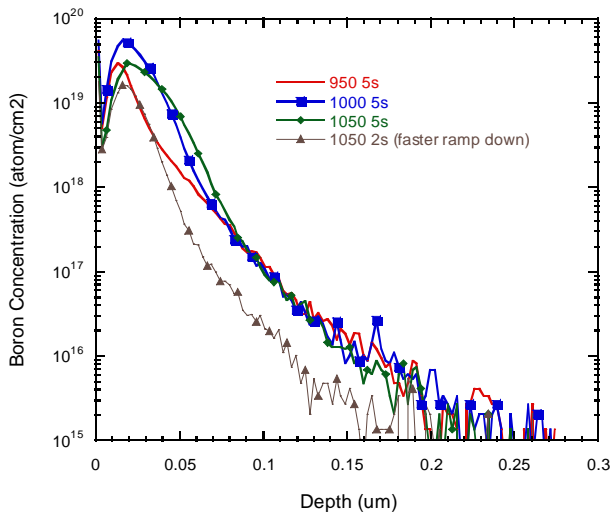


Fig. 2

下圖三為 PH<sub>3</sub> 電漿處理後所形成之界面，經由二次離子質譜分析儀所得到之雜質濃度與界面縱深關係圖。我們可以發現，經過快速退火系統 950 度 30 秒的處理後，我們可以得到一個約 300 埃的超淺界面。

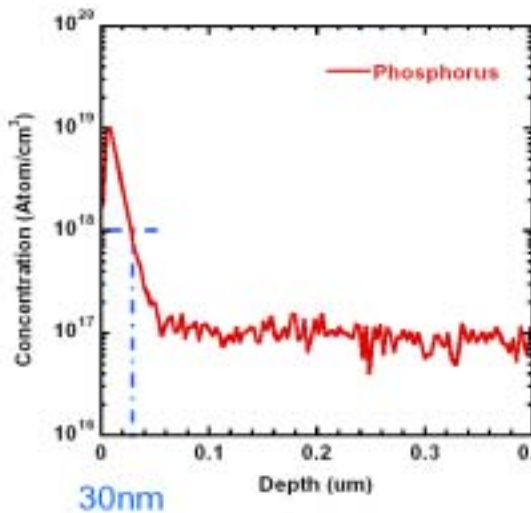


Fig. 3

下圖四為經過 PH<sub>3</sub> 電漿處理所形成的二極體界面之片電阻與金屬矽化溫度之間的關係。在這三種不同的鍍矽化界面，分別是純鍍之矽化界面，有鈦作保護層之鍍矽化界面，和有鋅作保護層之鍍矽化界面。其中有保護層所形成之鍍矽化界面，其片電阻隨溫度所產生的劣化現象較不顯著，尤其是有鋅做成保護層的鍍矽化界面。

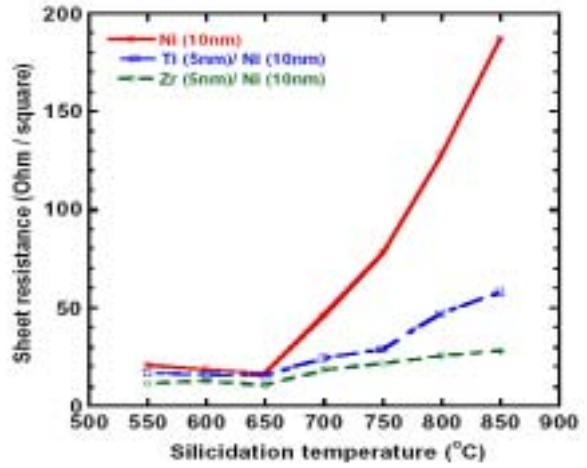


Fig. 4

下圖五為不同結構之鍍矽化界面的電壓與電流關係圖。在經過高溫金屬矽化溫度處理後，其反向電壓所造成之漏電流較大，但經有保護層所形成之鍍矽化界面，在同金屬矽化條件下，其反向電壓所造成之漏電流會有所改善，尤其是有鋅保護層之鍍矽化界面。

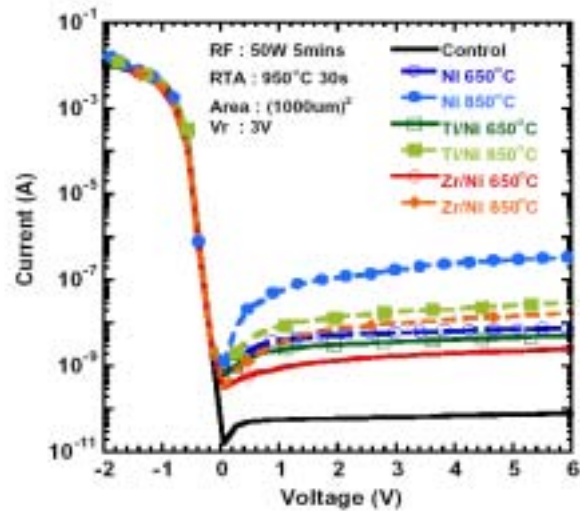


Fig. 5

下下頁圖六為不同結構鍍矽化界面，其界面處所產生的漏電流與不同金屬矽化溫度之關係圖，而下頁圖七為不同結構鍍矽化界面，其界面周圍所產生的漏電流與不同金屬矽化溫度之關係圖。從兩種不同來源之漏電流，會隨著矽化溫度升高而變大，但是有保護層結構之鍍矽化界面之漏電流較低，特別是有鋅保護層之鍍矽化界面。

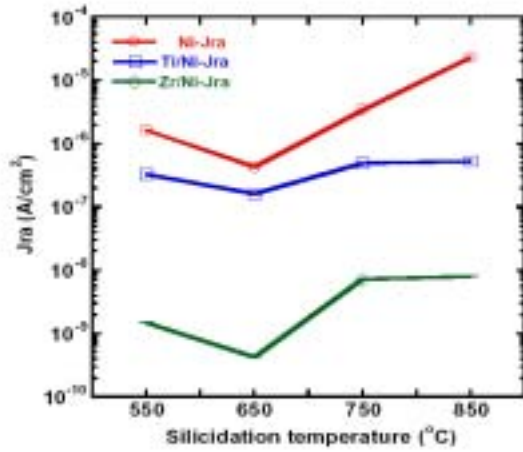


Fig. 6

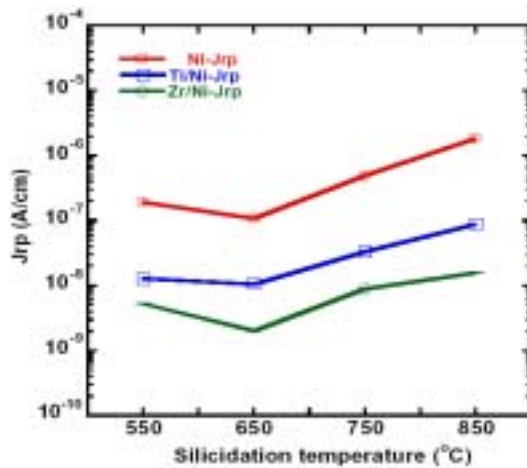


Fig. 7

下圖八為採用電子束微影之製程，使用 DSE+C70\_0.02%的奈米修飾阻劑，經過蝕刻後得到 56 nm 的奈米洞。將定義出的圖形加以切片，並且利用電子顯微鏡拍攝橫切面的結果，而蝕刻時間為 45sec，使用的氣體為  $\frac{CHF_3}{CHF_3 + CF_4} = 1.0$ 。

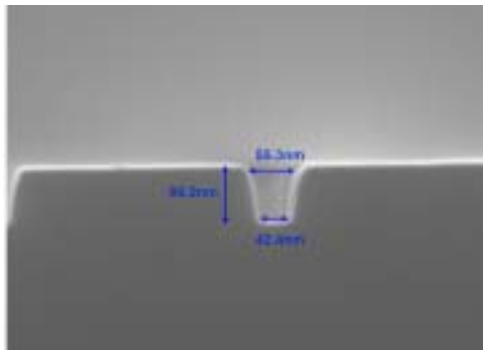


Fig. 8

下圖九為使用 Metal PVD，填充 TiN 進入 60 nm 奈米洞的橫切面圖案。由圖可知金屬物理氣相沉積，覆蓋能力較差，洞口的膜

厚增加速率遠高於洞壁與洞底。將會形成金屬膜無法填入的現象，並且造成孔洞的結果。

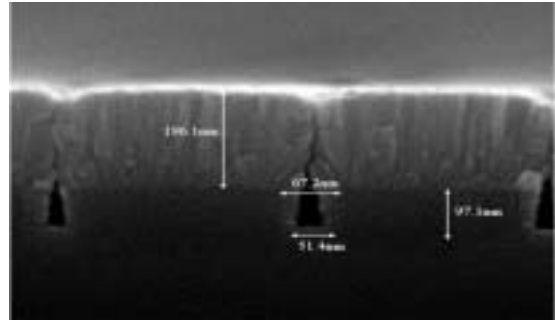


Fig. 9

下圖十為使用 Metal CVD，填充 TiN 進入 60nm 奈米洞的橫切面圖案。由圖可知金屬化學氣相沉積，覆蓋能力很好能將 60nm 奈米洞填滿。

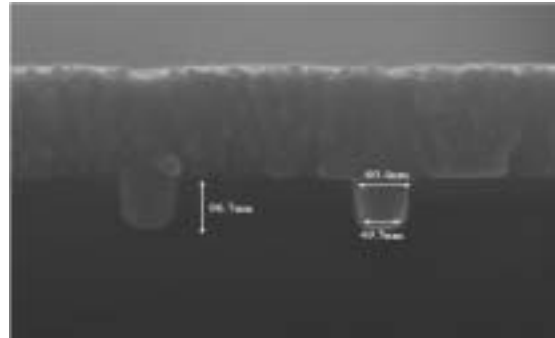


Fig. 10

#### 四、成果自評

本次計畫之執行，皆達預期成果，並已在相關學術期刊上發表論述，茲列於下：

[1] Tsung Lin Lee, Jam Wem Lee, Mei Chi Lee, Tan Fu Lei, Chung Len Lee, "Highly Reliable Nickel Silicide Formation with a Zr Capping Layer", *Electrochem. Solid-State Lett.*, May, 2003, G66- G68.

[2] Tzu Yun Chang, Jam Wem Lee, Tan Fu Lei, Chung-Len Lee, Huang Chun Wen, "Growing high-performance tunneling oxide by CF<sub>4</sub> plasma treatment," *Journal of the Electrochemical Society*, Jan. 2003, p G33-G38.

[3] Chung-Len Lee, Tan-Fu Lei, M.Z. Lee, Y.A. Chang, "Characteristics of vertical thermal/PECVD polysilicon oxides formed on the sidewall of polysilicon films," *Journal of the Electrochemical Society*, Jan. 2003, p G28-G32.

[4]. T.S. Chao, C.H. Yeh, T.M. Pan, T.F. Lei, Y.H. Li, "A One-Step Single -Cleaning Solution for CMOS Processes," *Journal of the Electrochemical Society*, Sep. 2003, p G503-G507.

[5] Ming -Zhen Lee, Chung-Len Lee, Tan-Fu Lei, "Novel vertical polysilicon thin-film transistor with excimer-laser annealing," *Japanese Journal of Applied Physics, Part 1: Regular Papers and Short Notes and Review Papers*, Apr. 2003, p 2123-2126.

#### 五、參考文獻

[1] C. M. Osburn et al, *J. Vac. Sci. Technol. B*, 2000, p. 338.

[2] T. Yasunaga et al, *IITP*, 1998, p.18

- [3] D. H. Choi et al, Jpn. J. Appl. Phys., 1994, p. L83.
- [4] J. B. Lasky et al, IEEE Trans. Electron Devices, 1991, p.262.
- [5] E. G. Colgan et al, Mater. Chem. and Phys., 1996, p.209.